

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2010-98235

(P2010-98235A)

(43) 公開日 平成22年4月30日(2010.4.30)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 21/8247 (2006.01)	HO 1 L 29/78 3 7 1	5 F 0 8 3
HO 1 L 29/788 (2006.01)	HO 1 L 27/10 4 3 4	5 F 1 0 1
HO 1 L 29/792 (2006.01)	HO 1 L 27/10 4 8 1	
HO 1 L 27/115 (2006.01)		
HO 1 L 27/10 (2006.01)		

審査請求 未請求 請求項の数 5 O L (全 30 頁)

(21) 出願番号	特願2008-269804 (P2008-269804)	(71) 出願人	000003078
(22) 出願日	平成20年10月20日 (2008.10.20)		株式会社東芝
			東京都港区芝浦一丁目1番1号
		(74) 代理人	100092820
			弁理士 伊丹 勝
		(74) 代理人	100106389
			弁理士 田村 和彦
		(72) 発明者	福住 嘉晃
			東京都港区芝浦一丁目1番1号 株式会社
			東芝内
		(72) 発明者	青地 英明
			東京都港区芝浦一丁目1番1号 株式会社
			東芝内

最終頁に続く

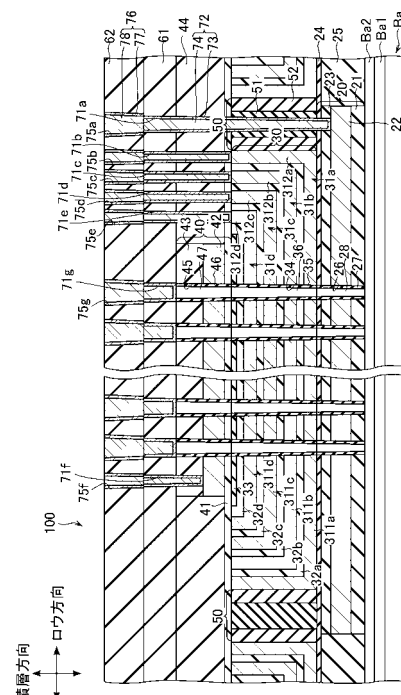
(54) 【発明の名称】 不揮発性半導体記憶装置、及びその製造方法

(57) 【要約】

【課題】 占有面積を縮小した不揮発性半導体記憶装置、製造方法を提供する。

【解決手段】 不揮発性半導体記憶装置100は、メモリストリングスMS、ロウ方向に第1幅を有し且つ基板Baの上方に突出して形成された突出層50を備える。メモリストリングスMSは、基板Baに積層された第1～第4ワード線導電層31a～31dと、それらを通るように形成されたメモリ柱状半導体層36と、第1～第4ワード線導電層31a～31dとメモリ柱状半導体層36との間に形成された電荷蓄積層35bとを備える。第1～第4ワード線導電層31a～31dは、基板Baに対して平行に延びる第1～第4底部311a～311dと、それらの端部にて突出層50に沿って基板Baに対して上方に延びる第1～第4側部312a～312dとを備える。ロウ方向の突出層50の幅は、積層方向の突出層50の長さ以下である。

【選択図】 図4



【特許請求の範囲】

【請求項 1】

電氣的に書き換え可能であり且つ直列接続された複数のメモリセルを含むメモリストリングスを備える不揮発性半導体記憶装置であって、
基板に対して上方に突出して形成された突出層を備え、
前記メモリストリングスは、
前記基板上に積層された複数の導電層と、
当該複数の導電層を貫通するように形成された半導体層と、
前記導電層と前記半導体層との間に形成され且つ電荷を蓄積可能に構成された電荷蓄積層とを備え、
前記複数の導電層は、
前記基板に対して平行に延びる底部と、
当該底部の端部にて前記突出層に沿って前記基板に対して上方に延びる側部とを備え、
前記基板に平行な第 1 方向の前記突出層の幅は、積層方向の前記突出層の長さ以下である
ことを特徴とする不揮発性半導体記憶装置。

10

【請求項 2】

前記突出層は、台形状に形成され、
前記側部は、前記突出層に沿って前記基板に対して所定の角度をもって傾斜して上方に延びるように形成されている
ことを特徴とする請求項 1 記載の不揮発性半導体記憶装置。

20

【請求項 3】

前記複数の導電層は、前記突出層を取り囲むように形成されている
ことを特徴とする請求項 1 又は請求項 2 記載の不揮発性半導体記憶装置。

【請求項 4】

前記突出層は、階段状に、且つ当該突出層の前記第 1 方向の幅が下層から上層へと大きくなるように形成されている
ことを特徴とする請求項 1 乃至請求項 3 のいずれか 1 項記載の不揮発性半導体記憶装置。

30

【請求項 5】

電氣的に書き換え可能であり且つ直列接続された複数のメモリセルを含むメモリストリングスを有する不揮発性半導体記憶装置の製造方法であって、
基板に平行な第 1 方向の幅が積層方向の長さ以下であり且つ前記基板に対して上方に突出する突出層を形成する工程と、
前記基板上に前記突出層を覆うように複数の導電層を積層する工程と、
積層した複数の前記導電層を前記突出層の上面まで平坦化する工程と
を備えることを特徴とする不揮発性半導体記憶装置の製造方法。

【発明の詳細な説明】

40

【技術分野】

【0001】

本発明は、電氣的にデータの書き換えが可能な不揮発性半導体記憶装置、及びその製造方法に関する。

【背景技術】

【0002】

従来、シリコン基板上の 2 次元平面内に素子を集積して、LSI が形成されてきた。メモリの記憶容量を増加させるには、一素子の寸法を小さくする（微細化する）ことにより主に達せられてきたが、近年その微細化もコスト的、技術的に困難なものになってきた。微細化のためにはフォトリソグラフィの技術向上が必要であるが、例えば、現在の Ar F

50

液浸露光技術では40nm付近のルールが解像限界となっており、更なる微細化のためにはEUV露光機の導入が必要である。しかし、EUV露光機はコスト高であり、コストを考えた場合には現実的ではない。また、仮に微細化が達成されたとしても、駆動電圧などがスケーリングされない限り、素子間の耐圧など物理的な限界点を迎える事が予想される。つまり、デバイスとしての動作が困難になる可能性が高い。

【0003】

そこで、近年、メモリの集積度を高めるために、メモリセルを3次元的に配置した半導体記憶装置が多数提案されている（特許文献1乃至3参照）。

【0004】

メモリセルを3次元的に配置した従来の半導体記憶装置の一つに、円柱型構造のトランジスタを用いた半導体記憶装置がある（特許文献1乃至3）。円柱型構造のトランジスタを用いた半導体記憶装置においては、ゲート電極となる多層に積層された積層導電層（ワード線導電層）、及びピラー状の柱状半導体が層設けられる。柱状半導体層は、トランジスタのチャネル（ボディ）部として機能する。柱状半導体層の周りには、電荷を蓄積可能なメモリゲート絶縁層が設けられる。これら積層導電層、柱状半導体、メモリゲート絶縁層を含む構成は、メモリストリングスと呼ばれる。

【0005】

上記メモリストリングスを有する半導体記憶装置において、積層導電層の基板に平行な所定方向の端部は、階段状に形成されている。そして、その積層導電層の階段状の端部上面に、上方から延びるコンタクト層（コンタクトプラグ）が形成されている。コンタクト層は、積層導電層の上層に設けられた導電層と積層導電層とを導通させるための層である。このような構成は、製造時においてクリティカルなリソグラフィー工程を必要としない点でコスト的に優位である。一方、コンタクト層は、階段状の積層導電層に達するように形成されているので、そのコンタクト層の深さは、不均一となる。そこで、不均一深さの孔を一度に確実に開孔するために、階段状の積層導電層端部にはエッチングストッパー材等を堆積することが望ましい。しかしながら、このエッチングストッパー材の膜圧の分、階段状となるステップ幅を広くする必要がある。すなわち、これは、半導体記憶装置全体の占有面積（チップ全体の面積）を更に縮小する際の問題となっていた。

【特許文献1】特開2007-266143号

【特許文献2】米国特許第5599724号

【特許文献3】米国特許第5707885号

【発明の開示】

【発明が解決しようとする課題】

【0006】

本発明は、占有面積を縮小した不揮発性半導体記憶装置、及びその製造方法を提供する。

【課題を解決するための手段】

【0007】

本発明の一態様に係る不揮発性半導体記憶装置は、電氣的に書き換え可能であり且つ直列接続された複数のメモリセルを含むメモリストリングスを備える不揮発性半導体記憶装置であって、基板に対して上方に突出して形成された突出層を備え、前記メモリストリングスは、前記基板上に積層された複数の導電層と、当該複数の導電層を貫通するように形成された半導体層と、前記導電層と前記半導体層との間に形成され且つ電荷を蓄積可能に構成された電荷蓄積層とを備え、前記複数の導電層は、前記基板に対して平行に延びる底部と、当該底部の端部にて前記突出層に沿って前記基板に対して上方に延びる側部とを備え、前記基板に平行な第1方向の前記突出層の幅は、積層方向の前記突出層の長さ以下であることを特徴とする。

【0008】

本発明の一態様に係る不揮発性半導体記憶装置の製造方法は、電氣的に書き換え可能であり且つ直列接続された複数のメモリセルを含むメモリストリングスを有する不揮発性半

10

20

30

40

50

導体記憶装置の製造方法であって、基板に平行な第1方向の幅が積層方向の長さ以下であり且つ前記基板に対して上方に突出する突出層を形成する工程と、前記基板上に前記突出層を覆うように複数の導電層を積層する工程と、積層した複数の前記導電層を前記突出層の上面まで平坦化する工程とを備えることを特徴とする。

【発明の効果】

【0009】

本発明は、占有面積を縮小した不揮発性半導体記憶装置、及びその製造方法を提供することが可能となる。

【発明を実施するための最良の形態】

【0010】

以下、図面を参照して、本発明に係る不揮発性半導体記憶装置の実施形態について説明する。

【0011】

[第1実施形態]

(第1実施形態に係る不揮発性半導体記憶装置100の構成)

図1は、本発明の第1実施形態に係る不揮発性半導体記憶装置100の概略図を示す。図1に示すように、第1実施形態に係る不揮発性半導体記憶装置100は、主として、メモリトランジスタ領域(第1の領域)12、ワード線駆動回路13、ソース側選択ゲート線(SGS)駆動回路14、ドレイン側選択ゲート線(SGD)駆動回路15、センスアンプ16を有する。メモリトランジスタ領域12は、データを記憶するメモリトランジスタを有する。ワード線駆動回路13は、ワード線WLにける電圧を制御する。ソース側選択ゲート線(SGS)駆動回路14は、ソース側選択ゲート線SGSにける電圧を制御する。ドレイン側選択ゲート線(SGD)駆動回路15は、ドレイン側選択ゲート線(SGD)にける電圧を制御する。センスアンプ16は、メモリトランジスタから読み出した電位を増幅する。なお、上記の他、第1実施形態に係る不揮発性半導体記憶装置100は、ビット線BLにける電圧を制御するビット線駆動回路、ソース線SLにける電圧を制御するソース線駆動回路を有する(図示略)。

【0012】

また、図1に示すように、第1実施形態に係る不揮発性半導体記憶装置100において、メモリトランジスタ領域12を構成するメモリトランジスタは、半導体層を複数積層することによって形成されている。また、図1に示すとおり各層のワード線WLの底部は、水平方向において2次元的に広がり有するように形成されている。各層のワード線WLの底部は、それぞれ同一層からなる板状の平面構造となっている。各層のワード線WLの側部は、上方に延びて、その端部が水平方向に揃うように形成されている。

【0013】

図2は、第1実施形態に係る不揮発性半導体記憶装置100のメモリトランジスタ領域12の一部の概略斜視図である。第1実施形態においては、メモリトランジスタ領域12は、メモリトランジスタMT_{1mn}~MT_{4mn}、ソース側選択トランジスタSST_{rmn}及びドレイン側選択トランジスタSDT_{rmn}からなるメモリストリングスMSをm×n個(m、nは自然数)を有している。図2においては、m=3、n=4の一例を示している。

【0014】

各メモリストリングスMSのメモリトランジスタMT_{1mn}~MT_{4mn}のゲートに接続されているワード線WL₁~WL₄は、それぞれ同一の導電膜によって形成されており、それぞれ共通である。即ち、各メモリストリングスMSのメモリトランジスタMT_{1mn}のゲートの全てがワード線WL₁に接続されている。また、各メモリストリングスMSのメモリトランジスタMT_{2mn}のゲートの全てがワード線WL₂に接続されている。また、各メモリストリングスMSのメモリトランジスタMT_{3mn}のゲートの全てがワード線WL₃に接続されている。また、各メモリストリングスMSのメモリトランジスタMT_{4mn}のゲートの全てがワード線WL₄に接続されている。第1実施形態に

係る不揮発性半導体記憶装置100においては、図1及び図2に示すように、ワード線WL1～WL4は、それぞれ、半導体基板Baと平行な水平方向において2次元的に広がり有するように形成されている。また、ワード線WL1～WL4の底部は、それぞれ、メモリストリングスMSに略垂直に配置されている。ここで、ロウ方向は、垂直方向に直交する方向であり、カラム方向は、垂直方向及びロウ方向に直交する方向である。

【0015】

各メモリストリングスMSは、半導体基板BaのP-well領域Ba1に形成されたn+領域（後述するBa2）の上に柱状の柱状半導体CLmn（図2に示す場合、 $m=1\sim3$ 、 $n=1\sim4$ ）を有している。各柱状半導体CLmnは、半導体基板Baから垂直方向に形成されており、半導体基板Ba及びワード線WL1～WL4の底部の面上においてマトリクス状になるように配置されている。つまり、メモリストリングスMSも、柱状半導体CLmnに垂直な面内にマトリクス状に配置されている。なお、この柱状半導体CLmnは、円柱状であっても、角柱状であってもよい。また、柱状半導体CLmnとは、段々形状を有する柱状の半導体を含む。

10

【0016】

また、図2に示すように、メモリストリングスMSの上方には、柱状半導体CLmnと絶縁膜（図示せず）を介し接してドレイン側選択トランジスタSDTrmnを構成する矩形板状のドレイン側選択ゲート線SGD（図2に示す場合、SGD1～SGD4）が設けられている。各ドレイン側選択ゲート線SGDは、互いに絶縁分離され、ワード線WL1～WL4とは異なり、ロウ方向に延びカラム方向に繰り返し設けられたライン状に形成されている。また、ドレイン側選択ゲート線SGDのカラム方向の中心を貫通して、柱状半導体CLmnが設けられている。

20

【0017】

また、図2に示すように、メモリストリングスMSの下方には、柱状半導体CLmnと絶縁膜（図示せず）を介し接してソース側選択トランジスタSSTrmnを構成するソース側選択ゲート線SGSが設けられている。ソース側選択ゲート線SGSは、ワード線WL1～WL4の底部と同様に水平方向において2次元的に広がり有するように形成されている。なお、ソース側選択ゲート線SGSは、図2に示すような構造の他、ロウ方向に延び且つカラム方向に繰り返し設けられた短冊状であってもよい。

【0018】

次に、図2及び図3を参照して、第1実施形態におけるメモリストリングスMSにより構成される回路構成及びその動作を説明する。図3は、第1実施形態における一つのメモリストリングスMSの回路図である。

30

【0019】

図2及び図3に示すように、第1実施形態において、メモリストリングスMSは、4つのメモリトランジスタMT r 1 mn～MT r 4 mn並びにソース側選択トランジスタSST r m及びドレイン側選択トランジスタSDTrmnを有している。これら4つのメモリトランジスタMT r 1 mn～MT r 4 mn並びにソース側選択トランジスタSST r m及びドレイン側選択トランジスタSDTrmnは、それぞれ直列に接続されている（図3参照）。第1実施形態のメモリストリングスMSにおいては、半導体基板Ba上のP型領域（P-Well領域）Ba1に形成されたn+領域に柱状半導体CLmnが形成されている。

40

【0020】

また、ソース側選択トランジスタSST r mnのソースにはソース線SL（半導体基板BaのP-well領域Ba1に形成されたn+領域）が接続されている。また、ドレイン側選択トランジスタSDTrmnのドレインにはビット線BLが接続されている。

【0021】

各メモリトランジスタMT r mnは、柱状半導体CLmn、その柱状半導体CLmnを取り囲むように形成された電荷蓄積層、その電荷蓄積層を取り囲むように形成されたワード線WLを有する。ワード線WLは、メモリトランジスタMT r mnの制御ゲート電極と

50

して機能する。

【0022】

上記構成を有する不揮発性半導体記憶装置100においては、ビット線BL1～BL3、ドレイン側選択ゲート線SGD、ワード線WL1～WL4、ソース側選択ゲート線SGS、ソース線SLの電圧は、ビット線駆動回路（図示略）、ドレイン側選択ゲート線駆動回路15、ワード線駆動回路13、ソース側選択ゲート線駆動回路14、ソース線駆動回路（図示略）によって制御される。すなわち、所定のメモリトランジスタMT_{rmn}の電荷蓄積層の電荷を制御することによって、データの読み出し、書き込み、消去を実行する。

【0023】

（第1実施形態に係る不揮発性半導体記憶装置100の具体的構成）

次に、図4を参照して、第1実施形態に係る不揮発性半導体記憶装置100の更に具体的構成を説明する。図4は、第1実施形態に係る不揮発性半導体記憶装置のロウ方向の断面図である。

【0024】

不揮発性半導体記憶装置100は、半導体基板Ba上に、順次、ソース側選択トランジスタ層20、メモリトランジスタ層30、及びドレイン側選択トランジスタ層40を有する。ソース側選択トランジスタ層20は、ソース側選択トランジスタSST_{rmn}として機能する。メモリトランジスタ層30は、メモリトランジスタMT_{rmn}として機能する。ドレイン側選択トランジスタ層40は、ドレイン側選択トランジスタSDT_{rmn}として機能する。ソース側選択トランジスタ層20、メモリトランジスタ層30、及びドレイン側選択トランジスタ層40にて、メモリストリングスMSが構成される。

【0025】

ここで、図5は、不揮発性半導体記憶装置100におけるソース側選択トランジスタ層20に含まれる導電層、メモリトランジスタ層30に含まれる導電層、及びドレイン側選択トランジスタ層40に含まれる導電層の形成領域ARを示す上面図である。図5に示すように、形成領域ARは、カラム方向及びロウ方向に所定のピッチを設けて形成されている。形成領域ARは、上方からみてロウ方向に延びる矩形状に形成されている。

【0026】

不揮発性半導体記憶装置100は、図4に示すように、半導体基板Ba上にP型領域（P-Well領域）Ba1を有する。また、不揮発性半導体記憶装置100は、P型領域Ba1上にn+領域（ソース線領域）Ba2を有する。

【0027】

不揮発性半導体記憶装置100は、メモリトランジスタ層30と同層に突出層50を有する。図6は、メモリトランジスタ層30及び突出層50の概略上面図である。突出層50は、図6に示すように、ロウ方向及びカラム方向に所定ピッチを設けて形成されている。突出層50は、上方からみて矩形状であり、半導体基板Baに対して上方に突出して形成されている。突出層50は、上方から示すと、カラム方向に長手を有する矩形状に形成されている。ロウ方向の突出層50の幅は、積層方向の突出層50の長さ以下である（図4参照）。すなわち、アスペクト比は、1以上である。例えば、突出層50の面積が不揮発性半導体記憶装置100に係るチップ全体の面積に占める割合は、1%以下である。

【0028】

突出層50は、柱状に形成された柱状層51、及び柱状層51の側壁に形成された側壁層52を有する。柱状層51は、酸化シリコン（SiO₂）にて構成されている。側壁層52は、窒化シリコン（SiN）にて構成されている。

【0029】

ソース側選択トランジスタ層20は、半導体基板Ba上に順次積層された、ソース側第1絶縁層21、ソース側導電層22、ソース側第2絶縁層23、及びソース側分離絶縁層24を有する。

【0030】

10

20

30

40

50

ソース側第1絶縁層21、ソース側導電層22、ソース側第2絶縁層23、及びソース側分離絶縁層24は、半導体基板Baと平行な水平方向において2次元的に広がりをも有するように形成されている。ソース側第1絶縁層21、ソース側導電層22、ソース側第2絶縁層23、及びソース側分離絶縁層24は、メモリトランジスタ領域12内の所定領域（消去単位）毎に分断されている。また、半導体基板Ba上からソース第2絶縁層23の上面に達するまで、層間絶縁層25が設けられている。

【0031】

ソース側第1絶縁層21、及びソース側第2絶縁層23は、酸化シリコン（ SiO_2 ）にて構成されている。ソース側導電層22は、P+型のポリシリコン（ p-Si ）にて構成されている。ソース側分離絶縁層24は、窒化シリコン（ SiN ）にて構成されている。層間絶縁層25は、酸化シリコン（ SiO_2 ）にて構成されている。

10

【0032】

また、ソース側分離絶縁層24、ソース側第2絶縁層23、ソース側導電層22、及びソース側第1絶縁層21を貫通するようにソース側ホール26が形成されている。ソース側ホール26に面する側壁には、順次、ソース側ゲート絶縁層27、ソース側柱状半導体層28が設けられている。

【0033】

ソース側ゲート絶縁層27は、酸化シリコン（ SiO_2 ）にて形成されている。ソース側柱状半導体層28は、ポリシリコン（ p-Si ）にて形成されている。

【0034】

なお、上記ソース側選択トランジスタ20の構成において、ソース側導電層22の構成を換言すると、ソース側導電層22は、ソース側柱状半導体層28と共にソース側ゲート絶縁層27を挟むように形成されている。

20

【0035】

また、ソース側選択トランジスタ層20において、ソース側導電層22が、ソース側選択ゲート線SGSとして機能する。また、ソース側導電層22が、ソース側選択トランジスタSSTrmnの制御ゲートとして機能する。

【0036】

メモリトランジスタ層30は、ソース側分離絶縁層24の上方に設けられた第1～第4ワード線導電層31a～31dと、第1～第4ワード線導電層31a～31dの間に設けられた第1～第4ワード線間絶縁層32a～32dと、第4ワード線間絶縁層32d上に積層されたメモリ分離絶縁層33を有する。

30

【0037】

第1～第4ワード線導電層31a～31dは、図4に示すロウ方向断面にて、上方に開口を向ける「コの字」状（凹型）に形成されている。第1～第4ワード線導電層31a～31dは、第1～第4底部311a～311d、及び第1～第4側部312a～312dを有する。

【0038】

第1～第4底部311a～311dは、半導体基板Baに対して平行に延びるように形成されている。第2底部311bのロウ方向の幅は、第1底部311aのロウ方向の幅よりも短い。第3底部311cのロウ方向の幅は、第2底部311bのロウ方向の幅よりも短い。第4底部311dのロウ方向の幅は、第3底部311cのロウ方向の幅よりも短い。

40

【0039】

第1～第4側部312a～312dは、突出層50に沿って半導体基板Baに対して直交上方に延びるように形成されている。したがって、図6に示すようにメモリトランジスタ層30を上面から示すと、第1～第4側部312a～312dは、ロウ方向に所定ピッチを設けてストライプ状に形成されている。第1～第4側部312a～312dの上面は、水平方向の同一平面内に揃うように形成されている。

【0040】

50

第1～第4ワード線導電層31a～31dは、P+型のポリシリコン（ p-Si ）にて構成されている。第1～第4ワード線間絶縁層32a～32dは、酸化シリコン（ SiO_2 ）にて構成されている。メモリ分離絶縁層33は、窒化シリコン（ SiN ）にて構成されている。

【0041】

また、メモリトランジスタ層30において、メモリ分離絶縁層33、第1～第4ワード線間絶縁層32a～32d、及び第1～第4ワード線導電層31a～31dを貫通するようにメモリホール34が形成されている。メモリホール34は、ソース側ホール26と整合する位置に設けられている。メモリホール34内の側壁には、順次、メモリゲート絶縁層35、及びメモリ柱状半導体層36が設けられている。

10

【0042】

メモリゲート絶縁層35は、図7に示すように構成されている。図7は、図4に示すメモリトランジスタ層30の拡大図である。図7に示すように、メモリゲート絶縁層35は、メモリ柱状半導体層部36の側壁から、順次、トンネル絶縁層35a、電荷を蓄積する電荷蓄積層35b、及びブロック絶縁層35cを有する。

【0043】

トンネル絶縁層35a、及びブロック絶縁層35cは、酸化シリコン（ SiO_2 ）にて形成されている。電荷蓄積層35bは、窒化シリコン（ SiN ）にて形成されている。メモリ柱状半導体層36は、ポリシリコン（ p-Si ）にて構成されている。また、メモリ柱状半導体層36は、その上部をN+型のポリシリコンにて構成されたものであってもよい。

20

【0044】

なお、上記メモリトランジスタ30において、第1～第4ワード線導電層31a～31dの構成を換言すると、第1～第4ワード線導電層31a～31dは、メモリ柱状半導体層36と共にトンネル絶縁層35a、電荷蓄積層35b及びブロック絶縁層35cを挟むように形成されている。また、メモリ柱状半導体層36は、ソース側柱状半導体層28の上面、及び後述するドレイン側柱状半導体層47の下面に接するように形成されている。

【0045】

また、メモリトランジスタ層30において、第1～第4ワード線導電層31a～31dが、ワード線WL1～WL4として機能する。また、第1～第4ワード線導電層31a～31dが、メモリトランジスタMT_{rmn}の制御ゲートとして機能する。

30

【0046】

ドレイン側選択トランジスタ層40は、メモリ分離絶縁層33上に順次積層されたドレイン側第1絶縁層41、ドレイン側導電層42、及びドレイン側第2絶縁層43を有する。

【0047】

ドレイン側第1絶縁層41、ドレイン側導電層42、及びドレイン側第2絶縁層43は、メモリ柱状半導体層36の上部に整合する位置に設けられ且つロウ方向に延びカラム方向に繰り返し設けられたライン状に形成されている。また、ドレイン側第1絶縁層41の上面からドレイン側第2絶縁層43の上面まで、層間絶縁層44が形成されている。

40

【0048】

ドレイン側第1絶縁層41及びドレイン側第2絶縁層43は、酸化シリコン（ SiO_2 ）にて形成されている。ドレイン側導電層42は、P+型のポリシリコン（ p-Si ）にて形成されている。層間絶縁層44は、酸化シリコン（ SiO_2 ）にて形成されている。

【0049】

また、ドレイン側選択トランジスタ層40において、ドレイン側第2絶縁層43、ドレイン側導電層42、ドレイン側第1絶縁層41、及びメモリ分離絶縁層33を貫通するようにドレイン側ホール45が形成されている。ドレイン側ホール45は、メモリホール34と整合する位置に設けられている。ドレイン側ホール45に面する側壁には、順次、ドレイン側ゲート絶縁層46、及びドレイン側柱状半導体層47が設けられている。

50

【0050】

ドレイン側ゲート絶縁層46は、酸化シリコン(SiO_2)にて形成されている。ドレイン側柱状半導体層47は、ポリシリコン(p-Si)にて形成されている。また、ドレイン側柱状半導体層47の上部は、N+型ポリシリコンにて構成されている。

【0051】

なお、上記ドレイン側選択トランジスタ40の構成において、ドレイン側導電層42の構成を換言すると、ドレイン側導電層42は、ドレイン側柱状半導体層47と共にドレイン側ゲート絶縁層46を挟むように形成されている。また、ドレイン側柱状半導体層47は、メモリ柱状半導体層36の上面に接するように形成されている。

【0052】

また、ドレイン側選択トランジスタ40において、ドレイン側導電層42が、ドレイン側選択ゲート線SGDとして機能する。また、ドレイン側導電層42が、ドレイン側選択トランジスタSDTrmnの制御ゲートとして機能する。

【0053】

ドレイン側第2絶縁層43及び層間絶縁層44の上層には、順次、層間絶縁層61、及び層間絶縁層62が形成されている。層間絶縁層61、及び層間絶縁層62は、酸化シリコン(SiO_2)にて構成されている。

【0054】

また、不揮発性半導体記憶装置100は、第1～第7コンタクトホール71a～71gを有する。

【0055】

第1コンタクトホール71aは、ソース側導電層22の上面に達するように形成されている。第1コンタクトホール71aは、層間絶縁層61、層間絶縁層44、ドレイン側第1絶縁層41、突出層50、ソース側分離絶縁層24、及びソース側第1絶縁層23を貫通するように形成されている。

【0056】

第2～第5コンタクトホール71b～71eは、第1～第4ワード線導電層31a～31dの第1～第4側部312a～312dの上面に達するように形成されている。第2～第5コンタクトホール71b～71eは、層間絶縁層61、層間絶縁層44、及びドレイン側第1絶縁層41を貫通するように形成されている。

【0057】

第6コンタクトホール71fは、ドレイン側導電層42の上面に達するように形成されている。第6コンタクトホール71fは、層間絶縁層61、及びドレイン側第2絶縁層43を貫通するように形成されている。

【0058】

第7コンタクトホール71gは、ドレイン側柱状半導体層47の上面に達するように形成されている。第7コンタクトホール71gは、層間絶縁層61を貫通するように形成されている。

【0059】

第1～第7コンタクトホール71a～71g内には、コンタクト層72が形成されている。コンタクト層72は、バリアメタル層73、及びメタル層74を有する。バリアメタル層73は、チタン(Ti)/窒化チタン(TiN)にて構成されている。メタル層74は、タングステン(W)にて構成されている。

【0060】

また、不揮発性半導体記憶装置100は、第1～第7コンタクトホール71a～71gに整合する位置に設けられ且つ層間絶縁層62を貫通するように形成された第1～第7溝75a～75gを有する。第1～第7溝75a～75g内には、配線層76が形成されている。

【0061】

第1～第7配線層76は、バリアメタル層77、及びメタル層78を有する。バリアメ

10

20

30

40

50

タル層 77 は、チタン (Ti) / 窒化チタン (TiN) にて構成されている。メタル層 78 は、タングステン (W) にて構成されている。

【0062】

(第 1 実施形態に係る不揮発性半導体記憶装置 100 の製造工程)

次に、図 8～図 14 を参照して、第 1 実施形態に係る不揮発性半導体記憶装置 100 の製造工程について説明する。ここで、図 8、図 9A、図 10、図 11A、図 13～図 15 は、第 1 実施形態に係る不揮発性半導体記憶装置 100 の製造工程を示すロウ方向断面図である。図 9B、図 11B、及び図 12 は、第 1 実施形態に係る不揮発性半導体記憶装置 100 の製造工程を示す上面図である。なお、図 9B は、図 9A に対応する上面図であり、図 11B は、図 11A に対応する上面図である。

10

【0063】

まず、図 8 に示すように、ソース側選択トランジスタ層 20 を形成し、そのソース側分離絶縁層 24 上に酸化シリコン (SiO₂) を堆積させ、酸化シリコン層 81 を形成する。

【0064】

次に、図 9A、図 9B に示すように、ロウ方向に所定間隔毎に酸化シリコン層 81 が所定幅だけ残るように、エッチングを施す。そして、エッチング後の酸化シリコン層 81 の側面に窒化シリコン (SiN) を形成する。これら工程を経て、突出層 50 が形成される。すなわち、エッチング後の酸化シリコン層 81 は、柱状層 51 となる。第 1 酸化シリコン層 81a の側面に形成した窒化シリコンは、側壁層 52 となる。

20

【0065】

続いて、図 10 に示すように、ソース側分離絶縁層 24 の上面、突出層 50 の上面及び側面を覆うように、ポリシリコン (p-Si)、酸化シリコン (SiO₂) を交互に積層させた後、窒化シリコン (SiN) を堆積させる。この工程により、第 1～第 4 ポリシリコン層 82a～82d、第 1～第 4 酸化シリコン層 83a～83d、及び窒化シリコン層 84 が形成される。

【0066】

次に、図 11A 及び図 11B に示すように、化学機械研磨 (CMP: Chemical Mechanical Polishing) により突出層 50 の上面まで、第 1～第 4 ポリシリコン層 82a～82d、第 1～第 4 酸化シリコン層 83a～83d、及び窒化シリコン層 84 を研磨する。この工程を経て、第 1～第 4 ポリシリコン層 82a～82d は、第 1～第 4 ワード線導電層 31a～31d となる。第 1～第 4 酸化シリコン層 83a～83d は、第 1～第 4 ワード線間絶縁層 32a～32d となる。窒化シリコン層 84 は、メモリ分離絶縁層 33 となる。なお、図 11A 及び図 11B に示す CMP の工程において、突出層 50 の側壁層 51 (窒化シリコン) は、CMP のストッパーとして機能する。図 11A 及び図 11B に示す工程を経て、メモリトランジスタ層 30 が形成される。

30

【0067】

続いて、図 12 に示すように、カラム方向に所定ピッチで、メモリトランジスタ層 30、突出層 50、ソース側選択トランジスタ層 20、及び層間絶縁層 25 を貫通するようにロウ方向に延びる貫通溝 84 を形成する。さらに、貫通溝 84 内に酸化シリコン (SiO₂) を堆積させ、層間絶縁層 85 を形成する。

40

【0068】

次に、図 13 に示すように、酸化シリコン (SiO₂) を堆積させる。そして、メモリトランジスタ層 30 の上部に整合する位置にポリシリコン (p-Si) を堆積させる。上記工程により、ドレイン側第 1 絶縁層 41、及びドレイン側導電層 42 が形成される。

【0069】

続いて、図 14 に示すように、酸化シリコン (SiO₂) を堆積させ、ドレイン側第 2 絶縁層 43、層間絶縁層 44、及び層間絶縁層 61 を形成する。そして、層間絶縁層 61、ドレイン側第 2 絶縁層 43、ドレイン側導電層 42、ドレイン側第 1 絶縁層 41、メモリトランジスタ層 30、及びソース側選択トランジスタ層 20 を貫通するようにホール 8

50

6を形成する。ホール86は、ソース側ホール26、メモリホール34、ドレイン側ホール46、及び第1コンタクトホール71aとして機能する。

【0070】

次に、図15に示すように、ソース側ホール26に面する側壁に、酸化シリコン(SiO₂)、及びポリシリコン(p-Si)を堆積させ、ソース側ゲート絶縁層27、及びソース側柱状半導体層28を形成する。また、メモリホール34に面する側壁に、酸化シリコン(SiO₂)、窒化シリコン(SiN)、酸化シリコン(SiO₂)、及びポリシリコン(p-Si)を堆積させ、メモリゲート絶縁層35(トンネル絶縁層35a、電荷蓄積層35b、ブロック絶縁層35c)、及びメモリ柱状半導体層36を形成する。また、ドレイン側ホール45に面する側壁に、酸化シリコン(SiO₂)、ポリシリコン(p-Si)を堆積させ、ドレイン側ゲート絶縁層46、及びドレイン側柱状半導体層47を形成する。

10

【0071】

図15に示す工程に続いて、第2～第7コンタクトホール71b～71gを形成し、第1～第7コンタクトホール71a～71gを埋めるようにチタン(Ti)/窒化チタン(TiN)、及びタングステン(W)を積層させ、コンタクト層72を形成する。次に、酸化シリコン(SiO₂)を堆積させ、層間絶縁層62を形成する。そして、層間絶縁層62を貫通するように第1～第7溝75a～75gを形成し、それら第1～第7溝75a～75gを埋めるようにチタン(Ti)/窒化チタン(TiN)、及びタングステン(W)を積層させ、配線層76を形成する。以上の工程を経て、図4に示す第1実施形態に係る不揮発性半導体記憶装置100が形成される。

20

【0072】

(第1実施形態に係る不揮発性半導体記憶装置100の効果)

次に、第1実施形態に係る不揮発性半導体記憶装置100の効果について説明する。上記のように第1実施形態に係る不揮発性半導体記憶装置100において、第1～第4ワード線導電層31a～31dは、半導体基板Baに対して平行に延びる第1～第4底部311a～311dと、その第1～第4底部311a～311dのロウ方向の端部にて突出層30に沿って半導体基板Baに対して直交方向上方に延びる第1～第4側部312a～312dとを備える。第1～第4側部312a～312dの上面は、同一平面内に揃えて形成されている。第1～第4側部312a～312dは、ロウ方向に第1～第4ワード線間絶縁層32a～32dを設けて形成されている。よって、コンタクト層72は、同一平面の第1～第4側部312a～312dの上面に接するように形成すれば良いので、コンタクト層72の径は、所定の径よりも大きくする必要はない。コンタクト層72は、第1～第4ワード線間絶縁層32a～32dの間隔をもって形成される。したがって、第1実施形態に係る不揮発性半導体記憶装置100は、ワード線導電層の端部を階段状に形成する従来例よりも、その占有面積を縮小化することができる。

30

【0073】

また、第1実施形態に係る突出層50のロウ方向の幅は、その突出層50の積層方向の長さ以下である(アスペクト比が1以上)ので、メモリトランジスタ層30の形成過程において、第1実施形態に係る突出層50の上部に積層される層(図10参照)の体積は小さい。この突出層30の上部に積層される層は、CMPによる研磨が必要とされる層である。一般に、CMPにおいては、機械的研磨が行われる。よって、突出層50の研磨速度は高く、その他、平坦な箇所や窪んだ箇所の研磨速度は比較的低い。本発明に係る第1実施形態のように、アスペクト比が高く、突出層50の体積が小さい場合、突出層50上に積層された層は、高い研磨速度で除去される。したがって、第1実施形態に係る不揮発性半導体記憶装置は、第1～第4導電層31a～31dと第1～第4ワード線間絶縁層32a～32dという異種層の積層構造を持ちながら、比較的容易に平坦となるように、それらを選択的に除去することが可能である。

40

【0074】

[第2実施形態]

50

(第2実施形態に係る不揮発性半導体記憶装置100aの具体的構成)

次に、図16を参照して、第2実施形態に係る不揮発性半導体記憶装置100aの具体的構成を説明する。図16は、第2実施形態に係る不揮発性半導体記憶装置100aのロウ方向の断面図である。なお、第2実施形態において、第1実施形態と同様の構成については、同一符号を付し、その説明を省略する。

【0075】

第2実施形態に係る不揮発性半導体記憶装置100aは、第1実施形態と異なる突出層50A、及びメモリトランジスタ層30Aを有する。

【0076】

突出層50Aは、台形状に形成されている。つまり、突出層50Aの下面は、突出層50Aの上面よりも大きく形成されている。突出層50Aは、台形状の柱状層51A、及びその側壁に形成された側壁層52Aを有する。柱状層51Aは、酸化シリコン(SiO_2)にて構成されている。側壁層52Aは、窒化シリコン(SiN)にて構成されている。

【0077】

メモリトランジスタ層30Aは、第1実施形態と異なる第1～第4ワード線導電層31aa～31da、及び第1～第4ワード線間絶縁層32aa～32daを有する。第1～第4ワード線導電層31aa～31daは、第1実施形態と同様の第1～第4底部311a～311dを有する。一方、第1～第4ワード線導電層31aa～31daは、第1実施形態と異なる第1～第4側部313a～313dを有する。第1～第4側部313a～313dは、第1～第4底部311a～311dのロウ方向の端部にて突出層50Aに沿って半導体基板Baに対して所定の角度をもって傾斜して上方に延びるように形成されている。第1～第4ワード線間絶縁層32aa～32daは、上記形状を有する第1～第4ワード線導電層31aa～31daの間に形成されている。

【0078】

(第2実施形態に係る不揮発性半導体記憶装置100aの効果)

次に、第2実施形態に係る不揮発性半導体記憶装置100aの効果について説明する。第2実施形態に係る不揮発性半導体記憶装置100aは、第1実施形態と略同様の構成を有する。したがって、第2実施形態に係る不揮発性半導体記憶装置100aは、第1実施形態と同様の効果を奏する。

【0079】

さらに、第2実施形態に係る不揮発性半導体記憶装置100aにおいて、第1～第4ワード線導電層31aa～31daは、第1実施形態と異なり、突出層50Aに沿って半導体基板Baに対して所定の角度をもって傾斜して上方に延びる第1～第4側部313a～313dを有する。したがって、その第1～第4側部313a～313dの上面は、第1実施形態よりも広い面積を有する。これにより、第2実施形態に係る不揮発性半導体記憶装置100aにおいて、コンタクト層72は、第1実施形態よりも容易に、第1～第4ワード線導電層31aa～31daに接するように形成することができる。

【0080】

[第3実施形態]

(第3実施形態に係る不揮発性半導体記憶装置100bの具体的構成)

次に、図17A～図17Dを参照して、第3実施形態に係る不揮発性半導体記憶装置100bの具体的構成を説明する。図17Aは、第3実施形態に係る不揮発性半導体記憶装置100bのメモリトランジスタ層30Bの概略上面図である。図17Bは、図17AのA部拡大図である。図17Cは、メモリトランジスタ層30B、コンタクト層72a、及び配線層76aを示す上面概略図である。図17Dは、各第1～第4ワード線導電層31ab～31dbを示す上面概略図である。なお、第3実施形態において、第1及び第2実施形態と同様の構成については、同一符号を付し、その説明を省略する。

【0081】

図17A～図17D示すように、第3実施形態に係る不揮発性半導体記憶装置100bは、第1及び第2実施形態と異なるメモリトランジスタ層30B、及び突出層50Bを有

する。

【0082】

メモリランジスタ層30Bは、第1及び第2実施形態と異なる第1～第4ワード線導電層31ab～31db、及び第1～第4ワード線間絶縁層32ab～32dbを有する。

【0083】

突出層50Bは、半径R5をもって円柱状に形成されている。突出層50Bの直径（半径R5の2倍）は、突出層50Bの積層方向の高さ以下である。すなわち、第1実施形態と同様に、ロウ方向の突出層50Bの幅は、積層方向突出層50Bの長さ以下である。

【0084】

突出層50Bは、円柱状の柱状層51B、及び柱状層51Bの側壁に形成された側壁層52Bを有する。柱状層51Bは、酸化シリコン（SiO₂）にて構成されている。側壁層52Bは、窒化シリコン（SiN）にて構成されている。突出層50Bは、ロウ方向及びカラム方向にマトリクス状に形成されている。突出層50Bは、第1～第4ワード線導電層31ab～31dbにて囲まれるように形成されている。

【0085】

第1～第4ワード線導電層31ab～31dbは、突出層50Bを取り囲むように形成されている。第1～第4ワード線導電層31ab～31dbは、上面に開口を有する帽子状に形成されている。第1～第4ワード線導電層31ab～31dbは、第1～第4円筒部（第1～第4側部）314a～314d、及び第1～第4鰐部（第1～第4底部）315a～315dを有する。

【0086】

第1～第4円筒部314a～314dは、円筒状に形成されている。第1～第4円筒部314a～314dは、第1～第4鰐部315a～315dの端部から突出層50Bに沿って半導体基板Baに対して直交方向上方に延びるように形成されている。第1～第4円筒部314a～314dは、それらの中心軸が突出層50Bの中心と一致するように形成されている。第1円筒部314aの内径R11は、突出層50Bの半径R5よりも大きくなるように形成されている。第2円筒部314bの内径R21は、第1円筒部314aの外径R12よりも大きくなるように形成されている。第3円筒部314cの内径R31は、第2円筒部314bの外径R22よりも大きくなるように形成されている。第4円筒部314dの内径R41は、第3円筒部314cの外径R32よりも大きくなるように形成されている。第1～第4円筒部314a～314dの上面は、上方からみてドーナツ状に形成されている。第1～第4円筒部314a～314dの上面は、同一平面内に揃うように形成されている。

【0087】

第1～第4鰐部315a～315dは、鰐状に形成されている。第1～第4鰐部315a～315dは、半導体基板Baと平行に延びるように形成されている。第1～第4鰐部315a～315dは、上方からみてロウ方向に長手を有する略矩形板状に形成されている。また、第1～第4鰐部315a～315dは、第1～第4円筒部314a～314dと接する位置にその端部を有する。

【0088】

第1～第4ワード線間絶縁層32ab～32dbは、第1～第4ワード線導電層31ab～31adの間に設けられている。

【0089】

また、不揮発性半導体記憶装置100bは、第1及び第2実施形態と異なるンタクト層72a、及び配線層76aを有する。コンタクト層72aは、上方からみて円形状（ドーナツ状）に形成された第1～第4ワード線導電層32ab～32dbの第1～第4円筒部314a～314dの上面に接するように形成されている。配線層76aは、各コンタクト層72aに接するようにカラム方向に延びるように形成されている。

【0090】

(第3実施形態に係る不揮発性半導体記憶装置100bの製造工程)

次に、図18～図20を参照して、第3実施形態に係る不揮発性半導体記憶装置100bの製造工程について説明する。ここで、図18～図20は、第3実施形態に係る不揮発性半導体記憶装置100bの製造工程を示す上面図である。

【0091】

先ず、第3実施形態に係る不揮発性半導体記憶装置100bにおいては、第1実施形態の図8と同様の工程を行う。

【0092】

続いて、図18に示すように、ロウ方向及びカラム方向に所定間隔毎(マトリクス状)に且つ円柱状に酸化シリコン層81が所定幅だけ残るように、エッチングを施す。そして、エッチング後の酸化シリコン層81の側面に窒化シリコン(SiN)を形成する。これら工程を経て、突出層50Bが形成される。すなわち、エッチング後の酸化シリコン層81は、円柱状の柱状層51Bとなる。また、酸化シリコン層81の側面に形成した窒化シリコンは、側壁層52Bとなる。

【0093】

次に、第1実施形態の図10と同様の工程を経た後、図19に示すように、突出層50Bを取り囲むように第1～第4ワード線導電層31ab～31db、第1～第4ワード線間絶縁層32ab～32db、及びメモリ分離絶縁層33を形成する。

【0094】

続いて、図20に示すように、突出層50Bの間にロウ方向に延びる第1の貫通溝84Aを形成する。また、突出層50Bの間にカラム方向に延びる第2の貫通溝84Bを形成する。第1の貫通溝84A、及び第2の貫通溝84Bは、メモリ分離絶縁層33、第1～第4ワード線導電層31ab～31db、第1～第4ワード線間絶縁層32ab～32db、及びソース側選択トランジスタ層20を貫通するように形成する。そして、第1の貫通溝84A、及び第2の貫通溝84Bを埋めるように酸化シリコン(SiO₂)を堆積させ、層間絶縁層85A、85Bを形成する。図19に示す工程の後、第1実施形態の図13～図15と同様の工程を行い、図17A～図17Dに示す第4実施形態に係る不揮発性半導体記憶装置100bを形成する。

【0095】

上記製造工程により、突出層50Bは、第1、第2の貫通孔84A、84Bがつくる閉曲線の中に含まれることとなる。すなわち、突出層50Bは、第1、第2の貫通孔84A、84Bと交わらない。

【0096】

(第3実施形態に係る不揮発性半導体記憶装置100bの効果)

次に、第3実施形態に係る不揮発性半導体記憶装置100bの効果について説明する。第3実施形態に係る不揮発性半導体記憶装置100bは、第1実施形態と略同様の構成を有する。したがって、第3実施形態に係る不揮発性半導体記憶装置100bは、第1実施形態と同様の効果を奏する。

【0097】

さらに、第3実施形態に係る不揮発性半導体記憶装置100bは、第1実施形態と異なる円柱状の突出層50B、及びその円柱状の突出層50Bを囲むように形成された第1～第4ワード線導電層31ab～31dbを有する。ここで、第3実施形態の効果を説明するため、上述した第1実施形態と比較する。第1実施形態に係る不揮発性半導体記憶装置100の製造工程において、突出層50は、図12に示すように、貫通溝84を形成する際に削られる。第1実施形態において、貫通溝84は、突出層50を含む不均一な層に亘って形成される。つまり、貫通溝84のエッチングの際、貫通溝84となる底部では、第1～第4ワード線導電層31a～31d、第1～第4ワード線間絶縁層32a～32dが、時間的に交互に現れる。これに対し、突出層50では、第1～第4ワード線導電層31a～31d、第1～第4ワード線間絶縁層32a～32dが、同時にエッチングされ続けることとなる。このような関係で、第1実施形態において、貫通溝84の底部を均一な深

10

20

30

40

50

さに形成することは、R I E技術の高度な組み合わせが必要である。

【0098】

一方、第3実施形態においては、上記図20に示す製造工程に示したように、突出層50Bは、第1の貫通溝84A、及び第2の貫通溝84Bを形成する際に削られることはない。つまり、第3実施形態において、第1の貫通溝84A、及び第2の貫通溝84Bは、第1実施形態よりも均一な層に亘って形成される。つまり、エッチングの際、時間的に交互に、第1～第4ワード線導電層31ab～31db、第1～第4ワード線間絶縁層32ab～32dbが現れる。よって、R I E技術としては、第1～第4ワード線導電層31ab～31db、第1～第4ワード線間絶縁層32ab～32dbの選択エッチングを交互に繰り返すことで、容易に均一な深さの第1、第2の貫通溝84A、84Bを形成することが可能である。すなわち、第3実施形態に係る不揮発性半導体記憶装置100bは、第1実施形態よりも容易に製造することができる。

10

【0099】

[第4実施形態]

(第4実施形態に係る不揮発性半導体記憶装置100cの具体的構成)

次に、図21を参照して、第4実施形態に係る不揮発性半導体記憶装置100cの具体的構成を説明する。図21は、第3実施形態における不揮発性半導体記憶装置100bのロウ方向断面図である。なお、第4実施形態において、第1～第3実施形態と同様の構成については、同一符号を付し、その説明を省略する。

20

【0100】

図21に示すように、第4実施形態に係る不揮発性半導体記憶装置100cは、第1～第3実施形態と異なるメモリトランジスタ層30Cを有する。

【0101】

メモリトランジスタ層30Cは、第1～第3実施形態と異なる第1～第4ワード線導電層31ac～31dcを有する。第1～第4ワード線導電層31ac～31dcは、金属(例えば、アルミニウム(A1))を含むように構成されている。なお、第1～第4ワード線導電層31ac～31dcは、第1実施形態と同様の形状をもつ第1～第4底部311a'～311d'、及び第1～第4側部312a'～312d'を有する。

【0102】

(第4実施形態に係る不揮発性半導体記憶装置100cの製造工程)

30

次に、図22～図24を参照して、第4実施形態に係る不揮発性半導体記憶装置100cの製造工程について説明する。

【0103】

先ず、第1実施形態の図15に示す工程まで行う。続いて、ドレイン側ホール46の上方に位置する第1コンタクトホール71a内を埋めるように、酸化シリコン(SiO₂)を堆積させる。この工程により、ドレイン側柱状半導体層47の上方にも、層間絶縁層61が形成される。

【0104】

続いて、図22に示すように、第1～第4ワード線導電層31a～31dの側部312a～312dの上面を露出させるように溝87を形成する。次に、図23に示すように、溝87内に、5nm程度のチタン(Ti)層88、及びアルミニウム(A1)層89を堆積させる。

40

【0105】

続いて、図24に示すように、熱処理することで、アルミニウム層89からポリシリコンにて構成された第1～第4ワード線導電層31a～31dにアルミニウムを多量に含有させる。この工程により、第4実施形態に係る金属を含む第1～第4ワード線導電層31ac～31adが形成される。図23に示す工程に続き、溝87を酸化シリコン(SiO₂)にて埋めた後、第1実施形態と同様の工程を行なうことにより、図21に示す第4実施形態に係る不揮発性半導体記憶装置100cが形成される。

【0106】

50

(第4実施形態に係る不揮発性半導体記憶装置100cの効果)

次に、第4実施形態に係る不揮発性半導体記憶装置100cの効果について説明する。第4実施形態に係る不揮発性半導体記憶装置100cは、第1実施形態と略同様の構成を有する。したがって、第4実施形態に係る不揮発性半導体記憶装置100cは、第1実施形態と同様の効果を奏する。

【0107】

さらに、第4実施形態に係る不揮発性半導体記憶装置100cにおいて、第1～第4ワード線導電層31ac～31dcは、金属（例えば、アルミニウム（Al））を含むように構成されている。したがって、第4実施形態に係る不揮発性半導体記憶装置100cにおける第1～第4ワード線導電層31ac～31dcは、第1実施形態よりも低抵抗とすることができる。

10

【0108】

また、第1～第4ワード線導電層31ac～31dcは、第1実施形態と同様に第1～第4側部312a'～312d'を有する。したがって、図22に示す工程のように、第4実施形態に係る不揮発性半導体記憶装置100cは、第1～第4側部312a'～312d'の上面にてアルミニウム層89と第1～第4ワード線導電層31ac～31dcとを接触させることができる。

【0109】

[第5実施形態]

(第5実施形態に係る不揮発性半導体記憶装置100dの具体的構成)

20

次に、図25及び図26を参照して、第5実施形態に係る不揮発性半導体記憶装置100dの具体的構成を説明する。図25は、第5実施形態に係る不揮発性半導体記憶装置100dのロウ方向断面図である。図26は、図25のB部拡大図である。なお、第5実施形態において、第1～第4実施形態と同様の構成については、同一符号を付し、その説明を省略する。

【0110】

図25に示すように、第5実施形態に係る不揮発性半導体記憶装置100dは、第1～第4実施形態と異なる突出層50C、及びメモリトランジスタ層30Dを有する。

【0111】

30

突出層50Cは、階段状に、且つその突出層50Cのロウ方向の幅が下層から上層へと大きくなるように形成されている。図26に示すように、突出層50Cは、第1突出層50C1、及び第2突出層50C2にて構成されている。第1突出層50C1は、第1実施形態の突出層50と同様の構成を有する。第2突出層50C2は、第1突出層50C1の上部に形成されている。ロウ方向の第2突出層50C2の幅は、ロウ方向第1突出層50C1の幅よりも大きくなるように形成されている。

【0112】

メモリトランジスタ層30Dは、第1実施形態と同様に、ソース側選択トランジスタ層20の上面に、第1～第4ワード線導電層31a～31d、第1～第4ワード線間絶縁層32a～32d、及びメモリ分離絶縁層33の積層構造を有する。さらに、メモリトランジスタ層30Dは、メモリ保護絶縁層33上に、交互に積層された第5～第8ワード線導電層31e～31h、第5～第8ワード線間絶縁層32e～32h、及びメモリ分離絶縁層33aの積層構造を有する。

40

【0113】

第1～第4ワード線導電層31a～31d、第1～第4ワード線間絶縁層32a～32d、及びメモリ分離絶縁層33は、第1実施形態と同様に構成されている。すなわち、例えば、第1～第4ワード線導電層31a～31dの第1～第4側部312a～312dは、第1突出層50C1に沿って半導体基板Baに対して直交上方に延びるように形成されている。

【0114】

50

第5～第8ワード線導電層31e～31hは、図24に示す断面形状にて、上方に開口を向ける「コの字」状（凹型）となるように形成されている。第5～第8ワード線導電層31e～31hは、第5～第8底部311e～311h、及び第5～第8側部312e～312hを有する。

【0115】

第5～第8底部311e～311hは、半導体基板Baに対して平行に延びるように形成されている。第5底部311eのロウ方向の幅は、第4底部311dのロウ方向の幅よりも短い。第6底部311fのロウ方向の幅は、第5底部311eのロウ方向の幅よりも短い。第7底部311gのロウ方向の幅は、第6底部311fのロウ方向の幅よりも短い。第8底部311hのロウ方向の幅は、第7底部311fのロウ方向の幅よりも短い。

10

【0116】

第5～第8側部312e～312hは、第5～第8底部311e～311hのロウ方向の端部にて第2突出層50C2に沿って半導体基板Baに対して直交方向上方に延びるように形成されている。第5～第8側部312e～312hの上面は、所定の高さで揃うように形成されている。

【0117】

また、メモリランジスタ層30Dは、第1～第4実施形態と異なるメモリホール34'、メモリゲート絶縁層35'、及びメモリ柱状半導体層36'を有する。メモリホール34'は、メモリ分離絶縁層33a、メモリ分離絶縁層33、第1～第8ワード線導電層31a～31h、第1～第8ワード線間絶縁層32a～32hを貫通するように形成されている。メモリゲート絶縁層35'は、このメモリホール34'に面する側壁に形成されている。メモリ柱状半導体層36'は、このメモリゲート絶縁層35'に接してメモリホール34'を埋めるように形成されている。

20

【0118】

また、不揮発性半導体記憶装置100dは、第1～第4実施形態と異なる第1～第11コンタクトホール71a'～71k'を有する。

【0119】

第1コンタクトホール71a'は、ソース側導電層22の上面に達するように形成されている。第1コンタクトホール71a'は、層間絶縁層61、層間絶縁層44、ドレイン側第1絶縁層41、第2突出層50C2、第1突出層50C1、ソース側分離絶縁層24、及びソース側第2絶縁層23を貫通するように形成されている。

30

【0120】

第2～第5コンタクトホール71b'～71e'は、第1～第4ワード線導電層31a～31dの第1～第4側部312a～312dの上面に達するように形成されている。第2～第5コンタクトホール71b'～71e'は、層間絶縁層61、層間絶縁層44、ドレイン側第1絶縁層41、及び第2突出層50C2を貫通するように形成されている。

【0121】

第6～第9コンタクトホール71f'～71i'は、第5～第8ワード線導電層31e～31hの第5～第8側部312e～312hの上面に達するように形成されている。第6～第9コンタクトホール71f'～71i'は、層間絶縁層61、層間絶縁層44、及びドレイン側第1絶縁層41を貫通するように形成されている。

40

【0122】

第10コンタクトホール71j'は、ソース側導電層42の上面に達するように形成されている。第10コンタクトホール71j'は、層間絶縁層61、及びドレイン側第2絶縁層43を貫通するように形成されている。

【0123】

第11コンタクトホール71k'は、ドレイン側柱状半導体層47の上面に達するように形成されている。第11コンタクトホール71k'は、層間絶縁層61を貫通するように形成されている。

50

【0124】

第1～第11コンタクトホール71a'～71k'内には、コンタクト層72'が形成されている。コンタクト層72'は、バリアメタル層73'、及びメタル層74'を有する。バリアメタル層73'は、チタン(Ti)/窒化チタン(TiN)にて構成されている。メタル層74'は、タングステン(W)にて構成されている。

【0125】

また、不揮発性半導体記憶装置100dは、第1～第11コンタクトホール71a'～71k'に整合する位置に設けられ且つ層間絶縁層62を貫通するように形成された第1～第11溝75a'～75k'を有する。第1～第11溝75a'～75k'内には、配線層76'が形成されている。

10

【0126】

配線層76'は、バリアメタル層77'、及びメタル層78'を有する。バリアメタル層77'は、チタン(Ti)/窒化チタン(TiN)にて構成されている。メタル層78'は、タングステン(W)にて構成されている。

【0127】

(第5実施形態に係る不揮発性半導体記憶装置100dの製造工程)

次に、図27～図29を参照して、第5実施形態に係る不揮発性半導体記憶装置100dの製造工程について説明する。図27～図29は、第5実施形態に係る不揮発性半導体記憶装置100dの製造工程を示すロウ方向断面図である。

【0128】

20

先ず、第1実施形態の図8～図11A及び図11Bに示す工程を行う。なお、第1実施形態の図8～図11A及び図11Bに示す工程で形成される突出層50は、第5実施形態の第1突出層50C1として機能する。

【0129】

続いて、図27に示すように、第1突出層50C1の上面に第2突出層50C2を形成する。ここで、第2突出層50C2のロウ方向の幅は、第1突出層50C1のロウ方向の幅よりも長くなるように設定する。つまり、図27に示す工程を経て、第1突出層50C1、及び第2突出層50C2にて、階段状に且つそのロウ方向の幅が下層から上層へと大きくなる突出層50Cが形成される。

【0130】

30

次に、図28に示すように、メモリ分離絶縁層33の上面、第2突出層50C2の上面及び側面を覆うように、ポリシリコン(p-Si)、酸化シリコン(SiO₂)を交互に積層させた後、窒化シリコン(SiN)を堆積させる。この工程により、第5～第8ポリシリコン層82e～82h、第5～第8酸化シリコン層83e～83h、及び窒化シリコン層84aが形成される。

【0131】

続いて、図29に示すように、CMPにより第2突出層50C2の上面まで、第5～第8ポリシリコン層82e～82h、第5～第8酸化シリコン層83e～83h、及び窒化シリコン層84aを研磨する。この工程を経て、第5～第8ポリシリコン層82e～82hは、第5～第8ワード線導電層31e～31hとなる。第5～第8酸化シリコン層83e～83hは、第5～第8ワード線間絶縁層32e～32hとなる。窒化シリコン層84aは、メモリ分離絶縁層33aとなる。なお、図29に示すCMPの工程において、第2突出層50C2の側壁層52C2(窒化シリコン)は、CMPのストッパーとして機能する。図29に示す工程の後、第1実施形態と同様の工程を経て、図25及び図26に示す第5実施形態に係る不揮発性半導体記憶装置100dが形成される。

40

【0132】

(第5実施形態に係る不揮発性半導体記憶装置100dの効果)

次に、第5実施形態に係る不揮発性半導体記憶装置100dの効果を説明する。第5実施形態に係る不揮発性半導体記憶装置100dは、第1実施形態と同様の構成を有する。したがって、第5実施形態に係る不揮発性半導体記憶装置100dは、第1実施形態と同

50

様の効果を奏する。

【0133】

第5実施形態に係る不揮発性半導体記憶装置100dは、第1実施形態の第1～第4ワード線導電層31a～31dに加えて、第5～第8ワード線導電層31e～31hを有する。したがって、第5実施形態に係る不揮発性半導体記憶装置100dは、第1実施形態よりも高集積化された構造を有する。

【0134】

〔その他の実施形態〕

以上、不揮発性半導体記憶装置の実施形態を説明してきたが、本発明は、上記実施形態に限定されるものではなく、発明の趣旨を逸脱しない範囲内において種々の変更、追加、置換等が可能である。

10

【0135】

例えば、第5実施形態において、メモリトランジスタ層30Dは、第1～第8ワード線導電層31a～31hを設けている。また、突出層50Cは、階段状に、且つその突出層50Cのロウ方向の幅が下層から上層へと大きくなるように形成されており、第1突出層50C1、及び第2突出層50C2にて構成されている（2段の階段状の構成）。しかしながら、本発明は、このような第5実施形態の構成に限られるものではない。メモリトランジスタ層は、さらに複数層（9以上の層）のワード線導電層を有するものであってもよい。突出層は、2段の階段状に限られず、さらに複数段（3段以上）の階段状に形成されていてもよい。

20

【0136】

例えば、第3実施形態に係るメモリトランジスタ層30B及び突出層50Bの構成は、第2、第4、及び第5実施形態の構成にも適応可能である。

【図面の簡単な説明】

【0137】

【図1】本発明の第1実施形態に係る不揮発性半導体記憶装置100の構成概略図である。

【図2】第1実施形態に係る不揮発性半導体記憶装置100のメモリトランジスタ領域12の一部概略斜視図である。

【図3】第1実施形態における一つのメモリストリングスMSの回路図である。

30

【図4】第1実施形態における不揮発性半導体記憶装置100の断面図である。

【図5】第1実施形態に係る不揮発性半導体記憶装置100におけるソース側選択トランジスタ層20に含まれる導電層、メモリトランジスタ層30に含まれる導電層、及びドレイン側選択トランジスタ層40に含まれる導電層の形成領域ARを示す上面図である。

【図6】第1実施形態に係るメモリトランジスタ層30及び突出層50の概略上面図である。

【図7】図4の一部拡大図である。

【図8】第1実施形態に係る不揮発性半導体記憶装置100の製造工程断面図である。

【図9A】第1実施形態に係る不揮発性半導体記憶装置100の製造工程断面図である。

【図9B】第1実施形態に係る不揮発性半導体記憶装置100の製造工程上面図である。

40

【図10】第1実施形態に係る不揮発性半導体記憶装置100の製造工程断面図である。

【図11A】第1実施形態に係る不揮発性半導体記憶装置100の製造工程断面図である。

【図11B】第1実施形態に係る不揮発性半導体記憶装置100の製造工程上面図である。

【図12】第1実施形態に係る不揮発性半導体記憶装置100の製造工程上面図である。

【図13】第1実施形態に係る不揮発性半導体記憶装置100の製造工程断面図である。

【図14】第1実施形態に係る不揮発性半導体記憶装置100の製造工程断面図である。

【図15】第1実施形態に係る不揮発性半導体記憶装置100の製造工程断面図である。

【図16】第2実施形態における不揮発性半導体記憶装置100aの断面図である。

50

【図 17A】第 3 実施形態に係る不揮発性半導体記憶装置 100b のメモリトランジスタ層 30B の概略上面図である。

【図 17B】図 17A の拡大図である。

【図 17C】メモリトランジスタ層 30B、コンタクト層 72a、及び配線層 76a を示す上面概略図である。

【図 17D】各第 1～第 4 ワード線導電層 31ab～31db を示す上面概略図である。

【図 18】第 3 実施形態に係る不揮発性半導体記憶装置 100b の製造工程上面図である。

【図 19】第 3 実施形態に係る不揮発性半導体記憶装置 100b の製造工程上面図である。

【図 20】第 3 実施形態に係る不揮発性半導体記憶装置 100b の製造工程上面図である。

【図 21】第 4 実施形態における不揮発性半導体記憶装置 100c の断面図である。

【図 22】第 4 実施形態に係る不揮発性半導体記憶装置 100c の製造工程断面図である。

【図 23】第 4 実施形態に係る不揮発性半導体記憶装置 100c の製造工程断面図である。

【図 24】第 4 実施形態に係る不揮発性半導体記憶装置 100c の製造工程断面図である。

【図 25】第 5 実施形態における不揮発性半導体記憶装置 100d の断面図である。

【図 26】図 25 の B 部拡大図である。

【図 27】第 5 実施形態に係る不揮発性半導体記憶装置 100d の製造工程断面図である。

【図 28】第 5 実施形態に係る不揮発性半導体記憶装置 100d の製造工程断面図である。

【図 29】第 5 実施形態に係る不揮発性半導体記憶装置 100d の製造工程断面図である。

【符号の説明】

【0138】

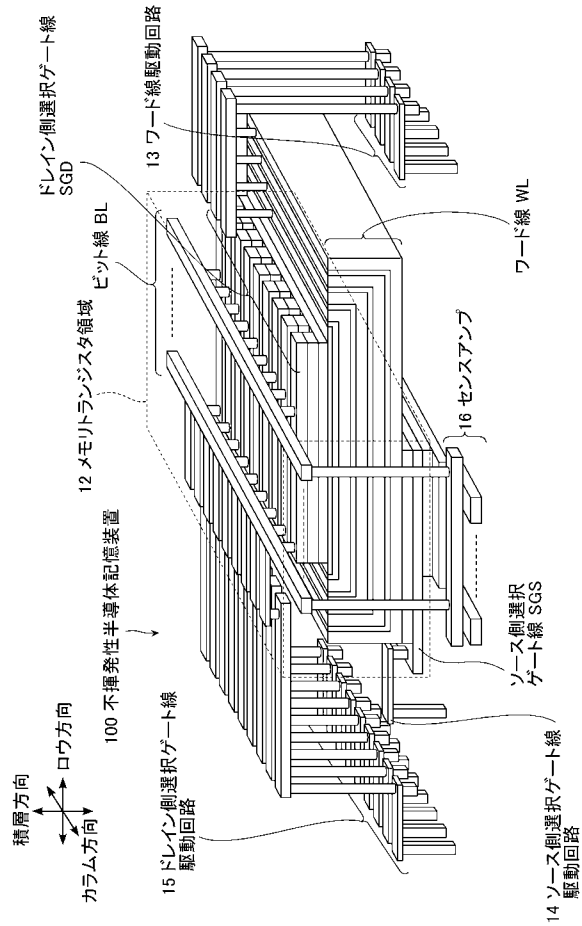
100、100a～100d…不揮発性半導体記憶装置、12…メモリトランジスタ領域、13…ワード線駆動回路、14…ソース側選択ゲート線駆動回路、15…ドレイン側選択ゲート線駆動回路、16…センスアンプ、20…ソース側選択トランジスタ層、30、30A～30D…メモリトランジスタ層、40…ドレイン側選択トランジスタ層、50、50A～50C…突出層、Ba…半導体基板、CLmn…柱状半導体、MT r 1 mn～MT r 4 mn…メモリトランジスタ、SST r mn…ソース側選択トランジスタ、SDT r mn…ドレイン側選択トランジスタ。

10

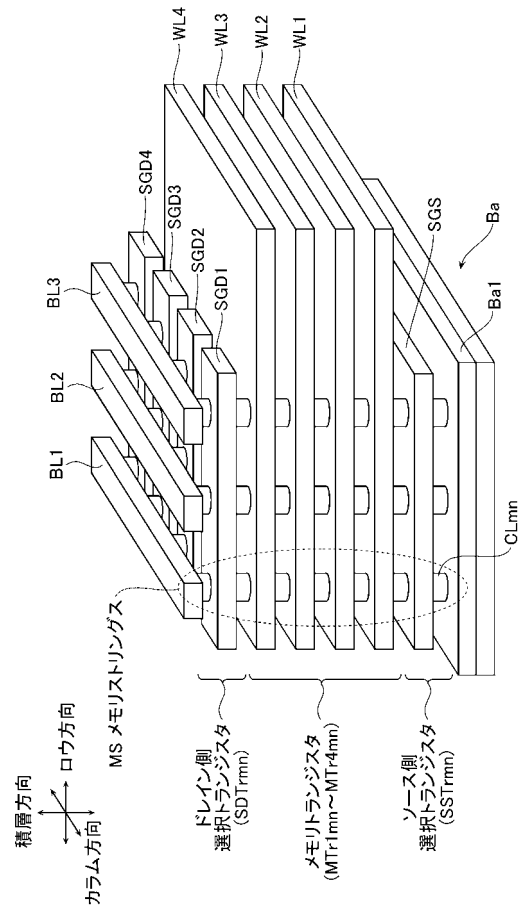
20

30

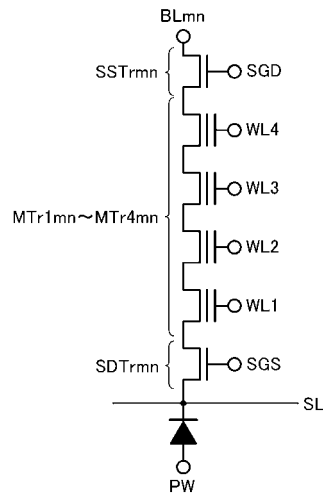
【図 1】



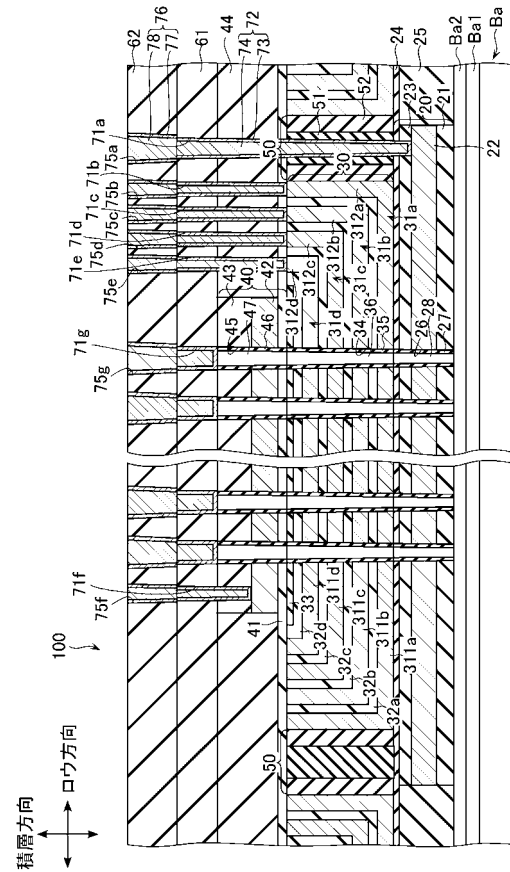
【図 2】



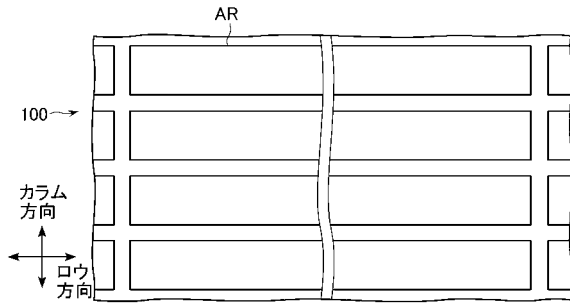
【図 3】



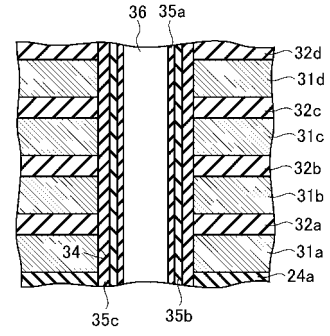
【図 4】



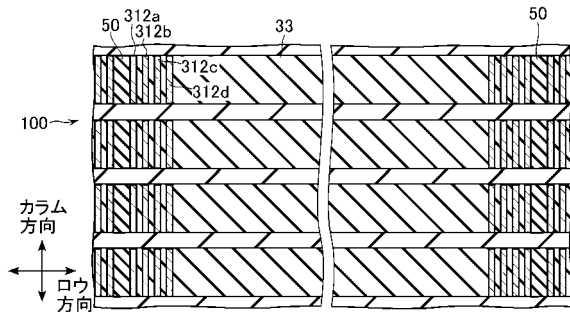
【図 5】



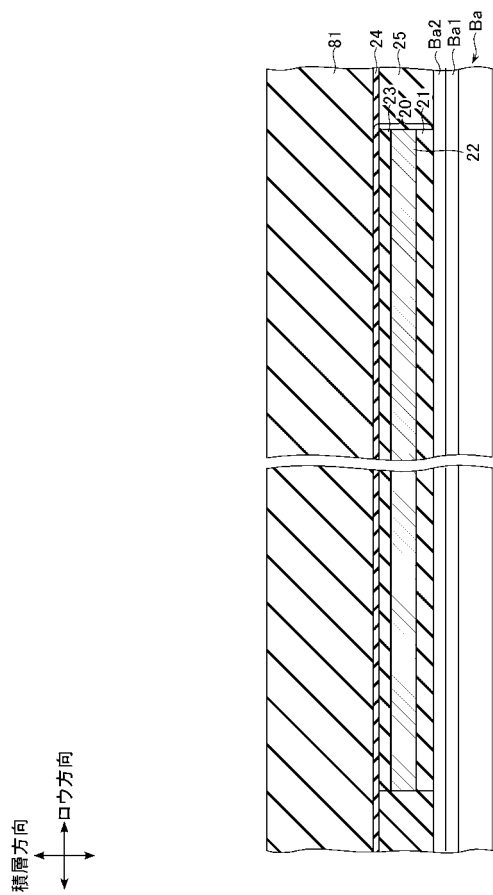
【図 7】



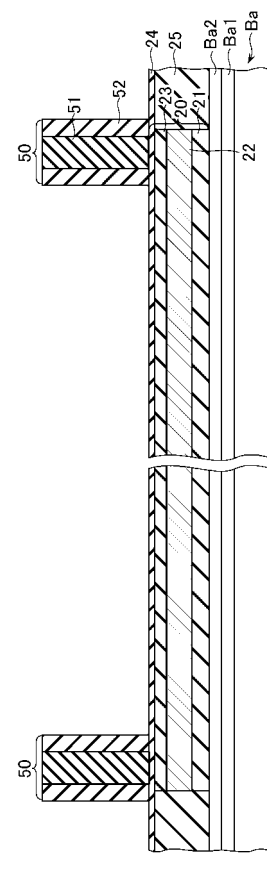
【図 6】



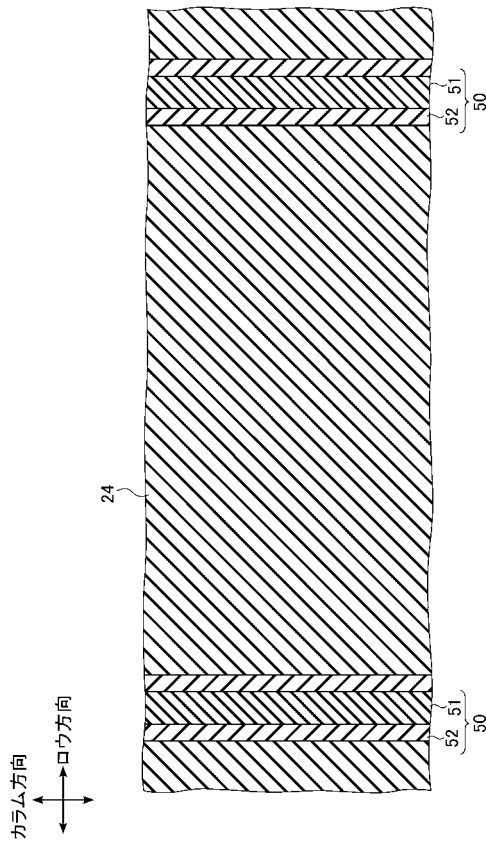
【図 8】



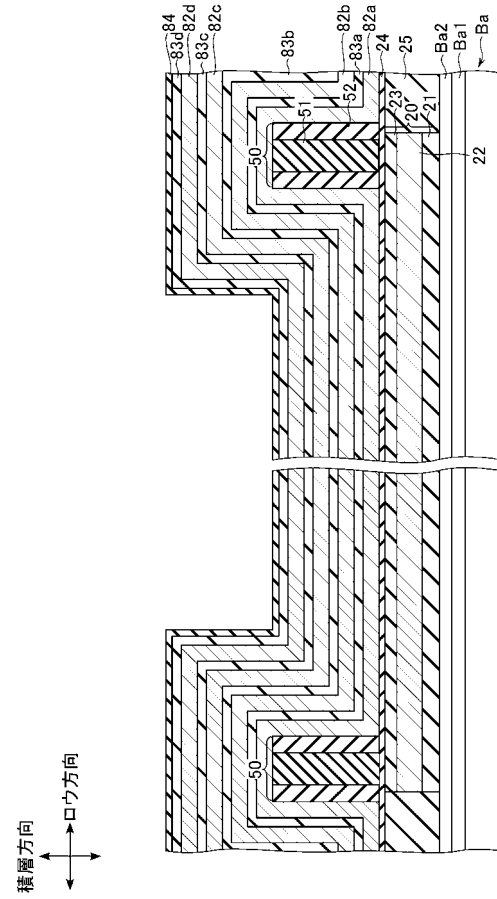
【図 9 A】



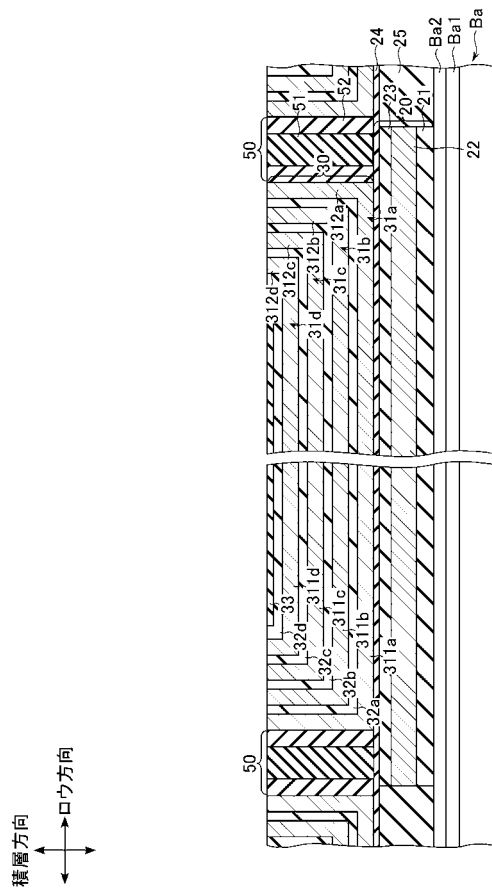
【図 9 B】



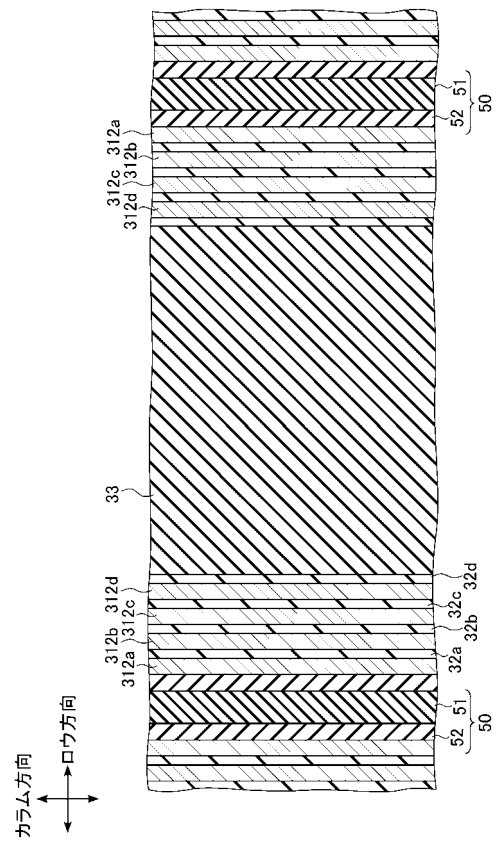
【図 10】



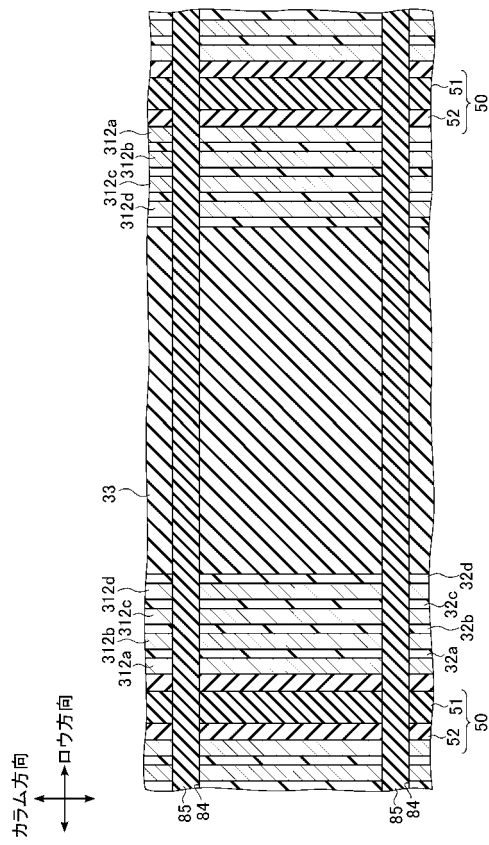
【図 11 A】



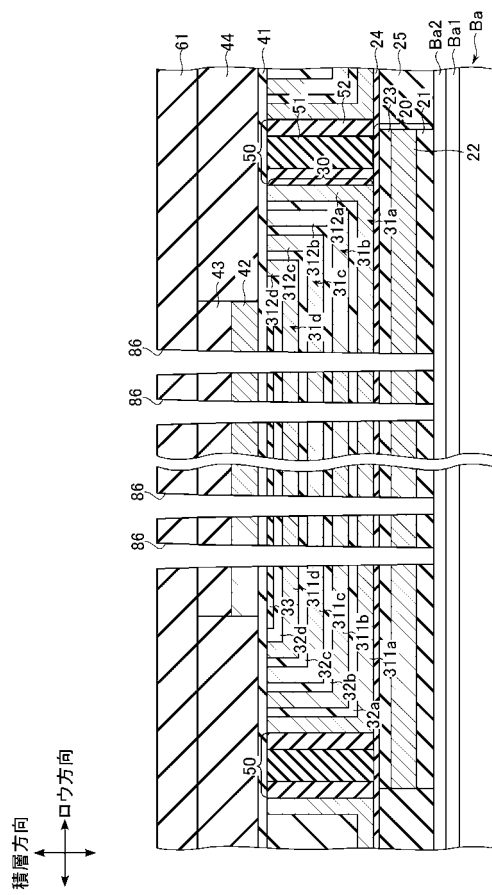
【図 11 B】



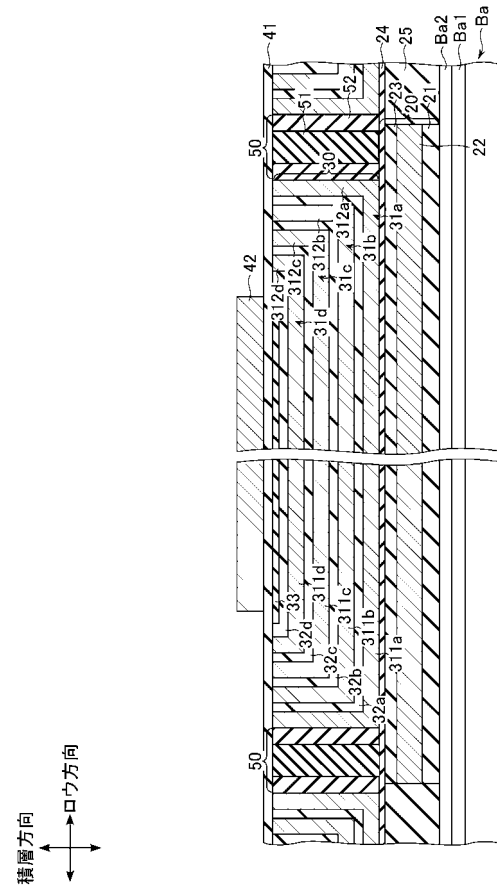
【図 1 2】



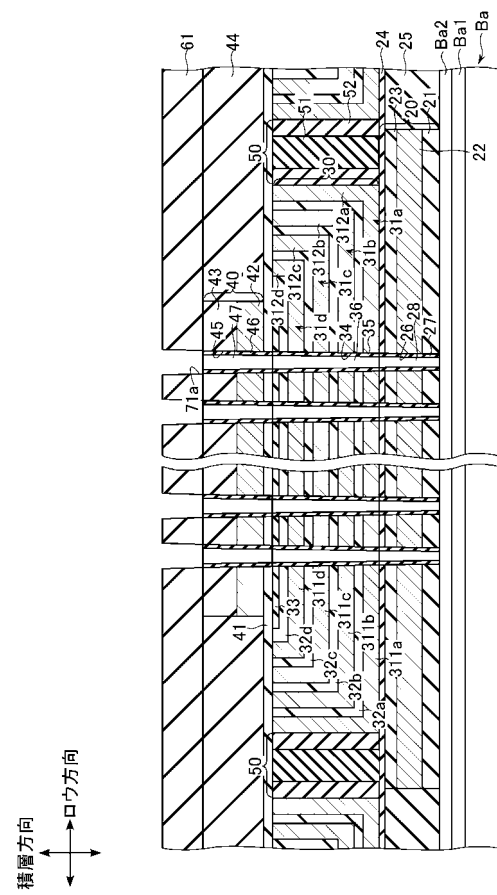
【図 1 4】



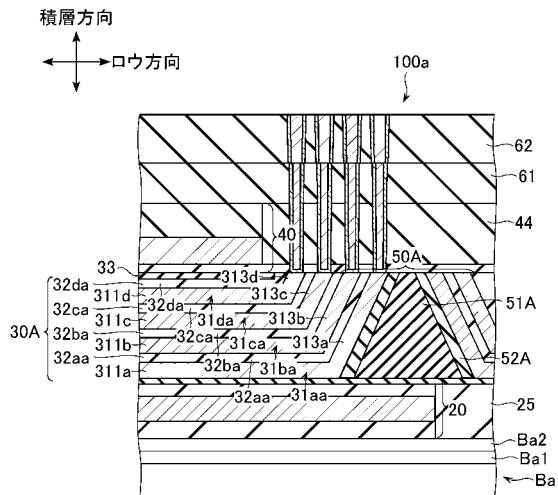
【図 1 3】



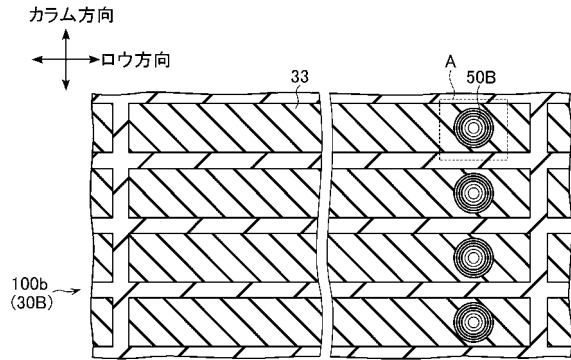
【図 1 5】



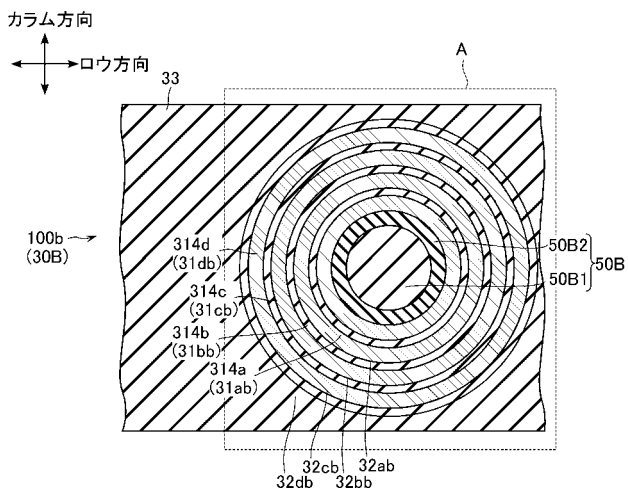
【図 16】



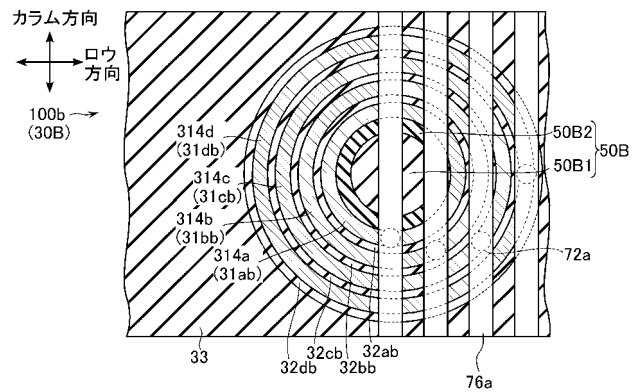
【図 17 A】



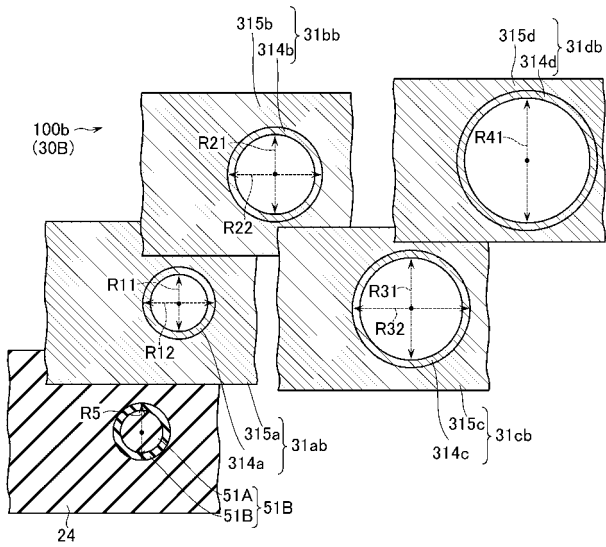
【図 17 B】



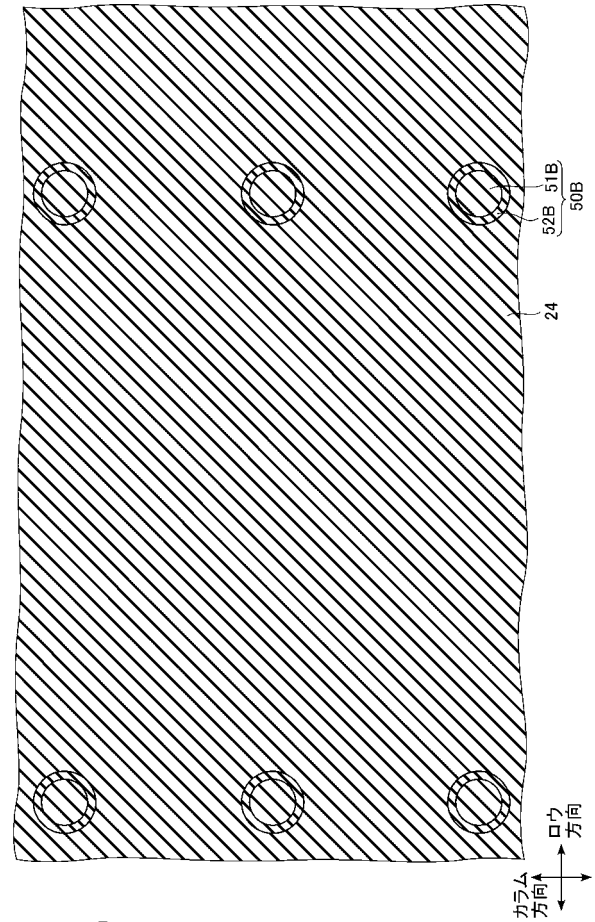
【図 17 C】



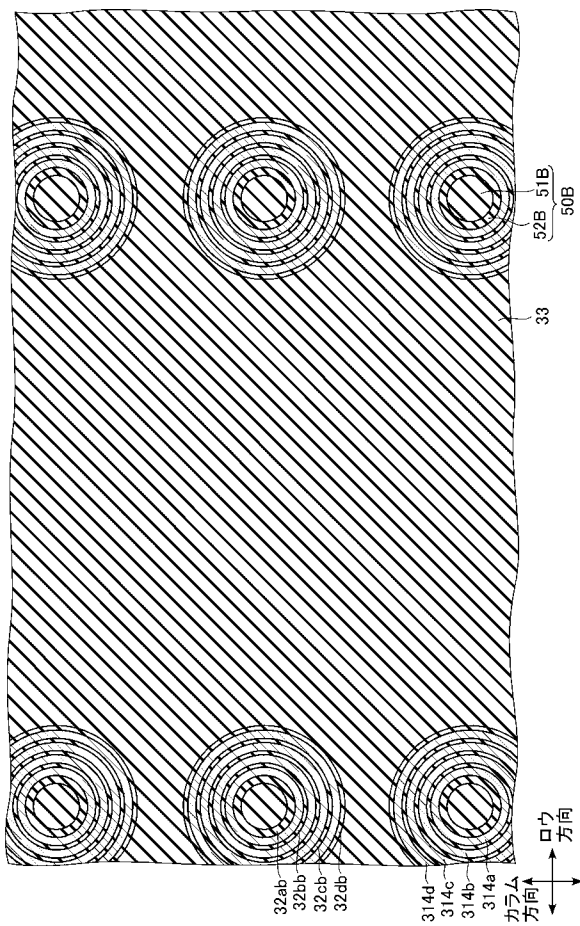
【図 17 D】



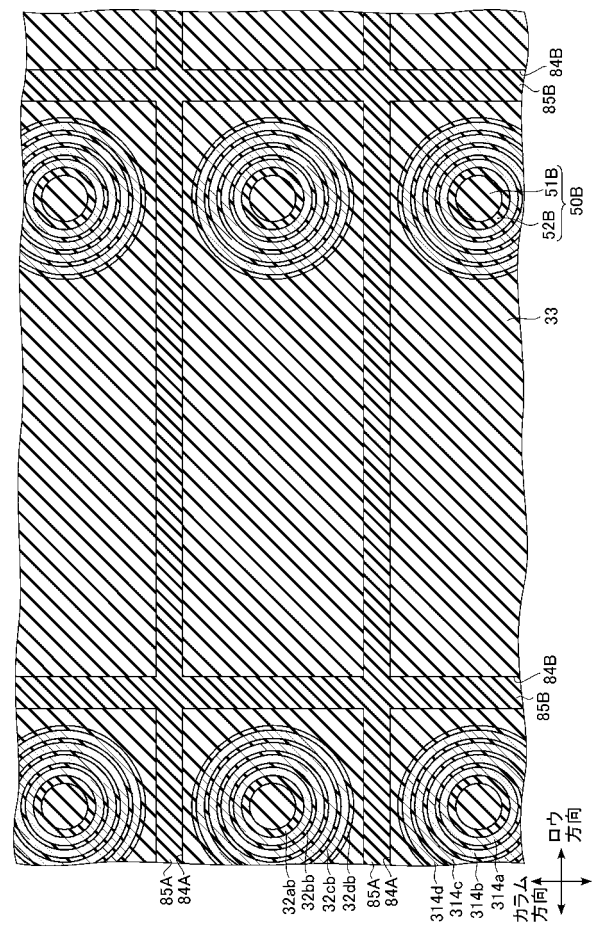
【図 18】



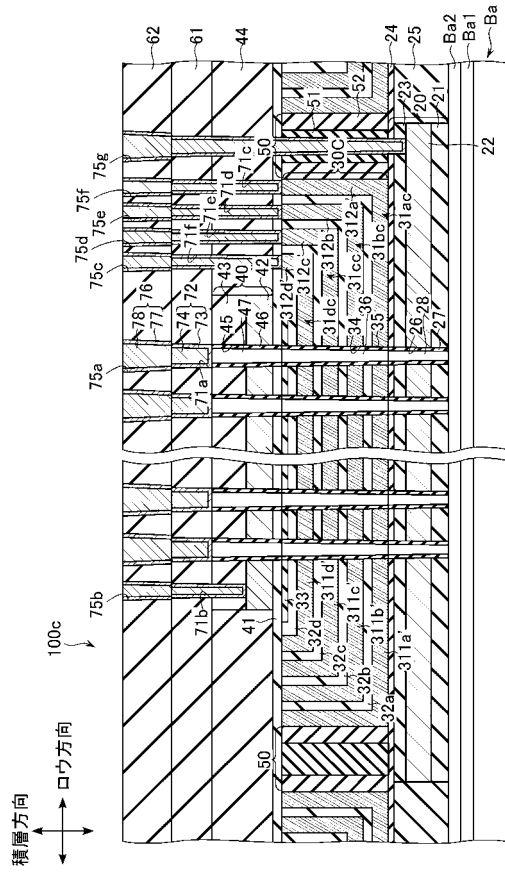
【図 19】



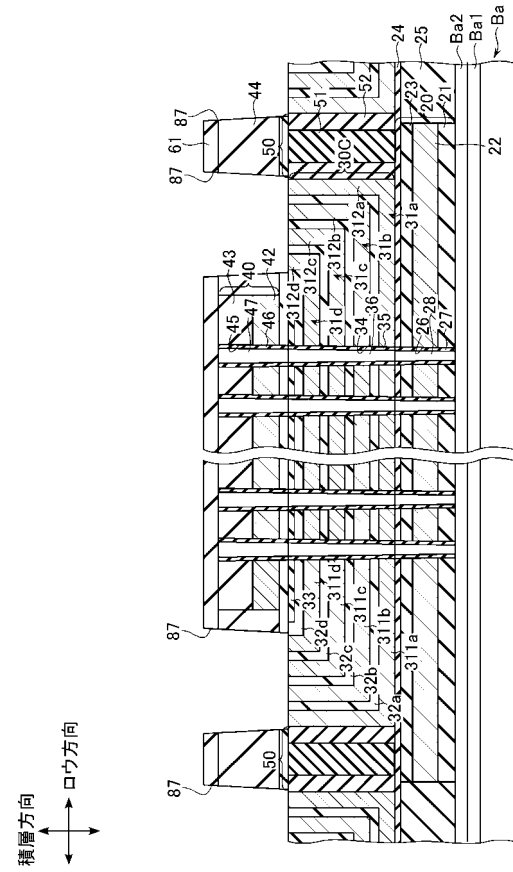
【図 20】



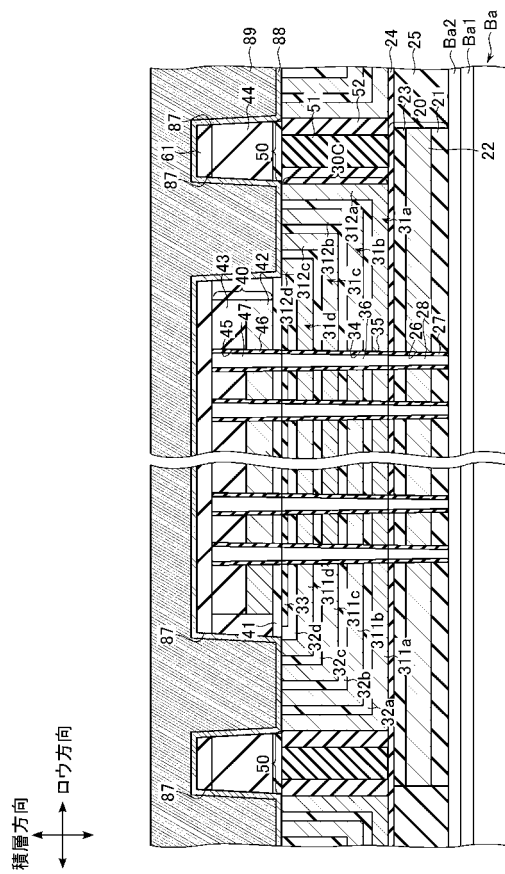
【図 2 1】



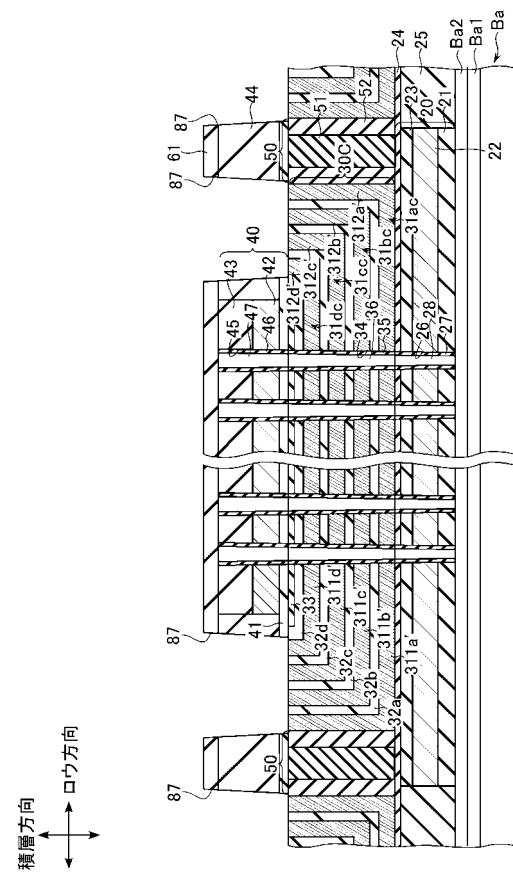
【図 2 2】



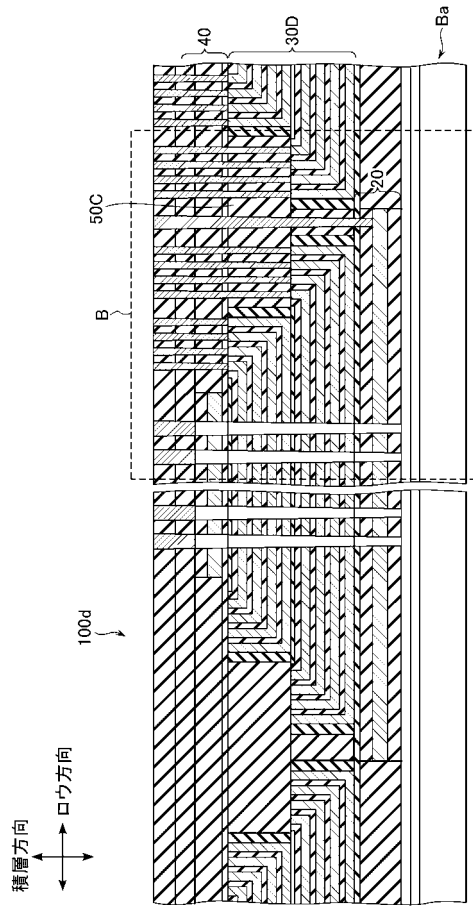
【図 2 3】



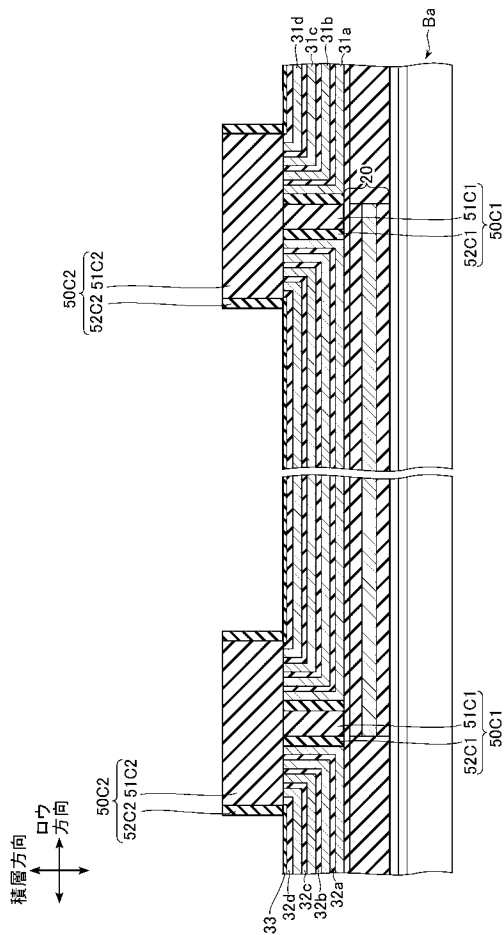
【図 2 4】



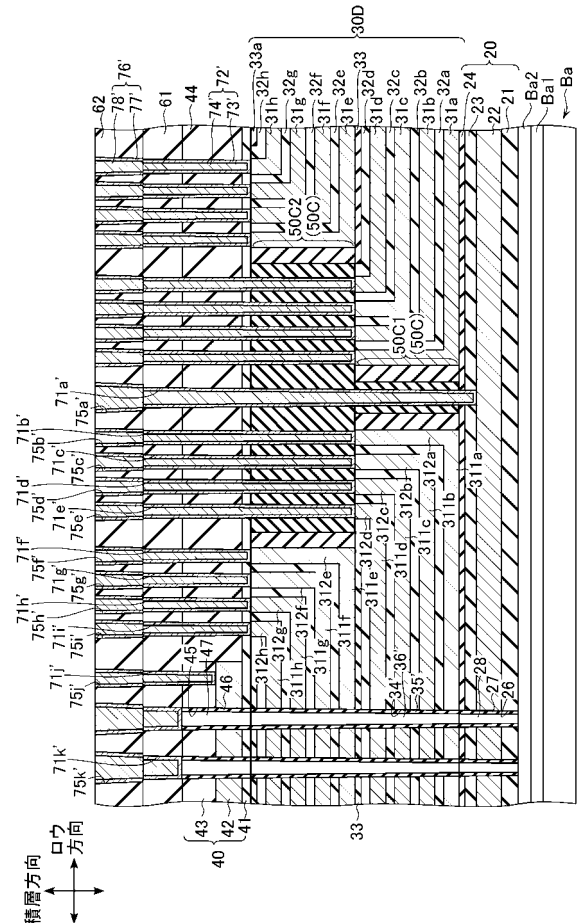
【図 25】



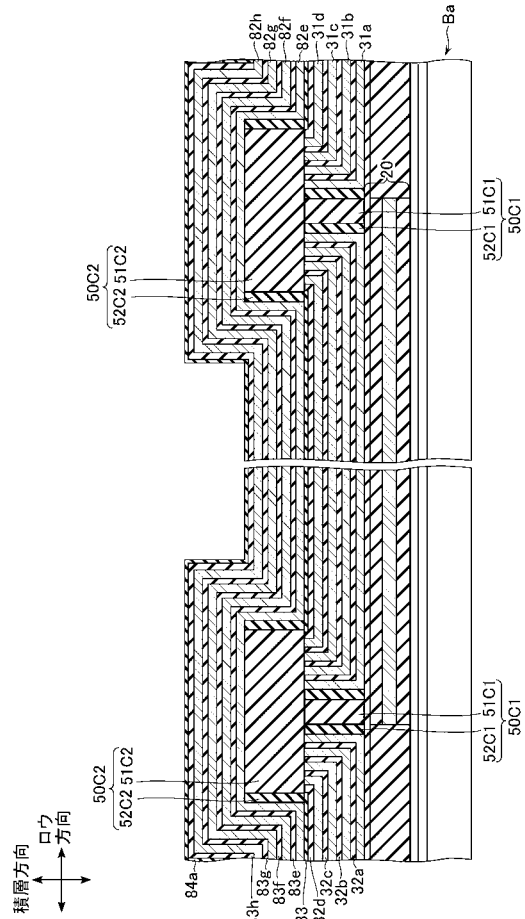
【図 27】



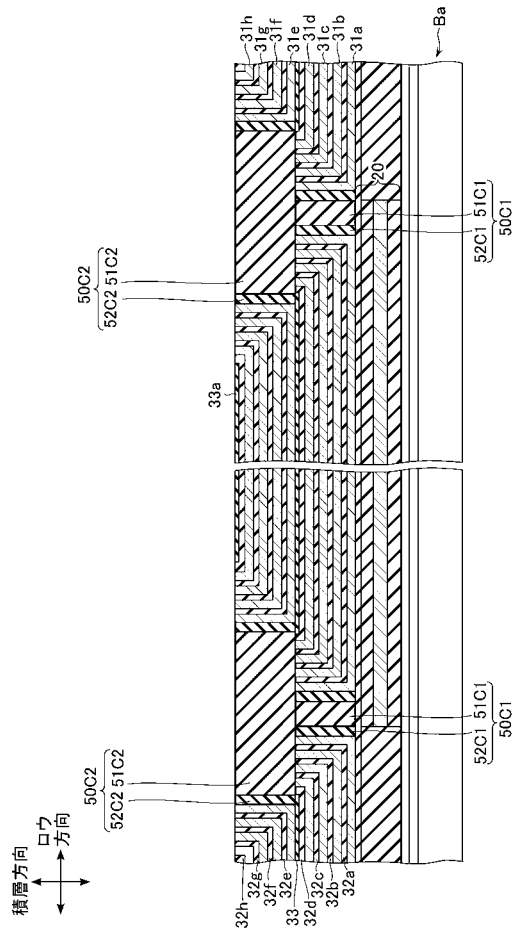
【図 26】



【図 28】



【図 29】



フロントページの続き

- (72)発明者 勝又 竜太
東京都港区芝浦一丁目1番1号 株式会社東芝内
- (72)発明者 鬼頭 傑
東京都港区芝浦一丁目1番1号 株式会社東芝内
- (72)発明者 木藤 大
東京都港区芝浦一丁目1番1号 株式会社東芝内
- (72)発明者 田中 啓安
東京都港区芝浦一丁目1番1号 株式会社東芝内
- (72)発明者 松岡 泰之
東京都港区芝浦一丁目1番1号 株式会社東芝内
- (72)発明者 小森 陽介
東京都港区芝浦一丁目1番1号 株式会社東芝内
- (72)発明者 石月 恵
東京都港区芝浦一丁目1番1号 株式会社東芝内
- (72)発明者 仁田山 晃寛
東京都港区芝浦一丁目1番1号 株式会社東芝内
- (72)発明者 伊藤 仁
東京都港区芝浦一丁目1番1号 株式会社東芝内

Fターム(参考) 5F083 EP18 EP22 EP33 EP34 EP76 ER21 GA10 JA04 JA36 JA39
JA40 JA56 LA03 LA05 MA06 MA16 MA19 PR40 PR42 PR52
5F101 BA45 BB02 BD16 BD22 BD30 BD34 BE07 BH21