

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2014 年 12 月 18 日(18.12.2014)



(10) 国際公開番号
WO 2014/199672 A1

- (51) 国際特許分類:
H01L 29/786 (2006.01) H01L 29/41 (2006.01)
H01L 21/28 (2006.01) H01L 51/05 (2006.01)
H01L 21/336 (2006.01)
- (21) 国際出願番号: PCT/JP2014/055029
- (22) 国際出願日: 2014 年 2 月 28 日(28.02.2014)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2013-122789 2013 年 6 月 11 日(11.06.2013) JP
- (71) 出願人: シャープ株式会社(SHARP KABUSHIKI KAISHA) [JP/JP]; 〒5458522 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 Osaka (JP).
- (72) 発明者: 菅 勝行(SUGA, Katsuyuki).
- (74) 代理人: 特許業務法人HARAKENZO WORLD PATENT & TRADEMARK (HARAKENZO WORLD PATENT & TRADEMARK); 〒5300041 大阪府大阪市北区天神橋 2 丁目北 2 番 6 号 大和南森町ビル Osaka (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).
- 添付公開書類:
— 国際調査報告 (条約第 21 条(3))

(54) Title: SEMICONDUCTOR ELEMENT AND SEMICONDUCTOR ELEMENT MANUFACTURING METHOD

(54) 発明の名称: 半導体素子、および半導体素子の製造方法

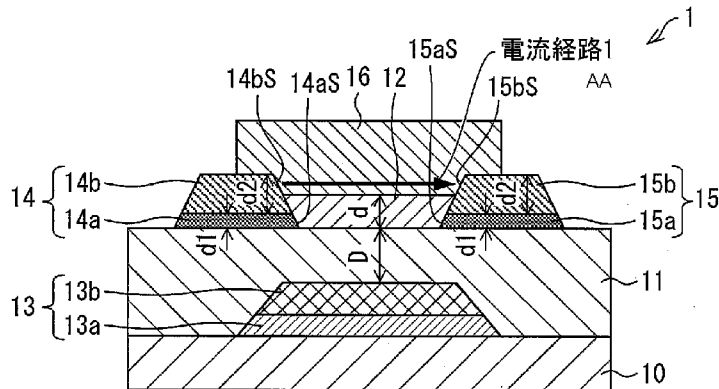


FIG. 1:
AA Current path 1

(57) Abstract: A material of topmost layers (14b, 15b) of a source electrode (14) and a drain electrode (15) of an organic TFT (1) has a smaller work function difference between the material and a material of a semiconductor layer (16) than a work function difference between the material of the semiconductor layer and a material of layers (14a, 14b) other than the topmost layers. Upper surfaces and side surfaces of the topmost layers of the source electrode (14) and the drain electrode (15) are directly in contact with the semiconductor layer (16), and there is a second gate insulating layer (12) between the layers other than the topmost layers and the semiconductor layer (16).

(57) 要約: 有機 TFT (1) のソース電極 (14) およびドレイン電極 (15) のそれぞれの最上層 (14b, 15b) の材料は、最上層以外の層 (14a, 14b) の材料よりも半導体層 (16) の材料の仕事関数との差が小さい。ソース電極 (14) およびドレイン電極 (15) は、それぞれの最上層の上面および側面で半導体層 (16) と直接接触し、最上層以外の層と半導体層 (16) との間には、第 2 ゲート絶縁層 (12) が介在している。



WO 2014/199672 A1

明 細 書

発明の名称：半導体素子、および半導体素子の製造方法

技術分野

[0001] 本発明は、半導体素子、および半導体素子の製造方法に関する。

背景技術

[0002] 近年、次世代のトランジスタ技術として、有機半導体層を用いたＴＦＴ（Thin Film Transistor, 薄膜トランジスタ）が注目されている。

[0003] 有機ＴＦＴは、１００℃から２００℃まで程度の低温のプロセスによって製造することが可能であるため、プラスチック基板上に直接的に形成することができる。また、有機ＴＦＴは、半導体層および絶縁層がともに有機材料によって形成されているため、曲げに対する耐性が強く、フィルム液晶および電子ペーパー等のフレキシブルディスプレイへの応用が期待されている。

[0004] 有機ＴＦＴの一般的な構造としては、ボトムゲート・ボトムコンタクト構造が広く適用されている。ボトムゲート・ボトムコンタクト構造では、ゲート電極およびゲート絶縁層が基板上に形成され、続いて、ゲート絶縁層の上にソース電極およびドレイン電極が形成される。その後、ゲート絶縁層、ソース電極、およびドレイン電極の上に、有機半導体が形成される。

[0005] 研究段階においては、有機ＴＦＴにおけるソース電極およびドレイン電極の材料として、有機半導体層との良好なコンタクトを取ることが可能な金属である金が用いられ、ソース電極およびドレイン電極は、Ａｕ（金）の単層膜として形成されることが一般的である。

[0006] ボトムゲート構造の有機ＴＦＴにおいては、ソース電極とドレイン電極との間に位置する、有機半導体層とゲート絶縁層との界面近傍の領域において、有機半導体のチャネルが形成され、有機半導体における電流はチャネル内を流れることができる。

[0007] 特許文献１には、ソース電極とドレイン電極との間にゲート絶縁層をさらに設け、有機半導体層を平坦化させる平坦化層とすることにより、有機半導

体のチャネルを移動するキャリアの移動度を向上させた有機トランジスタの構造および製造方法が開示されている。

- [0008] また、非特許文献1には、ボトムゲート構造の有機トランジスタにおいて、密着層をさらに設けた構成が開示されている。密着層とは、各電極と下地（基板およびゲート絶縁層）との密着力を向上させるために、ゲート電極、ソース電極、およびドレイン電極に設けられた、補助的な金属層である。

先行技術文献

特許文献

- [0009] 特許文献1：日本国公開特許公報「特開2007-266355号公報（2007年10月11日公開）」

非特許文献

- [0010] 非特許文献1：Sang Mi Cho, Seung Hoon Han, Jun Hee Kim, and Jin Jang, “Photoleakage currents in organic thin-film transistors”, Applied Physics Letters Vol.88 071106, 2006.

非特許文献2：Yu Kimura, Fumio Mochizuki, Takashi Nagase, Takashi Kobayashi, Kazuo Takimiya, Masaaki Ikeda, and Hiroyoshi Naito, “Device Performance of Benzothienobenzothiophene-Based Top-Gate Organic Field-Effect Transistors with Embedded Electrodes”, IDW2012予稿集, AMDp2-1, 2012.

非特許文献3：J. Veres, S. D. Ogier, S. W. Leeming, D. C. Cupertino, and S. Mohialdin Khaffaf, “Low-k Insulators as the Choice of Dielectrics in Organic Field-Effect Transistors”, Advanced Functional Materials, Vol. 13, No.3, pp. 199-204, 2003.

非特許文献4：Tokiyoshi Umeda, Daisuke Kumaki, and Shizuo Tokito, “Surface-energy-dependent field-effect mobilities up to $1\text{cm}^2/\text{Vs}$ for polymer thin-film transistor”, Journal of Applied Physics, Vol. 105, Issue 2, DEVICE PHYSICS, 2009.

発明の概要

発明が解決しようとする課題

- [0011] しかしながら、特許文献 1 および 2 に開示された従来技術には、以下のよう
な問題がある。
- [0012] 製品段階におけるボトムゲート構造の有機 T F T においては、特許文献 2
に示されているように、ソース電極およびドレイン電極は、複数の層からな
っている。すなわち、各電極と下地（基板およびゲート絶縁層）との密着力
を向上させるために、ゲート電極、ソース電極、およびドレイン電極には、
第 1 層（密着層）として、T i（チタン）またはC r（クロム）等によって
形成された金属層が、A u（金）等によって形成された第 2 層（コンタクト
層）の下部に設けられている。
- [0013] ここで、T i 等によって形成された第 1 層は、有機半導体層との良好なコ
ンタクトを取ることができないため、密着層の存在によって、有機半導体
におけるコンタクト抵抗が増加する。従って、有機半導体のチャネル内に流れ
る電流が低下し、有機 T F T の特性が低下するという問題が生じる。
- [0014] しかし、特許文献 1 に開示された有機トランジスタにおいては、ソース電
極およびドレイン電極は、単層の金属膜として形成されており、特許文献 1
に開示された有機トランジスタの構造は、研究段階におけるボトムゲート構
造の有機 T F T の一般的な構造と同様である。
- [0015] 従って、特許文献 1 および 2 に開示された従来技術では、ソース電極およ
びドレイン電極が複数の層からなる半導体素子において生じる、特性の低下
に対処することができないという問題がある。
- [0016] 本発明は、上記の問題を解決するためになされたものであり、その目的は
、ソース電極およびドレイン電極が複数の層からなる半導体素子において生
じる、特性の低下を抑制することができる半導体素子、およびそのような半
導体素子の製造方法を提供することである。

課題を解決するための手段

- [0017] 上記の課題を解決するために、本発明の一態様に係る半導体素子は、ゲー

ト電極と、上記ゲート電極を覆う第1ゲート絶縁層と、上記第1ゲート絶縁層上に、平面視で上記ゲート電極を挟んで互いに離間するとともに、上記第1ゲート絶縁層を介して上記ゲート電極の一部にそれぞれ重畳するソース電極およびドレイン電極と、上記第1ゲート絶縁層上における、少なくとも、上記ソース電極とドレイン電極とで挟まれた領域に形成された第2ゲート絶縁層と、上記ソース電極およびドレイン電極間、並びに、上記ソース電極およびドレイン電極上に形成され、上記第1ゲート絶縁層、第2ゲート絶縁層、ソース電極、およびドレイン電極を介して上記ゲート電極に重畳する半導体層と、を有し、上記ソース電極およびゲート電極は、複数の層からなり、上記ソース電極およびドレイン電極のそれぞれの最上層は、上記ソース電極およびドレイン電極のそれぞれの最上層以外の層の材料よりも上記半導体層の材料の仕事関数との差が小さい仕事関数を有する材料からなり、上記ソース電極およびドレイン電極は、それぞれの最上層の上面および側面で上記半導体層と直接接触し、上記ソース電極およびドレイン電極の最上層以外の層と上記半導体層との間には、上記第2ゲート絶縁層、並びに、上記ソース電極およびドレイン電極の最上層のうち少なくとも1つが介在していることを特徴としている。

[0018] また、上記の課題を解決するために、本発明の一態様に係る半導体素子の製造方法は、ゲート電極を覆う第1ゲート絶縁層を形成する第1ゲート絶縁層形成工程と、上記第1ゲート絶縁層上に、平面視で上記ゲート電極を挟んで互いに離間するとともに、上記第1ゲート絶縁層を介して上記ゲート電極の一部にそれぞれ重畳するソース電極およびドレイン電極を形成するソース電極・ドレイン電極形成工程と、上記第1ゲート絶縁層上における、少なくとも、上記ソース電極とドレイン電極とで挟まれた領域に、第2ゲート絶縁層を形成する第2ゲート絶縁層形成工程と、上記ソース電極およびドレイン電極間、並びに、上記ソース電極およびドレイン電極上に、上記第1ゲート絶縁層、第2ゲート絶縁層、ソース電極、およびドレイン電極を介して上記ゲート電極に重畳する半導体層を形成する半導体層形成工程と、を有し、上

記ソース電極・ドレイン電極形成工程では、上記ソース電極およびドレイン電極をそれぞれ複数の層で形成するとともに、上記ソース電極およびドレイン電極のそれぞれの最上層に、上記ソース電極およびドレイン電極のそれぞれの最上層以外の層の材料よりも上記半導体層の材料の仕事関数との差が小さい仕事関数を有する材料を使用し、かつ、上記第2ゲート絶縁層形成工程では、上記第1ゲート絶縁層上における、上記ソース電極とドレイン電極とで挟まれた領域に、上記第2ゲート絶縁層を、上記ソース電極の最上層以外の層の合計の厚みおよび上記ドレイン電極の最上層以外の層の合計の厚みよりも厚く、かつ、上記ソース電極の全体の厚みおよび上記ドレイン電極の全体の厚みよりも薄く形成することを特徴としている。

[0019] また、上記の課題を解決するために、本発明の一態様に係る半導体素子の製造方法は、ゲート電極を覆う第1ゲート絶縁層を形成する第1ゲート絶縁層形成工程と、上記第1ゲート絶縁層上に、平面視で上記ゲート電極を挟んで互いに離間するとともに、上記第1ゲート絶縁層を介して上記ゲート電極の一部にそれぞれ重畳するソース電極およびドレイン電極をそれぞれ2層で形成するソース電極・ドレイン電極形成工程と、上記第1ゲート絶縁層上における、少なくとも、上記ソース電極とドレイン電極とで挟まれた領域に、第2ゲート絶縁層を形成する第2ゲート絶縁層形成工程と、上記ソース電極およびドレイン電極間、並びに、上記ソース電極およびドレイン電極上に、上記第1ゲート絶縁層、第2ゲート絶縁層、ソース電極、およびドレイン電極を介して上記ゲート電極に重畳する半導体層を形成する半導体層形成工程と、を有し、上記ソース電極・ドレイン電極形成工程は、上記第1ゲート絶縁層上に、上記第1ゲート絶縁層との密着層であるソース電極第1層およびドレイン電極第1層を形成する工程と、上記ソース電極第1層およびドレイン電極第1層上に、上記ソース電極第1層およびドレイン電極第1層よりも上記半導体層の材料の仕事関数との差が小さい仕事関数を有する材料からなるソース電極第2層およびドレイン電極第2層を形成する工程とを有し、上記第2ゲート絶縁層形成工程は、上記ソース電極とドレイン電極とで挟まれ

た領域における上記ソース電極第1層の側面を覆うソース側第2ゲート絶縁層を形成するソース側第2ゲート絶縁層形成工程と、上記ソース電極とドレイン電極とで挟まれた領域における上記ドレイン電極第1層の側面を覆うドレイン側第2ゲート絶縁層を形成するドレイン側第2ゲート絶縁層形成工程とを有するとともに、上記ソース側第2ゲート絶縁層形成工程およびドレイン側第2ゲート絶縁層形成工程では、上記ソース側第2ゲート絶縁層とドレイン側第2ゲート絶縁層とが互いに離間し、かつ、上記ソース電極とドレイン電極とで挟まれた領域における、上記ソース電極第2層の側面の少なくとも一部およびドレイン電極第2層の側面の少なくとも一部がそれぞれ露出するように上記ソース側第2ゲート絶縁層およびドレイン側第2ゲート絶縁層を形成することを特徴としている。

[0020] また、上記の課題を解決するために、本発明の一態様に係る半導体素子の製造方法は、ゲート電極を覆う第1ゲート絶縁層を形成する第1ゲート絶縁層形成工程と、上記第1ゲート絶縁層上に、平面視で上記ゲート電極を挟んで互いに離間するとともに、上記第1ゲート絶縁層を介して上記ゲート電極の一部にそれぞれ重畳するソース電極第1層およびドレイン電極第1層を形成するソース電極第1層・ドレイン電極第1層形成工程と、上記第1ゲート絶縁層、ソース電極第1層、およびドレイン電極第1層上に、上記ソース電極第1層および上記ドレイン電極第1層の上面の少なくとも一部をそれぞれ露出させる開口部を有する第2ゲート絶縁層をパターン形成する第2ゲート絶縁層形成工程と、上記第2ゲート絶縁層上に、上記開口部のうち上記ソース電極第1層を露出させる開口部を介して上記ソース電極第1層に接続し、かつ、平面視で上記ゲート電極を挟んで互いに離間するとともに、上記第1ゲート絶縁層およびソース電極第1層を介して上記ゲート電極の一部に重畳するソース電極第2層をパターン形成するとともに、上記第2ゲート絶縁層上に、上記開口部のうち上記ドレイン電極第1層を露出させる開口部を介して、上記ドレイン電極第1層に接続し、かつ、平面視で上記ゲート電極を挟んで互いに離間するとともに、上記第1ゲート絶縁層およびドレイン電極第

1層を介して上記ゲート電極の一部に重畳するドレイン電極第2層をパターン形成するソース電極第2層・ドレイン電極第2層形成工程と、上記ソース電極第2層およびドレイン電極第2層間、並びに、上記ソース電極第2層およびドレイン電極第2層上に、上記第1ゲート絶縁層、第2ゲート絶縁層、ソース電極第1層、ソース電極第2層、ドレイン電極第1層、およびドレイン電極第2層を介して上記ゲート電極に重畳する半導体層を形成する半導体層形成工程と、を有し、上記ソース電極第2層・ドレイン電極第2層形成工程では、上記ソース電極第2層およびドレイン電極第2層に、上記ソース電極第1層およびドレイン電極第1層よりも上記半導体層の材料の仕事関数との差が小さい仕事関数を有する材料を使用することを特徴としている。

[0021] また、上記の課題を解決するために、本発明の一態様に係る半導体素子の製造方法は、ゲート電極を覆う第1ゲート絶縁層を形成する第1ゲート絶縁層形成工程と、上記第1ゲート絶縁層上に、平面視で上記ゲート電極を挟んで互いに離間するとともに上記第1ゲート絶縁層を介して上記ゲート電極の一部にそれぞれ重畳する領域に、上記第1ゲート絶縁層を露出させる開口部を有する第2ゲート絶縁層をパターン形成する第2ゲート絶縁層形成工程と、上記開口部内に、無電解メッキにより、ソース電極およびドレイン電極の一部として用いられるメッキ層を、その一部が上記開口部から突出するように形成する開口部内メッキ層形成工程と、上記第2ゲート絶縁層上に、ソース電極およびドレイン電極の最上層として、上記開口部内メッキ層形成工程で形成したメッキ層における上記開口部から突出する部分を被覆し、かつ、平面視で上記ゲート電極を挟んで互いに離間するとともに上記第1ゲート絶縁層を介して上記ゲート電極の一部にそれぞれ重畳する表面メッキ層を形成する表面メッキ層形成工程と、上記ソース電極およびドレイン電極間、並びに、上記ソース電極およびドレイン電極上に、上記第1ゲート絶縁層、第2ゲート絶縁層、ソース電極、およびドレイン電極を介して上記ゲート電極に重畳する半導体層を形成する半導体層形成工程と、を有し、上記表面メッキ層形成工程では、上記表面メッキ層に、上記開口部内メッキ層形成工程で形

成したメッキ層よりも上記半導体層の材料の仕事関数との差が小さい仕事関数を有する材料を使用することを特徴としている。

発明の効果

[0022] 本発明の一態様に係る半導体素子によれば、ソース電極およびドレイン電極が複数の層からなるボトムゲート構造の半導体素子において生じる、特性の低下を抑制することが可能であるという効果を奏する。また、本発明の一態様に係る半導体素子の製造方法によれば、上述した半導体素子を製造することが可能であるという効果を奏する。

図面の簡単な説明

[0023] [図1]本発明の実施の形態1に係る有機TFETの断面図である。

[図2] (a) ~ (g) は、本発明の実施の形態1に係る有機TFETの断面図であり、有機TFETの製造における各工程を示す図である。

[図3]本発明の実施の形態1に係る有機TFETの比較例としての、有機TFETの断面図である。

[図4] (a) および (b) は、本発明の実施の形態1に係る有機TFETの別の比較例としての有機TFETのそれぞれの断面図である。

[図5]本発明の実施の形態2に係る有機TFETの断面図である。

[図6]一般的な有機TFETにおける、(i) ゲート絶縁膜の比誘電率（横軸）と、(ii) 有機TFETが備える有機半導体のキャリアの移動度（縦軸）との間の関係を示すグラフである。

[図7]本発明の実施の形態3に係る有機TFETの断面図である。

[図8] (a) は、本発明の実施の形態本発明の実施の形態1または2に係る有機TFETにおける有機半導体層を形成するために、インクジェットを用いて半導体材料を滴下する製造工程を示す図である。(b) は、本発明の実施の形態3に係る有機TFETにおける有機半導体層を形成するために、インクジェットを用いて半導体材料を滴下する製造工程を示す図である。

[図9]本発明の実施の形態4に係る有機TFETの断面図である。

[図10]一般的な有機TFETにおける、(i) ゲート絶縁膜の水接触角（横軸

）と、（i i）有機T F Tが備える有機半導体のキャリアの移動度（縦軸）との間の関係を示すグラフである。

[図11]（a）は、本発明の実施の形態5に係る有機T F Tの第2ゲート絶縁層を形成するために、インクジェットを用いて、有機T F Tが備えるソース電極とドレイン電極との間の空間に、絶縁材料を滴下する製造工程を示す図である。（b）は、本発明の実施の形態5に係る有機T F Tの断面図である。

[図12]（a）は、本発明の実施の形態1から4のいずれか1つに係る有機T F Tのソース電極とドレイン電極15との間の空間を全体的に充填するように、インクジェットを用いて、絶縁材料を滴下する製造工程を示す図である。（b）は、本発明の実施の形態5に係る有機T F Tのソース電極とドレイン電極との間の空間を全体的に充填しないように、インクジェットを用いて、絶縁材料を滴下する製造工程を示す図である。

[図13]（a）～（f）は、本発明の実施の形態6に係る有機T F Tの断面図であり、有機T F Tの製造における各工程を示す図である。

[図14]（a）は、本発明の実施の形態1から5のいずれか1つに係る有機T F Tにおいて、インクジェットを用いて絶縁材料を滴下することにより、第2ゲート絶縁層を形成する製造工程を示す図である。（b）は、本発明の実施の形態6に係る有機T F Tにおいて、スピンコート装置を用いて、ソース電極第1層とドレイン電極第2層との間の空間に、第2ゲート絶縁層を形成する製造工程を示す図である。

[図15]本発明の実施の形態7に係る有機T F Tの断面図である。

[図16]（a）は、本発明の実施の形態1から6のいずれか1つに係る有機T F Tの断面図であり、有機半導体のチャネルを制御するためのゲート電圧が、ゲート電極のゲート電極第2層から与えられている様子を示す図である。

（b）、本発明の実施の形態7に係る有機T F Tの断面図であり、有機半導体のチャネルを制御するためのゲート電圧が、ゲート電極のゲート電極第2層から与えられている様子を示す図である。

[図17] (a) ~ (d) は、本発明の実施の形態8に係る有機TFETの断面図であり、有機TFETの製造における各工程を示す図である。

[図18] (a) ~ (d) は、本発明の実施の形態9に係る有機TFETの断面図であり、有機TFETの製造における各工程を示す図である。

発明を実施するための形態

[0024] 〔実施形態1〕

本発明の実施の一形態について図1~図4に基づいて説明すれば、以下の通りである。

[0025] (有機TFET1の構成)

図1は、本実施形態の有機TFET1（半導体素子）の断面図である。有機TFET1は、基板10、第1ゲート絶縁層11、第2ゲート絶縁層12、ゲート電極13、ソース電極14、ドレイン電極15、および有機半導体層16（半導体層）を備えている。

[0026] 有機TFET1は、ボトムゲート構造の有機TFETであり、ゲート電極13が、ソース電極14およびドレイン電極15に対して下部に設けられている。また、図1には、有機半導体層16の内部において、ソース電極14側からドレイン電極15側へ向かって流れる電流の経路を表す、電流経路1が示されている。

[0027] (基板10)

基板10は、有機TFET1における各種の電極および絶縁層を配設するための基板であり、ガラスまたはプラスチック等の絶縁材料によって製作されている。基板10は、例えば、ポリエチレンテレフタレートまたはポリイミド等の材料によって製作されてよい。

[0028] (ゲート電極13)

ゲート電極13は、基板10の上に設けられている。ここで、基板10に対するゲート電極13の側を上側、ゲート電極13に対する基板10の側を下側として、以降に詳述する各部材間の上下方向の位置関係を規定する。

[0029] ゲート電極13は、基板10との密着層としてのゲート電極第1層13a

を備えており、また、ゲート電極第1層13aの上に、ゲート電極第2層13bを備えている。

[0030] ゲート電極第1層13aは、ゲート電極13と基板10との密着力を向上させるために設けられた、基板10と接触している密着層である。ゲート電極第1層13aは、TiまたはCr等の金属材料によって形成されている。

[0031] ゲート電極第2層13bは、Al（アルミニウム）等の金属材料によって形成された電極であり、ゲート電極第1層13aの上に設けられている。ゲート電極第2層13bは、有機TFT1において、ゲート電極13を外部と電氣的に接続するためのコンタクト層として機能する。なお、ゲート電極第2層13bは、Alの他に、Au、Mo（モリブデン）等の金属材料によって形成されてもよい。

[0032] （第1ゲート絶縁層11）

第1ゲート絶縁層11は、基板10およびゲート電極13の表面を覆うように、基板10およびゲート電極13の上面に設けられた絶縁層である。第1ゲート絶縁層11は、例えば、PVP（ポリパラビニルフェノール）等の有機絶縁材料によって形成されてもよいし、または、SiO₂（二酸化ケイ素）等の無機絶縁材料によって形成されてもよい。

[0033] （ソース電極14およびドレイン電極15）

ソース電極14およびドレイン電極15は、それぞれ、FETにおけるソース電極およびドレイン電極であり、互いに離間して第1ゲート絶縁層11の上に設けられている。

[0034] ソース電極14は、第1ゲート絶縁層11との密着層としてのソース電極第1層14aを備えており、また、ソース電極第1層14aの上に、ソース電極第2層14bを備えている。

[0035] 同様に、ドレイン電極15は、第1ゲート絶縁層11との密着層としてのドレイン電極第1層15aを備えており、また、ドレイン電極第1層15aの上に、ドレイン電極第2層15bを備えている。

[0036] ソース電極第1層14aおよびドレイン電極第1層15aは、それぞれ、

ソース電極 1 4 と第 1 ゲート絶縁層 1 1 との密着力、および、ドレイン電極 1 5 と第 1 ゲート絶縁層 1 1 との密着力を向上させるために設けられた、第 1 ゲート絶縁層 1 1 と接触している密着層である。ソース電極第 1 層 1 4 a およびドレイン電極第 1 層 1 5 a は、それぞれ、Ti または Cr 等の金属材料によって形成されている。

[0037] ソース電極第 2 層 1 4 b は、Au 等の金属材料によって形成された電極であり、ソース電極第 1 層 1 4 a の上に設けられている。ソース電極第 2 層 1 4 b は、有機 TFT 1 において、ソース電極 1 4 を外部および有機半導体層 1 6 と電氣的に接続するためのコンタクト層として機能する。

[0038] 同様に、ドレイン電極第 2 層 1 5 b は、Au 等の金属材料によって形成された電極であり、ドレイン電極第 1 層 1 5 a の上に設けられている。ドレイン電極第 2 層 1 5 b は、有機 TFT 1 において、ドレイン電極 1 5 を外部および有機半導体層 1 6 と電氣的に接続するためのコンタクト層として機能する。

[0039] また、ソース電極 1 4 およびドレイン電極 1 5 は、互いに等しい大きさを有するように形成されている。ここで、

$d1 = (\text{ソース電極第 1 層 1 4 a の厚さ, およびドレイン電極第 1 層 1 5 a の厚さ}),$

$d2 = (\text{ソース電極第 2 層 1 4 b の厚さ, およびドレイン電極第 2 層 1 5 b の厚さ}),$

として、厚さを示す寸法 $d1$ および $d2$ をそれぞれ定める。

[0040] なお、ソース電極第 2 層 1 4 b およびドレイン電極第 2 層 1 5 b は、それぞれ、Au の他に、Al、Mo 等の金属材料によって形成されてもよい。

[0041] また、ソース電極第 1 層 1 4 a およびソース電極第 2 層 1 4 b において、ドレイン電極第 1 層 1 5 と対向している側の面を、それぞれ、ソース電極第 1 層側面 1 4 a S およびソース電極第 2 層側面 1 4 b S と呼称する。

[0042] そして、ドレイン電極第 1 層 1 5 a およびドレイン電極第 2 層 1 5 b において、ソース電極第 1 層 1 4 と対向している側の面を、それぞれ、ドレイン

電極第 1 層側面 1 5 a S およびドレイン電極第 2 層側面 1 5 b S と呼称する。
。

[0043] (第 2 ゲート絶縁層 1 2)

第 2 ゲート絶縁層 1 2 は、第 1 ゲート絶縁層 1 1 上において互いに離間して配置されたソース電極 1 4 とドレイン電極 1 5 との間の空間を充填するように、第 1 ゲート絶縁層 1 1 の上に設けられた絶縁層である。なお、本明細書において、充填という言葉は、空間を隙間なく埋めるように部材を設けることを必ずしも意味しておらず、空間の一部に隙間があるように、部材を設けることをも意味している。

[0044] 第 2 ゲート絶縁層 1 2 の材料は、第 1 ゲート絶縁層 1 1 と同じ絶縁材料であってもよいし、第 1 ゲート絶縁層 1 1 と異なる絶縁材料であってもよい。

[0045] ここで、第 1 ゲート絶縁層 1 1 の厚さを示す寸法を D、第 2 ゲート絶縁層 1 2 の厚さを示す寸法を d として、寸法 D および d をそれぞれ定める。

[0046] そして、第 2 ゲート絶縁層 1 2 の厚さを示す寸法 d について、以下の式 (1)

$$d_1 < d < d_1 + d_2 \quad (1)$$

の関係が満たされるように、第 2 ゲート絶縁層 1 2 は、形成されている。

[0047] このとき、式 (1) により、第 2 ゲート絶縁層 1 2 は、(i) ソース電極第 1 層側面 1 4 a S の全体、およびドレイン電極第 1 層側面 1 5 a S の全体を被覆し、かつ、(i i) ソース電極第 2 層側面 1 4 b S の一部、およびドレイン電極第 2 層側面 1 5 b S の一部を被覆するように、ソース電極 1 4 とドレイン電極 1 5 との間に配置されている。

[0048] (有機半導体層 1 6)

有機半導体層 1 6 は、第 2 ゲート絶縁層 1 2 の表面の全体、ソース電極 1 4 の表面の一部、およびドレイン電極 1 5 の表面の一部を覆うように、第 2 ゲート絶縁層 1 2、ソース電極 1 4、およびドレイン電極 1 5 の上面に設けられている。

[0049] 従って、有機半導体層 1 6 は、第 1 ゲート絶縁層 1 1 および第 2 ゲート絶

縁層 1 2 を介して、ゲート電極 1 3 と対向するように配置されている。有機半導体層 1 6 の材料は、テトラセン等の低分子の有機半導体材料であってもよいし、P P V（ポリパラフェニレンビニレン）等の高分子の有機半導体材料であってもよい。

[0050] なお、有機 T F T 1 における有機半導体層 1 6 としては、P 型の有機半導体が用いられることが一般的である、本実施形態における有機半導体層 1 6 もまた、P 型の有機半導体層として形成されている。

[0051] （有機 T F T 1 の製造方法および製造工程）

続いて、図 2 の（a）～（g）に基づき、本実施形態の有機 T F T 1 の製造方法および製造工程について説明する。図 2 の（a）～（g）は、それぞれ、有機 T F T 1 の断面図であり、有機 T F T 1 の製造における各工程を示す図である。

[0052] （第 1 工程：ゲート電極層母材成膜工程）

図 2 の（a）は、有機 T F T 1 におけるゲート電極 1 3 が備える 2 つの層である、ゲート電極第 1 層 1 3 a およびゲート電極第 2 層 1 3 b を形成する前の工程として、ゲート電極第 1 層母材 1 7 a およびゲート電極第 2 層母材 1 7 b から成るゲート電極層母材 1 7 を、基板 1 0 の上面全体に成膜する工程（第 1 工程，工程（a 1））を示す図である。

[0053] 第 1 工程では、はじめに、基板 1 0 の上面全体に、密着層として機能する材料の層を、C V D（Chemical Vapor Deposition）法または P V D（Physical Vapor Deposition）法等の公知の方法によって、所定の厚さにおいて成膜させ、ゲート電極第 1 層母材 1 7 a を形成する。ここでは、ゲート電極第 1 層母材 1 7 a の材料として、T i を選択し、ゲート電極第 1 層母材 1 7 a の厚さを 1 0 n m として成膜させている。

[0054] 続いて、ゲート電極第 1 層母材 1 7 a の上面全体に、有機 T F T 1 のコンタクト層として機能する材料の層を、ゲート電極第 1 層母材 1 7 a と同様に、公知の方法によって、所定の厚さにおいて成膜させ、ゲート電極第 2 層母材 1 7 b を形成する。ここでは、ゲート電極第 2 層母材 1 7 b の材料として

、A1を選択し、ゲート電極第2層母材17bの厚さを300nmとして成膜させている。

[0055] (第2工程：ゲート電極形成工程)

図2の(b)は、ゲート電極第1層母材17aおよびゲート電極第2層母材17bから成るゲート電極層母材17から、ゲート電極第1層13aおよびゲート電極第2層13bを備えるゲート電極13を形成する工程(第2工程、工程(b1))を示す図である。

[0056] 第2工程では、基板10の上面全体を被覆するゲート電極層母材17に対して、公知のフォトリソ技術によってフォトリソグラフィを行い、ゲート電極13を形成する。

[0057] すなわち、フォトリソグラフィによって、ゲート電極13を形成するためのパターニングを行い、不要なゲート電極層母材17(すなわち、不要なゲート電極第1層母材17aおよびゲート電極第2層母材17b)を除去することによってゲート電極13が形成される。

[0058] なお、図2の(b)においては、基板10の両端部付近に位置するゲート電極層母材17を除去し、基板10の中央付近に位置するゲート電極層母材17を残すことによって、ゲート電極13を形成するケースが例示されている。

[0059] ここで、ゲート電極13のゲート電極第1層13aおよびゲート電極第2層13bは、ゲート電極層母材17のゲート電極第1層母材17aおよびゲート電極第2層母材17bにそれぞれ対応する部材である。

[0060] フォトリソグラフィにおいては、ゲート電極13に対応する位置に存在するゲート電極層母材17の上に、公知のフォトリソ技術によってパターニングされたフォトレジストマスク(不図示)が設けられている。フォトレジストマスクは、ゲート電極13が形成された後にアッシング等によって除去される。また、薬液洗浄等によって周囲に付着した残渣を除去する工程を追加してもよい。

[0061] (第3工程：第1ゲート絶縁層形成工程)

図2の(c)は、基板10およびゲート電極13の上面全体に、第1ゲート絶縁層11を形成する工程(第3工程、工程(c1))を示す図である。

[0062] 第3工程では、基板10およびゲート電極13の上面全体に、例えば、スピコート装置によって、絶縁材料の層を所定の厚さにおいて成膜させ、第1ゲート絶縁層11を形成する。ここでは、第1ゲート絶縁層11の材料として、PVPを選択し、第1ゲート絶縁層11の厚さを500nmとして成膜させている。

[0063] なお、第3工程における第1ゲート絶縁層11を形成する装置は、スピコート装置に限定されず、任意の公知の薄膜を形成するための他の装置を用いてもよい。

[0064] (第4工程：ソースドレイン電極層母材成膜工程)

図2の(d)は、(i)ソース電極14が備える2つの層である、ソース電極第1層14aおよびソース電極第2層14b、および、(ii)ドレイン電極15が備える2つの層である、ドレイン電極第1層15aおよびドレイン電極第2層15bを形成する前の工程として、ソースドレイン電極第1層母材18aおよびソースドレイン電極第2層母材18bから成るソースドレイン電極層母材18を、第1ゲート絶縁層11の上面全体に成膜する工程(第4工程、工程(d1))を示す図である。

[0065] 第4工程では、はじめに、第1ゲート絶縁層11の上面全体に、密着層として機能する材料の層を、ゲート電極第1層母材17aと同様に、公知の方法によって、所定の厚さにおいて成膜させ、ソースドレイン電極第1層母材18aを形成する。ここでは、ソースドレイン電極第1層母材18aの材料として、Tiを選択し、ソースドレイン電極第1層母材18aの厚さを10nmとして成膜させている。

[0066] 続いて、ソースドレイン電極第1層母材18aの上面全体に、有機TF1のコンタクト層として機能する材料の層を、ソースドレイン電極第1層母材18aと同様に、公知の方法によって、所定の厚さにおいて成膜させ、ソースドレイン電極第2層母材18bを形成する。ここでは、ソースドレイン

電極第2層母材18bの材料として、Auを選択し、ソースドレイン電極第2層母材18bの厚さを100nmとして成膜させている。

[0067] なお、第4工程において形成されたソースドレイン電極第1層母材18aの厚さは、有機TF T1のソース電極第1層14aの厚さ、およびドレイン電極第1層15aの厚さ（すなわちd1）に等しい。また、ソースドレイン電極第2層母材18bの厚さは、有機TF T1のソース電極第2層14bの厚さ、およびドレイン電極第2層15bの厚さ（すなわちd2）に等しい。

[0068] 従って、本実施形態における寸法d1およびd2の値は、 $d1 = 10\text{ nm}$ 、 $d2 = 100\text{ nm}$ として、それぞれ表わされる。

[0069] （第5工程：ソース電極およびドレイン電極形成工程）

図2の（e）は、ソースドレイン電極第1層母材18aおよびソースドレイン電極第2層母材18bから成るソースドレイン電極層母材18から、（i）ソース電極第1層14aおよびソース電極第2層14bを備えるソース電極14、および、（ii）ドレイン電極第1層15aおよびドレイン電極第2層15bを備えるドレイン電極15を形成する工程（第5工程、工程（e1））を示す図である。

[0070] 第5工程では、第1ゲート絶縁層11の上面全体を被覆するソースドレイン電極層母材18に対して、公知のフォトリソ技術によってフォトリソグラフィを行い、ソース電極14およびドレイン電極15を形成する。

[0071] すなわち、フォトリソグラフィによって、ソース電極14およびドレイン電極15を形成するためのパターニングを行い、不要なソースドレイン電極層母材18（すなわち、不要なソースドレイン電極第1層母材18aおよびソースドレイン電極第2層母材18b）を除去することによって、第1ゲート絶縁層11上において、互いに離間したソース電極14およびドレイン電極15が形成される。

[0072] なお、図2の（e）においては、水平方向に関して、ソース電極14が、ゲート電極13の2つの側面のうちの1つに対向する側（すなわち左側）に配置され、かつ、ドレイン電極15が、ゲート電極13の2つの側面のうち

のもう1つに対向する側（すなわち右側）に配置されるケースが例示されている。

[0073] ここで、ソース電極第1層14aおよびドレイン電極第1層15aは、ソースドレイン電極第1層母材18aに対応する部材である。従って、ソース電極第1層14aの厚さ、およびドレイン電極第1層15aの厚さは、 $d1 = 10\text{ nm}$ として表される。

[0074] また、ソース電極第2層14bおよびドレイン電極第2層15bは、ソースドレイン電極第1層18bに対応する部材である。従って、ソース電極第2層14bの厚さ、およびドレイン電極第2層15bの厚さは、 $d2 = 100\text{ nm}$ として表される。

[0075] フォトリソグラフィにおいては、ソース電極14およびドレイン電極15にそれぞれ対応する位置に存在するソースドレイン電極層母材18の上に、公知のフォト技術によってパターニングされたフォトレジストマスク（不図示）が設けられている。フォトレジストマスクは、ソース電極14およびドレイン電極15が形成された後にアッシング等によって除去される。また、薬液洗浄等によって周囲に付着した残渣を除去する工程を追加してもよい。

[0076] （第6工程：第2ゲート絶縁層形成工程）

図2の（f）は、第1ゲート絶縁層11上において互いに離間して配置されたソース電極14とドレイン電極15との間の空間を充填するように、第1ゲート絶縁層11の上に第2ゲート絶縁層12を形成する工程（第6工程，工程（f1））を示す図である。

[0077] 第6工程では、ソース電極14とドレイン電極15との間の空間を充填するように、第1ゲート絶縁層11の上面全体に、インクジェット190を用いて絶縁材料56を滴下することにより、絶縁材料の層を所定の厚さにおいて成膜させ、第2ゲート絶縁層12を形成する。

[0078] 本実施形態では、第2ゲート絶縁層12の材料として、第1ゲート絶縁層11と同じ材料であるPVPを選択し、また、第2ゲート絶縁層12の厚さを示す寸法dを、 $d = 50\text{ nm}$ として成膜させている。

[0079] ここで、寸法 $d_1 = 10 \text{ nm}$ 、 $d_2 = 100 \text{ nm}$ 、 $d = 50 \text{ nm}$ について、

$$d_1 = 10 \text{ nm} < d = 50 \text{ nm} < d_1 + d_2 = 110 \text{ nm}$$

であるので、上述の式（１）の関係が成り立つように、寸法 d の値は選択されている。

[0080] 従って、第２ゲート絶縁層１２は、（ｉ）ソース電極第１層側面１４a Sの全体、およびドレイン電極第１層側面１５a Sの全体を被覆し、かつ、（ii）ソース電極第２層側面１４b S、およびドレイン電極第２層側面１５b Sの一部を被覆するように、ソース電極１４とドレイン電極１５との間に配置されている。

[0081] なお、第１ゲート絶縁層形成工程と第２ゲート絶縁層形成工程との間に、第１ゲート絶縁層形成工程で得られた第１ゲート絶縁層１１に、第１ゲート絶縁層１１の表面エネルギーを第２ゲート絶縁層１２の表面エネルギーの値よりも大きくするための表面処理を施す表面処理工程をさらに含んでもよい。第１ゲート１１の表面エネルギーと、第２ゲート絶縁層１２の表面エネルギーとの間の差異によって得られる効果については、後述の実施形態３および４において詳述する。

[0082] （第７工程：有機半導体層形成工程）

図２の（g）は、第２ゲート絶縁層１２の表面の全体、ソース電極１４の表面の一部、およびドレイン電極１５の表面の一部を覆うように、第２ゲート絶縁層１２、ソース電極１４、およびドレイン電極１５の上面に、有機半導体層１６を形成する工程（第７工程、工程（g１））を示す図である。

[0083] 第７工程では、真空蒸着等の公知の方法（例えば、インクジェット法またはスピンコート法）を用いて、有機半導体材料の層を、第２ゲート絶縁層１２の表面の全体、ソース電極１４の表面の一部、ドレイン電極１５の表面の一部を覆うように、第２ゲート絶縁層１２、ソース電極１４、およびドレイン電極１５の上面に成膜させ、有機半導体層１６を形成する。

[0084] 従って、有機半導体層１６は、第１ゲート絶縁層１１および第２ゲート絶

縁層 12 を介して、ゲート電極 13 と対向するように形成されている。なお、本実施形態では、有機半導体層 16 の材料として P P V を選択し、また、有機半導体の層の厚さを 200 nm として成膜させている。

[0085] 図 2 の (a) ~ (g) においてそれぞれ示された、上述の第 1 工程から第 7 工程までの製造工程によって、本実施形態の有機 T F T 1 は形成される。

[0086] なお、有機半導体層 16 を形成する工程の前に、第 2 ゲート絶縁層形成工程で得られた第 2 ゲート絶縁層 12 に、第 2 ゲート絶縁層 12 の表面エネルギーを第 1 ゲート絶縁層 11 の表面エネルギーの値よりも大きくするための表面処理を施す表面処理工程をさらに含んでもよい。第 1 ゲート 11 の表面エネルギーと、第 2 ゲート絶縁層 12 の表面エネルギーとの間の差異によって得られる効果については、後述の実施形態 3 および 4 において詳述する。

[0087] (比較例としての有機 T F T 1 O 1)

本実施形態の有機 T F T 1 の比較例としての有機 T F T 1 O 1 について、図 3 を用いて説明する。図 3 は、比較例としての有機 T F T 1 O 1 の断面図である。図 3 の有機 T F T 1 O 1 と同様の構成は、上述の非特許文献 2 に開示されている。

[0088] 比較例としての有機 T F T 1 O 1 が備える各部材は、基板 10、第 1 ゲート絶縁層 11、ゲート電極 13、ソース電極 14、ドレイン電極 15、および有機半導体層 16 を備えている。ここで、比較例としての有機 T F T 1 O 1 が備える各部材は、本実施形態の有機 T F T 1 が備える各部材と同様のものであるため、同じ部材番号を用いて示す。

[0089] 比較例としての有機 T F T 1 O 1 は、本実施形態の有機 T F T 1 から、第 2 ゲート絶縁層 12 を除外した構成であり、本実施形態の有機 T F T 1 における第 2 ゲート絶縁層 12 が存在していた空間を、有機半導体層 16 によって充填することによって得られる構造を有している。

[0090] 図 3 には、比較例としての有機 T F T 1 O 1 が備える有機半導体層 16 の内部において、ソース電極 14 側からドレイン電極 15 側へ向かって流れる電流の経路を表す、電流経路 2 が示されている。

- [0091] 有機TFT101において、有機半導体層16は、(i)ソース電極14のソース電極第1層14a、および、(ii)ドレイン電極15のドレイン電極第1層15aと電氣的に接続されている。また、有機半導体層16は、(i)ソース電極14のソース電極第2層14b、および、(ii)ドレイン電極15のドレイン電極第2層15bと電氣的に接続されている。
- [0092] ここで、有機TFT101における有機半導体層16は、P型の有機半導体であり、5.0eV程度の大きさの仕事関数を有している。
- [0093] また、ソース電極14およびドレイン電極11の電極としてそれぞれ機能する、ソース電極第2層14bおよびドレイン電極第2層15bは、Auなどの材料によって形成されている。ソース電極第2層14bおよびドレイン電極第2層15bは、Auによって形成された場合、4.8eV程度の大きさの仕事関数を有している。
- [0094] なお、ソース電極第2層14bおよびドレイン電極第2層15bは、Auに限らず、Cu（銅）またはNi（ニッケル）などの材料によって形成されてもよい。ソース電極第2層14bおよびドレイン電極第2層15bは、Cuによって形成された場合、4.7eV程度の大きさの仕事関数を有している。また、ソース電極第2層14bおよびドレイン電極第2層15bは、Niによって形成された場合、5.2eV程度の大きさの仕事関数を有している。
- [0095] 従って、(i)有機半導体層16とソース電極第2層14b、および、(ii)有機半導体層16とドレイン電極第2層15bとは、それぞれ、概ね同程度の大きさの仕事関数を有しているため、互いに良好なコンタクトを取ることができる。このため、(i)有機半導体層16とソース電極第2層14bとの間、および、(ii)有機半導体層16とドレイン電極第2層15bとの間におけるコンタクト抵抗の値は低く、多くの量の電流を流すことができる。
- [0096] 他方、密着層としてそれぞれ機能する、ソース電極第1層14aおよびドレイン電極第1層15aは、Ti等の材料によって形成されている。ソース

電極第1層14aおよびドレイン電極第1層15aは、4.0eV程度の大きさの仕事関数を有している。

[0097] 従って、(i)有機半導体層16とソース電極第1層14a、および、(ii)有機半導体層16とドレイン電極第2層15aとは、それぞれ異なる大きさの仕事関数を有しているため、互いに良好なコンタクトを取ることができない。このため、(i)有機半導体層16とソース電極第1層14aとの間、および、(ii)有機半導体層16とドレイン電極第1層15aとの間におけるコンタクト抵抗の値は高く、多くの量の電流を流すことができない。

[0098] すなわち、ソース電極第2層14bと有機半導体層16との間のコンタクト抵抗の値は、ソース電極第1層14aと有機半導体層16との間のコンタクト抵抗の値よりも小さい。そして、ドレイン電極第2層15bと有機半導体層16との間のコンタクト抵抗の値は、ドレイン電極第1層15aと有機半導体層16との間のコンタクト抵抗の値よりも小さい。

[0099] 有機半導体層16においては、ソース電極14とドレイン電極15との間の、第1ゲート絶縁層11の界面付近にチャネルが形成され、チャネルの内部に電流が流れる。従って、ソース電極14からドレイン電極15へ流れる電流は、ソース電極14のソース電極第2層14bから出発した後、ドレイン電極15のドレイン電極第2層15bへ到達するまでに、

(電流経路2) ソース電極14とドレイン電極11との間の、第1ゲート絶縁層11の界面付近を経由する、

という、上記の(電流経路2)を通じて、有機半導体層16の内部を流れる。

[0100] 従って、比較例としての有機TFOT1においては、密着層としてのソース電極第1層14aおよびドレイン電極第1層15aが存在することにより、有機半導体層16において、(電流経路2)を流れる電流の量が低下する。このため、有機TFOT1の特性が低下するという問題が生じる。

[0101] (有機TFOT1の効果)

次に、本実施形態の有機 T F T 1 の効果について、図 1 に示された電流経路 1 を参照し説明する。

[0102] 本実施形態の有機 T F T 1 は、ソース電極 1 4 とドレイン電極 1 5 との間に、第 2 ゲート絶縁層 1 2 を備えている。本実施形態の有機 T F T 1 は、この点において、比較例としての有機 T F T 1 0 1 と異なっている。

[0103] ここで、比較例としての有機 T F T 1 0 1 と同様に、ソース電極第 2 層 1 4 b と有機半導体層 1 6 との間のコンタクト抵抗の値は、ソース電極第 1 層 1 4 a と有機半導体層 1 6 との間のコンタクト抵抗の値よりも小さい。そして、ドレイン電極第 2 層 1 5 b と有機半導体層 1 6 との間のコンタクト抵抗の値は、ドレイン電極第 1 層 1 5 a と有機半導体層 1 6 との間のコンタクト抵抗の値よりも小さい。

[0104] 有機半導体層 1 6 においては、ソース電極 1 4 とドレイン電極 1 5 との間の、第 2 ゲート絶縁層 1 2 の界面付近にチャネルが形成され、チャネルの内部において電流が流れる。従って、ソース電極 1 4 からドレイン電極 1 5 へ流れる電流は、ソース電極 1 4 のソース電極第 2 層 1 4 b から出発した後、ドレイン電極 1 5 のドレイン電極第 2 層 1 5 b へ到達するまでに、

(電流経路 1) ソース電極 4 とドレイン電極 1 5 との間の、第 2 ゲート絶縁層 1 2 の界面付近を経由する、

という、上記の(電流経路 1)を通じて、有機半導体層 1 6 の内部を流れる。

[0105] ここで、(電流経路 1)は、ソース電極第 1 層側面 1 4 a S の全体、およびドレイン電極第 1 層側面 1 5 a S の全体を被覆している、第 2 ゲート絶縁層 1 2 の上面に位置する経路である。このため、(電流経路 1)においては、(i) 有機半導体層 1 6 とソース電極第 1 層 1 4 a との間、および、(i i) 有機半導体層 1 6 とドレイン電極第 1 層 1 5 a との間におけるコンタクト抵抗の影響が排除されている。

[0106] 従って、本実施形態の有機 T F T 1 においては、比較例の有機 T F T 1 0 1 における(電流経路 2)よりもコンタクト抵抗の低い(電流経路 1)を通

じて、電流は有機半導体層 16 の内部において流れる。ゆえに、有機半導体層 16 において、（電流経路 1）を通じて、比較例の有機 T F T 1 0 1 における（電流経路 2）よりも多くの量の電流を流すことができる。

[0107] このため、本実施形態の有機 T F T 1 は、第 2 ゲート絶縁層 12 がさらに設けられることによって、有機 T F T 1 の特性の低下を抑制することを可能としている。

[0108] なお、本実施形態の有機半導体層 16 と同様の物理的特性（例えば、仕事関数の値など）を有する無機半導体層を用いて、本実施形態の有機 T F T 1 と同様の構造を有する半導体素子（例えば、無機 T F T）を製造することによっても、上述の効果を奏することが可能である。

[0109] （別の比較例としての有機 T F T 1 0 1 a および 1 0 1 b）

本実施形態の有機 T F T 1 の別の比較例として、図 4 の（a）に示された有機 T F T 1 0 1 a、および、図 4 の（b）に示された有機 T F T 1 0 1 b について説明する。

[0110] 図 4 の（a）は、本実施形態の有機 T F T 1 の別の比較例としての有機 T F T 1 0 1 a の断面図である。有機 T F T 1 0 1 a は、基板 10、第 1 ゲート絶縁層 11 a、第 2 ゲート絶縁層 12 a、ゲート電極 13、ソース電極 14、ドレイン電極 15、および有機半導体層 16 を備えている。

[0111] ここで、比較例としての有機 T F T 1 0 1 a が備える各部材は、第 1 ゲート絶縁層 11 a および第 2 ゲート絶縁層 12 a を除いては、本実施形態の有機 T F T 1 が備える各部材と同様のものであるため、同じ部材番号を用いて示す。

[0112] 有機 T F T 1 0 1 a における第 2 ゲート絶縁層 12 a は、特許文献 1 においてソース電極 14 およびドレイン電極 15 との間に設けられている平坦化層と同等の構造である。

[0113] すなわち、有機 T F T 1 0 1 a における第 2 ゲート絶縁層 12 a の厚さを示す寸法 d_a は、

$$d_a = d_1 + d_2$$

を満たしている。

[0114] また、第1ゲート絶縁層11aにおいて、ゲート電極第2層13bの上面から、第1ゲート絶縁層11aの上面までの厚さを示す寸法を D_a とすると、寸法 d_a と寸法 D_a との間には、

$$d_a \div D_a$$

の関係が成立している。すなわち、有機TFOT1aにおける第1ゲート絶縁層11aは、第2ゲート絶縁層12aと同程度の厚さを有する、厚い絶縁膜である。

[0115] このとき、有機TFOT1aにおいて、第1ゲート絶縁層11aおよび第2ゲート絶縁層12aは、ともに厚い寸法を有しているため、有機半導体層16の内部を流れる電流の量が低下し、有機TFOT1aの特性の低下が生じる。

[0116] また、図4の(b)は、本実施形態の有機TFOTの別の比較例としての有機TFOT1bの断面図である。有機TFOT1bは、基板10、第1ゲート絶縁層11b、第2ゲート絶縁層12b、ゲート電極13、ソース電極14、ドレイン電極15、および有機半導体層16を備えている。

[0117] ここで、比較例としての有機TFOT1bが備える各部材は、第1ゲート絶縁層11bおよび第2ゲート絶縁層12bを除いては、本実施形態の有機TFOTが備える各部材と同様のものであるため、同じ部材番号を用いて示す。

[0118] 有機TFOT1bにおける第2ゲート絶縁層12bは、特許文献1においてソース電極14およびドレイン電極15との間に設けられている平坦化層と同等の構造である。

[0119] すなわち、有機TFOT1bにおける第2ゲート絶縁層12bは、有機TFOT1aにおける第2ゲート絶縁層12aと同様であり、有機TFOT1bにおける第2ゲート絶縁層12bの厚さを示す寸法 d_b は、

$$d_b = d_1 + d_2$$

を満たしている。

[0120] また、第1ゲート絶縁層11bにおいて、ゲート電極第2層13bの上面から、第1ゲート絶縁層11bの上面までの厚さを示す寸法を D_b とすると、寸法 d_b と寸法 D_b との間には、

$$d_b \gg D_b$$

の関係が成立している。すなわち、有機TFOT1bにおける第2ゲート絶縁層12bは、第1ゲート絶縁層11bに比べて十分に小さい厚さを有する、薄い絶縁膜である。

[0121] このとき、有機TFOT1bにおける第2ゲート絶縁層12bは、有機TFOT1aにおける第2ゲート絶縁層12aに比べて、より薄い寸法を有している。このため、有機TFOT1bは、有機TFOT1aに比べて、より大きい電流を流すことが可能であり、有機TFOT1aよりも高い特性を実現することができる。

[0122] しかし、有機TFOT1bにおいては、第2ゲート絶縁層12bが薄いため、(i)ゲート電極13とソース電極14との間の絶縁耐力、および、(ii)ゲート電極13とドレイン電極15との間の絶縁耐力は、有機TFOT1aに比べて低い。このため、有機TFOT1bは、有機TFOT1aに比べて、高圧電圧に対する耐性が低く、デバイスの信頼性という点において劣っている。

[0123] 他方、本実施形態の有機TFOT1は、上述の式(1)を満たす第2ゲート絶縁層12を設けることにより、デバイスの特性および信頼性をともに両立させることが可能である。従って、すなわち、比較例としての有機TFOT1aおよび有機TFOT1bに比べて、優れたデバイスとして実現される。

[0124] [実施形態2]

本発明の他の実施形態について、図5および図6に基づいて説明すれば、以下のとおりである。なお、説明の便宜上、前記実施形態にて説明した部材と同じ機能を有する部材については、同じ符号を付記し、その説明を省略する。

[0125] (有機 T F T 2 の構成)

図 5 は、本実施形態の有機 T F T 2 (半導体素子) の断面図である。有機 T F T 2 は、基板 1 0、第 1 ゲート絶縁層 2 1、第 2 ゲート絶縁層 2 2、ゲート電極 1 3、ソース電極 1 4、ドレイン電極 1 5、および有機半導体層 1 6 を備えている。

[0126] ここで、実施形態 2 の有機 T F T 2 が備える各部材は、第 1 ゲート絶縁層 2 1 および第 2 ゲート絶縁層 2 2 を除いては、実施形態 1 の有機 T F T 1 が備える各部材と同様のものであるため、同じ部材番号を用いて示している。

[0127] (第 1 ゲート絶縁層 2 1)

第 1 ゲート絶縁層 2 1 は、基板 1 0 およびゲート電極 1 3 の表面を覆うように、基板 1 0 およびゲート電極 1 3 の上面に設けられた絶縁層である。

[0128] ここで、有機 T F T 2 における第 1 ゲート絶縁層 2 1 は、第 2 ゲート絶縁層 2 2 よりも誘電率が高い材料によって形成されている。本実施形態においては、第 1 ゲート絶縁層 2 1 の材料として、比誘電率 $\epsilon_{r1} = 3.6$ の P V P を用いている。

[0129] 従って、第 1 ゲート絶縁層 2 1 の誘電率 ϵ_1 は、真空の誘電率 ϵ_0 を用いて、

$$\epsilon_1 = \epsilon_0 \times \epsilon_{r1} = 3.6 \times \epsilon_0$$

として表される。

[0130] なお、第 1 ゲート絶縁層 2 1 の材料は、P V P に限定されず、第 2 ゲート絶縁層 2 2 よりも誘電率が高い材料であればよく、絶縁性能の確保が可能な他の好適な高誘電率の材料 (H i g h - k 材料) を用いてもよい。

[0131] (第 2 ゲート絶縁層 2 2)

第 2 ゲート絶縁層 2 2 は、第 1 ゲート絶縁層 2 1 上において互いに離間して配置されたソース電極 1 4 とドレイン電極 1 5 との間の空間を充填するように、第 1 ゲート絶縁層 2 1 の上に設けられた絶縁層である。第 2 ゲート絶縁層 2 2 の材料は、第 1 ゲート絶縁層 2 1 よりも誘電率が低い材料によって形成されている。本実施形態においては、第 2 ゲート絶縁層 2 2 の材料とし

て、比誘電率 $\varepsilon_{r2} = 2.0$ の CYTOP（登録商標）（アモルファスフッ素樹脂、旭硝子株式会社製）を用いている。

[0132] 従って、第2ゲート絶縁層22の誘電率 ε_2 は、

$$\varepsilon_2 = \varepsilon_0 \times \varepsilon_{r2} = 2.0 \times \varepsilon_0$$

として表される。

[0133] なお、第2ゲート絶縁層22の材料は、CYTOPに限定されず、第1ゲート絶縁層21よりも誘電率が低い材料であればよく、絶縁性能の確保が可能な他の好適な低誘電率の材料（Low-k材料）を用いてもよい。

[0134] （有機TFETの効果）

本実施形態の有機TFETの効果について、図6を用いて説明する。図6は、一般的な有機TFETにおける、(i)ゲート絶縁膜の比誘電率（横軸）と、(ii)有機TFETが備える有機半導体のキャリアの移動度（縦軸）との間の関係を示すグラフである。

[0135] 図6は、上述の非特許文献3に開示されたグラフであり、トップゲート構造およびボトムゲート構造のそれぞれの構造を有する有機TFETについてのデータを示している。

[0136] ここで、トップゲート構造の有機TFETとは、ゲート電極を、ソース電極およびドレイン電極に対して上部に設けた構造の有機TFETを指す。また、ボトムゲート構造の有機TFETとは、ゲート電極を、ソース電極およびドレイン電極に対して下部に設けた構造の有機TFETを指しており、本実施形態の有機TFET2と同様の構造である。

[0137] さらに、図6における有機TFETは、PTTA（ポリトリアルルアミン）によって形成されており、それぞれ異なるPTTAであるPTTA1およびPTTA2について、データが示されている。

[0138] 図6によれば、半導体材料に拘らず、有機TFETにおけるゲート絶縁膜の比誘電率の値が低くなるにつれて、有機半導体のキャリアの移動度が増加するという傾向が示されている。従って、有機半導体に接触しているゲート絶縁膜の誘電率の値を低くすることにより、有機半導体のキャリアの移動度を

高くすることができる。

[0139] このため、有機TFETでは、有機半導体層16と接触している第2ゲート絶縁層22を、誘電率が低い材料によって形成することにより、有機半導体層16のキャリアの移動度を高くすることができる。それゆえ、有機TFETの特性を向上させることが可能である。

[0140] 他方、Si（シリコン）などの無機半導体層を用いた従来の電界効果トランジスタにおいては、トランジスタの電流特性を確保するために、ゲート絶縁層の材料として誘電率が高い材料（すなわち比誘電率が高い材料）が用いられることが一般的である。

[0141] これは、電界効果トランジスタのソースからドレインへと流れる電流の量は、ゲート絶縁層の静電容量の値によって規定されており、ゲート絶縁層の静電容量の値が大きくなるにつれて、ソースからドレインへさらに多くの量の電流を流すことが可能となるためである。

[0142] ここで、ゲート絶縁層の静電容量Cは、ゲート絶縁層の厚さd、ゲート絶縁層の表面積S、およびゲート絶縁層の誘電率 ϵ を用いて、以下の式（2）によって表される。

$$[0143] \quad C = (\epsilon \times S) / d \quad (2)$$

式（2）によれば、ゲート絶縁層の厚さdを一定とする場合には、ゲート絶縁層の静電容量Cを大きくする、すなわち、ゲート絶縁層の材料として誘電率 ϵ の大きい絶縁材料を用いることによって、電界効果トランジスタの電流特性を向上させることができる。

[0144] また、ゲート絶縁層の静電容量Cを一定とする場合には、ゲート絶縁層の材料として誘電率 ϵ の大きい絶縁材料を用いることによって、ゲート絶縁層の厚さdを大きくすることができ、リーク電流および絶縁破壊を防止するために、電界効果トランジスタの絶縁性能を確保する設計が可能となる。

[0145] 従って、有機TFETでは、有機半導体層16と接触していない第1ゲート絶縁層21の材料として、誘電率 ϵ が高い材料を用いている。それゆえ、有機TFETにおいても、無機半導体層を用いた従来の電界効果トランジスタ

タと同様に、有機TF T 2の電流特性および絶縁性能の両方を確保することが可能である。

[0146] すなわち、有機TF T 2では、(i)有機半導体層16と接触している第2ゲート絶縁層22を、第1ゲート絶縁層21に比べて誘電率が低い材料（ここでは、 $\epsilon_2 = 2.0 \times \epsilon_0$ ）によって形成し、かつ、(ii)有機半導体層16と接触していない第1ゲート絶縁層21を、第2ゲート絶縁層22に比べて誘電率が高い材料（ここでは、 $\epsilon_1 = 3.6 \times \epsilon_0$ ）によって形成することにより、有機TF T 2の特性および絶縁性能の両方を、ともに確保することを可能としている。

[0147] [実施形態3]

本発明の他の実施形態について、図7および図8に基づいて説明すれば、以下のとおりである。なお、説明の便宜上、前記実施形態にて説明した部材と同じ機能を有する部材については、同じ符号を付記し、その説明を省略する。

[0148] (有機TF T 3の構成)

図7は、本実施形態の有機TF T 3（半導体素子）の断面図である。有機TF T 3は、基板10、第1ゲート絶縁層31、第2ゲート絶縁層32、ゲート電極13、ソース電極14、ドレイン電極15、および有機半導体層16を備えている。

[0149] ここで、実施形態3の有機TF T 3が備える各部材は、第1ゲート絶縁層31および第2ゲート絶縁層32を除いては、実施形態1の有機TF T 1が備える各部材と同様のものであるため、同じ部材番号を用いて示している。

[0150] (第1ゲート絶縁層31)

第1ゲート絶縁層31は、基板10およびゲート電極13の表面を覆うように、基板10およびゲート電極13の上面に設けられた絶縁層である。

[0151] ここで、有機TF T 3における第1ゲート絶縁層31は、第2ゲート絶縁層32よりも小さい表面エネルギーを有するように形成されている。すなわち、第1ゲート絶縁層31の材料としては、第2ゲート絶縁層32の材料よ

りも、小さい表面エネルギーを有する材料が選択されている。

[0152] なお、有機ＴＦＴ３における第１ゲート絶縁層３１を、第２ゲート絶縁層３２と同じ材料によって形成することも可能である。

[0153] この場合、第２ゲート絶縁層３２の表面にＵＶ（Ultra-Violet）光を照射し、表面改質を行うことによって、第１ゲート絶縁層３１よりも大きい表面エネルギーを有する第２ゲート絶縁層３２を形成することができる。また、第２ゲート絶縁層３２の表面にシランカップリング剤等の単分子膜を塗布することによって、第１ゲート絶縁層３１よりも大きい表面エネルギーを有する第２ゲート絶縁層３２を形成してもよい。

[0154] （第２ゲート絶縁層３２）

第２ゲート絶縁層３２は、第１ゲート絶縁層３１上において互いに離間して配置されたソース電極１４とドレイン電極１５との間の空間を充填するように、第１ゲート絶縁層３１の上に設けられた絶縁層である。

[0155] ここで、有機ＴＦＴ３における第２ゲート絶縁層３２は、第１ゲート絶縁層３１よりも大きい表面エネルギーを有するように形成されている。すなわち、第２ゲート絶縁層３２の材料としては、第１ゲート絶縁層３１の材料よりも、大きい表面エネルギーを有する材料が選択されている。

[0156] すなわち、第１ゲート絶縁層３１の表面エネルギーの値を E_{S1} 、第２ゲート絶縁層３２の表面エネルギーの値を E_{S2} とすれば、 $E_{S1} < E_{S2}$ の関係が成立している。

[0157] なお、上述の第１ゲート絶縁層３１において説明したように、第２ゲート絶縁層３２を、第１ゲート絶縁層３１と同じ材料によって形成することも可能である。

[0158] （有機ＴＦＴ３の効果）

次に、本実施形態の有機ＴＦＴ３の効果について、図８の（ｂ）を用いて説明する。図８の（ｂ）は、有機ＴＦＴ３の第２ゲート絶縁層３２の表面の全体、ソース電極１４の表面の一部、およびドレイン電極１５の表面の一部を覆うように、第２ゲート絶縁層３２、ソース電極１４、およびドレイン電

極 1 5 の上面に有機半導体層 1 6 を形成するために、インクジェット 1 9 0 を用いて半導体材料 3 6 を滴下する製造工程（実施形態 1 における第 7 工程（工程（g 1））に相当）を示す図である。

[0159] いま、図 8 の（a）に示された有機 T F T 3 a を考える。有機 T F T 3 a は、上述の実施形態 1 または 2 のいずれかに係る有機 T F T と同等のものであり、例えば、実施形態 1 の有機 T F T 1 と同等のものである。

[0160] ここで、比較例としての有機 T F T 3 a が備える各部材は、第 1 ゲート絶縁層 3 1 a および第 2 ゲート絶縁層 3 2 a を除いては、実施形態 3 の有機 T F T 3 が備える各部材と同様のものであるため、同じ部材番号を用いて示す。

[0161] 有機 T F T 3 a において、第 2 ゲート絶縁層 3 2 a の表面エネルギーの大きさと、第 1 ゲート絶縁層 3 1 a の表面エネルギーの大きさは、ともに等しい。すなわち、第 1 ゲート絶縁層 3 1 a の表面エネルギーの値を $E S 1 a$ 、第 2 ゲート絶縁層 3 2 a の表面エネルギーの値を $E S 2 a$ とすれば、 $E S 1 a = E S 2 a$ の関係が成立している。

[0162] この点において、比較例としての有機 T F T 3 a は、本実施形態の有機 T F T 3 において、第 2 ゲート絶縁層 3 2 の表面エネルギー $E S 2$ が、第 1 ゲート絶縁層 3 1 の表面エネルギー $E S 1$ よりも大きい（すなわち、 $E S 1 < E S 2$ ）点と異なっている。

[0163] 図 8 の（a）は、有機 T F T 3 a の第 2 ゲート絶縁層 3 2 a の表面の全体、ソース電極 1 4 の表面の一部、およびドレイン電極 1 5 の表面の一部を覆うように、第 2 ゲート絶縁層 3 2 a、ソース電極 1 4、およびドレイン電極 1 5 の上面に有機半導体層 1 6 を形成するために、インクジェット 1 9 0 を用いて半導体材料 3 6 を滴下する製造工程（実施形態 1 における第 7 工程（工程（g 1））に相当）を示す図である。

[0164] ここで、インクジェット 1 9 0 として、位置合わせの精度が高いインクジェットが必ずしも適用されとは限らないため、第 2 ゲート絶縁層 3 2 a の上面に、インクジェット 1 9 0 を用いて半導体材料 3 6 を滴下する時に、半

導体材料 3 6 は、必ずしも、第 2 ゲート絶縁層 3 2 a の上面に対応する領域に滴下されとは限らない。

[0165] このため、図 8 の (a) に示されるように、インクジェット 1 9 0 を用いて滴下された半導体材料 3 6 の一部は、第 2 ゲート絶縁層 3 2 a の上面に対応する領域から位ずれし、第 1 ゲート絶縁層 3 1 a の上部に位置しているケースが想定される。

[0166] ここで、有機 T F T 3 a において、第 2 ゲート絶縁層 3 2 a の表面エネルギー $E S 2 a$ の大きさと、第 1 ゲート絶縁層 3 1 a の表面エネルギー $E S 1 a$ の大きさは、ともに等しい値である。このため、第 2 ゲート絶縁層 3 2 a と第 1 ゲート絶縁層 3 1 a とは、半導体材料 3 6 の液滴に対して共に等しい接触角を形成する。すなわち、第 2 ゲート絶縁層 3 2 a と第 1 ゲート絶縁層 3 1 a とは、半導体材料 3 6 の液滴に対して同一の濡れ性を有している。

[0167] このため、第 1 ゲート絶縁層 3 1 a の上部に滴下された半導体材料 3 6 の一部は、第 2 ゲート絶縁層 3 2 a 側へと広がることはなく、そのままの位置に留まり、時間経過に伴う乾燥の後に結晶化される。

[0168] 従って、有機 T F T 3 a における有機半導体層 1 6 は、第 2 ゲート絶縁層 3 2 a の上面に対応する領域に均一に形成されないケースが生じる。

[0169] 続いて、図 8 の (b) を参照し、本実施形態の有機 T F T 3 の効果について説明する。いま、図 8 の (b) に示されるように、インクジェット 1 9 0 を用いて滴下された半導体材料 3 6 の一部が、第 2 ゲート絶縁層 3 2 の上面に対応する領域から位置ずれし、第 1 ゲート絶縁層 3 1 の上部に位置しているケースを想定する。

[0170] ここで、有機 T F T 3 において、第 2 ゲート絶縁層 3 2 の表面エネルギー $E S 2$ は、第 1 ゲート絶縁層 3 1 の表面エネルギー $E S 1$ よりも大きい。このため、第 2 ゲート絶縁層 3 2 は、第 1 ゲート絶縁層 3 1 に比べて、半導体材料 3 6 の液滴に対してより小さい接触角を形成する。すなわち、第 2 ゲート絶縁層 3 2 は、第 1 ゲート絶縁層 3 1 に比べて、半導体材料 3 6 の液滴に対するより高い濡れ性を有している。

[0171] このため、第1ゲート絶縁層31の上部に滴下された半導体材料36の一部は、第1ゲート絶縁層31の表面から弾かれ、第2ゲート絶縁層32側へと濡れ広がる。そして、第1ゲート絶縁層31の上部に滴下された半導体材料36の一部は、第2ゲート絶縁層32側へと移動し、時間経過に伴う乾燥の後に結晶化される。

[0172] 従って、有機TF T 3における有機半導体層16は、第2ゲート絶縁層32の上面に対応する領域に均一に形成される。これにより、有機TF T 3の特性をさらに改善することが可能である。

[0173] [実施形態4]

本発明の他の実施形態について、図9および図10に基づいて説明すれば、以下のとおりである。なお、説明の便宜上、前記実施形態にて説明した部材と同じ機能を有する部材については、同じ符号を付記し、その説明を省略する。

[0174] (有機TF T 4の構成)

図9は、本実施形態の有機TF T 4（半導体素子）の断面図である。有機TF T 4は、基板10、第1ゲート絶縁層41、第2ゲート絶縁層42、ゲート電極13、ソース電極14、ドレイン電極15、および有機半導体層16を備えている。

[0175] ここで、実施形態4の有機TF T 4が備える各部材は、第1ゲート絶縁層41および第2ゲート絶縁層42を除いては、実施形態1の有機TF T 1が備える各部材と同様のものであるため、同じ部材番号を用いて示している。

[0176] (第1ゲート絶縁層41)

第1ゲート絶縁層41は、基板10およびゲート電極13の表面を覆うように、基板10およびゲート電極13の上面に設けられた絶縁層である。

[0177] ここで、有機TF T 4における第1ゲート絶縁層41は、第2ゲート絶縁層42よりも大きい表面エネルギーを有するように形成されている。この点において、有機TF T 4における第1ゲート絶縁層41は、有機TF T 3における第1ゲート絶縁層31が、第2ゲート絶縁層32よりも小さい表面エ

エネルギーを有するように形成されている点と異なっている。

[0178] 第1ゲート絶縁層41の材料としては、第2ゲート絶縁層42の材料よりも、大きい表面エネルギーを有する材料を用いればよい。

[0179] なお、実施形態3と同様に、第1ゲート絶縁層41を、第2ゲート絶縁層42と同じ材料によって形成することも可能である。すなわち、第1ゲート絶縁層41の表面にUV光を照射する、または、シランカップリング剤等の単分子膜を塗布することによって、第2ゲート絶縁層42よりも大きい表面エネルギーを有する第1ゲート絶縁層41を形成してもよい。

[0180] なお、第1ゲート絶縁層41の表面に対して、表面エネルギーを増加させるための表面処理を施す工程（例えば、第1ゲート絶縁層41の表面にUV光を照射する工程、またはシランカップリング剤等の単分子膜を塗布する工程）は、ソース電極14およびドレイン電極15を形成する工程に先立って行われてもよいし、ソース電極14およびドレイン電極15を形成する工程の後に行われてもよい。

[0181] （第2ゲート絶縁層42）

第2ゲート絶縁層42は、第1ゲート絶縁層41上において互いに離間して配置されたソース電極14とドレイン電極15との間の空間を充填するように、第1ゲート絶縁層41の上に設けられた絶縁層である。

[0182] ここで、有機TFET4における第2ゲート絶縁層42は、第1ゲート絶縁層41よりも小さい表面エネルギーを有するように形成されている。すなわち、第1ゲート絶縁層41の表面エネルギーの値を E_{S1} 、第2ゲート絶縁層42の表面エネルギーの値を E_{S2} とすれば、 $E_{S1} > E_{S2}$ の関係が成立している。

[0183] この点において、有機TFET4における第2ゲート絶縁層42は、有機TFET3における第2ゲート絶縁層32が、第1ゲート絶縁層31よりも大きい表面エネルギーを有する（すなわち、 $E_{S1} < E_{S2}$ ）ように形成されている点と異なっている。

[0184] なお、有機TFET3の第2ゲート絶縁層32において説明したように、第

2 ゲート絶縁層 4 2 の材料は、第 1 ゲート絶縁層 4 1 の材料よりも、小さい表面エネルギーを有する材料を用いてもよいし、第 1 ゲート絶縁層 4 1 と同じ材料を用いてもよい。

[0185] (有機 T F T 4 の効果)

本実施形態の有機 T F T 4 の効果について、図 1 0 を用いて説明する。図 1 0 は、一般的な有機 T F T における、(i) ゲート絶縁膜の水接触角（横軸）と、(i i) 有機 T F T が備える有機半導体のキャリアの移動度（縦軸）との間の関係を示すグラフである。

[0186] 図 1 0 は、上述の非特許文献 4 に開示されたグラフであり、ボトムゲート構造を有するボトムコンタクト型の有機 T F T について、ゲート絶縁膜の各材料におけるデータを示されている。なお、図 1 0 におけるゲート絶縁膜は、S A M (Self-Assembled Monolayer, 自己組織化単分子膜) によって形成されている。

[0187] 図 1 0 によれば、有機 T F T におけるゲート絶縁膜の水接触角の値が大きくなるにつれて、有機半導体のキャリアの移動度が増加するという傾向が示されている。従って、有機 T F T におけるゲート絶縁膜の表面エネルギーの値が小さくなるにつれて、有機半導体のキャリアの移動度が増加すると論じることができる。

[0188] すなわち、有機半導体に接触しているゲート絶縁膜の表面エネルギーの値を小さくすることにより、有機半導体のキャリアの移動度を高くすることができる。

[0189] このため、有機 T F T 4 では、有機半導体層 1 6 と接触している第 2 ゲート絶縁層 4 2 を、表面エネルギーが小さい材料によって形成することにより、有機半導体層 1 6 のキャリアの移動度を高くすることができる。それゆえ、有機 T F T 4 の特性を向上させることが可能である。

[0190] そのため、実施形態 3 におけるインクジェット 1 9 0 とは異なる、精度の高い位置制御性が要求されない装置を用いて、有機半導体層 1 6 を形成する場合（例えば、スピコート装置を用いて、第 2 ゲート絶縁層 4 2 の上面に

半導体膜を成膜させ、有機半導体層 16 を形成する場合) には、実施形態 4 の有機 T F T 4 を容易に構成することができる。そのため、特性において優れたデバイスを実現することができる。

[0191] 〔実施形態 5〕

本発明の他の実施形態について、図 1 1 および図 1 2 に基づいて説明すれば、以下のとおりである。なお、説明の便宜上、前記実施形態にて説明した部材と同じ機能を有する部材については、同じ符号を付記し、その説明を省略する。

[0192] (有機 T F T 5 の構成)

本実施形態の有機 T F T 5 (半導体素子) の構成について、図 1 1 の (a) および (b) を用いて説明する。

[0193] 図 1 1 の (b) は、有機 T F T 5 の断面図である。有機 T F T 5 は、基板 10、第 1 ゲート絶縁層 11、第 2 ゲート絶縁層 52、ゲート電極 13、ソース電極 14、ドレイン電極 15、および有機半導体層 16 を備えている。

[0194] ここで、実施形態 5 の有機 T F T 5 が備える各部材は、第 2 ゲート絶縁層 52 を除いては、実施形態 1 の有機 T F T 1 が備える各部材と同様のものであるため、同じ部材番号を用いて示している。

[0195] ここで、第 2 ゲート絶縁層 52 は、ソース側第 2 ゲート絶縁層 52 a およびドレイン側第 2 ゲート絶縁層 52 b を備えている。

[0196] 図 1 1 の (a) は、第 2 ゲート絶縁層 52 を形成するために、インクジェット 190 を用いて、ソース電極 14 とドレイン電極 15 との間の空間に、絶縁材料 56 を滴下する製造工程 (実施形態 1 における第 6 工程 (工程 (f1)) に相当) を示す図である。図 1 1 の (a) において滴下されている絶縁材料 56 は、ソース側第 2 ゲート絶縁層 52 a を形成するために用いられている。

[0197] (第 2 ゲート絶縁層 52)

第 2 ゲート絶縁層 52 は、第 1 ゲート絶縁層 11 の上に設けられた絶縁層であり、第 1 ゲート絶縁層 11 上において互いに離間して配置されたソース

電極 1 4 とドレイン電極 1 5 との間の空間に設けられている。そして、第 2 ゲート絶縁層 5 2 は、ソース側第 2 ゲート絶縁層 5 2 a およびドレイン側第 2 ゲート絶縁層 5 2 b を備えている。

[0198] ソース側第 2 ゲート絶縁層 5 2 a は、ソース電極 1 4 と接触しており、ソース電極第 1 層側面 1 4 a S の全体を被覆し、かつ、ソース電極第 2 層側面 1 4 b S の一部を被覆するように設けられている。

[0199] ドレイン側第 2 ゲート絶縁層 5 2 b は、ドレイン電極 1 5 と接触しており、ドレイン電極第 1 層側面 1 5 a S の全体を被覆し、かつ、ドレイン電極第 2 層側面 1 5 b S の一部を被覆するように設けられている。

[0200] また、ソース側第 2 ゲート絶縁層 5 2 a と、ドレイン側第 2 ゲート絶縁層 5 2 b とは、互いに離間して設けられている。すなわち、ソース側第 2 ゲート絶縁層 5 2 a と、ドレイン側第 2 ゲート絶縁層 5 2 b とは、互いに接触していない。

[0201] 従って、有機 T F T 5 における第 2 ゲート絶縁層 5 2 は、ソース電極 1 4 とドレイン電極 1 5 との間の空間を全体的に充填しないように形成されている。この点において、本実施形態の第 2 ゲート絶縁層 5 2 は、実施形態 1 から実施形態 4 までにおける第 2 ゲート絶縁層 1 2、2 2、3 2、および 4 2 が、ソース電極 1 4 とドレイン電極 1 5 との間の空間を全体的に充填するように形成されている点と異なる。

[0202] このため、有機 T F T 5 においては、ソース側第 2 ゲート絶縁層 5 2 a と、ドレイン側第 2 ゲート絶縁層 5 2 b との間の空間をも充填するように、有機半導体層 1 6 が形成されている。

[0203] (有機 T F T 5 の効果)

次に、本実施形態の有機 T F T 5 の効果について、図 1 2 の (b) を用いて説明する。図 1 2 の (b) は、有機 T F T 5 a のソース電極 1 4 とドレイン電極 1 5 との間の空間を全体的に充填しないように、インクジェット 1 9 0 を用いて、絶縁材料 5 6 を滴下する製造工程（実施形態 1 における第 6 工程に相当）を示す図である。

- [0204] ここで、図12の(a)に示された有機TF T 5 aを考える。有機TF T 5 aは、上述の実施形態1から4までのいずれか1つに係る有機TF Tと同等のものであり、例えば、実施形態1の有機TF T 1と同等のものである。有機TF T 5 aが備える各部材は、実施形態1の有機TF T 1が備える各部材と同様のものであるため、同じ部材番号を用いて示す。
- [0205] 図12の(a)は、有機TF T 5 aのソース電極14とドレイン電極15との間の空間を全体的に充填するように、インクジェット190を用いて、絶縁材料56を滴下する製造工程（実施形態1における第6工程（工程（f1））に相当）を示す図である。
- [0206] 有機TF T 5 aにおいて、絶縁材料56は、ソース電極14とドレイン電極15との間の空間を全体的に充填するように、インクジェット190から、第1ゲート絶縁層11の上面に滴下されている。
- [0207] 従って、有機TF T 5 aが備える第2ゲート絶縁層12は、ソース電極14とドレイン電極15との間の空間を全体的に充填するように、絶縁材料56から形成される。
- [0208] 有機TF T 5 aにおいては、インクジェット190から、絶縁材料56を複数回に亘り滴下させることにより、絶縁材料56が、ソース電極14とドレイン電極15との間の空間を全体的に充填するように配置されている。
- [0209] 他方、図12を参照すれば、本実施形態の有機TF T 5において、絶縁材料56は、(i)ソース電極14と接触するように、かつ、(ii)ドレイン電極と接触するように、インクジェット190から、第1ゲート絶縁層11の上面に滴下されている。
- [0210] ここで、(i)ソース電極14と接触するように滴下された、第1ゲート絶縁層11の上面に位置する絶縁材料56と、(ii)ドレイン電極15と接触するように滴下された、第1ゲート絶縁層11の上面に位置する絶縁材料56とは、互いに接触しないよう、離間して設けられている。
- [0211] 従って、ソース電極14と接触するように滴下された、第1ゲート絶縁層11の上面に位置する絶縁材料56から、ソース電極14と接触しているソ

ース側第2ゲート絶縁層52aが形成される。また、ドレイン電極15と接触するように滴下された、第1ゲート絶縁層11の上面に位置する絶縁材料56から、ドレイン電極15と接触しているドレイン側第2ゲート絶縁層52bが形成される。

[0212] それゆえ、有機TFET5の第2ゲート絶縁層52において、ソース側第2ゲート絶縁層52aと、ドレイン側第2ゲート絶縁層52bとは、互いに接触していない。

[0213] 有機TFET5の第2ゲート絶縁層52は、ソース電極14およびドレイン電極15と接触するように、部分的に絶縁材料56を滴下することによって形成されている。従って、有機TFET5の第2ゲート絶縁層52は、有機TFET5aの第2ゲート絶縁層12に比べて、より少ない絶縁材料56の滴下回数によって形成される。

[0214] それゆえ、有機TFET5の構成によれば、有機半導体層16のチャンネルの中央付近の領域を被覆する絶縁層としては、膜厚が均一である第1ゲート絶縁層11のみである。有機TFET5においては、第2ゲート絶縁層52は有機半導体層16のチャンネルの中央付近の領域を被覆しないので、第2ゲート絶縁層52の膜厚の不均一性が、有機TFET5の特性に影響を及ぼす程度は小さい。

[0215] このため、第2ゲート絶縁層52の膜厚は、有機TFET5の特性のばらつき等を低減させるために、均一の膜厚となるように形成される必要は必ずしもない。従って、有機TFET5は、特性のばらつきが抑制されたデバイスとして実現される。

[0216] [実施形態6]

本発明の他の実施形態について、図13および図14に基づいて説明すれば、以下のとおりである。なお、説明の便宜上、前記実施形態にて説明した部材と同じ機能を有する部材については、同じ符号を付記し、その説明を省略する。

[0217] (有機TFET6の構成)

本実施形態の有機ＴＦＴ６（半導体素子）の構成について、図１３の（ｆ）を用いて説明する。図１３の（ｆ）は、有機ＴＦＴ６に有機半導体層１６が形成され、有機ＴＦＴ６の製造が完了した状態を示す断面図である。有機ＴＦＴ６は、基板１０、第１ゲート絶縁層１１、第２ゲート絶縁層６２、ゲート電極１３、ソース電極６４、ドレイン電極６５、および有機半導体層１６を備えている。

[0218] ここで、実施形態６の有機ＴＦＴ６が備える各部材は、第２ゲート絶縁層６２、ソース電極６４、およびドレイン電極６５を除いては、実施形態１の有機ＴＦＴ１が備える各部材と同様のものであるため、同じ部材番号を用いて示している。

[0219] （有機ＴＦＴ６の製造方法および製造工程）

続いて、図１３の（ａ）～（ｆ）を用いて、本実施形態の有機ＴＦＴ６の製造方法および製造工程について説明する。図１３の（ａ）～（ｆ）は、それぞれ、有機ＴＦＴ６の断面図であり、有機ＴＦＴ６の製造における各工程を示す図である。

[0220] （実施形態６における第１工程：ソースドレイン電極第１層母材成膜工程）

図１３の（ａ）は、（ｉ）ソース電極６４が備えるソース電極第１層６４ａ、および、（ｉｉ）ドレイン電極６５が備えるドレイン電極第１層６５ａを形成する前の工程として、ソースドレイン電極第１層母材１８ａを、第１ゲート絶縁層１１の上面全体に成膜する工程（実施形態６における第１工程，工程（ｄ２））を示す図である。

[0221] 実施形態６における第１工程は、実施形態１における第３工程（図２の（ｃ）を参照）に続く工程である。すなわち、実施形態６における第１工程に先立ち、実施形態１における第１工程（工程（ａ１））から第３工程（工程（ｃ１））までと同様にして、有機ＴＦＴ６の第１ゲート絶縁層１１およびゲート電極１３が、基板１０の上に形成されている。

[0222] 実施形態６において、第１ゲート絶縁層１１の材料としては、ＰＭＭＡを

選択し、第1ゲート絶縁層11の膜厚を、 $D = 500\text{ nm}$ とするよう、スピコート装置によってPMMAを成膜し、第1ゲート絶縁層11を形成している。

[0223] また、ゲート電極13のゲート電極第1層13aおよびゲート電極第2層13bについて、ゲート電極第1層13aの材料としては、Crを選択し、ゲート電極第2層13bの材料としては、Alを選択している。密着層としてのゲート電極第1層13aは、 5 nm の膜厚を有するように、コンタクト層としてのゲート電極第2層13bは、 300 nm の膜厚を有するように、それぞれ形成されている。

[0224] 実施形態6における第1工程では、第1ゲート絶縁層11の上面全体に、密着層として機能する材料の層を、実施形態1における第4工程（図2の（d）を参照）と同様にして、スピコート装置を用いて、ソースドレイン電極第1層母材18aを形成する。ここでは、ソースドレイン電極第1層母材18aの材料として、Crを選択し、ソースドレイン電極第1層母材18aの膜厚を、 $d_1 = 5\text{ nm}$ として成膜させている。

[0225] （実施形態6における第2工程：ソース電極第1層およびドレイン電極第1層形成工程）

図13の（b）は、ソースドレイン電極第1層母材18aから、ソース電極第1層64a、および、ドレイン電極第1層65aを形成する工程（実施形態6における第2工程、工程（e2））を示す図である。

[0226] 実施形態6における第2工程では、第1ゲート絶縁層11の上面全体を被覆するソースドレイン電極第1層母材18aに対して、実施形態1における第5工程（図2の（e）を参照）と同様にして、フォトリソグラフィを行い、不要なソースドレイン電極第1層母材18aを除去し、ソース電極第1層64a、および、ドレイン電極第1層65aを形成する。

[0227] これにより、第1ゲート絶縁層11上において、ソース電極第1層64a、および、ドレイン電極第1層65aが、互いに離間して形成される。なお、ソース電極第1層64aの膜厚、およびドレイン電極第1層65aの膜厚

は、 $d_1 = 5 \text{ nm}$ であり、ソースドレイン電極第1層母材18aの膜厚と等しい。

[0228] ソース電極第1層64aにおいて、ドレイン電極第1層64bと対向している側の面を、ソース電極第1層側面64aSと呼称する。また、ドレイン電極第1層65aにおいて、ソース電極第1層64aと対向している側の面を、ドレイン電極第1層側面65aSと呼称する。

[0229] (実施形態6における第3工程：第2ゲート絶縁層形成工程)

図13の(c)は、第1ゲート絶縁層11上において互いに離間して配置されたソース電極第1層64aとドレイン電極第1層65aとの間の空間に、第1ゲート絶縁層11の上に位置する第2ゲート絶縁層62を形成する工程(実施形態6における第3工程、工程(f2))を示す図である。

[0230] 実施形態6における第3工程では、第1ゲート絶縁層11、ソース電極第1層64a、およびドレイン電極第1層65aの上面全体に、スピンコート装置を用いて、絶縁材料を成膜させる。ここでは、絶縁材料として、CYTOPを選択し、絶縁材料の膜厚を、 $d = 10 \text{ nm}$ として製膜させている。

[0231] そして、フォトリソグラフィを行い、ソース電極第1層64aおよびドレイン電極第1層65aの上面に位置する絶縁材料の膜を除去し、ソース電極第1層64aおよびドレイン電極第1層65aの上面に開口部19を形成する。

[0232] これにより、第2ゲート絶縁層62が、ソース電極第1層64aとドレイン電極第1層65aとの間の空間に形成される。そして、第2ゲート絶縁層62は、開口部19を備えている。なお、第2ゲート絶縁層62の膜厚は、 $d = 10 \text{ nm}$ であり、フォトリソグラフィが行われる前の絶縁材料の膜厚と等しい。

[0233] また、第2ゲート絶縁層62は、ソース電極第1層側面64aSの全体、およびドレイン電極第1層側面65aSの側面の全体を被覆するように形成されていればよい。従って、第2ゲート絶縁層62の全体を通じて、 $d_1 < d$ を満たすように、第2ゲート絶縁層62を形成する必要はない。

[0234] 例えば、ソース電極第1層64aおよびドレイン電極第1層65aと接触している部分において、第2ゲート絶縁層62の膜厚がd1よりも大きく、ソース電極第1層64aおよびドレイン電極第1層65aと接触していない部分（例えば、第2ゲート絶縁層62の中央付近）において、絶縁材料の成膜回数を少なくし、第2ゲート絶縁層62の膜厚がd1よりも小さくなるように、第2ゲート絶縁層62を形成してもよい。これにより、本実施系他の第2ゲート絶縁層62は、実施形態5における第2ゲート絶縁層52と同様の効果を奏する。

[0235] （実施形態6における第4工程：ソースドレイン電極第2層母材成膜工程）

図13の（d）は、（i）ソース電極64が備えるソース電極第2層64b、および、（ii）ドレイン電極65が備えるドレイン電極第2層65bを形成する前の工程として、ソースドレイン電極第2層母材18bを、第2ゲート絶縁層62の上面全体に成膜する工程（実施形態6における第4工程，工程（g2））を示す図である。

[0236] 実施形態6における第4工程では、第2ゲート絶縁層62、ソース電極第1層64a、およびドレイン電極第1層65aの上面全体に、コンタクト層として機能する材料の層を、実施形態1における第4工程（図2の（d）を参照）と同様にして、スピコート装置を用いて、ソースドレイン電極第2層母材18bを形成する。

[0237] ここでは、ソースドレイン電極第2層母材18bの材料として、Auを選択している。そして、ソースドレイン電極第2層母材18bの膜厚を、ソース電極第1層64aおよびドレイン電極第1層65aの上面に形成された開口部19に対応する位置において、 $d2 = 50 \text{ nm}$ として成膜させている。

[0238] （実施形態6における第5工程：ソース電極およびドレイン電極形成工程）

図13の（e）は、ソースドレイン電極第2層母材18bから、ソース電極第2層64b、および、ドレイン電極第2層65bを形成し、ソース電極

64 およびドレイン電極65を形成する工程（実施形態6における第5工程，工程（h2））を示す図である。

[0239] 実施形態6における第5工程では、ソースドレイン電極第2層母材18bに対して、実施形態1における第5工程（図2の（e）を参照）と同様に、フォトリソグラフィを行い、ソース電極第1層64aおよびドレイン電極第1層65aの上面に形成された開口部19に対応しない位置に配置されたソースドレイン電極第2層母材18bを除去する。

[0240] そして、ソース電極第1層64aおよびドレイン電極第1層65aの上に、2つのソースドレイン電極第2層母材18bが、それぞれ対向するように残される。残されたソースドレイン電極第2層母材18bは、それぞれ、ソース電極第2層64bおよびドレイン電極第2層65bとなる。

[0241] ソース電極第2層64bにおいて、ドレイン電極第2層65bと対向している側の面を、ソース電極第2層側面64bSと呼称する。また、ドレイン電極第2層65bにおいて、ソース電極第2層64bと対向している側の面を、ドレイン電極第2層側面65bSと呼称する。

[0242] これにより、（i）ソース電極第1層64aとソース電極第2層64bとを有するソース電極64、および、（ii）ドレイン電極第1層65aとドレイン電極第2層65bとを有するドレイン電極65が、互いに離間して形成される。なお、ソース電極第2層64bおよびドレイン電極第2層65bの膜厚は、 $d_2 = 50\text{ nm}$ である。

[0243] （実施形態6における第6工程：有機半導体層形成工程）

図13の（f）は、第2ゲート絶縁層62の表面の全体、ソース電極64の表面の一部、およびドレイン電極65の表面の一部を覆うように、第2ゲート絶縁層62、ソース電極64、およびドレイン電極65の上面に、有機半導体層16を形成する工程（実施形態6における第6工程）を示す図である。

[0244] 実施形態6における第6工程は、実施形態1における第7工程（図2の（g）を参照）に相当する工程であり、実施形態1における第7工程（工程（

g 1))と同様にして、有機半導体層 1 6 が形成され、本実施形態の有機 T F T 6 の製造が完了する。

[0245] 従って、図 1 3 の (a) ~ (f) においてそれぞれ示された、上述の第 1 工程から第 6 工程までの製造工程によって、本実施形態の有機 T F T 6 は形成される。

[0246] (有機 T F T 6 の効果)

次に、本実施形態の有機 T F T 6 の効果について、図 1 4 の (b) を用いて説明する。図 1 4 の (b) は、スピコート装置を用いて、ソース電極第 1 層 6 4 a とドレイン電極第 2 層 6 5 a との間の空間に、第 2 ゲート絶縁層 6 2 を形成する製造工程 (実施形態 6 における第 3 工程を相当) を示す図である。

[0247] ここで、図 1 4 の (a) に示された有機 T F T 6 a を考える。有機 T F T 6 a は、上述の実施形態 1 から 5 までのいずれか 1 つに係る有機 T F T と同等のものであり、例えば、実施形態 1 の有機 T F T 1 と同等のものである。有機 T F T 6 a が備える各部材は、実施形態 1 の有機 T F T 1 が備える各部材と同様のものであるため、同じ部材番号を用いて示す。

[0248] 図 1 4 の (a) は、実施形態 6 における第 3 工程に対応する図であり、インクジェット 1 9 0 を用いて絶縁材料 5 6 を滴下することにより、第 2 ゲート絶縁層を形成する製造工程を示す図である。

[0249] 図 1 4 の (a) は、有機 T F T 5 a を示す図 1 2 の (a) と対応する図である。従って、図 1 4 の (a) に示された有機 T F T 6 a は、有機 T F T 5 a と同様にして、インクジェット 1 9 0 から複数回に亘り滴下された絶縁材料 5 6 が、ソース電極第 1 層 1 4 a とドレイン電極第 1 層 1 5 a との間の空間を全体的に充填するように配置されている。

[0250] 他方、図 1 4 の (b) に示された本実施形態の有機 T F T 6 では、第 2 ゲート絶縁層 6 2 は、実施形態 6 における第 3 工程において説明したように、スピコート装置およびフォトリソグラフィを用いて、第 2 ゲート絶縁層 6 2 が形成されている。

[0251] 従って、有機ＴＦＴ６の第２ゲート絶縁層６２は、有機ＴＦＴ６ａの第２ゲート絶縁層に比べて、さらに均一性の高い膜厚を有するように形成される。このため、有機ＴＦＴ６は、特性のばらつきが抑制されたデバイスとして実現される。

[0252] 〔実施形態７〕

本発明の他の実施形態について、図１５および図１６に基づいて説明すれば、以下のとおりである。なお、説明の便宜上、前記実施形態にて説明した部材と同じ機能を有する部材については、同じ符号を付記し、その説明を省略する。

[0253] （有機ＴＦＴ７の構成）

本実施形態の有機ＴＦＴ７（半導体素子）の構成について、図１５を用いて説明する。図１５は、有機ＴＦＴ７の断面図である。有機ＴＦＴ７は、基板１０、第１ゲート絶縁層１１、第２ゲート絶縁層７２、ゲート電極１３、ソース電極７４、ドレイン電極７５、および有機半導体層１６を備えている。

[0254] ここで、実施形態７の有機ＴＦＴ７が備える各部材は、第２ゲート絶縁層７２、ソース電極７４、およびドレイン電極７５を除いては、実施形態１の有機ＴＦＴ１が備える各部材と同様のものであるため、同じ部材番号を用いて示している。

[0255] また、有機ＴＦＴ７の第２ゲート絶縁層７２は、実施形態６における有機ＴＦＴ６の第２ゲート絶縁層６２と同様の部材である。以下、本実施形態のソース電極７４およびドレイン電極７５について、説明を行う。

[0256] （ソース電極７４）

ソース電極７４は、実施形態６における第５工程（図１３の（e）を参照）と同様にして形成された電極であり、（i）密着層として機能するソース電極第１層７４a、および、（ii）コンタクト層として機能するソース電極第２層７４bを備えている。

[0257] ソース電極第１層７４aにおいて、ドレイン電極第１層７５aと対向して

いる側の面を、ソース電極第1層側面74a Sと呼称する。また、ドレイン電極第1層75aにおいて、ソース電極第1層74aと対向している側の面を、ドレイン電極第1層側面75a Sと呼称する。

[0258] ソース電極第2層74bにおいて、ドレイン電極第2層75bと対向している側の面を、ソース電極第2層側面74b Sと呼称する。また、ドレイン電極第2層75bにおいて、ソース電極第2層74bと対向している側の面を、ドレイン電極第2層側面75b Sと呼称する。

[0259] ここで、(i) ソース電極74の側面のうち、ソース電極第1層側面74a Sと反対側の側面の端部から、(ii) ソース電極第1層側面74a Sの端部までの間の距離を、寸法S1として表す。また、(i) ソース電極74の側面のうち、ソース電極第2層側面74b Sと反対側の側面の端部から、(ii) ソース電極第2層側面74b Sの端部までの間の距離を、寸法S2として表す。

[0260] なお、ソース電極74とドレイン電極75とが対向している方向を、以降では水平方向と称する。また、図15においては、ソース電極第1層側面74a Sと反対側の側面の端部と、ソース電極第2層側面74b Sと反対側の側面の端部とは、水平方向の位置が互いに一致しているケースが例示されている。

[0261] ソース電極74においては、寸法S1とS2との間の大小関係として、
$$S2 > S1 \quad (3)$$

が成立するように、ソース電極第1層74aおよびソース電極第2層74bが、それぞれ形成されている。

[0262] 従って、(i) ソース電極第1層側面74a Sの端部から、(ii) ソース電極第2層側面74b Sの端部端部までの間の長さを、寸法S12として表すと、上記の式(3)により、

$$S12 = S2 - S1 > 0 \quad (4)$$

である。

[0263] 上記の式(4)において示されているように、 $S12 > 0$ であるから、ソ

ース電極第2層側面74bSの端部は、ソース電極第1層側面74aSの端部に比べて、ドレイン電極75により近く位置している。従って、ソース電極第2層側面74bSの端部は、ソース電極第1層側面74aSの端部に比べて、有機半導体層16の内部により深く侵入している。

[0264] (ドレイン電極75)

ドレイン電極75は、実施形態6における第5工程(図13の(e))を参照)と同様にして形成された電極であり、(i)密着層として機能するドレイン電極第1層75a、および、(ii)コンタクト層として機能するドレイン電極第2層75bを備えている。

[0265] ここで、(i)ドレイン電極75の側面のうち、ドレイン電極第1層側面75aSと反対側の側面の端部から、(ii)ドレイン電極第1層側面75aSの端部までの間の距離を、寸法D1として表す。また、(i)ドレイン電極75の側面のうち、ドレイン電極第2層側面75bSと反対側の側面の端部から、(ii)ドレイン電極第2層側面75bSの端部までの間の距離を、寸法D2として表す。

[0266] なお、図15においては、ドレイン電極第1層側面75aSと反対側の側面の端部と、ドレイン電極第2層側面75bSと反対側の側面の端部とは、水平方向の位置が互いに一致しているケースが例示されている。

[0267] ドレイン電極75においては、寸法D1とD2との間の大小関係として、
$$D2 > D1 \quad (5)$$

が成立するように、ドレイン電極第1層75aおよびドレイン電極第2層75bが、それぞれ形成されている。

[0268] 従って、(i)ドレイン電極第1層側面75aSの端部から、(ii)ドレイン電極第2層側面75bSの端部までの間の長さを、寸法D12として表すと、上記の式(5)により、

$$D12 = D2 - D1 > 0 \quad (6)$$

である。

[0269] 上記の式(6)において示されているように、 $D12 > 0$ であるから、ド

レイン電極第2層側面75bSの端部は、ドレイン電極第1層側面75aSに比べて、ソース電極74により近く位置している。従って、ドレイン電極第2層側面75bSの端部は、ドレイン電極第1層側面75aSの端部に比べて、有機半導体層16の内部により深く侵入している。

[0270] いま、ソース電極第1層側面74aSとドレイン電極第1層側面75aSとの間の水平方向の距離を、寸法SD1として表し、またソース電極第2層側面74bSとドレイン電極第2層側面75bSとの間の水平方向の距離を、寸法SD2として表す。

[0271] このとき、寸法SD1と寸法SD2との間の関係は、

$$SD2 = SD1 - (S12 + D12) \quad (7)$$

であり、さらに、式(4)および式(6)から、

$$SD2 < SD1 \quad (8)$$

となる。

[0272] すなわち、ソース電極第2層側面74bSとドレイン電極第2層側面75bSとの間の水平方向の距離を示す寸法SD2は、ソース電極第1層側面74aSとドレイン電極第1層側面75aSとの間の水平方向の距離を示す寸法SD1よりも小さい。

[0273] (有機TF7の効果)

次に、本実施形態の有機TF7の効果について、図16の(b)を用いて説明する。図16の(b)は、本実施形態の有機TF7の断面図であり、有機TF7が備える有機半導体層16のチャネルを制御するためのゲート電圧が、ゲート電極13のゲート電極第2層13bから与えられている様子を示している。

[0274] いま、図16の(a)に示された有機TF7aを考える。有機TF7aは、上述の実施形態1から6までのいずれか1つに係る有機TFと同等のものである。図16の(a)は、有機TF7aの断面図であり、有機TF7aが備える有機半導体層16のチャネルを制御するためのゲート電圧が、ゲート電極13のゲート電極第2層13bから与えられている様子を示

している。

[0275] 有機TFT7aは、第2ゲート絶縁層72、ソース電極74c、およびドレイン電極75cを備えている。そして、ソース電極74cは、ソース電極第1層74caおよびソース電極第2層74cbを備えている。また、ドレイン電極75cは、ドレイン電極第1層75caおよびドレイン電極第2層75cbを備えている。

[0276] ソース電極第1層74caにおいて、ドレイン電極第1層75caと対向している側の面を、ソース電極第1層側面74caSと呼称する。また、ドレイン電極第1層75caにおいて、ソース電極第1層74caと対向している側の面を、ドレイン電極第1層側面75caSと呼称する。

[0277] ソース電極第2層74cbにおいて、ドレイン電極第2層75bと対向している側の面を、ソース電極第2層側面74cbSと呼称する。また、ドレイン電極第2層75cbにおいて、ソース電極第2層74cbと対向している側の面を、ドレイン電極第2層側面75cbSと呼称する。

[0278] ここで、(i) ソース電極74cの側面のうち、ソース電極第1層側面74caSと反対側の側面の端部から、(ii) ソース電極第1層側面74caSの端部までの間の距離を、寸法S1aとして表す。また、(i) ソース電極74cの側面のうち、ソース電極第2層側面74cbSと反対側の側面の端部から、(ii) ソース電極第2層側面74cbSの端部までの間の距離を、寸法S2aとして表す。

[0279] なお、図16の(a)においては、ソース電極第1層側面74caSと反対側の側面の端部と、ソース電極第2層側面74cbSと反対側の側面の端部とは、水平方向の位置が互いに一致しているケースが例示されている。

[0280] ソース電極74cにおいては、寸法S1aとS2aとの間の大小関係として、

$$S1a > S2a \quad (9)$$

が成立するように、ソース電極第1層74caおよびソース電極第2層74cbが、それぞれ形成されている。

[0281] 従って、(i) ソース電極第1層側面74c a Sの端部から、(ii) ソース電極第2層側面74c b Sの端部までの間の長さを、寸法S2 a 1 aとして表すと、上記の式(9)により、

$$S2 a 1 a = S1 a - S2 a > 0 \quad (10)$$

である。

[0282] 上記の式(10)において示されているように、 $S2 a 1 a > 0$ であるから、ソース電極第2層側面74c b Sの端部は、ソース電極第1層側面74c a Sに比べて、ドレイン電極75cからより遠く位置している。従って、ソース電極第2層側面74c b Sの端部は、ソース電極第1層側面74c a Sの端部に比べて、有機半導体層16の内部により浅く侵入している。

[0283] ここで、(i) ドレイン電極75cの側面のうち、ドレイン電極第1層側面75c a Sと反対側の側面の端部から、(ii) ドレイン電極第1層側面75c a Sの端部までの間の距離を、寸法D1 aとして表す。また、(i) ドレイン電極75cの側面のうち、ドレイン電極第2層側面75c b Sと反対側の側面の端部から、(ii) ドレイン電極第2層側面75c b Sの端部までの間の距離を、寸法D2 aとして表す。

[0284] なお、図16の(a)においては、ドレイン電極第1層側面75c a Sと反対側の側面の端部と、ドレイン電極第2層側面75c b Sと反対側の側面の端部とは、水平方向の位置が互いに一致しているケースが例示されている。

[0285] ドレイン電極75cにおいては、寸法D1 aとD2 aとの間の大小関係として、

$$D1 a > D2 a \quad (11)$$

が成立するように、ドレイン電極第1層75c aおよびドレイン電極第2層75c bが、それぞれ形成されている。

[0286] 従って、(i) ドレイン電極第1層側面75c a Sの端部から、(ii) ドレイン電極第2層側面75c b Sの端部までの間の長さを、寸法D2 a 1 aとして表すと、上記の式(11)により、

$$D2a1a = D1a - D2a > 0 \quad (12)$$

である。

[0287] 上記の式(12)において示されているように、 $D2a1a > 0$ であるから、ドレイン電極第2層側面75cbSの端部は、ドレイン電極第1層側面75caSに比べて、ソース電極74cからより遠く位置している。従って、ドレイン電極第2層側面75cbSの端部は、ドレイン電極第1層側面75caSの端部に比べて、有機半導体層16の内部により浅く侵入している。

[0288] いま、ソース電極第1層側面74caSとドレイン電極第1層側面75caSとの間の水平方向の距離を、寸法SD1aとして表し、またソース電極第2層側面74cbSとドレイン電極第2層側面75cbSとの間の水平方向の距離を、寸法SD2aとして表す。

[0289] このとき、寸法SD1aと寸法SD2aとの間の関係は、

$$SD2a = SD1a + (S2a1a + D2a1a) \quad (13)$$

であり、さらに、式(10)および式(12)から、

$$SD2a > SD1a \quad (14)$$

となる。

[0290] すなわち、ソース電極第2層側面74cbSとドレイン電極第2層側面75cbSとの間の水平方向の距離を示す寸法SD2aは、ソース電極第1層側面74caSとドレイン電極第1層側面75caSとの間の水平方向の距離を示す寸法SD1aよりも大きい。

[0291] ここで、図16の(a)に示されているように、有機半導体層16において、ソース電極第2層側面74cbSとドレイン電極第2層側面75cbSとの間の領域に形成されるチャンネルには、ゲート電極第2層13bから、ゲート電圧が与えられる。有機半導体層16のチャンネルは、ゲート電圧によって制御され、ゲート電圧によって、有機TF7aの出力特性が制御される。

[0292] 有機TF7aにおいては、上述の式(14)において示されているよう

に、(i) ソース電極第2層側面74cbSの端部は、ソース電極第1層側面74caSの端部に比べて、有機半導体層16の内部により浅く侵入しており、かつ、(ii) ドレイン電極第2層側面75cbSの端部は、ドレイン電極第1層側面75caSの端部に比べて、有機半導体層16の内部により浅く侵入している。

[0293] このため、ゲート電極第2層13bから有機半導体層16のチャンネルに与えられるゲート電圧は、有機半導体層16の内部により深く侵入している、(i) ソース電極第1層側面74caSの端部、および、(ii) ドレイン電極第1層側面75caSの端部によって、遮断される。

[0294] 他方、有機半導体層16のチャンネルは、有機半導体層16の内部により浅く侵入している、(i) ソース電極第2層側面74cbSの端部と、(ii) ドレイン電極第2層側面75cbSの端部との間の領域において形成される。

[0295] 従って、有機半導体層16に形成されるチャンネルは、ゲート電極第2層13bからゲート電圧が与えられることが可能な範囲よりも、さらに広い範囲を有している。

[0296] 他方、本実施形態の有機TFET7では、図16の(b)に示されているように、有機半導体層16において、ソース電極第2層側面74bSとドレイン電極第2層側面75bS

との間の領域に形成されるチャンネルには、ゲート電極第2層13bから、ゲート電圧が与えられる。有機半導体層16のチャンネルは、ゲート電圧によって制御され、ゲート電圧によって、有機TFET7の出力特性が制御される。

[0297] 有機TFET7においては、上述の式(8)において示されているように、(i) ソース電極第2層側面74bSの端部は、ソース電極第1層側面74aSの端部に比べて、有機半導体層16の内部により深く侵入しており、かつ、(ii) ドレイン電極第2層側面75bSの端部は、ドレイン電極第1層側面75aSの端部に比べて、有機半導体層16の内部により深く侵入している。

[0298] このため、ゲート電極第2層13bから有機半導体層16のチャンネルに与えられるゲート電圧は、有機半導体層16の内部により深く侵入している、
(i) ソース電極第2層側面74bSの端部、および、(ii) ドレイン電極第2層側面75bSの端部によって、遮断される。

[0299] そして、有機半導体層16のチャンネルもまた、有機半導体層16の内部により深く侵入している、(i) ソース電極第2層側面74bSの端部と、(ii) ドレイン電極第2層側面75bSの端部との間の領域において形成される。

[0300] このため、有機TFET7においては、ソース電極第2層74cbとドレイン電極第2層75cbとの間の領域全体において、有機半導体層16のチャンネルを、ゲート電圧によって適切に制御することができる。従って、有機TFET7においては、チャンネルの制御性がより向上し、出力特性の低減を抑制することが可能である。

[0301] [変形例]

なお、有機TFET7において、ソース電極74およびドレイン電極75が、それぞれ、密着層としてのソース電極第1層74aおよびドレイン電極74bを含んでいない構成であってもよい。つまり、ソース電極74およびドレイン電極75が、それぞれ、後述の実施形成9のように、複数の導電層からなる構成であってもよい。

[0302] 例えば、ソース電極74およびドレイン電極75が、それぞれ、2層の複数の導電層からなる構成を例示することができる。

[0303] いま、ソース電極とドレイン電極とが対向している方向を水平方向として、ソース電極第1層において、ドレイン電極第1層と対向している側の面を、ソース電極第1層側面とし、ドレイン電極第1層において、ソース電極第1層と対向している側の面を、ドレイン電極第1層側面と呼称する。

[0304] そして、ソース電極第2層において、ドレイン電極第2層と対向している側の面を、ソース電極第2層側面とし、上記ドレイン電極第2層において、上記ソース電極第2層と対向している側の面を、ドレイン電極第2層側面と

する。

[0305] このとき、ソース電極第2層側面とドレイン電極第2層側面との間の水平方向の距離が、ソース電極第1層側面と上記ドレイン電極第1層側面との間の水平方向の距離よりも小さくなるようにすれば、同様の効果を奏することができる。

[0306] 〔実施形態8〕

本発明の他の実施形態について、図17に基づいて説明すれば、以下のとおりである。なお、説明の便宜上、前記実施形態にて説明した部材と同じ機能を有する部材については、同じ符号を付記し、その説明を省略する。

[0307] (有機TF T 8の構成)

本実施形態の有機TF T 8(半導体素子)の構成について、図17の(d)を用いて説明する。図17の(d)は、有機TF T 8に有機半導体層16が形成され、有機TF T 8の製造が完了した状態を示す断面図である。有機TF T 8は、基板10、第1ゲート絶縁層11、第2ゲート絶縁層82、ゲート電極13、ソース電極84、ドレイン電極85、および有機半導体層16を備えている。

[0308] ここで、実施形態8の有機TF T 8が備える各部材は、第2ゲート絶縁層82、ソース電極84、およびドレイン電極85を除いては、実施形態1の有機TF T 1が備える各部材と同様のものであるため、同じ部材番号を用いて示している。

[0309] 有機TF T 8の第2ゲート絶縁層82は、実施形態7における有機TF T 7の第2ゲート絶縁層72と同様の部材である。また、ソース電極84は、ソース電極第1層84a、ソース電極第2層84b(ソース電極中間層)、およびソース電極第3層84c(ソース電極第2層)を備えており、ドレイン電極85は、ドレイン電極第1層85a、ドレイン電極第2層85b(ドレイン電極中間層)、およびドレイン電極第3層85c(ドレイン電極第2層)を備えている。

[0310] (有機TF T 8の製造方法および製造工程)

続いて、図 17 の (a) ~ (d) を用いて、本実施形態の有機 T F T 8 の製造方法および製造工程について説明する。図 17 の (a) ~ (d) は、それぞれ、有機 T F T 8 の断面図であり、有機 T F T 8 の製造における各工程を示す図である。

[0311] (実施形態 8 における第 1 工程：第 2 ゲート絶縁層形成工程)

図 17 の (a) は、第 1 ゲート絶縁層 11 上において互いに離間して配置されたソース電極第 1 層 84 a とドレイン電極第 1 層 85 a との間の空間に、第 1 ゲート絶縁層 11 の上に位置する第 2 ゲート絶縁層 82 を形成する工程（実施形態 8 における第 1 工程）を示す図である。

[0312] 実施形態 8 における第 1 工程は、実施形態 6 における第 3 工程（図 13 の (c) を参照）までに対応する工程である。すなわち、実施形態 8 における第 1 工程では、実施形態 6 における第 3 工程までと同様にして、有機 T F T 8 の第 1 ゲート絶縁層 11、ゲート電極 13、第 2 ゲート絶縁層 82、ソース電極第 1 層 84 a、およびドレイン電極第 1 層 85 a が、基板 10 の上に形成される。そして、ソース電極第 1 層 84 a およびドレイン電極第 1 層 85 a の上面には、開口部 19 が形成されている。従って、第 2 ゲート絶縁層 82 は、開口部 19 を備えている。

[0313] (実施形態 8 における第 2 工程：ソースドレイン電極第 2 層形成工程)

図 17 の (b) は、(i) ソース電極 84 が備えるソース電極第 2 層 84 b、および、(i i) ドレイン電極 85 が備えるドレイン電極第 2 層 85 b を形成する工程（実施形態 8 における第 2 工程）を示す図である。

[0314] 実施形態 8 における第 2 工程では、公知の電気メッキ技術を用いて、ソース電極第 1 層 84 a の上面の開口部 19 を充填するように、ソース電極第 2 層 84 b を形成する。同様に、ドレイン電極第 1 層 85 a の上面の開口部 19 を充填するように、ドレイン電極第 2 層 85 b を形成する。

[0315] ここでは、ソース電極第 2 層 84 b およびドレイン電極第 2 層 85 b の材料として、C u を選択している。

[0316] なお、ソース電極第 2 層 84 b およびドレイン電極第 2 層 85 b は、有機

半導体層 1 6 とのコンタクトを取るためのソース電極第 3 層 8 4 c およびドレイン電極第 3 層 8 5 c の材料の使用量を低減するために設けられた、補助的な導電層である。

[0317] 従って、ソース電極第 2 層 8 4 b およびドレイン電極第 2 層 8 5 b の材料は、Cu に限定されず、ソース電極第 3 層 8 4 c およびドレイン電極第 3 層 8 5 c の材料に比べて安価な、他の導電材料を使用してもよい。

[0318] (実施形態 8 における第 3 工程：ソースドレイン電極第 3 層形成工程)

図 1 7 の (c) は、(i) ソース電極 8 4 が備えるソース電極第 3 層 8 4 c、および、(i i) ドレイン電極 8 5 が備えるドレイン電極第 3 層 8 5 c を形成する工程 (実施形態 8 における第 3 工程) を示す図である。

[0319] 実施形態 8 における第 3 工程では、公知の電気メッキ技術等のメッキ法を用いて、ソース電極第 2 層 8 4 b の表面を被覆するように、ソース電極第 3 層 8 4 c を形成する。同様に、ドレイン電極第 2 層 8 5 b の表面を被覆するように、ドレイン電極第 3 層 8 5 c を形成する。

[0320] ここでは、ソース電極第 3 層 8 4 c およびドレイン電極第 3 層 8 5 c の材料として、有機半導体層 1 6 との良好なコンタクトを取ることができる Au を選択している。また、ソース電極第 3 層 8 4 c およびドレイン電極第 3 層 8 5 c は、Au の使用量を低減するため、Cu を材料とするソース電極第 2 層 8 4 b およびドレイン電極第 2 層に比べて、薄い膜厚を有する薄膜として形成される。

[0321] 従って、実施形態 8 における第 3 工程において、(i) ソース電極第 1 層 8 4 a、ソース電極第 2 層 8 4 b、およびソース電極第 3 層 8 4 c を備えたソース電極 8 4、および、(i i) ドレイン電極第 1 層 8 5 a、ドレイン電極第 2 層 8 5 b、およびドレイン電極第 3 層 8 5 c を備えたドレイン電極 8 5 が形成される。

[0322] ここで、有機 T F T 8 において、ソース電極 8 4 およびドレイン電極 8 5 のそれぞれの最上層 (すなわち、ソース電極第 3 層 8 4 c およびドレイン電極第 3 層 8 5 c) 以外の層における、ソース電極 8 4 およびドレイン電極 8

5のそれぞれの最上層に隣接する層は、第2ゲート絶縁層82の開口部19から一部突出して形成されている。

[0323] そして、ソース電極84およびドレイン電極85のそれぞれの最上層は、ソース電極84およびドレイン電極85のそれぞれの最上層に隣接する層における、第2ゲート絶縁層85から突出している部分を、被覆（キャップ）している。

[0324] （実施形態8における第4工程：有機半導体層形成工程）

図17の（d）は、第2ゲート絶縁層82の表面の全体、ソース電極84の表面の一部、およびドレイン電極85の表面の一部を覆うように、第2ゲート絶縁層82、ソース電極84、およびドレイン電極85の上面に、有機半導体層16を形成する工程（実施形態8における第4工程）を示す図である。

[0325] 実施形態8における第4工程は、実施形態6における第6工程に相当する工程であり、実施形態6における第6工程と同様にして、すなわち、実施形態1における第7工程（工程（g1））と同様にして、有機半導体層16が形成され、本実施形態の有機TFT8の製造が完了する。

[0326] 従って、図17の（a）～（d）においてそれぞれ示された、上述の第1工程から第4工程までの製造工程によって、本実施形態の有機TFT8は形成される。

[0327] ここで、本実施形態の有機TFT8において、第2ゲート絶縁層82は、ソース電極84およびドレイン電極85のそれぞれの最上層以外の層の一部を覆っており、かつ、開口部19を有している。第2ゲート絶縁層82に設けられた開口部19は、ソース電極84およびドレイン電極85のそれぞれの最上層以外の層に面している。

[0328] そして、第2ゲート絶縁層82に設けられた開口部19を介して、ソース電極84およびドレイン電極85におけるそれぞれの最上層は、ソース電極84およびドレイン電極85のそれぞれの最上層以外の層に接続されている。

[0329] (有機TFTEの効果)

本実施形態の有機TFTEでは、メッキ法を用いて、(i)導電層としてのソース電極第2層84bおよびソース電極第3層84cを備えたソース電極84、および、(ii)導電層としてのドレイン電極第2層85bおよびドレイン電極第3層85cを備えたドレイン電極85が、それぞれ形成されている。

[0330] 他方、上述の実施形態1から7までの有機TFTEにおいて、ソース電極およびドレイン電極は、フォトリソグラフィを用いてそれぞれ形成されている。

[0331] フォトリソグラフィにおいては、成膜、フォトレジストの塗布、露光、現像、エッチング、剥離等の多数の製造工程が必要であるのに対して、メッキ法は、より少数の製造工程によって、実施することが可能である。

[0332] 従って、メッキ法を用いて、有機TFTEを製造することにより、有機TFTEの製造に要する時間およびコストを、実施形態1から7までの有機TFTEに比べて、さらに低減することが可能である。

[0333] また、本実施形態の有機TFTEでは、メッキ法を用いて、Cuを材料とするソース電極第2層84bおよびドレイン電極第2層85bの表面を被覆するように、Auを材料とするソース電極第3層84cおよびドレイン電極第3層85cが形成されており、ソース電極第3層84cおよびドレイン電極第3層85cは、ソース電極第2層84bおよびドレイン電極第2層85bよりも薄い膜厚を有する薄膜として形成されている。

[0334] 他方、上述の実施形態1から7までの有機TFTEにおいて用いられているフォトリソグラフィでは、Auの薄膜を、特定の一部の領域のみに形成するのは容易ではなく、Auの薄膜は、コンタクト層として機能する電極全体として形成されることが一般的である。

[0335] 従って、メッキ法を用いることにより、フォトリソグラフィに比べて、Auの使用量を低減することができる。

[0336] すなわち、メッキ法を用いて、有機TFTEを製造することにより、有機

ＴＦＴ ８の製造に要するコストを、実施形態 １から ７までの有機ＴＦＴ に比べて、さらに低減することが可能である。

[0337] 〔実施形態 ９〕

本発明の他の実施形態について、図 １ ８に基づいて説明すれば、以下のとおりである。なお、説明の便宜上、前記実施形態にて説明した部材と同じ機能を有する部材については、同じ符号を付記し、その説明を省略する。

[0338] （有機ＴＦＴ ９の構成）

本実施形態の有機ＴＦＴ ９（半導体素子）の構成について、図 １ ８の（ｄ）を用いて説明する。図 １ ９の（ｄ）は、有機ＴＦＴ ９に有機半導体層 １ ６が形成され、有機ＴＦＴ ９の製造が完了した状態を示す断面図である。有機ＴＦＴ ９は、基板 １ ０、第 １ ゲート絶縁層 ９ １、第 ２ ゲート絶縁層 ９ ２、ゲート電極 １ ３、ソース電極 ９ ４、ドレイン電極 ９ ５、および有機半導体層 １ ６を備えている。

[0339] ここで、実施形態 ９の有機ＴＦＴ ９が備える各部材は、第 ２ ゲート絶縁層 ９ ２、ソース電極 ９ ４、およびドレイン電極 ９ ５を除いては、実施形態 １の有機ＴＦＴ １が備える各部材と同様のものであるため、同じ部材番号を用いて示している。

[0340] 有機ＴＦＴ ９の第 １ ゲート絶縁層 ９ １は、実施形態 ８における有機ＴＦＴ ８の第 １ ゲート絶縁層 ８ １と同様の部材である。また、有機ＴＦＴ ９の第 ２ ゲート絶縁層 ９ ２は、実施形態 ８における有機ＴＦＴ ８の第 ２ ゲート絶縁層 ８ ２と同様の部材である。

[0341] 第 １ ゲート絶縁層 ９ １には、ソース側表面処理部 ９ １ ｐ ｓ およびドレイン側表面処理部 ９ １ ｐ ｄ を備えた表面処理部 ９ １ ｐ が形成されている。

[0342] ソース電極 ９ ４ は、ソース電極第 １ 層 ９ ４ ａ（メッキ層，開口部内メッキ層，第 １ メッキ層）、ソース電極第 ２ 層 ９ ４ ｂ（ソース電極中間層，第 ２ メッキ層）、およびソース電極第 ３ 層 ９ ４ ｃ（表面メッキ層）を備えており、ドレイン電極 ９ ５ は、ドレイン電極第 １ 層 ９ ５ ａ（メッキ層，開口部内メッキ層，第 １ メッキ層）、ドレイン電極第 ２ 層 ９ ５ ｂ（ドレイン電極中間層，

第2メッキ層)、およびドレイン電極第3層95c(表面メッキ層)を備えている。

[0343] 有機TF T 9において、ソース電極第1層94aは、ソース側表面処理部91psに対応する第1ゲート絶縁層91上の位置に形成されており、かつ、ドレイン電極第1層95aは、ドレイン側表面処理部91pdに対応する第1ゲート絶縁層91上の位置に形成されている。

[0344] (有機TF T 9の製造方法および製造工程)

続いて、図18の(a)~(e)を用いて、本実施形態の有機TF T 9の製造方法および製造工程について説明する。図18の(a)~(e)は、それぞれ、有機TF T 9の断面図であり、有機TF T 9の製造における各工程を示す図である。

[0345] (実施形態9における第1工程:第1ゲート絶縁層表面処理工程)

図18の(a)は、第1ゲート絶縁層91に対して表面処理を行い、ソース側表面処理部91psおよびドレイン側表面処理部91pdを備えた表面処理部91pを形成する工程(実施形態9における第1工程、工程(d3))を示す図である。

[0346] 実施形態9における第1工程は、実施形態1における第3工程(図2の(c))を参照)に続く工程である。

[0347] すなわち、実施形態9における第1工程に先立ち、実施形態1における第1工程(工程(a1))から第3工程(工程(c1))までと同様にして、有機TF T 9の第1ゲート絶縁層91、ゲート電極13が、基板10の上に形成されている。

[0348] 実施形態9における第1工程では、第1ゲート絶縁層91の上面に、第2ゲート絶縁層92を形成する。第2ゲート絶縁層92は、第1ゲート絶縁層91の上面に、ソース電極94およびドレイン電極95にそれぞれ対応する位置において開口部19が設けられるように、パターン形成されている。なお、第2ゲート絶縁層92のパターン形成は、フォトリソグラフィによって行われてもよいし、または、他の印刷技術によって行われてもよい。

- [0349] 続いて、ソース電極 9 4 およびドレイン電極 9 5 にそれぞれ対応する位置の開口部 1 9 において露出している、第 1 ゲート絶縁層 9 1 の上面に対して、公知の無電解メッキ技術（例えば、化学メッキ）を適用することが可能となるように、表面処理が行われる。
- [0350] 表面処理が行われることにより、第 1 ゲート絶縁層 9 1 において、(i) ソース側表面処理部 9 1 p s が、ソース電極 9 4 に対応する位置に形成され、かつ、(i i) ドレイン側表面処理部 9 1 p d が、ドレイン電極 9 5 に対応する位置に形成される。
- [0351] 本実施形態においては、第 1 ゲート絶縁層 9 1 の材料として、 SiO_2 （シリカ、二酸化ケイ素）の微粒子を含んだポリイミドを用い、かつ、第 2 ゲート絶縁層 9 2 の材料として、 SiO_2 の微粒子を含んでいないポリイミドを用いている。
- [0352] そして、第 2 ゲート絶縁層 9 2 のパターン形成を行った後、有機 T F T 9 を H F（フッ化水素）等の強酸性の水溶液に含浸させることにより、第 1 ゲート絶縁層 9 1 の表面に位置する SiO_2 がエッチングされ、第 1 ゲート絶縁層 9 1 の表面に空孔が形成される。
- [0353] 続いて、有機 T F T 9 を、パラジウムを含んだ溶液に含浸させることにより、第 1 ゲート絶縁層 9 1 の表面の空孔に、パラジウムが流入する。パラジウムは、無電解メッキの触媒として機能するため、第 1 ゲート絶縁層 9 1 上に選択的に無電解メッキを行うことが可能となる。
- [0354] このようにして、第 1 ゲート絶縁層 9 1 において、無電解メッキが可能となるように表面処理が行われた、ソース側表面処理部 9 1 p s およびドレイン側表面処理部 9 1 p d が形成される。
- [0355] （実施形態 9 における第 2 工程：ソースドレイン電極第 1 層形成工程）
図 1 8 の (b) は、(i) ソース電極 9 4 が備えるソース電極第 1 層 9 4 a、および、(i i) ドレイン電極 9 5 が備えるドレイン電極第 1 層 9 5 a を形成する工程（実施形態 9 における第 2 工程，工程 (e 3)）を示す図である。

- [0356] 実施形態9における第2工程では、公知の無電解メッキ技術を用いて、ソース側表面処理部91psの上面を被覆するように、ソース電極第1層94aを形成する。同様に、ドレイン側表面処理部91pdの上面を被覆するように、ドレイン電極第1層95aを形成する。
- [0357] ソース電極第1層94aおよびドレイン電極第1層95aは、それぞれ、ソース電極94およびドレイン電極95の密着層として機能する。ここでは、ソース電極第1層94aおよびドレイン電極第1層95aの材料として、Niを選択している。
- [0358] すなわち、Niを材料とする第1メッキ液96aを有機TF T 9に対して用いることにより、(i)表面処理が行われたソース側表面処理部91psの上面、および、(ii)表面処理が行われたドレイン側表面処理部91pdの上面に、第1メッキ液96aがそれぞれ付着する。このようにして、ソース電極第1層94aおよびドレイン電極第1層95aが形成される。
- [0359] なお、実施形態9における第1工程にて形成されたソース側表面処理部91psおよびドレイン側表面処理部91pdは、金属との強い密着力を有している。すなわち、ソース側表面処理部91psおよびドレイン側表面処理部91pdを、密着層としてのソース電極第1層94aおよびドレイン電極第1層95aの代替として、密着層として機能させることもできる。
- [0360] 従って、実施形態9における第2工程を省略し、後述の第3工程において、ソース電極第2層94bおよびドレイン電極第2層95bを、それぞれ、密着層として機能するソース側表面処理部91psおよびドレイン側表面処理部91pdの上面を被覆するように形成してもよい。
- [0361] (実施形態9における第3工程：ソースドレイン電極第2層形成工程)
図18の(c)は、(i)ソース電極94が備えるソース電極第2層94b、および、(ii)ドレイン電極95が備えるドレイン電極第2層95bを形成する工程(実施形態9における第3工程、工程(f3))を示す図である。
- [0362] 実施形態9における第3工程は、実施形態8における第2工程と同様の工

程であり、公知の電気メッキ技術を用いて、ソース電極第2層94bおよびドレイン電極第2層95bがそれぞれ形成される。ここでは、ソース電極第2層94bおよびドレイン電極第2層95bの材料として、Cuを選択している。

[0363] すなわち、Cuを材料とする第2メッキ液96bを有機TFT9に対して用いることにより、(i)ソース電極第1層94aの上面、および、(ii)ドレイン電極第1層95aの上面に、第2メッキ液96bがそれぞれ付着する。このようにして、ソース電極第2層94bおよびドレイン電極第2層95bが形成される。

[0364] ソース電極第2層94bおよびドレイン電極第2層95bは、電極のコンタクト抵抗を低減させるために設けられた、ソース電極94およびドレイン電極95の補助的な導電層である。

[0365] (実施形態9における第4工程：ソースドレイン電極第3層形成工程)
図18の(d)は、(i)ソース電極94が備えるソース電極第3層94c、および、(ii)ドレイン電極95が備えるドレイン電極第3層95cを形成する工程(実施形態9における第4工程、工程(g3))を示す図である。

[0366] 実施形態9における第4工程は、実施形態8における第3工程と同様の工程であり、公知の電気メッキ技術を用いて、ソース電極第3層94cおよびドレイン電極第3層95cがそれぞれ形成される。ここでは、ソース電極第3層94cおよびドレイン電極第3層95cの材料として、Auを選択している。

[0367] すなわち、Auを材料とする第3メッキ液96cを有機TFT9に対して用いることにより、(i)ソース電極第2層94bの上面、および、(ii)ドレイン電極第2層95bの上面に、第3メッキ液96cがそれぞれ付着する。このようにして、ソース電極第3層94cおよびドレイン電極第3層95cが形成される。

[0368] ソース電極第3層94cおよびドレイン電極第3層95cは、有機半導体

層 1 6 との良好なコンタクトを取るために設けられた、ソース電極 9 4 およびドレイン電極 9 5 の主たる導電層である。

[0369] (実施形態 9 における第 5 工程：有機半導体層形成工程)

図 1 8 の (e) は、第 2 ゲート絶縁層 9 2 の表面の全体、ソース電極 9 4 の表面の一部、およびドレイン電極 9 5 の表面の一部を覆うように、第 2 ゲート絶縁層 9 2、ソース電極 9 4、およびドレイン電極 9 5 の上面に、有機半導体層 1 6 を形成する工程（実施形態 9 における第 5 工程）を示す図である。

[0370] 実施形態 9 における第 5 工程は、実施形態 8 における第 4 工程に相当する工程であり、実施形態 8 における第 4 工程と同様にして、すなわち、実施形態 1 における第 7 工程（工程 (g 1)）と同様にして、有機半導体層 1 6 が形成され、本実施形態の有機 T F T 9 の製造が完了する。

[0371] (有機 T F T 9 の効果)

本実施形態の有機 T F T 9 では、メッキ法を用いて、(i) ソース電極第 1 層 9 4 a と、ソース電極第 2 層 9 4 b と、ソース電極第 3 層 9 4 c とを備えたソース電極 9 4、および、(i i) ドレイン電極第 1 層 9 5 a と、ドレイン電極第 2 層 9 5 b と、ドレイン電極第 3 層 9 5 c とを備えたドレイン電極 9 5 が、それぞれ形成されている。

[0372] 上述の実施形態 8 の有機 T F T 8 においても、(i) ソース電極第 2 層 8 4 b とソース電極第 3 層 8 4 c、および、(i i) ドレイン電極第 2 層 8 5 b とドレイン電極第 3 層 9 5 c は、メッキ法によって形成されている。しかし、実施形態 8 の有機 T F T 8 においては、密着層としてのソース電極第 1 層 8 4 a およびドレイン電極第 1 層 8 5 a は、フォトリソグラフィを用いて形成されている。

[0373] 本実施形態の有機 T F T 9 では、密着層としてのソース電極第 1 層 9 4 a およびドレイン電極第 1 層 9 5 a もまた、メッキ法を用いて形成されており、この点において実施形態 8 の有機 T F T 8 と異なっている。

[0374] 従って、本実施形態の有機 T F T 9 は、密着層としてのソース電極第 1 層

94 a およびドレイン電極第1層95 aを、多数の工程を要するフォトリソグラフィを用いることなく製造されるため、実施形態8の有機TFT8に比べて、製造に要する時間およびコストをさらに低減することが可能である。

[0375] 〔変形例〕

なお、有機TFT9において、ソース電極94およびドレイン電極95が、それぞれ、密着層としてのソース電極第1層94 aおよびドレイン電極第1層95 aを含まず、かつ、補助的な導電層としてのソース電極第2層94 bおよびドレイン電極第2層95 bが、複数の層から形成される構成であってもよい。

[0376] この場合、第2ゲート絶縁層92は、ソース電極94の最上層（すなわちソース電極第3層94 c）以外の層の合計の厚み、およびドレイン電極の最上層（ドレイン電極第3層95 c）以外の層の合計の厚みよりも厚く、かつ、ソース電極94の全体の厚みおよび、ドレイン電極95の全体の厚みよりも薄く形成されていればよい。

[0377] また、有機TFT9において、ソース電極94およびドレイン電極95におけるそれぞれの最上層（すなわちソース電極第3層94 cおよびドレイン電極第3層95 c）は、第2ゲート絶縁層に設けられた開口部19を介して、ソース電極94およびドレイン電極95のそれぞれの最上層以外の層に接続されている。

[0378] 上述の密着層としてのソース電極第1層94 aおよびドレイン電極第1層95 aを含まず、かつ、補助的な導電層としてのソース電極第2層94 bおよびドレイン電極第2層95 bが、複数の層から形成される構成においても、同様の構成を設けることにより、同様の効果を奏することができる。

[0379] 〔まとめ〕

本発明の態様1に係る半導体素子（有機TFT1）は、ゲート電極（13）と、上記ゲート電極を覆う第1ゲート絶縁層（11）と、上記第1ゲート絶縁層上に、平面視で上記ゲート電極を挟んで互いに離間するとともに、上記第1ゲート絶縁層を介して上記ゲート電極の一部にそれぞれ重畳するソー

ス電極（１４）およびドレイン電極（１５）と、上記第１ゲート絶縁層上における、少なくとも、上記ソース電極とドレイン電極とで挟まれた領域に形成された第２ゲート絶縁層（１２）と、上記ソース電極およびドレイン電極間、並びに、上記ソース電極およびドレイン電極上に形成され、上記第１ゲート絶縁層、第２ゲート絶縁層、ソース電極、およびドレイン電極を介して上記ゲート電極に重畳する半導体層（１６）と、を有し、上記ソース電極およびゲート電極は、複数の層からなり、上記ソース電極およびドレイン電極のそれぞれの最上層は、上記ソース電極およびドレイン電極のそれぞれの最上層以外の層の材料よりも上記半導体層の材料の仕事関数との差が小さい仕事関数を有する材料からなり、上記ソース電極およびドレイン電極は、それぞれの最上層の上面および側面で上記半導体層と直接接触し、上記ソース電極およびドレイン電極の最上層以外の層と上記半導体層との間には、上記第２ゲート絶縁層、並びに、上記ソース電極およびドレイン電極の最上層のうち少なくとも１つが介在していることを特徴としている。

[0380] 上述したようなボトムゲート・ボトムコンタクト構造を有する半導体素子では、ソース電極とドレイン電極との間に位置する、半導体層とゲート絶縁層との界面部分を電流が流れる。

[0381] このため、ソース電極およびドレイン電極を複数の層で形成する場合、半導体層とゲート絶縁層との界面部分のソース電極およびドレイン電極に、半導体層と良好なコンタクトを取ることができない層が存在すると、コンタクト抵抗が増加し、半導体素子の特性が低下する。

[0382] ソース電極およびドレイン電極のコンタクト抵抗は、該ソース電極およびドレイン電極に、半導体層の材料の仕事関数との差が大きな材料を使用するほど大きくなる。このため、ソース電極およびドレイン電極の材料としては、半導体層の材料の仕事関数との差が小さいほど好ましい。そのような材料としては、一般的には、例えば金が挙げられる。しかしながら、そのような材料は高価である。

[0383] また、ソース電極およびドレイン電極とゲート絶縁層との密着力を向上さ

せるためには、ゲート絶縁層との密着層となる、ゲート電極との密着性（濡れ性）が高い層を設けることが望ましい。しかしながら、このような密着層は、半導体層と良好なコンタクトを取ることができない。このため、ソース電極およびドレイン電極は、半導体層とコンタクトをとるための層以外に、該層よりもゲート電極との密着性（濡れ性）が高い層を、ゲート電極との密着層として備えていることが好ましい。

[0384] 上述した半導体素子では、第2ゲート絶縁膜が、ゲート絶縁膜の一部として機能する。そして、ソース電極とドレイン電極とで挟まれた領域における、ソース電極およびドレイン電極の最上層以外の層と半導体層との間には、第2ゲート絶縁層、並びに、ソース電極およびドレイン電極の最上層のうち少なくとも1つが介在している。

[0385] このため、半導体層は、ソース電極およびドレイン電極のそれぞれの最上層以外の層とは、直接接触していない。このため、上記の構成によれば、半導体層と、自身の仕事関数の値とより異なる仕事関数の値を有するソース電極およびドレイン電極のそれぞれの最上層以外の層との間における、電気的なコンタクトが抑制される。

[0386] 一方、半導体層は、ソース電極およびドレイン電極のそれぞれの最上層と直接接触している。よって、半導体層は、自身の仕事関数の値とより近い仕事関数の値を有するソース電極およびドレイン電極のそれぞれの最上層と、電気的に良好なコンタクトを取ることができる。

[0387] また、半導体層は、ソース電極およびドレイン電極のそれぞれの最上層以外の層とは、直接接触していない。よって、半導体層と、自身の仕事関数の値とより異なる仕事関数の値を有するソース電極およびドレイン電極のそれぞれの最上層以外の層との間における、電気的なコンタクトが生じることを抑制することができる。

[0388] それゆえ、上記の構成によれば、ソース電極およびドレイン電極が複数の層からなるボトムゲート構造の半導体素子の特性の低下を抑制することができる。

[0389] また、本発明の態様2に係る半導体素子は、上記態様1において、上記ソース電極およびゲート電極は、それぞれ、上記第1ゲート絶縁層との密着層（例えば、ソース電極第1層14aおよびドレイン電極第1層15a）を含み、上記第2ゲート絶縁層は、少なくとも上記密着層の厚み（例えば、 d_1 ）よりも厚く、かつ、上記ソース電極の全体の厚みおよび上記ドレイン電極の全体の厚み（例えば、 $d_1 + d_2$ ）よりも薄く形成されている構成であってもよい。

[0390] 上記の構成によれば、ソース電極とドレイン電極とで挟まれた領域における、ソース電極およびドレイン電極の少なくとも最上層の側面の一部は、第2ゲート絶縁層で被覆されておらず、上記領域における密着層の側面は、半導体層と直接接触しないよう、第2ゲート絶縁層で被覆されている。

[0391] このため、第2ゲート絶縁層によって、半導体層と、ソース電極およびドレイン電極の密着層とにおける、電気的なコンタクトが生じることを抑制することができるとともに、ソース電極およびドレイン電極のそれぞれの最上層と半導体層との間で、電気的に良好なコンタクトを取ることができる。

[0392] それゆえ、密着層を含んだボトムゲート構造の半導体素子において、特性の低下を抑制することができる。

[0393] また、本発明の態様3に係る半導体素子は、上記態様1または2において、上記第2ゲート絶縁層は、上記ソース電極の最上層以外の層の合計の厚みおよび上記ドレイン電極の最上層以外の層の合計の厚みよりも厚く、かつ、上記ソース電極の全体の厚みおよび上記ドレイン電極の全体の厚みよりも薄く形成されている構成であってもよい。

[0394] 上記の構成によれば、ソース電極とドレイン電極とで挟まれた領域における、ソース電極およびドレイン電極の最上層の側面は、第2ゲート絶縁層で被覆されておらず、上記領域におけるソース電極およびゲート電極の最上層以外の層の側面は、半導体層と直接接触しないよう、第2ゲート絶縁層で被覆されている。

[0395] このため、第2ゲート絶縁層によって、半導体層と、ソース電極およびゲ

ート電極の最上層以外の層とにおける、電気的なコンタクトが生じることを抑制することができるとともに、ソース電極およびド레인電極のそれぞれの最上層と半導体層との間で、電気的に良好なコンタクトを取ることができる。

[0396] また、本発明の態様4に係る半導体素子は、上記態様1において、上記ソース電極およびゲート電極は、それぞれ、上記第1ゲート絶縁層との密着層（例えば、ソース電極第1層14aおよびド레인電極第1層15a）と最上層（例えば、ソース電極第2層14bおよびド레인電極第2層15b）との2層からなり、上記第2ゲート絶縁層は、上記ソース電極とド레인電極とで挟まれた領域における上記ソース電極の密着層の側面（例えば、ソース電極第1層側面14aS）を覆うソース側第2ゲート絶縁層（52a）と、上記ソース電極とド레인電極とで挟まれた領域における上記ド레인電極の密着層の側面（例えば、ド레인電極第1層側面15aS）を覆うド레인側第2ゲート絶縁層（52b）とを備え、上記ソース側第2ゲート絶縁層とド레인側第2ゲート絶縁層とは互いに離間して設けられている構成であってもよい。

[0397] 上記の構成によれば、ソース側第2ゲート絶縁層およびド레인側第2ゲート絶縁層第2ゲート絶縁層によって、半導体層と密着層とにおける、電気的なコンタクトが生じることを抑制することができるとともに、ソース電極およびド레인電極のそれぞれの最上層と半導体層との間で、電気的に良好なコンタクトを取ることができる。

[0398] しかも、上記の構成によれば、ソース側第2ゲート絶縁層とド레인側第2ゲート絶縁層とが接触していない部分、例えば、ソース電極とド레인電極とで挟まれた領域における中央部分は、ゲート絶縁層として、均一な第1ゲート絶縁層のみが存在している。このため、ソース電極とド레인電極とで挟まれた領域全体に第2ゲート絶縁層を形成した場合と比べて、半導体素子の特性の分布や変動を低減することができる。

[0399] また、本発明の態様5に係る半導体素子は、上記態様1または2において

、上記第2ゲート絶縁層は、上記ソース電極およびドレイン電極のそれぞれの最上層以外の層における、上記ソース電極およびドレイン電極におけるそれぞれの最上層と接触していない表面全体を覆っている構成であってもよい。

[0400] 上記の構成によれば、ソース電極およびドレイン電極のそれぞれの最上層が、上記ソース電極およびドレイン電極のそれぞれの最上層以外の層と連結部（例えば第2ゲート絶縁層の開口部（19）内に形成されたソース電極第2層14bおよびドレイン電極第2層15b）により部分的に接触している構成であった場合でも、上記ソース電極およびドレイン電極のそれぞれの最上層以外の層は、上記ソース電極およびドレイン電極におけるそれぞれの最上層と接触していない表面全体が、第2ゲート絶縁層で覆われている。また、上記の構成によれば、第2ゲート絶縁層は、ソース電極とドレイン電極とで挟まれた領域とは反対側のソース電極およびドレイン電極のそれぞれの最上層以外の層の側面も覆っている。

[0401] 従って、上記の構成によれば、第2ゲート絶縁層によって、半導体層と、ソース電極およびゲート電極の最上層以外の層とにおける、電気的なコンタクトが生じることを抑制することができるとともに、ソース電極およびドレイン電極のそれぞれの最上層と半導体層との間で、電気的に良好なコンタクトを取ることができる。

[0402] また、上記の構成は、インクジェット法を使用しなくても、例えばフォトリソグラフィによって容易に実現することができる。

[0403] また、本発明の態様6に係る半導体素子は、上記態様5において、上記第2ゲート絶縁層は、上記ソース電極およびドレイン電極のそれぞれの最上層以外の層の一部を覆っていると同時に、上記ソース電極およびドレイン電極のそれぞれの最上層以外の層に面する開口部（19）を有しており、上記ソース電極およびドレイン電極におけるそれぞれの最上層は、上記第2ゲート絶縁層に設けられた開口部を介して、上記ソース電極およびドレイン電極のそれぞれの最上層以外の層（例えば、ソース電極第1層14aおよびドレイ

ン電極第1層15a)に接続されている構成であってよい。

[0404] 上記構成は、フォトリソグラフィによるパターン形成を用いた第2ゲート絶縁層の形成を可能とする。したがって、上記の構成によれば、第2ゲート絶縁膜の膜厚や形状を正確に制御することが可能となり、半導体素子の特性の分布や変動を低減することが可能となる。

[0405] また、上記の構成によれば、第2ゲート絶縁層に開口部を設けることによって、複数の層を有するソース電極およびドレイン電極を容易に形成することができる。

[0406] また、本発明の態様7に係る半導体素子は、上記態様6において、上記ソース電極およびドレイン電極のそれぞれの最上層（例えば、ソース電極第2層14bおよびドレイン電極第2層15b）における互いに対向する側の端部は、上記ソース電極およびドレイン電極のそれぞれの最上層以外の層（例えば、ソース電極第1層14aおよびドレイン電極第1層15a）における互いに対向する側の端部よりも、上記ソース電極とドレイン電極とで挟まれた領域の内側に突出して形成されている構成であってもよい。

[0407] 従って、ソース電極およびドレイン電極のそれぞれの最上層と最上層以外の層とでフォトリソグラフィのアライメントずれがあった場合でも、ソース電極とドレイン電極とで挟まれた領域のより内側に位置する、ソース電極およびドレイン電極のそれぞれの最上層における互いに対向する側の端部の間の領域において、半導体層のチャンネルが形成される。そして、上述の同じ領域に対して、チャンネルを制御するためのゲート電極からのゲート電圧が与えられる。

[0408] それゆえ、ソース電極およびドレイン電極のそれぞれの最上層と最上層以外の層とでフォトリソグラフィのアライメントずれがあった場合でも、半導体層のチャンネルの制御性を向上させ、半導体素子の特性の低下を抑制することができる。

[0409] また、本発明の態様8に係る半導体素子は、上記態様5において、上記第2ゲート絶縁層は、上記ソース電極およびドレイン電極のそれぞれの最上層

以外の層の合計の厚みよりも薄く形成されており、かつ、開口部を有し、上記ソース電極およびドレイン電極のそれぞれの最上層以外の層における上記ソース電極およびドレイン電極のそれぞれの最上層に隣接する層は、上記第2ゲート絶縁層の開口部から一部突出して形成されており、上記ソース電極およびドレイン電極のそれぞれの最上層は、上記ソース電極およびドレイン電極のそれぞれの最上層に隣接する層における、上記第2ゲート絶縁層から突出している部分を被覆している構成であってもよい。

[0410] 上記構成は、フォトリソグラフィによるパターン形成を用いた第2ゲート絶縁層の形成を可能とする。したがって、上記の構成によれば、第2ゲート絶縁膜の膜厚や形状を正確に制御することが可能となり、半導体素子の特性の分布や変動を低減することが可能となる。

[0411] また、上記の構成によれば、上記ソース電極およびドレイン電極のそれぞれの最上層に隣接する層における、上記第2ゲート絶縁層から突出している部分を、上記ソース電極およびドレイン電極のそれぞれの最上層で被覆するだけで、ソース電極とドレイン電極とで挟まれた領域における、ソース電極およびドレイン電極の最上層以外の層と半導体層との間に、第2ゲート絶縁層、並びに、ソース電極およびドレイン電極の最上層を、容易に介在させることができる。また、上記の構成によれば、ソース電極およびドレイン電極の最上層だけが第2ゲート絶縁層から露出した状態を、容易に作り出すことができる。

[0412] また、本発明の態様9に係る半導体素子は、上記態様8において、上記ソース電極およびドレイン電極のそれぞれの最上層以外の層における、少なくとも上記ソース電極およびドレイン電極のそれぞれの最上層に隣接する層は無電解メッキ層である構成であってもよい。

[0413] 上記の構成によれば、半導体素子において、少なくともソース電極およびドレイン電極のそれぞれの最上層に隣接する層を、無電解メッキによって形成することができ、ソース電極およびドレイン電極の製作を簡略化することができる。

- [0414] また、本発明の態様 10 に係る半導体素子は、上記態様 9 において、上記第 1 ゲート絶縁層における上記ソース電極およびドレイン電極との接触表面に、無電解メッキの触媒が選択的に付着されている構成であってもよい。
- [0415] 例えば、第 1 ゲート絶縁層はポリイミドからなり、第 1 ゲート絶縁層における上記ソース電極およびドレイン電極との接触表面には、無電解メッキの触媒であるパラジウムが付着した空孔部が選択的に形成されている構成であってもよい。
- [0416] 上記の構成によれば、上記開口部内に、無電解メッキのみで、ソース電極およびドレイン電極のそれぞれの最上層以外の層を形成することができる。このため、半導体素子の製造にかかるコストを削減することができる。
- [0417] しかも、上記の構成によれば、第 1 ゲート絶縁層におけるソース電極およびドレイン電極との接触表面が、ソース電極およびドレイン電極との密着層として機能するので、第 1 ゲート絶縁層とソース電極およびドレイン電極との密着性を高めるために、必ずしもソース電極およびドレイン電極側に第 1 ゲート絶縁層との密着層を形成しなくてもよいというメリットもある。
- [0418] また、本発明の態様 11 に係る半導体素子は、上記態様 5、8～10 のいずれか 1 項において、上記ソース電極およびゲート電極は、それぞれ 3 層からなり、上記ソース電極およびドレイン電極のそれぞれの中間層（上記ソース電極およびドレイン電極のそれぞれの最上層に隣接する層である中間層）は、上記ソース電極およびドレイン電極の最下層の材料よりも上記半導体層の材料の仕事関数との差が小さく、かつ、上記ソース電極およびドレイン電極の最上層の材料よりも上記半導体層の材料の仕事関数との差が大きい仕事関数を有する材料からなる構成であってもよい。
- [0419] 上記の構成によれば、中間層を含んだ 3 層から成るソース電極およびドレイン電極を備えた半導体素子においても、特性の低下を抑制することができる。
- [0420] 一般的に上記最上層に用いられる金等の金属は非常に高価であり、その使用量を減らすことが望ましい。上記の構成によれば、上記最上層に使用され

る材料の使用量を削減することができるとともに、上記中間層により、ソース電極およびドレイン電極のコンタクト抵抗を低減させることができる。

[0421] また、本発明の態様 1 2 に係る半導体素子は、上記態様 1 ～ 1 1 のいずれか 1 つにおいて、上記第 2 ゲート絶縁層の誘電率の値 (ϵ_2) は、上記第 1 ゲート絶縁層の誘電率の値 (ϵ_1) よりも小さい構成であってもよい。

[0422] 上記の構成によれば、半導体素子の特性を向上させることができる。また、第 1 ゲート絶縁層の誘電率の値を第 2 ゲート絶縁層の誘電率の値よりも高くすることで、第 1 ゲート絶縁層の誘電率の値が第 2 ゲート絶縁層の誘電率の値よりも低い場合と比べて、同じ容量が得られる膜厚を厚くすることができる。この結果、リーク電流や半導体素子の耐圧を改善することができる。

[0423] また、本発明の態様 1 3 に係る半導体素子は、上記態様 1 ～ 1 2 のいずれか 1 つにおいて、上記第 1 ゲート絶縁層と第 2 ゲート絶縁層とは、互いに異なる表面エネルギーを有している構成であってもよい。

[0424] 例えば、第 2 ゲート絶縁層の表面エネルギーの値を、第 1 ゲート絶縁層の表面エネルギーの値よりも大きくすることにより、半導体素子の製作精度を向上させることが可能である。他方、第 2 ゲート絶縁層の表面エネルギーの値を、第 1 ゲート絶縁層の表面エネルギーの値よりも小さくすることにより、半導体素子の特性を向上させることができる。

[0425] また、本発明の態様 1 4 に係る半導体素子は、上記態様 1 3 において、上記第 2 ゲート絶縁層の表面エネルギーの値 (E_{S2}) は、上記第 1 ゲート絶縁層の表面エネルギーの値 (E_{S1}) よりも大きい構成であってもよい。

[0426] 上記の構成によれば、上述したように、半導体素子の製作精度を向上させることができる。

[0427] また、本発明の態様 1 5 に係る半導体素子は、上記態様 1 3 において、上記第 2 ゲート絶縁層の表面エネルギーの値は、上記第 1 ゲート絶縁層の表面エネルギーの値よりも小さい構成であってもよい。

[0428] 上記の構成によれば、上述したように、半導体素子の特性を向上させるこ

とができる。

[0429] また、本発明の態様 1 6 に係る半導体素子は、上記態様 1 ～ 1 5 のいずれか 1 つにおいて、上記半導体層は有機半導体層である構成であってもよい。

[0430] 上述した構成は、上記半導体が有機半導体である場合に特に好適である。

[0431] また、本発明の態様 1 7 に係る半導体素子の製造方法は、ゲート電極を覆う第 1 ゲート絶縁層を形成する第 1 ゲート絶縁層形成工程と、上記第 1 ゲート絶縁層上に、平面視で上記ゲート電極を挟んで互いに離間するとともに、上記第 1 ゲート絶縁層を介して上記ゲート電極の一部にそれぞれ重畳するソース電極およびドレイン電極を形成するソース電極・ドレイン電極形成工程と、上記第 1 ゲート絶縁層上における、少なくとも、上記ソース電極とドレイン電極とで挟まれた領域に、第 2 ゲート絶縁層を形成する第 2 ゲート絶縁層形成工程と、上記ソース電極およびドレイン電極間、並びに、上記ソース電極およびドレイン電極上に、上記第 1 ゲート絶縁層、第 2 ゲート絶縁層、ソース電極、およびドレイン電極を介して上記ゲート電極に重畳する半導体層を形成する半導体層形成工程と、を有し、上記ソース電極・ドレイン電極形成工程では、上記ソース電極およびドレイン電極をそれぞれ複数の層で形成するとともに、上記ソース電極およびドレイン電極のそれぞれの最上層に、上記ソース電極およびドレイン電極のそれぞれの最上層以外の層の材料よりも上記半導体層の材料の仕事関数との差が小さい仕事関数を有する材料を使用し、かつ、上記第 2 ゲート絶縁層形成工程では、上記第 1 ゲート絶縁層上における、上記ソース電極とドレイン電極とで挟まれた領域に、上記第 2 ゲート絶縁層を、上記ソース電極の最上層以外の層の合計の厚みおよび上記ドレイン電極の最上層以外の層の合計の厚みよりも厚く、かつ、上記ソース電極の全体の厚みおよび上記ドレイン電極の全体の厚みよりも薄く形成することを特徴としている。

[0432] 上記の構成によれば、半導体層と、ソース電極およびドレイン電極のそれぞれの最上層以外の層とにおける、電気的なコンタクトが生じることを抑制することができるとともに、ソース電極およびドレイン電極のそれぞれの最

上層と半導体層との間で、電氣的に良好なコンタクトを取ることができる半導体素子を製造することができる。

[0433] また、本発明の態様 18 に係る半導体素子の製造方法は、ゲート電極を覆う第 1 ゲート絶縁層を形成する第 1 ゲート絶縁層形成工程と、上記第 1 ゲート絶縁層上に、平面視で上記ゲート電極を挟んで互いに離間するとともに、上記第 1 ゲート絶縁層を介して上記ゲート電極の一部にそれぞれ重畳するソース電極およびドレイン電極をそれぞれ 2 層で形成するソース電極・ドレイン電極形成工程と、上記第 1 ゲート絶縁層上における、少なくとも、上記ソース電極とドレイン電極とで挟まれた領域に、第 2 ゲート絶縁層を形成する第 2 ゲート絶縁層形成工程と、上記ソース電極およびドレイン電極間、並びに、上記ソース電極およびドレイン電極上に、上記第 1 ゲート絶縁層、第 2 ゲート絶縁層、ソース電極、およびドレイン電極を介して上記ゲート電極に重畳する半導体層を形成する半導体層形成工程と、を有し、上記ソース電極・ドレイン電極形成工程は、上記第 1 ゲート絶縁層上に、上記第 1 ゲート絶縁層との密着層であるソース電極第 1 層およびドレイン電極第 1 層を形成する工程と、上記ソース電極第 1 層およびドレイン電極第 1 層上に、上記ソース電極第 1 層およびドレイン電極第 1 層よりも上記半導体層の材料の仕事関数との差が小さい仕事関数を有する材料からなるソース電極第 2 層およびドレイン電極第 2 層を形成する工程とを有し、上記第 2 ゲート絶縁層形成工程は、上記ソース電極とドレイン電極とで挟まれた領域における上記ソース電極第 1 層の側面を覆うソース側第 2 ゲート絶縁層を形成するソース側第 2 ゲート絶縁層形成工程と、上記ソース電極とドレイン電極とで挟まれた領域における上記ドレイン電極第 1 層の側面を覆うドレイン側第 2 ゲート絶縁層を形成するドレイン側第 2 ゲート絶縁層形成工程とを有するとともに、上記ソース側第 2 ゲート絶縁層形成工程およびドレイン側第 2 ゲート絶縁層形成工程では、上記ソース側第 2 ゲート絶縁層とドレイン側第 2 ゲート絶縁層とが互いに離間し、かつ、上記ソース電極とドレイン電極とで挟まれた領域における、上記ソース電極第 2 層の側面の少なくとも一部およびドレイン電極第

2層の側面の少なくとも一部がそれぞれ露出するように上記ソース側第2ゲート絶縁層およびドレイン側第2ゲート絶縁層を形成することを特徴としている。

[0434] 上記の構成によれば、半導体層と、ソース電極第1層およびドレイン電極第1層とにおける、電気的なコンタクトが生じることを抑制することができるとともに、ソース電極第2層およびドレイン電極第2層と半導体層との間で、電気的に良好なコンタクトを取ることができる半導体素子を製造することができる。

[0435] しかも、上記の方法によれば、ソース側第2ゲート絶縁層とドレイン側第2ゲート絶縁層とが接触していない部分、例えば、ソース電極とドレイン電極とで挟まれた領域における中央部分に、ゲート絶縁層として、均一な第1ゲート絶縁層のみが存在している半導体素子を製造することができる。このため、ソース電極とドレイン電極とで挟まれた領域全体に第2ゲート絶縁層を形成した場合と比べて、半導体素子の特性の分布や変動を低減することができる半導体素子を提供することができる。

[0436] また、本発明の態様19に係る半導体素子の製造方法は、上記態様17または18において、上記第2ゲート絶縁層形成工程では、上記第2ゲート絶縁層をインクジェット法により形成する構成であってもよい。

[0437] 上記の構成によれば、必要な部分にのみ第2ゲート絶縁層を形成することができる。

[0438] また、本発明の態様20に係る半導体素子の製造方法は、ゲート電極を覆う第1ゲート絶縁層を形成する第1ゲート絶縁層形成工程と、上記第1ゲート絶縁層上に、平面視で上記ゲート電極を挟んで互いに離間するとともに、上記第1ゲート絶縁層を介して上記ゲート電極の一部にそれぞれ重畳するソース電極第1層およびドレイン電極第1層を形成するソース電極第1層・ドレイン電極第1層形成工程と、上記第1ゲート絶縁層、ソース電極第1層、およびドレイン電極第1層上に、上記ソース電極第1層および上記ドレイン電極第1層の上面の少なくとも一部をそれぞれ露出させる開口部を有する第

2 ゲート絶縁層をパターン形成する第2 ゲート絶縁層形成工程と、上記第2 ゲート絶縁層上に、上記開口部のうち上記ソース電極第1層を露出させる開口部を介して上記ソース電極第1層に接続し、かつ、平面視で上記ゲート電極を挟んで互いに離間するとともに、上記第1 ゲート絶縁層およびソース電極第1層を介して上記ゲート電極の一部に重畳するソース電極第2層をパターン形成するとともに、上記第2 ゲート絶縁層上に、上記開口部のうち上記ドレイン電極第1層を露出させる開口部を介して、上記ドレイン電極第1層に接続し、かつ、平面視で上記ゲート電極を挟んで互いに離間するとともに、上記第1 ゲート絶縁層およびドレイン電極第1層を介して上記ゲート電極の一部に重畳するドレイン電極第2層をパターン形成するソース電極第2層・ドレイン電極第2層形成工程と、上記ソース電極第2層およびドレイン電極第2層間、並びに、上記ソース電極第2層およびドレイン電極第2層上に、上記第1 ゲート絶縁層、第2 ゲート絶縁層、ソース電極第1層、ソース電極第2層、ドレイン電極第1層、およびドレイン電極第2層を介して上記ゲート電極に重畳する半導体層を形成する半導体層形成工程と、を有し、上記ソース電極第2層・ドレイン電極第2層形成工程では、上記ソース電極第2層およびドレイン電極第2層に、上記ソース電極第1層およびドレイン電極第1層よりも上記半導体層の材料の仕事関数との差が小さい仕事関数を有する材料を使用することを特徴としている。

[0439] 上記の構成によれば、半導体層と、ソース電極第1層およびドレイン電極第1層とにおける、電気的なコンタクトが生じることを抑制することができるとともに、ソース電極第2層およびドレイン電極第2層と半導体層との間で、電気的に良好なコンタクトを取ることができる半導体素子を製造することができる。

[0440] また、上記の構成によれば、フォトリソグラフィによるパターン形成を用いて第2 ゲート絶縁層を形成することができる。したがって、上記の構成によれば、第2 ゲート絶縁膜の膜厚や形状を正確に制御することができ、得られる半導体素子の特性の分布や変動を低減することができる。

[0441] また、本発明の態様 2 1 に係る半導体素子の製造方法は、上記態様 2 0 において、上記ソース電極第 2 層・ドレイン電極第 2 層形成工程では、上記ソース電極第 2 層およびドレイン電極第 2 層を、上記ソース電極第 2 層およびドレイン電極第 2 層における互いに対向する側の端部が、上記ソース電極第 1 層およびドレイン電極第 1 層における互いに対向する側の端部よりも、上記ソース電極第 1 層およびソース電極第 2 層からなるソース電極と、上記ドレイン電極第 1 層およびドレイン電極第 2 層からなるドレイン電極とで挟まれた領域の内側に突出するように形成する構成であってもよい。

[0442] 上記の構成によれば、ソース電極およびドレイン電極のそれぞれの最上層と最上層以外の層とでフォトリソグラフィのアライメントずれがあった場合でも、ソース電極とドレイン電極とで挟まれた領域のより内側に位置する、ソース電極およびドレイン電極のそれぞれの最上層における互いに対向する側の端部の間の領域において、半導体層のチャンネルが形成される。そして、上述の同じ領域に対して、チャンネルを制御するためのゲート電極からのゲート電圧が与えられる。

[0443] それゆえ、上記の構成によれば、ソース電極およびドレイン電極のそれぞれの最上層と最上層以外の層とでフォトリソグラフィのアライメントずれがあった場合でも、半導体層のチャンネルの制御性を向上させ、半導体素子の特性の低下を抑制することができる半導体素子を提供することができる。

[0444] また、本発明の態様 2 2 に係る半導体素子の製造方法は、ゲート電極を覆う第 1 ゲート絶縁層を形成する第 1 ゲート絶縁層形成工程と、上記第 1 ゲート絶縁層上に、平面視で上記ゲート電極を挟んで互いに離間するとともに上記第 1 ゲート絶縁層を介して上記ゲート電極の一部にそれぞれ重畳する領域に、上記第 1 ゲート絶縁層を露出させる開口部を有する第 2 ゲート絶縁層をパターン形成する第 2 ゲート絶縁層形成工程と、上記開口部内に、無電解メッキにより、ソース電極およびドレイン電極の一部として用いられるメッキ層（例えば、ソース電極第 1 層 9 4 a およびドレイン電極第 1 層 9 5 a）を、その一部が上記開口部から突出するように形成する開口部内メッキ層形成

工程と、上記第2ゲート絶縁層上に、ソース電極およびドレイン電極の最上層として、上記開口部内メッキ層形成工程で形成したメッキ層における上記開口部から突出する部分を被覆し、かつ、平面視で上記ゲート電極を挟んで互いに離間するとともに上記第1ゲート絶縁層を介して上記ゲート電極の一部にそれぞれ重畳する表面メッキ層（例えば、ソース電極第3層94cおよびドレイン電極第3層95c）を形成する表面メッキ層形成工程と、上記ソース電極およびドレイン電極間、並びに、上記ソース電極およびドレイン電極上に、上記第1ゲート絶縁層、第2ゲート絶縁層、ソース電極、およびドレイン電極を介して上記ゲート電極に重畳する半導体層を形成する半導体層形成工程と、を有し、上記表面メッキ層形成工程では、上記表面メッキ層に、上記開口部内メッキ層形成工程で形成したメッキ層よりも上記半導体層の材料の仕事関数との差が小さい仕事関数を有する材料を使用することを特徴としている。

[0445] 上記の構成によれば、半導体層と、ソース電極およびドレイン電極のそれぞれの最上層以外の層とにおける、電気的なコンタクトが生じることを抑制することができるとともに、ソース電極およびドレイン電極のそれぞれの最上層と半導体層との間で、電気的に良好なコンタクトを取ることができる半導体素子を製造することができる。

[0446] しかも、上記の構成によれば、無電解メッキにより、ソース電極およびドレイン電極の一部として用いられる開口部内メッキ層（例えば、ソース電極第1層94aおよびドレイン電極第1層95a）および表面メッキ層を形成するので、ソース電極およびドレイン電極の製作を簡略化することができるとともに、半導体素子の製造にかかるコストを削減することができる。

[0447] また、本発明の態様23に係る半導体素子の製造方法は、上記態様22において、上記第2ゲート絶縁層形成工程の前に、上記第1ゲート絶縁層上に、上記ソース電極およびドレイン電極の一部として用いられる、上記第1ゲート絶縁層との密着層を、平面視で上記ゲート電極を挟んで互いに離間するとともに、上記第1ゲート絶縁層を介して上記ゲート電極の一部にそれぞれ

重畳するように形成する密着層形成工程をさらに有し、上記第2ゲート絶縁層形成工程では、上記第2ゲート絶縁層を、上記開口部において上記密着層の上面の一部が露出するようにパターン形成し、上記開口部内メッキ層形成工程では、上記開口部から露出している密着層上に、上記メッキ層を形成するとともに、上記密着層形成工程では、上記密着層に、上記開口部内メッキ層形成工程で形成したメッキ層よりも上記半導体層の材料の仕事関数との差が大きい仕事関数を有する材料を使用する構成であってもよい。

[0448] 上記の構成によれば、3層から成るソース電極およびドレイン電極を備え、かつ、特性の低下が抑制された半導体素子を製造することができる。

[0449] 一般的に上記最上層に用いられる金等の金属は非常に高価であり、その使用量を減らすことが望ましい。上記の構成によれば、上記最上層に使用される材料の使用量を削減することができるとともに、上記中間層により、ソース電極およびドレイン電極のコンタクト抵抗を低減させることができる。

[0450] また、本発明の態様24に係る半導体素子の製造方法は、上記態様22において、上記開口部内メッキ層形成工程の前に、上記開口部内の第1ゲート絶縁層の表面に、無電解メッキの触媒を付着させる工程を有している構成であってもよい。

[0451] 上記の構成によれば、上記開口部内に、無電解メッキのみで上記開口部内メッキ層および表面メッキ層を形成することができる。このため、半導体素子の製造にかかるコストを削減することができる。

[0452] しかも、上記の構成によれば、第1ゲート絶縁層におけるソース電極およびドレイン電極との接触表面が、ソース電極およびドレイン電極との密着層として機能するので、第1ゲート絶縁層とソース電極およびドレイン電極との密着性を高めるために、必ずしもソース電極およびドレイン電極側に第1ゲート絶縁層との密着層を形成しなくてもよいというメリットもある。

[0453] また、本発明の態様25に係る半導体素子の製造方法は、上記態様24において、上記開口部内メッキ層形成工程は、上記開口部内に、無電解メッキにより、上記第1ゲート絶縁層との密着層として用いられる第1メッキ層（

例えば、ソース電極第1層94 aおよびドレイン電極第1層95 a)を、上記第2ゲート絶縁層の厚みよりも薄く形成する第1メッキ層形成工程と、上記第1メッキ層上に、無電解メッキにより、上記第1メッキ層よりも上記半導体層の材料の仕事関数との差が大きい仕事関数を有する材料からなる第2メッキ層（例えば、ソース電極第2層94 bおよびドレイン電極第2層95 b)を、該第2メッキ層の一部が上記開口部から突出するように形成する第2メッキ層形成工程とを有していることが好ましい。

[0454] 上述の半導体素子の製造方法により、本発明の一態様に係る半導体素子を製造することができる。

[0455] 上記の構成によれば、3層から成るソース電極およびドレイン電極を備え、かつ、特性の低下が抑制された半導体素子を製造することができるとともに、3層から成るソース電極およびドレイン電極を、無電解メッキのみで形成することができる。

[0456] 一般的に上記最上層に用いられる金等の金属は非常に高価であり、その使用量を減らすことが望ましい。上記の構成によれば、上記最上層に使用される材料の使用量を削減することができるとともに、上記中間層により、ソース電極およびドレイン電極のコンタクト抵抗を低減させることができる。

[0457] また、本発明の態様26に係る半導体素子の製造方法は、上記態様17～25のいずれか1つにおいて、上記半導体層形成工程では、上記半導体層をインクジェット法により形成する構成であってもよい。

[0458] また、本発明の態様27に係る半導体素子の製造方法は、上記態様17～25のいずれか1つにおいて、上記半導体層形成工程では、上記半導体をスピコート法により形成する構成であってもよい。

[0459] また、本発明の態様28に係る半導体素子の製造方法は、上記態様17～27のいずれか1つにおいて、上記第2ゲート絶縁層形成工程では、上記第2ゲート絶縁層の材料に、上記第1ゲート絶縁層の誘電率の値よりも小さい誘電率を有する材料を使用する構成であってもよい。

[0460] 上記の構成によれば、得られる半導体素子の特性を向上させることができ

る。また、第1ゲート絶縁層の誘電率の値を第2ゲート絶縁層の誘電率の値よりも高くすることで、第1ゲート絶縁層の誘電率の値が第2ゲート絶縁層の誘電率の値よりも低い場合と比べて、同じ容量が得られる膜厚を厚くすることができる。この結果、リーク電流や半導体素子の耐圧を改善することができる。

[0461] また、本発明の態様29に係る半導体素子の製造方法は、上記態様26において、上記第2ゲート絶縁層形成工程では、上記第2ゲート絶縁層の材料に、上記第1ゲート絶縁層の表面エネルギーの値よりも大きい表面エネルギーを有する材料を使用する構成であってもよい。

[0462] 上記の構成によれば、半導体素子の製作精度を向上させることができる。

[0463] また、本発明の態様30に係る半導体素子の製造方法は、上記態様27において、上記第2ゲート絶縁層形成工程では、上記第2ゲート絶縁層の材料に、上記第1ゲート絶縁層の表面エネルギーの値よりも小さい表面エネルギーを有する材料を使用する構成であってもよい。

[0464] 上記の構成によれば、得られる半導体素子の特性を向上させることができる。

[0465] また、本発明の態様31に係る半導体素子の製造方法は、上記態様26において、上記半導体層形成工程の前に、上記第2ゲート絶縁層形成工程で得られた第2ゲート絶縁層に、該第2ゲート絶縁層の表面エネルギーを上記第1ゲート絶縁層の表面エネルギーの値よりも大きくするための表面処理を施す表面処理工程をさらに含む構成であってもよい。

[0466] 上述の半導体素子の製造方法により、本発明の一態様に係る半導体素子を製造することができる。

[0467] 上記の構成によれば、半導体素子の製作精度を向上させることができる。

[0468] また、本発明の態様32に係る半導体素子の製造方法は、上記態様27において、上記第1ゲート絶縁層形成工程と上記第2ゲート絶縁層形成工程との間に、上記第1ゲート絶縁層形成工程で得られた第1ゲート絶縁層に、該第1ゲート絶縁層の表面エネルギーを上記第2ゲート絶縁層の表面エネルギー

一の値よりも大きくするための表面処理を施す表面処理工程をさらに含む構成であってもよい。

[0469] 上記の構成によれば、得られる半導体素子の特性を向上させることができる。

[0470] また、本発明の態様 3 3 に係る半導体素子の製造方法は、上記態様 3 1 または 3 2 において、上記表面処理は、紫外光照射である構成であってもよい。

[0471] また、本発明の態様 3 4 に係る半導体素子の製造方法は、上記態様 3 1 または 3 2 において、上記表面処理は、シランカップリング剤の単分子膜の塗布である構成であってもよい。

[0472] [付記事項]

本発明は上述した各実施形態に限定されるものではなく、請求項に示した範囲で種々の変更が可能であり、異なる実施形態にそれぞれ開示された技術的手段を適宜組み合わせて得られる実施形態についても本発明の技術的範囲に含まれる。さらに、各実施形態にそれぞれ開示された技術的手段を組み合わせることにより、新しい技術的特徴を形成することができる。

[0473] なお、本発明は、以下のようにも表現できる。

[0474] すなわち、本発明の半導体素子は、有機半導体層を用いた素子であって、ソースドレイン電極は、2 層以上の層から構成されており、ゲート絶縁膜は、基板の大部分を占める第 1 の絶縁膜と、少なくともトランジスタのチャネル領域に形成されている第 2 の絶縁膜とから構成されており、第 2 の絶縁膜は、有機半導体層と良好なコンタクトが形成できるソースドレイン電極の最上面層以外の電極表面を有機半導体層に接しないように覆っている。

[0475] また、本発明の半導体素子において、第 2 の絶縁膜は、第 1 の絶縁膜と接する第 1 のソースドレイン電極（密着層）の膜厚よりも厚く、ソースドレイン電極の全膜厚よりも薄い。

[0476] また、本発明の半導体素子において、第 2 の絶縁膜は、第 1 の絶縁膜よりも小さな誘電率を有している。

[0477] また、本発明の半導体素子において、第1の絶縁膜と第2の絶縁膜とでは、表面エネルギーが異なっている。

[0478] また、本発明の半導体素子において、第1の絶縁膜は、無電解メッキが可能な材料もしくは表面処理が施されており、第2の絶縁膜は無電解メッキがされない材料もしくは表面処理が施されており、ソースドレイン電極は、第2の絶縁膜のパターンが形成された後に、少なくとも第1層が無電解メッキによって形成される。

産業上の利用可能性

[0479] 本発明は、半導体素子、および半導体素子の製造方法に利用することができる。

符号の説明

[0480] 1, 2, 3, 4, 5, 6, 7, 8, 9 有機TFT（半導体素子）
10 基板
11, 21, 31, 41, 81, 91 第1ゲート絶縁層
12, 22, 32, 42, 52, 62, 72, 82, 92 第2ゲート絶縁層
13 ゲート電極
14, 64, 74, 84, 94 ソース電極
14a, 64a, 74a, 84a, 94a ソース電極第1層
14aS, 64aS, 74aS ソース電極第1層側面
14b, 64b, 74b ソース電極第2層
14bS, 64bS, 74bS ソース電極第2層側面
15, 65, 75, 85, 95 ドレイン電極
15a, 65a, 75a, 85a, 95a ドレイン電極第1層
15aS, 65aS, 75aS ドレイン電極第1層側面
15b, 65b, 75b ドレイン電極第2層
15bS, 65bS, 75bS ドレイン電極第2層側面
16 有機半導体層（半導体層）

- 1 7 ゲート電極層母材
- 1 8 ソースドレイン電極層母材
 - 1 8 a ソースドレイン電極第 1 層母材
 - 1 8 b ソースドレイン電極第 2 層母材
- 1 9 開口部
 - 5 2 a ソース側第 2 ゲート絶縁層
 - 5 2 b ドレイン側第 2 ゲート絶縁層
 - 8 4 b ソース電極第 2 層 (ソース電極中間層)
 - 8 4 c ソース電極第 3 層 (ソース電極第 2 層)
 - 8 5 b ドレイン電極第 2 層 (ドレイン電極中間層)
 - 8 5 c ドレイン電極第 3 層 (ドレイン電極第 2 層)
 - 9 4 a ソース電極第 1 層 (メッキ層, 開口部内メッキ層, 第 1 メッキ層)
)
 - 9 4 b ソース電極第 2 層 (第 2 メッキ層)
 - 9 4 c ソース電極第 3 層 (表面メッキ層)
 - 9 5 a ドレイン電極第 1 層 (メッキ層, 開口部内メッキ層, 第 1 メッキ層)
)
 - 9 5 b ドレイン電極第 2 層 (第 2 メッキ層)
 - 9 5 c ドレイン電極第 3 層 (表面メッキ層)
 - 9 1 p 表面処理部 (空孔部)
 - d 寸法 (第 2 ゲート絶縁層の厚さを示す寸法)
 - d 1 寸法 (ソース電極第 1 層およびドレイン電極第 1 層の厚さを示す寸法)
 - d 2 寸法 (ソース電極第 2 層およびドレイン電極第 2 層の厚さを示す寸法)
 - S D 1 寸法 (ソース電極第 1 層側面とドレイン電極第 1 層側面との間の水平方向の距離を示す寸法)
 - S D 2 寸法 (ソース電極第 2 層側面とドレイン電極第 2 層側面との間

の水平方向の距離を示す寸法)

ε_1 誘電率 (第 1 ゲート絶縁層の誘電率)

ε_2 誘電率 (第 2 ゲート絶縁層の誘電率)

E S 1 表面エネルギー (第 1 ゲート絶縁層の表面エネルギー)

E S 2 表面エネルギー (第 2 ゲート絶縁層の表面エネルギー)

請求の範囲

[請求項1]

ゲート電極と、

上記ゲート電極を覆う第1ゲート絶縁層と、

上記第1ゲート絶縁層上に、平面視で上記ゲート電極を挟んで互いに離間するとともに、上記第1ゲート絶縁層を介して上記ゲート電極の一部にそれぞれ重畳するソース電極およびドレイン電極と、

上記第1ゲート絶縁層上における、少なくとも、上記ソース電極とドレイン電極とで挟まれた領域に形成された第2ゲート絶縁層と、

上記ソース電極およびドレイン電極間、並びに、上記ソース電極およびドレイン電極上に形成され、上記第1ゲート絶縁層、第2ゲート絶縁層、ソース電極、およびドレイン電極を介して上記ゲート電極に重畳する半導体層と、を有し、

上記ソース電極およびゲート電極は、複数の層からなり、

上記ソース電極およびドレイン電極のそれぞれの最上層は、上記ソース電極およびドレイン電極のそれぞれの最上層以外の層の材料よりも上記半導体層の材料の仕事関数との差が小さい仕事関数を有する材料からなり、

上記ソース電極およびドレイン電極は、それぞれの最上層の上面および側面で上記半導体層と直接接触し、上記ソース電極およびドレイン電極の最上層以外の層と上記半導体層との間には、上記第2ゲート絶縁層、並びに、上記ソース電極およびドレイン電極の最上層のうち少なくとも1つが介在していることを特徴とする半導体素子。

[請求項2]

ゲート電極を覆う第1ゲート絶縁層を形成する第1ゲート絶縁層形成工程と、

上記第1ゲート絶縁層上に、平面視で上記ゲート電極を挟んで互いに離間するとともに、上記第1ゲート絶縁層を介して上記ゲート電極の一部にそれぞれ重畳するソース電極およびドレイン電極を形成するソース電極・ドレイン電極形成工程と、

上記第1ゲート絶縁層上における、少なくとも、上記ソース電極とドレイン電極とで挟まれた領域に、第2ゲート絶縁層を形成する第2ゲート絶縁層形成工程と、

上記ソース電極およびドレイン電極間、並びに、上記ソース電極およびドレイン電極上に、上記第1ゲート絶縁層、第2ゲート絶縁層、ソース電極、およびドレイン電極を介して上記ゲート電極に重畳する半導体層を形成する半導体層形成工程と、を有し、

上記ソース電極・ドレイン電極形成工程では、上記ソース電極およびドレイン電極をそれぞれ複数の層で形成するとともに、上記ソース電極およびドレイン電極のそれぞれの最上層に、上記ソース電極およびドレイン電極のそれぞれの最上層以外の層の材料よりも上記半導体層の材料の仕事関数との差が小さい仕事関数を有する材料を使用し、かつ、

上記第2ゲート絶縁層形成工程では、上記第1ゲート絶縁層上における、上記ソース電極とドレイン電極とで挟まれた領域に、上記第2ゲート絶縁層を、上記ソース電極の最上層以外の層の合計の厚みおよび上記ドレイン電極の最上層以外の層の合計の厚みよりも厚く、かつ、上記ソース電極の全体の厚みおよび上記ドレイン電極の全体の厚みよりも薄く形成することを特徴とする半導体素子の製造方法。

[請求項3]

ゲート電極を覆う第1ゲート絶縁層を形成する第1ゲート絶縁層形成工程と、

上記第1ゲート絶縁層上に、平面視で上記ゲート電極を挟んで互いに離間するとともに、上記第1ゲート絶縁層を介して上記ゲート電極の一部にそれぞれ重畳するソース電極およびドレイン電極をそれぞれ2層で形成するソース電極・ドレイン電極形成工程と、

上記第1ゲート絶縁層上における、少なくとも、上記ソース電極とドレイン電極とで挟まれた領域に、第2ゲート絶縁層を形成する第2ゲート絶縁層形成工程と、

上記ソース電極およびドレイン電極間、並びに、上記ソース電極およびドレイン電極上に、上記第1ゲート絶縁層、第2ゲート絶縁層、ソース電極、およびドレイン電極を介して上記ゲート電極に重畳する半導体層を形成する半導体層形成工程と、を有し、

上記ソース電極・ドレイン電極形成工程は、

上記第1ゲート絶縁層上に、上記第1ゲート絶縁層との密着層であるソース電極第1層およびドレイン電極第1層を形成する工程と、

上記ソース電極第1層およびドレイン電極第1層上に、上記ソース電極第1層およびドレイン電極第1層よりも上記半導体層の材料の仕事関数との差が小さい仕事関数を有する材料からなるソース電極第2層およびドレイン電極第2層を形成する工程とを有し、

上記第2ゲート絶縁層形成工程は、

上記ソース電極とドレイン電極とで挟まれた領域における上記ソース電極第1層の側面を覆うソース側第2ゲート絶縁層を形成するソース側第2ゲート絶縁層形成工程と、

上記ソース電極とドレイン電極とで挟まれた領域における上記ドレイン電極第1層の側面を覆うドレイン側第2ゲート絶縁層を形成するドレイン側第2ゲート絶縁層形成工程とを有するとともに、

上記ソース側第2ゲート絶縁層形成工程およびドレイン側第2ゲート絶縁層形成工程では、上記ソース側第2ゲート絶縁層とドレイン側第2ゲート絶縁層とが互いに離間し、かつ、上記ソース電極とドレイン電極とで挟まれた領域における、上記ソース電極第2層の側面の少なくとも一部およびドレイン電極第2層の側面の少なくとも一部がそれぞれ露出するように上記ソース側第2ゲート絶縁層およびドレイン側第2ゲート絶縁層を形成することを特徴とする半導体素子の製造方法。

[請求項4]

ゲート電極を覆う第1ゲート絶縁層を形成する第1ゲート絶縁層形成工程と、

上記第1ゲート絶縁層上に、平面視で上記ゲート電極を挟んで互いに離間するとともに、上記第1ゲート絶縁層を介して上記ゲート電極の一部にそれぞれ重畳するソース電極第1層およびドレイン電極第1層を形成するソース電極第1層・ドレイン電極第1層形成工程と、

上記第1ゲート絶縁層、ソース電極第1層、およびドレイン電極第1層上に、上記ソース電極第1層および上記ドレイン電極第1層の上面の少なくとも一部をそれぞれ露出させる開口部を有する第2ゲート絶縁層をパターン形成する第2ゲート絶縁層形成工程と、

上記第2ゲート絶縁層上に、上記開口部のうち上記ソース電極第1層を露出させる開口部を介して上記ソース電極第1層に接続し、かつ、平面視で上記ゲート電極を挟んで互いに離間するとともに、上記第1ゲート絶縁層およびソース電極第1層を介して上記ゲート電極の一部に重畳するソース電極第2層をパターン形成するとともに、上記第2ゲート絶縁層上に、上記開口部のうち上記ドレイン電極第1層を露出させる開口部を介して、上記ドレイン電極第1層に接続し、かつ、平面視で上記ゲート電極を挟んで互いに離間するとともに、上記第1ゲート絶縁層およびドレイン電極第1層を介して上記ゲート電極の一部に重畳するドレイン電極第2層をパターン形成するソース電極第2層・ドレイン電極第2層形成工程と、

上記ソース電極第2層およびドレイン電極第2層間、並びに、上記ソース電極第2層およびドレイン電極第2層上に、上記第1ゲート絶縁層、第2ゲート絶縁層、ソース電極第1層、ソース電極第2層、ドレイン電極第1層、およびドレイン電極第2層を介して上記ゲート電極に重畳する半導体層を形成する半導体層形成工程と、を有し、

上記ソース電極第2層・ドレイン電極第2層形成工程では、上記ソース電極第2層およびドレイン電極第2層に、上記ソース電極第1層およびドレイン電極第1層よりも上記半導体層の材料の仕事関数との差が小さい仕事関数を有する材料を使用することを特徴とする半導体

素子の製造方法。

[請求項5]

ゲート電極を覆う第1ゲート絶縁層を形成する第1ゲート絶縁層形成工程と、

上記第1ゲート絶縁層上に、平面視で上記ゲート電極を挟んで互いに離間するとともに上記第1ゲート絶縁層を介して上記ゲート電極の一部にそれぞれ重畳する領域に、上記第1ゲート絶縁層を露出させる開口部を有する第2ゲート絶縁層をパターン形成する第2ゲート絶縁層形成工程と、

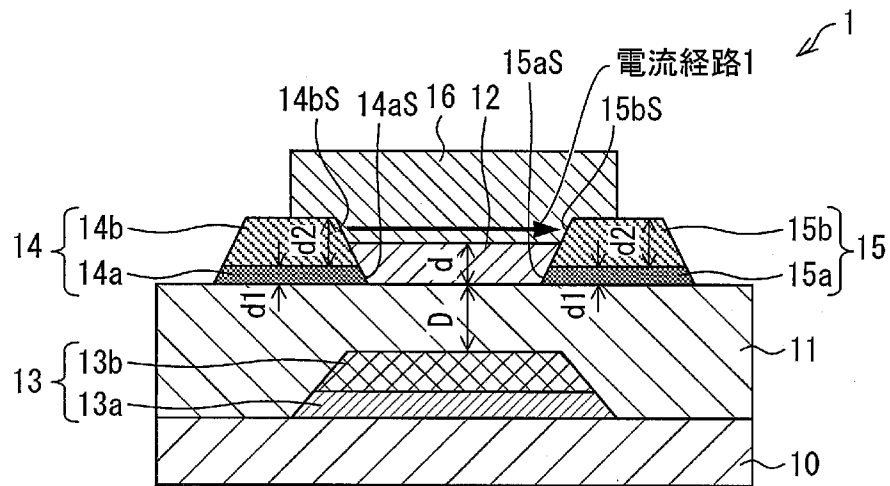
上記開口部内に、無電解メッキにより、ソース電極およびドレイン電極の一部として用いられるメッキ層を、その一部が上記開口部から突出するように形成する開口部内メッキ層形成工程と、

上記第2ゲート絶縁層上に、ソース電極およびドレイン電極の最上層として、上記開口部内メッキ層形成工程で形成したメッキ層における上記開口部から突出する部分を被覆し、かつ、平面視で上記ゲート電極を挟んで互いに離間するとともに上記第1ゲート絶縁層を介して上記ゲート電極の一部にそれぞれ重畳する表面メッキ層を形成する表面メッキ層形成工程と、

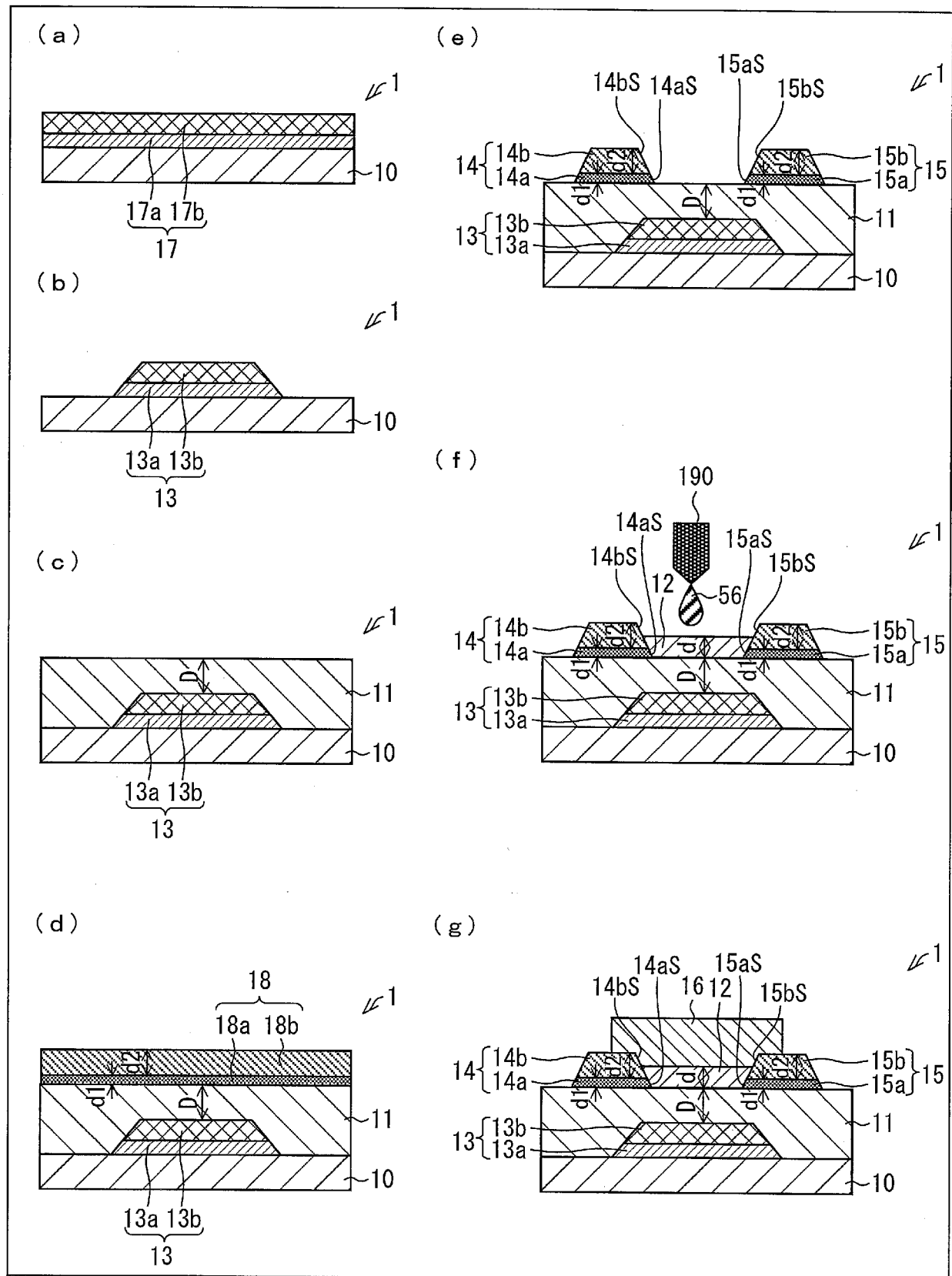
上記ソース電極およびドレイン電極間、並びに、上記ソース電極およびドレイン電極上に、上記第1ゲート絶縁層、第2ゲート絶縁層、ソース電極、およびドレイン電極を介して上記ゲート電極に重畳する半導体層を形成する半導体層形成工程と、を有し、

上記表面メッキ層形成工程では、上記表面メッキ層に、上記開口部内メッキ層形成工程で形成したメッキ層よりも上記半導体層の材料の仕事関数との差が小さい仕事関数を有する材料を使用することを特徴とする半導体素子の製造方法。

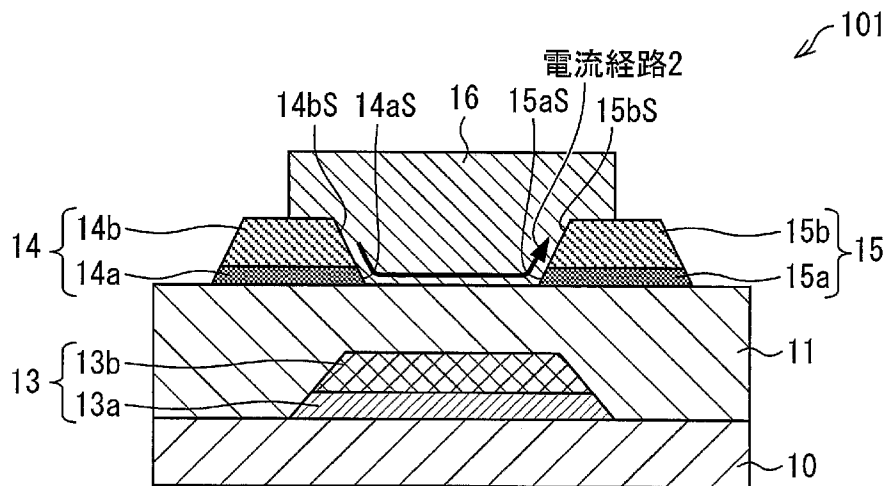
[図1]



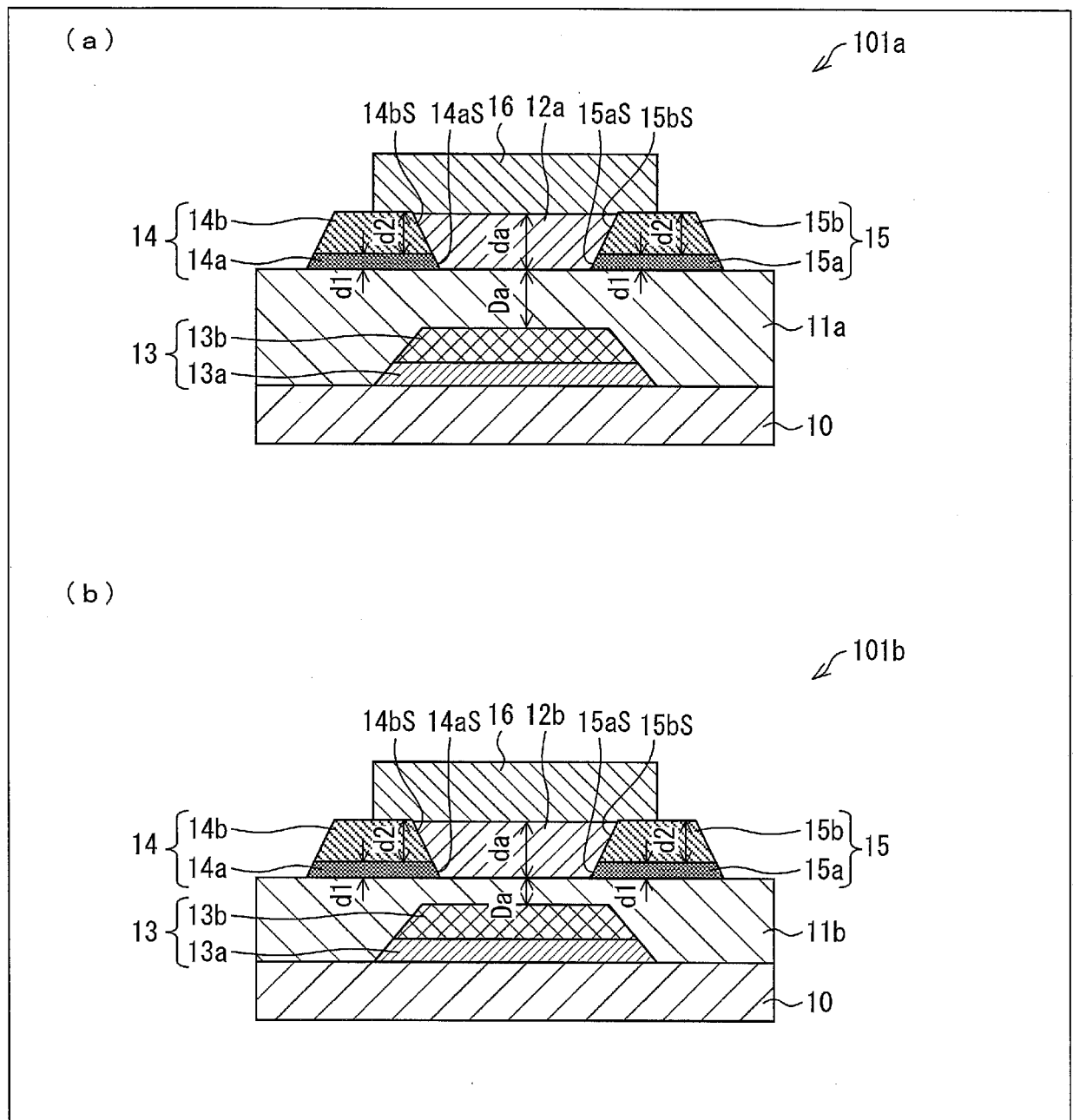
[図2]



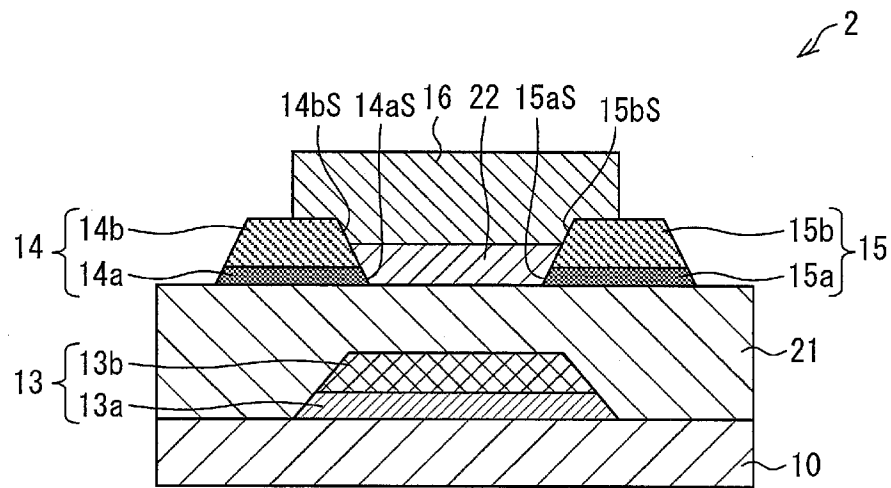
[図3]



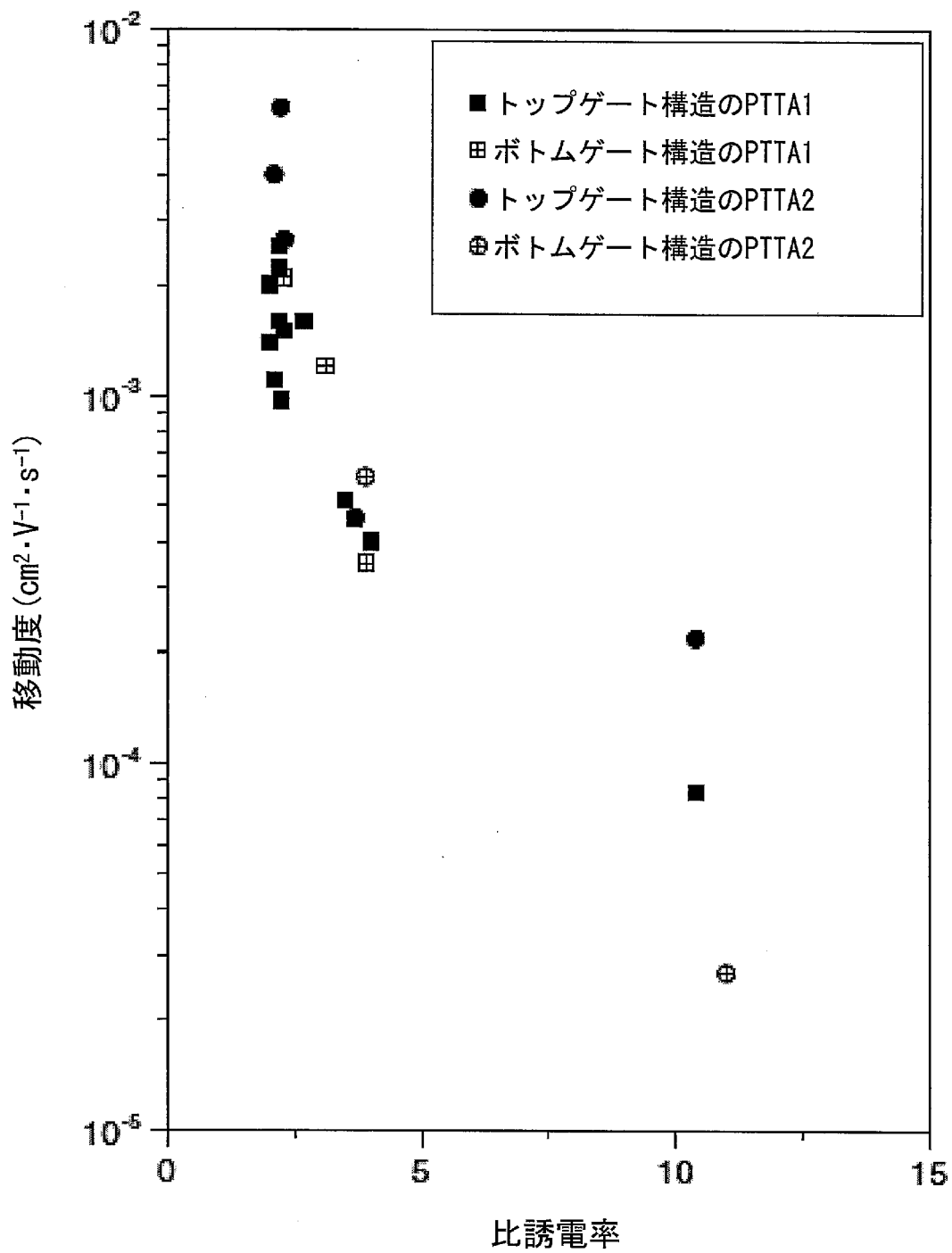
[図4]



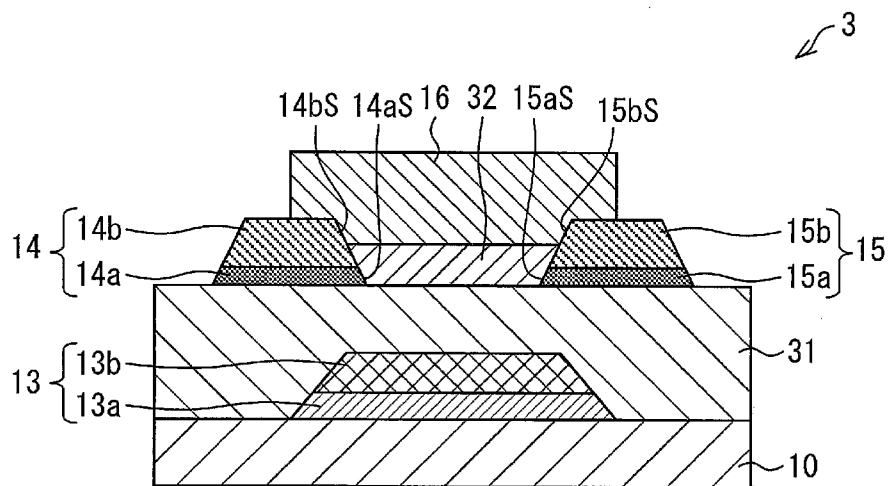
[図5]



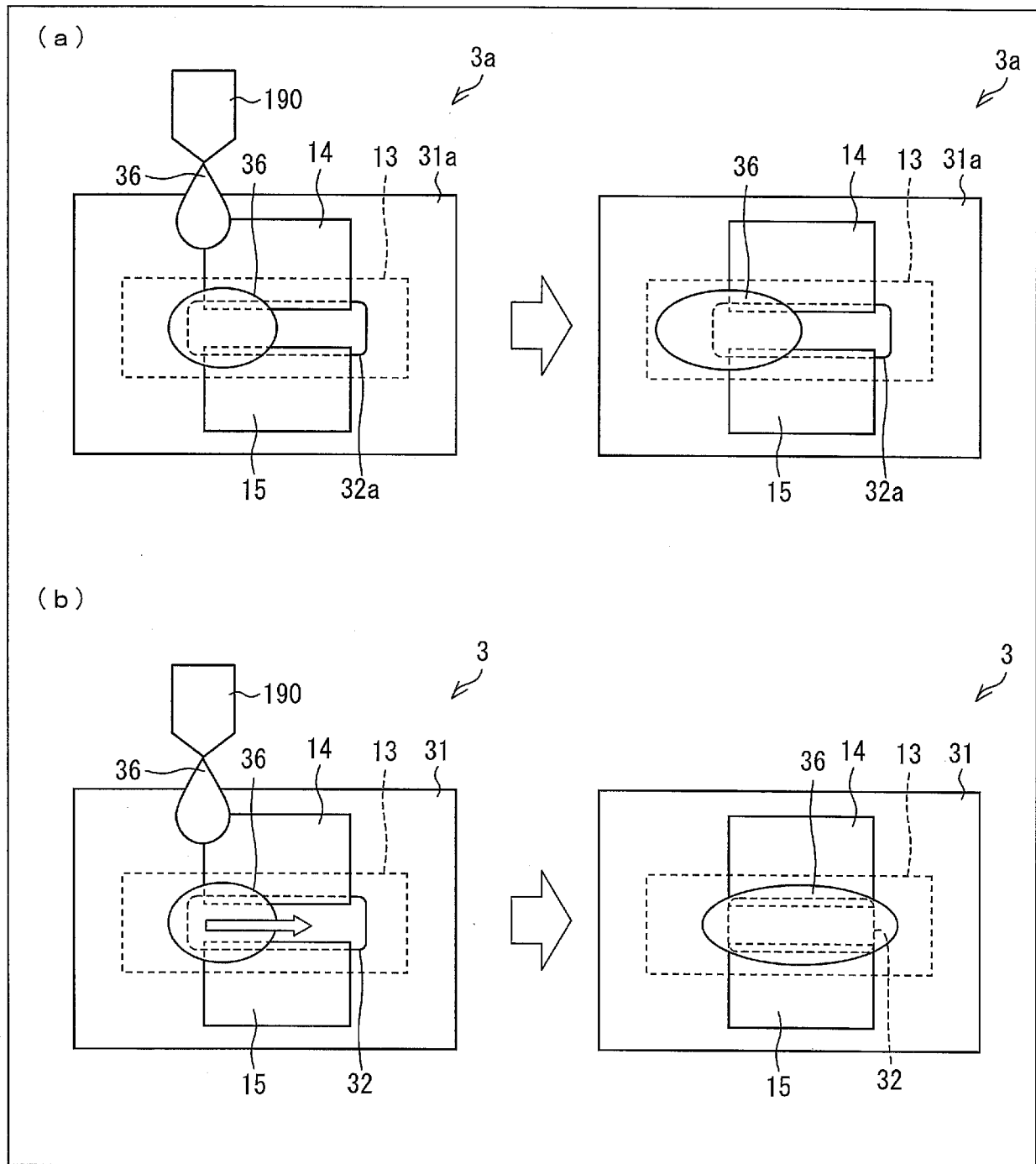
[図6]



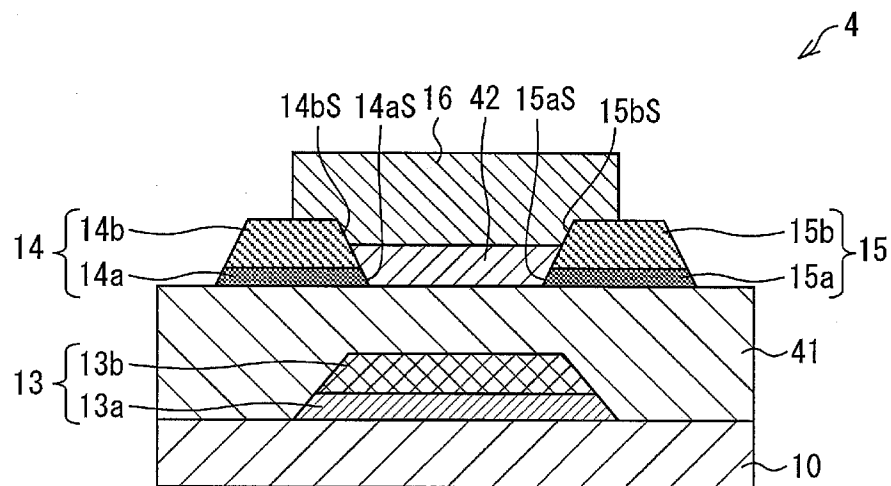
[図7]



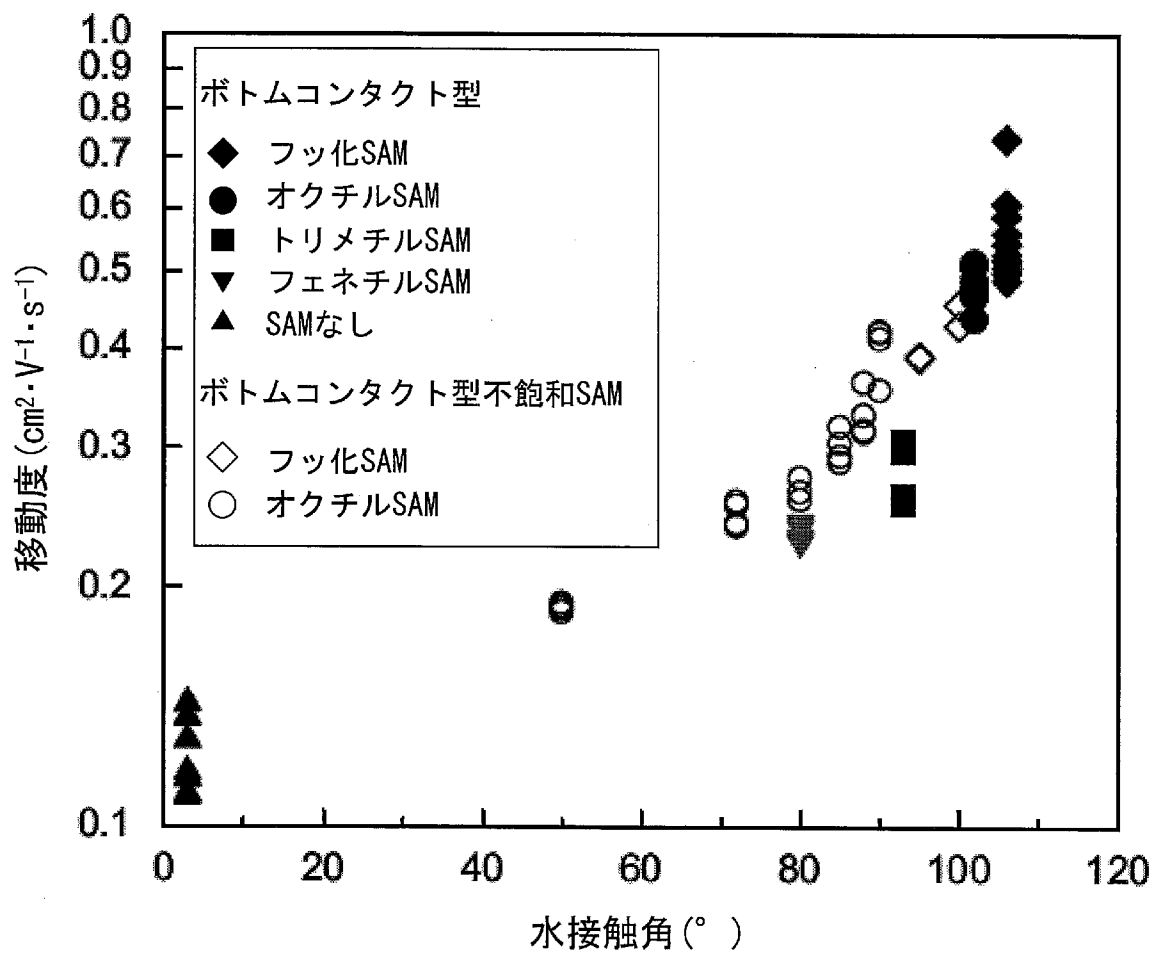
[図8]



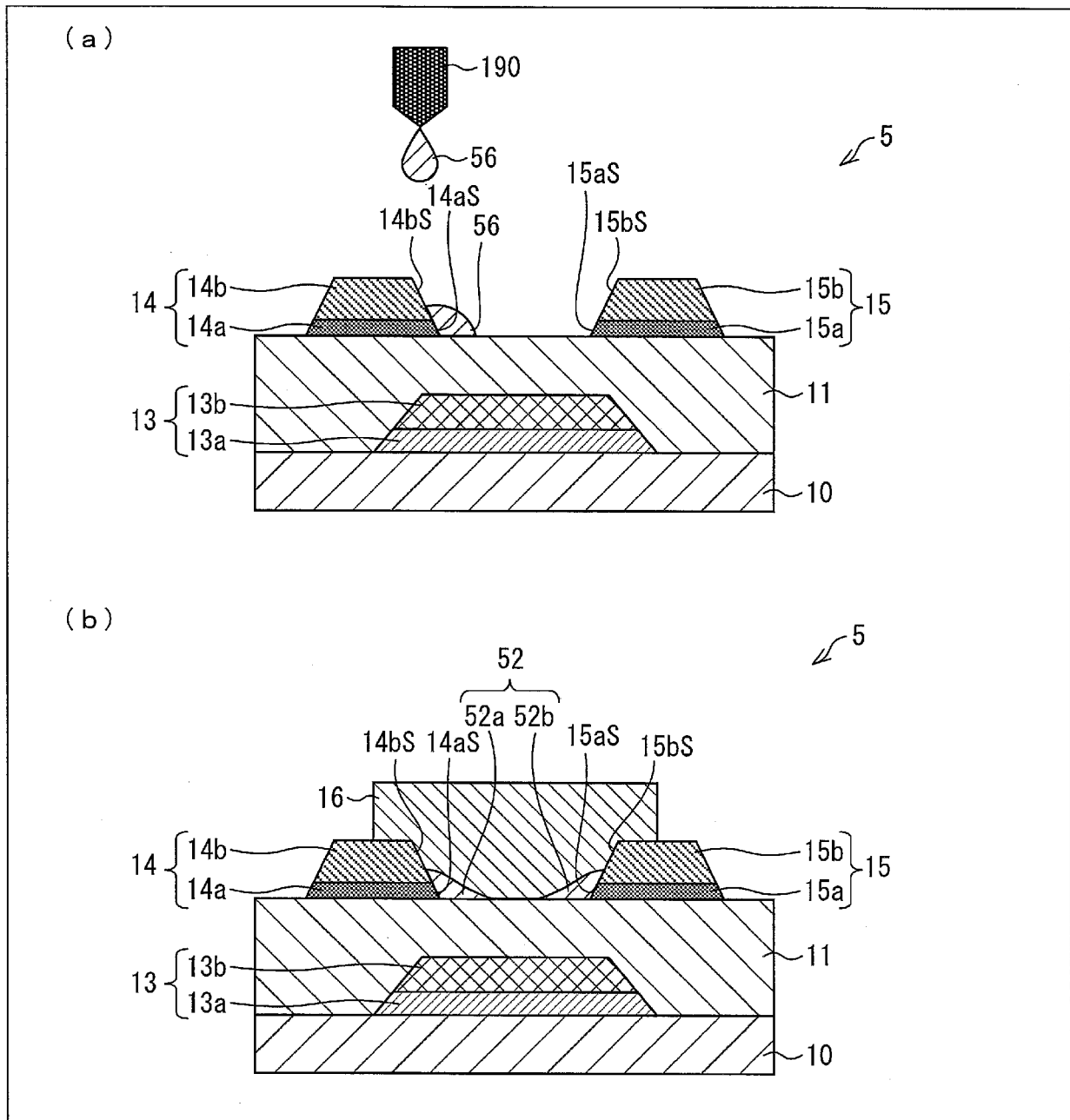
[図9]



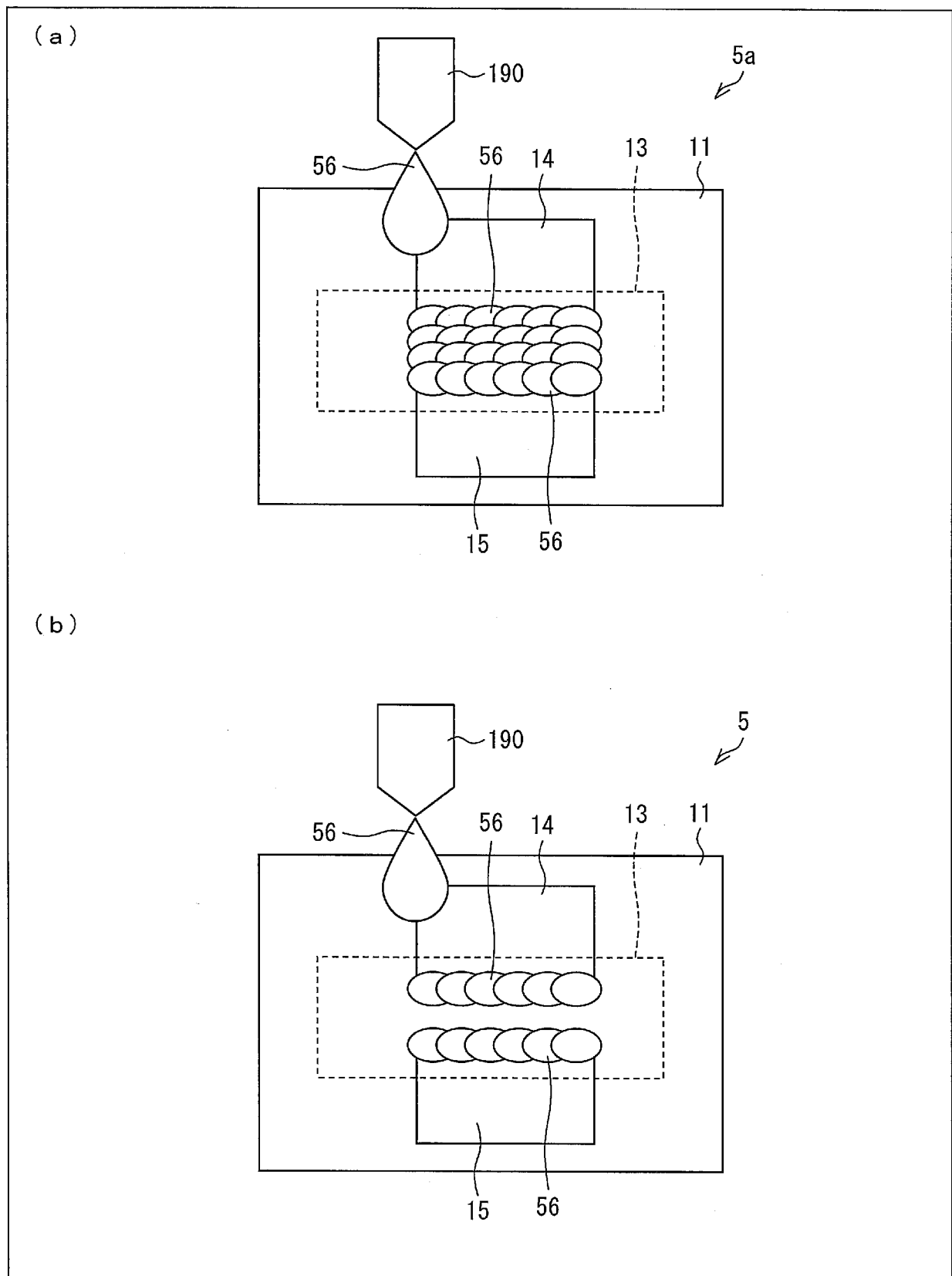
[図10]



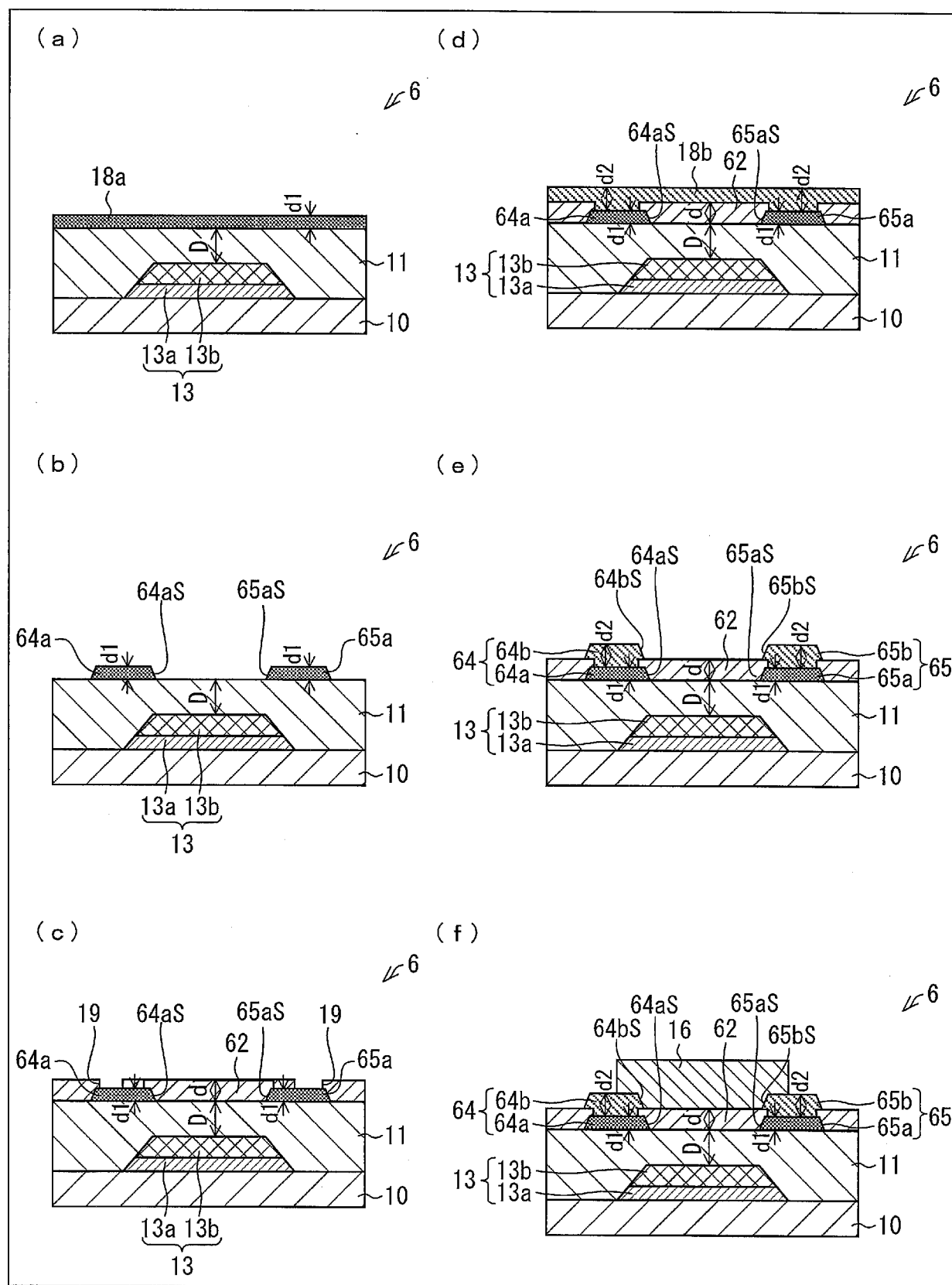
[図11]



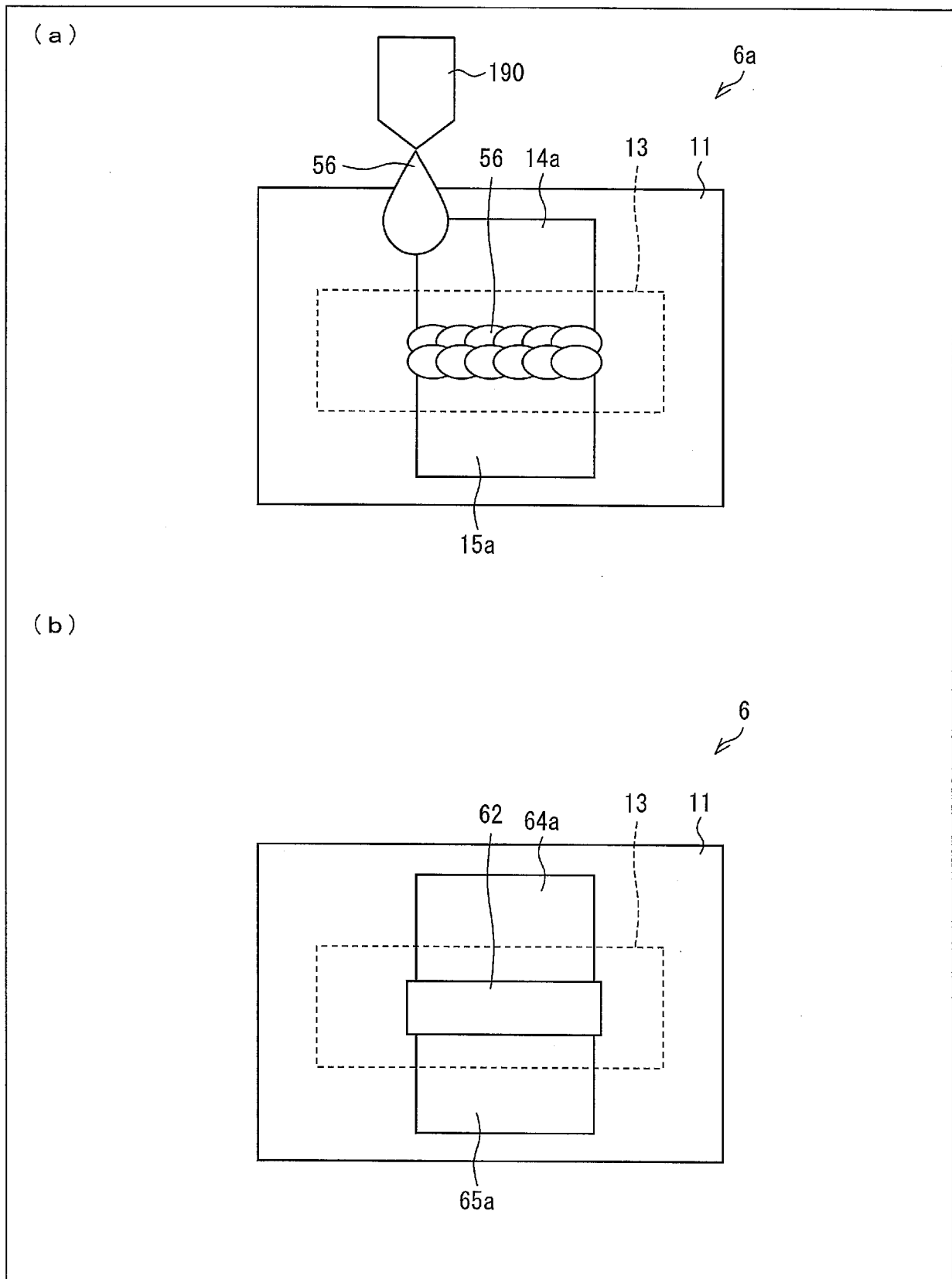
[図12]



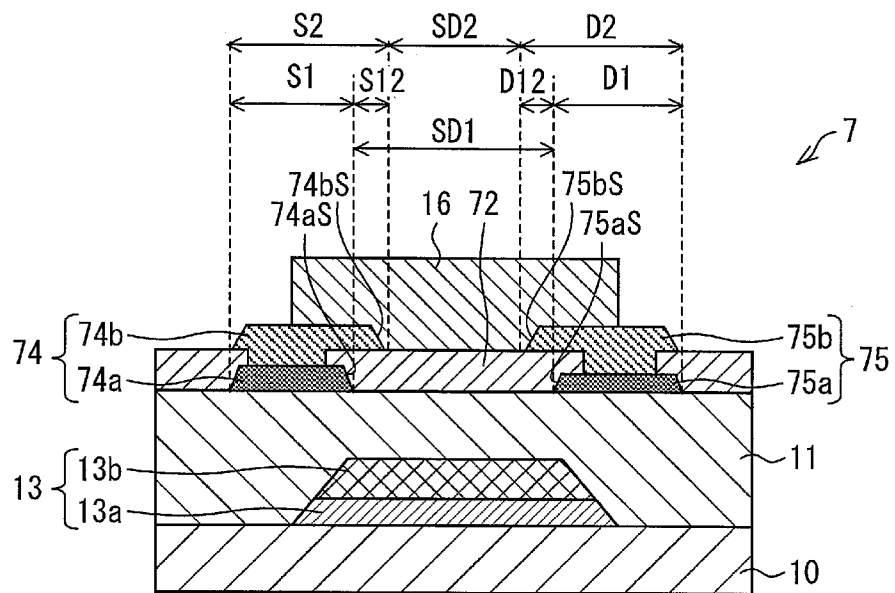
[図13]



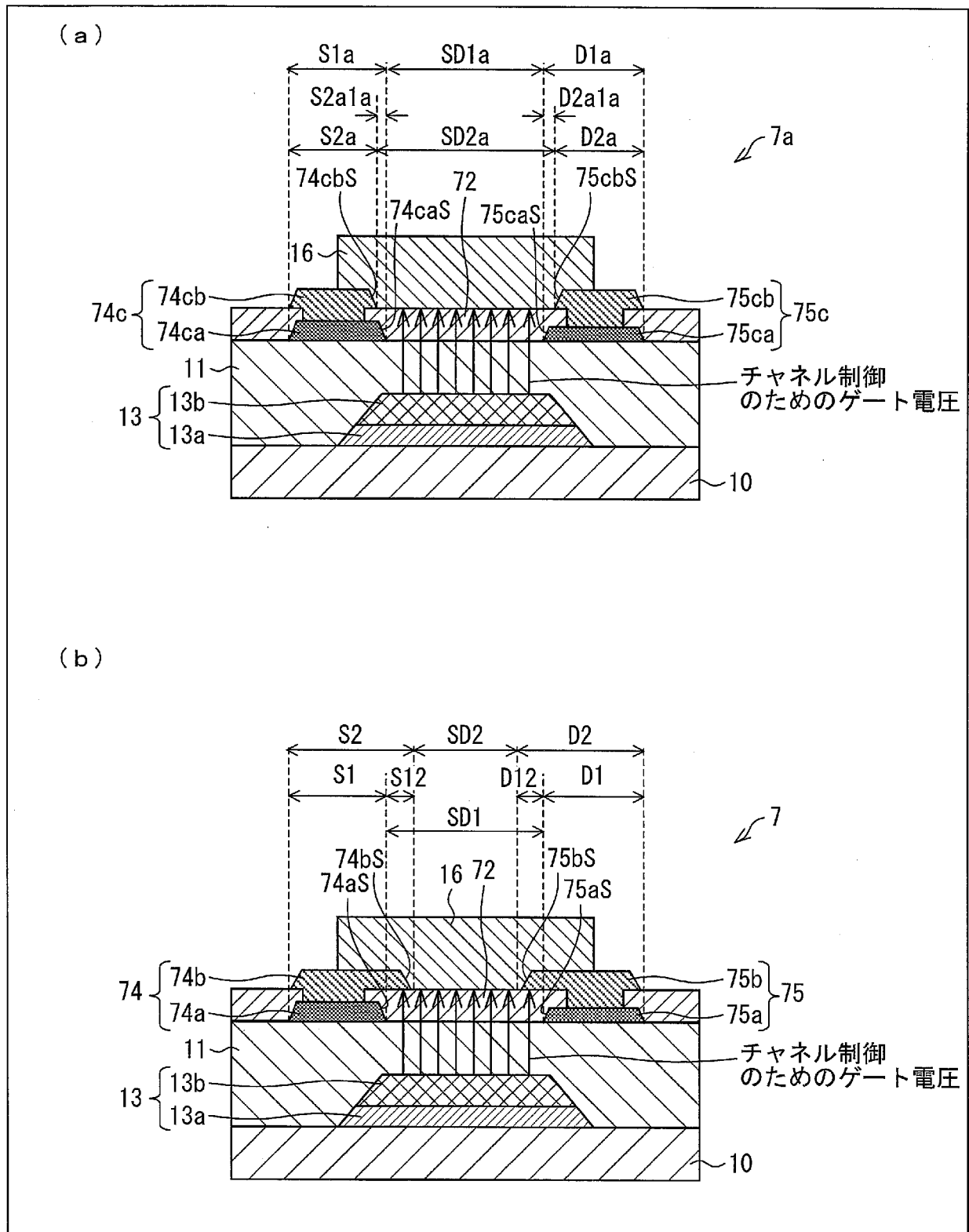
[図14]



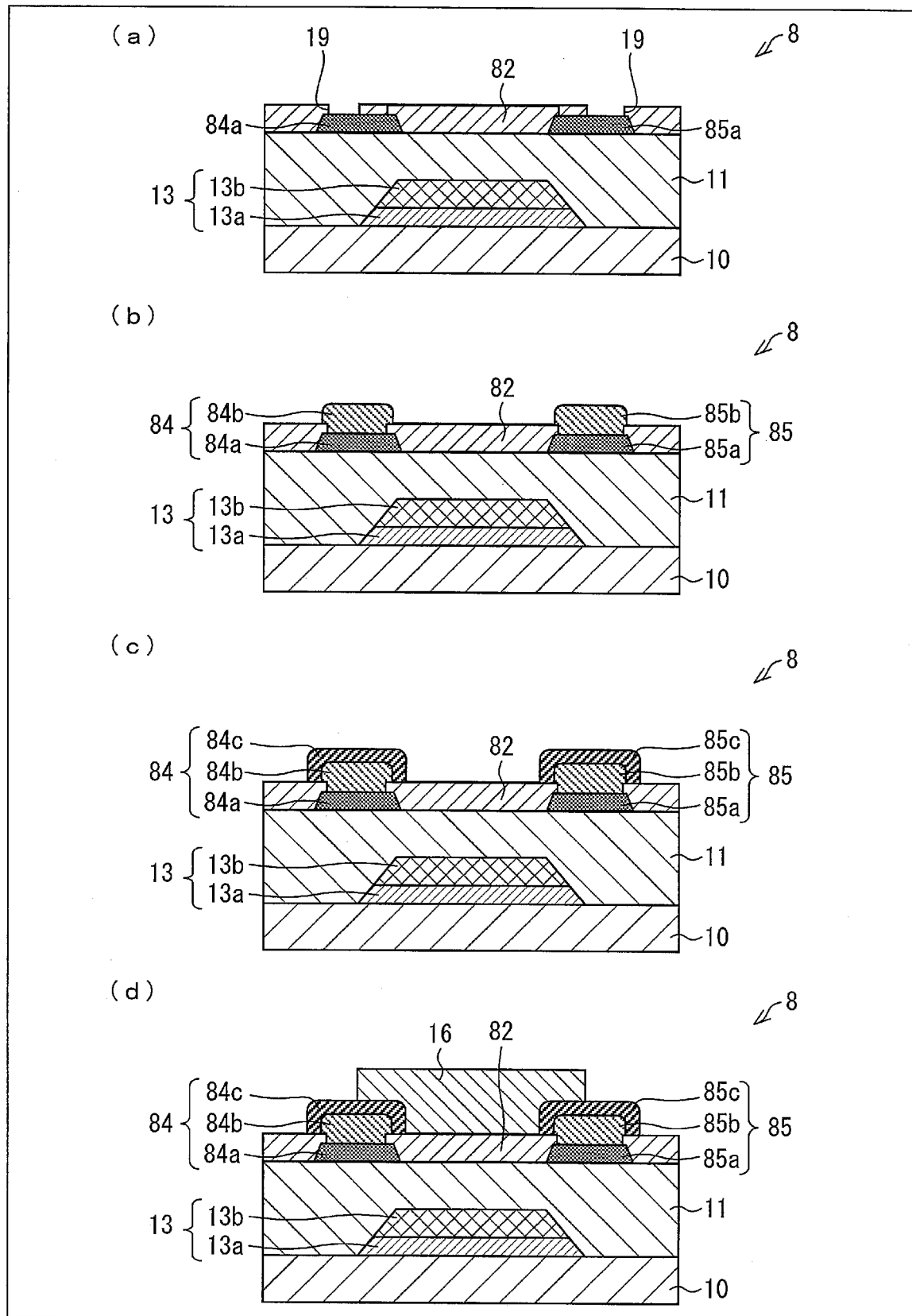
[図15]



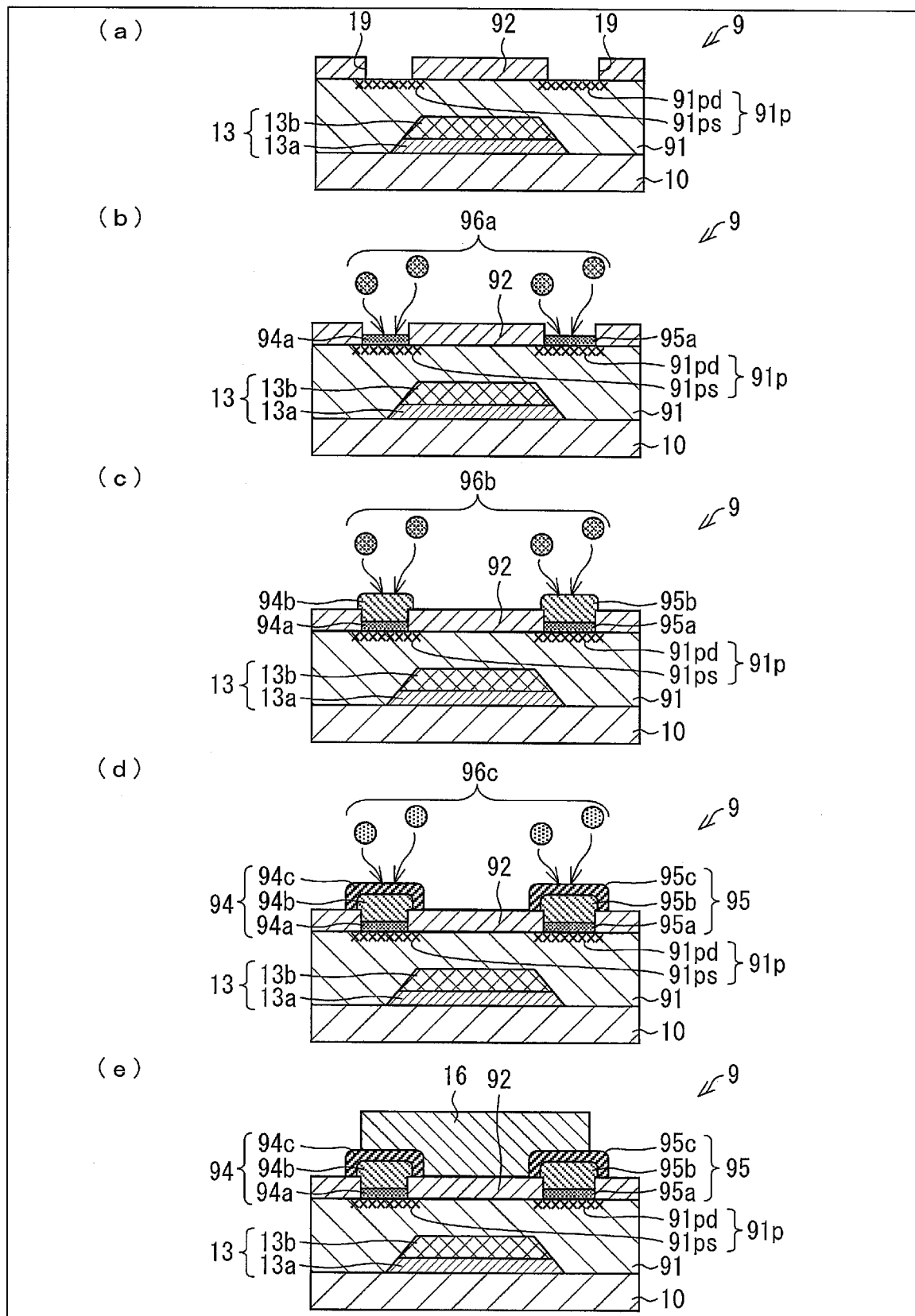
[図16]



[図17]



[図18]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2014/055029

A. CLASSIFICATION OF SUBJECT MATTER

H01L29/786(2006.01)i, H01L21/28(2006.01)i, H01L21/336(2006.01)i,
H01L29/41(2006.01)i, H01L51/05(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L29/786, H01L21/28, H01L21/336, H01L29/41, H01L51/05

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2014
Kokai Jitsuyo Shinan Koho	1971-2014	Toroku Jitsuyo Shinan Koho	1994-2014

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	JP 2012-049556 A (Sony Corp.), 08 March 2012 (08.03.2012), paragraphs [0020] to [0045] (Family: none)	1, 2 3-5
Y A	JP 2009-111000 A (Konica Minolta Holdings, Inc.), 21 May 2009 (21.05.2009), paragraphs [0004], [0030] to [0084]; fig. 1 to 5 (Family: none)	1, 2 3-5

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
15 April, 2014 (15.04.14)

Date of mailing of the international search report
28 April, 2014 (28.04.14)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2014/055029

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	JP 2008-141197 A (Xerox Corp.), 19 June 2008 (19.06.2008), paragraphs [0010] to [0053]; fig. 1 & JP 4689468 B & US 2006/0172005 A1 & EP 1928038 A2 & EP 1709975 A1 & WO 2005/004923 A1 & KR 10-2008-0048960 A & CA 2612033 A & CN 101192623 A & CN 1816355 A	1, 2 3-5

A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. H01L29/786(2006.01)i, H01L21/28(2006.01)i, H01L21/336(2006.01)i, H01L29/41(2006.01)i, H01L51/05(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. H01L29/786, H01L21/28, H01L21/336, H01L29/41, H01L51/05

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 4 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 4 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 4 年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y A	JP 2012-049556 A（ソニー株式会社）2012.03.08, 0020 段落ないし 0045 段落（ファミリーなし）	1, 2 3-5
Y A	JP 2009-111000 A（コニカミノルタホールディングス株式会社）2009.05.21, 0004 段落、0030 段落ないし 0084 段落、図 1 ないし図 5（ファミリーなし）	1, 2 3-5

☒ C 欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の 1 以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

1 5 . 0 4 . 2 0 1 4

国際調査報告の発送日

2 8 . 0 4 . 2 0 1 4

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）
郵便番号 1 0 0 - 8 9 1 5
東京都千代田区霞が関三丁目 4 番 3 号

特許庁審査官（権限のある職員）

棚田 一也

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 5 1 6

5 F

9 3 6 1

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y A	JP 2008-141197 A (ゼロックス コーポレーション) 2008.06.19, 0010 段落ないし 0053 段落、図 1 & JP 4689468 B & US 2006/0172005 A1 & EP 1928038 A2 & EP 1709975 A1 & WO 2005/004923 A1 & KR 10-2008-0048960 A & CA 2612033 A & CN 101192623 A & CN 1816355 A	1, 2 3-5