

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2024 年 12 月 26 日 (26.12.2024)



(10) 国际公布号
WO 2024/259879 A1

(51) 国际专利分类号:
H10B 12/00 (2023.01)

(21) 国际申请号: PCT/CN2023/131305

(22) 国际申请日: 2023 年 11 月 13 日 (13.11.2023)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:
202310750067.6 2023年6月21日 (21.06.2023) CN

(71) 申请人: 长鑫存储技术有限公司 (CHANGXIN MEMORY TECHNOLOGIES, INC.) [CN/CN]; 中国安徽省合肥市经济技术开发区空港工业园兴业大道388号, Anhui 230601 (CN)。

(72) 发明人: 唐怡 (TANG, Yi); 中国安徽省合肥市经济技术开发区空港工业园兴业大道388号, Anhui 230601 (CN)。

(74) 代理人: 华进联合专利商标代理有限公司 (ADVANCE CHINA IP LAW OFFICE); 中国广东省广州市天河区珠江东路6号4501房 (部位: 自编01-03和08-12单元) (仅限办公用途), Guangdong 510623 (CN)。

(81) 指定国(除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MU, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW。

(84) 指定国(除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ,

(54) Title: STORAGE UNIT, MEMORY AND MANUFACTURING METHOD THEREFOR

(54) 发明名称: 存储单元、存储器及其制备方法

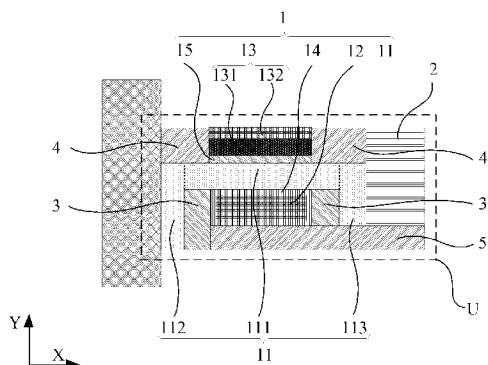


图 3

(57) Abstract: The present disclosure relates to the technical field of storage, and relates to a storage unit, a memory and a manufacturing method therefor. The storage unit comprises: a transistor and a capacitor. The transistor comprises: a semiconductor layer, a first gate, and a second gate. The semiconductor layer comprises a first portion extending in a first direction, and a second portion and a third portion respectively connected to the two ends of the first portion and extending in a second direction; the second direction intersects the first direction; and the side of the second portion facing away from the third portion is electrically connected to a bit line. The first gate and the second gate are respectively located on the two opposite sides of the first portion in the second direction. The capacitor is located on the side of the third portion facing away from the second portion and is electrically connected to the third portion.

(57) 摘要: 本公开涉及一种存储单元、存储器及其制备方法, 涉及存储技术领域。所述存储单元包括: 晶体管和电容器。晶体管包括: 半导体层、第一栅极和第二栅极。其中, 半导体层包括沿第一方向延伸的第一部分, 以及与第一部分的两端分别连接并沿第二方向延伸的第二部分和第三部分; 第二方向和第一方向相交, 第二部分背离第三部分的一侧与位线电性连接。第一栅极和第二栅极分别位于第一部分在第二方向上相对的两侧。电容器位于第三部分背离第二部分的一侧, 并与第三部分电性连接。



NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚
(AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE,
BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR,
HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO,
PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF,
CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN,
TD, TG)。

本国际公布:

— 包括国际检索报告(条约第21条(3))。

说明书

发明名称：存储单元、存储器及其制备方法

相关申请的交叉引用

本公开要求于 2023 年 06 月 21 日提交中国专利局、申请号为 202310750067.6、发明名称为“存储单元、存储器及其制备方法”的中国专利申请的优先权，所述专利申请的全部内容通过引用结合在本公开中。

技术领域

本公开涉及存储技术领域，特别是涉及一种存储单元、存储器及其制备方法。

背景技术

动态随机存取存储器(Dynamic Random Access Memory, DRAM)是计算机中常用的半导体存储器件，其由阵列排布的若干个存储单元所组成。存储单元例如可以采用 1T1C 架构，即包括一个晶体管和一个电容器。

5 目前，随着对存储器存储容量要求的不断增加，存储单元开始进行三维空间布置。然而，基于 1T1C 架构存储单元的可扩展性问题及其工艺复杂的问题，容易在进一步缩小存储单元的尺寸时使得存储单元的电学性能劣化，从而导致难以进一步缩小存储单元的尺寸同时确保存储单元的电学性能。

发明内容

根据一些实施例，本公开实施例提供了一种存储单元、存储器及其制备方法。

根据一些实施例，本公开提供的存储单元，包括：晶体管和电容器。

10 晶体管包括：半导体层、第一栅极和第二栅极；其中，半导体层包括沿第一方向延伸的第一部分，以及与第一部分的两端分别连接并沿第二方向延伸的第二部分和第三部分；第二方向和第一方向相交，第二部分背离第三部分的一侧与位线电性连接；第一栅极和第二栅极分别位于第一部分在第二方向上相对的两侧。

电容器位于第三部分背离第二部分的一侧，并与第三部分电性连接。

15 根据一些实施例，第一栅极和第二栅极中的一者包括沿远离第一部分的方向层叠且材料不同的第一子栅和第二子栅。

根据一些实施例，第一子栅为多晶硅栅极。第二子栅以及第一栅极和第二栅极中的另一者均为金属栅极。

20 根据一些实施例，第二部分和第三部分位于第一部分的同侧。第一栅极位于第一部分、第二部分和第三部分围成的空间内，并与第一字线电性连接。第二栅极位于第一部分沿第二方向背离第二部分和第三部分的一侧，且包括第一子栅和第二子栅。第二子栅与第二字线电性连接。

根据一些实施例，所述存储单元还包括：第一栅介质层和第二栅介质层。第一栅介质层位于第一栅极和第一部分之间。第二栅介质层位于第一子栅和第一部分之间。其中，沿第二方向，第二栅介质层的厚度大于第一栅介质层的厚度。

25 根据一些实施例，位线沿第二方向延伸。电容器沿第二方向向第二栅极所在一侧凸出于第三部分。存储单元还包括：第一隔离结构、第二隔离结构和第三隔离结构。第一隔离结构位于第一栅极和第二部分之间，以及第一栅极和第三部分之间。第二隔离结构位于第二栅极和位线之间，以及第二栅极和电容器之间。第三隔离结构位于第一栅极、第三部分、电容器以及第一栅极和第三部分之间第一隔离结构的同侧，并与第一栅极和第二部分之间的第一隔离结构接触连接。

根据一些实施例，沿第二方向，第二部分的长度大于第三部分的长度。

30 根据一些实施例，存储器，包括：至少一个如上任一些实施例所述的存储单元，至少一个位线，至少一个第一字线和至少一个第二字线。位线沿第二方向延伸，并与存储单元中的第二部分对应电性连接。第一字线沿第三方向延伸，并与存储单元中的第一栅极对应电性连接。第二字线沿第三方向延伸，并与存储单元中的第二栅极对应电性连接。其中，第三方向与第一方向、第二方向两两相交。

35 根据一些实施例，存储单元的数量为多个，且在第二方向上相邻排列的两个存储单元构成一个重复单元。在同一个重复单元中，两个存储单元互为镜像对称，且两个存储单元的第二部分相对且连接为一体结构。

40 根据一些实施例，存储单元包括：位于第一栅极和第二部分之间以及第一栅极和第三部分之间的第一隔离结构；位于第一栅极、第三部分、电容器以及第一栅极和第三部分之间第一隔离结构的同侧，并与第一栅极和第二部分之间的第一隔离结构接触连接的第三隔离结构。在同一个重复单元中，两个存储单元的位于第一栅极和第二部分之间的第一隔离结构相对且连接为一体结构；两个存储单元的第

三隔离结构相对且连接为一体结构。

根据一些实施例，存储器的制备方法包括如下步骤。

形成堆叠结构，堆叠结构包括交替层叠的多层第一牺牲层和多层第二牺牲层。

沿第一牺牲层和第二牺牲层的层叠方向刻蚀堆叠结构，形成第一容置孔。

5 于第一容置孔内第二牺牲层的内侧壁上形成半导体层；半导体层包括沿第一方向延伸的第一部分，以及与第一部分的两端分别连接并沿第二方向延伸的第二部分和第三部分；第二方向和第一方向相交。

于第一部分背离第二牺牲层内侧壁的一侧形成第一栅极。

刻蚀第一部分背离第一栅极一侧的堆叠结构，并于第一部分背离第一栅极的一侧形成第二栅极。

去除位于第二部分背离第三部分的一侧的第二牺牲层，形成位线容置槽。

10 于位线容置槽内形成位线，并使位线与第二部分电性连接。

去除位于第三部分背离第二部分的一侧的第二牺牲层，形成电容器容置槽。

于电容器容置槽内形成电容器，并使电容器与第三部分电性连接。

根据一些实施例，所述于第一容置孔内第二牺牲层的内侧壁上形成半导体层，包括如下步骤。

于第一容置孔的孔壁上形成半导体材料层。

15 对第一牺牲层沿第二方向延伸的外侧壁进行刻蚀至暴露出半导体材料层。

基于第一牺牲层沿第二方向延伸的去除区域刻蚀半导体材料层，以去除相邻第二牺牲层之间沿第二方向延伸的半导体材料层，形成初始半导体层。

对第一牺牲层沿第一方向延伸的外侧壁进行刻蚀至暴露出初始半导体层。

20 基于第一牺牲层沿第一方向延伸的去除区域刻蚀初始半导体层，以去除相邻第二牺牲层之间沿第一方向延伸的初始半导体层，形成分别位于各第二牺牲层内侧壁上的半导体层。

根据一些实施例，所述存储器的制备方法，还包括如下步骤。

在第一容置孔的孔壁上形成半导体材料层之前，于第一容置孔的孔壁上形成第一介质材料层；其中，半导体材料层形成于第一介质材料层背离第一容置孔孔壁的表面。

25 在第二牺牲层的内侧壁上形成半导体层的同时，刻蚀第一介质材料层，以于第二牺牲层的内侧壁和半导体层之间形成第二栅介质层。

根据一些实施例，所述对第一牺牲层沿第二方向延伸的外侧壁进行刻蚀至暴露出半导体材料层之前，所述方法还包括如下步骤。

形成覆盖半导体材料层并填充第一容置孔的第二介质材料层。

30 沿第一牺牲层和第二牺牲层的层叠方向，刻蚀第二介质材料层以及位于第二介质材料层一侧的堆叠结构和半导体材料层，形成沿第一方向延伸的第一隔离槽，并使剩余的第三介质材料层构成初始第一隔离结构。

于第一隔离槽内形成第三隔离结构。

相应地，所述于第一部分背离第二牺牲层内侧壁的一侧形成第一栅极，包括如下步骤。

35 沿第一牺牲层和第二牺牲层的层叠方向刻蚀初始第一隔离结构，形成第二容置孔及位于第二容置孔在第一方向上相对两侧的第一隔离结构，并暴露出位于第二容置孔在第二方向上相对两侧的半导体材料层和第三隔离结构。

于第二容置孔的孔壁上保形形成第一栅介质层。

形成覆盖第一栅介质层并填充第二容置孔的第一栅极及与第一栅极对应连接的第一字线。

根据一些实施例，所述存储器的制备方法，还包括如下步骤。

40 在基于第一牺牲层沿第二方向延伸的去除区域刻蚀半导体材料层，形成初始半导体层之后，于第一牺牲层沿第二方向延伸的去除区域和半导体材料层的刻蚀区域回填第一绝缘材料。

在基于第一牺牲层沿第一方向延伸的去除区域刻蚀初始半导体层，形成半导体层之后，于第一牺牲层沿第一方向延伸的去除区域和初始半导体层的刻蚀区域回填第二绝缘材料。

45 相应地，所述刻蚀第一部分背离第一栅极一侧的堆叠结构，并于第一部分背离第一栅极的一侧形成第二栅极，还包括如下步骤。

沿第一牺牲层和第二牺牲层的层叠方向，刻蚀第一部分背离第一栅极一侧的第二牺牲层和第二绝缘材料，形成沿第二方向延伸且在第一方向上间隔设置的第二隔离槽，并于第二隔离槽内暴露出第一部分对应端部的外侧壁及部分第一绝缘材料。

于第二隔离槽内形成第二隔离结构。

50 沿第一牺牲层和第二牺牲层的层叠方向，刻蚀在第一方向上相邻第二隔离槽之间间隔内的第二牺

性层和第二绝缘材料，形成第三容置孔，并暴露出第三容置孔在第一方向上相对两侧的第二隔离结构，同时保留相邻第二隔离槽之间间隔内的部分第二牺牲层构成第一子栅。

于第三容置孔内形成覆盖第一子栅的第二子栅，以及与第二子栅对应连接的第二字线；其中，第二栅极包括第一子栅和第二子栅。

- 5 根据一些实施例，所述去除位于第二部分背离第三部分的一侧的第二牺牲层，形成位线容置槽，还包括：于第二部分背离第三部分的一侧，对第二牺牲层沿第二方向延伸的外侧壁进行刻蚀至暴露出第二隔离结构及第二部分的外侧壁，形成位线容置槽。

相应地，所述于位线容置槽内形成位线，还包括：于位线容置槽内填充金属材料，形成位线。

本公开的一个或多个实施例的细节在下面的附图和描述中提出。本公开的其他特征、目的和优点将从说明书、附图以及权利要求书变得明显。

附图说明

- 10 为了更清楚地说明本申请实施例或传统技术中的技术方案，下面将对实施例或传统技术描述中所需要使用的附图作简单地介绍，显而易见地，下面描述中的附图仅仅是本申请的一些实施例，对于本领域普通技术人员来讲，在不付出创造性劳动的前提下，还可以根据这些附图获得其他的附图。

图 1 为一些实施例中提供的一种存储单元的结构示意图；

图 2 为图 1 所示存储单元中一种晶体管的电性曲线图；

图 3 为一些实施例中提供的另一种存储单元的结构示意图；

- 15 图 4 为图 3 所示存储单元的立体结构示意图；

图 5 为一些实施例中提供的一种存储器的结构示意图；

图 6 为一些实施例中提供的另一种存储器在 X-Y 平面内的俯视示意图；

图 7 为一些实施例中提供的一种存储器的制备方法的流程示意图；

图 8 为图 7 所示存储器的制备方法中一种步骤 S300 的流程示意图；

- 20 图 9 为图 7 所示存储器的制备方法中另一种步骤 S300 的流程示意图；

图 10 为图 7 所示存储器的制备方法中一种步骤 S400 的流程示意图；

图 11 为图 7 所示存储器的制备方法中一种步骤 S500 的流程示意图；

图 12 为一些实施例中提供的一种形成堆叠结构之后所得结构的结构示意图；

图 13 为一些实施例中提供的一种形成第一容置孔之后所得结构的结构示意图；

- 25 图 14 为一些实施例中提供的一种形成第一介质材料层之后所得结构的结构示意图；

图 15 为一些实施例中提供的一种形成半导体材料层之后所得结构的结构示意图；

图 16 为一些实施例中提供的一种形成第二介质材料层之后所得结构的结构示意图；

图 17 为一些实施例中提供的一种形成第一隔离槽之后所得结构的结构示意图；

图 18 为一些实施例中提供的一种形成第三隔离结构之后所得结构的结构示意图；

- 30 图 19 为一些实施例中提供的一种形成第二容置孔及第一隔离结构之后所得结构的结构示意图；

图 20 为一些实施例中提供的一种形成第一栅介质层之后所得结构的结构示意图；

图 21 为一些实施例中提供的一种形成第一栅极及第一字线之后所得结构的结构示意图；

图 22 为一些实施例中提供的一种对第一牺牲层沿第二方向延伸的外侧壁进行刻蚀至暴露出半导体材料层后所得结构的结构示意图；

- 35 图 23 为一些实施例中提供的一种形成初始半导体层之后所得结构的结构示意图；

图 24 为一些实施例中提供的一种回填第一绝缘材料之后所得结构的结构示意图；

图 25 为一些实施例中提供的一种对第一牺牲层沿第一方向延伸的外侧壁进行刻蚀至暴露出初始半导体层后所得结构的结构示意图；

图 26 为一些实施例中提供的一种形成半导体层之后所得结构的结构示意图；

- 40 图 27 为一些实施例中提供的一种回填第二绝缘材料之后所得结构的结构示意图；

图 28 为一些实施例中提供的一种形成第二隔离槽之后所得结构的结构示意图；

图 29 为一些实施例中提供的一种形成第二隔离结构之后所得结构的结构示意图；

图 30 为一些实施例中提供的一种形成第三容置孔之后所得结构的结构示意图；

图 31 为一些实施例中提供的一种形成第二栅极及第二字线之后所得结构的结构示意图；

- 45 图 32 为一些实施例中提供的一种形成位线容置槽之后所得结构的结构示意图；

图 33 为一些实施例中提供的一种形成位线之后所得结构的结构示意图；

图 34 为一些实施例中提供的另一种形成位线之后所得结构的结构示意图；

图 35 为一些实施例中提供的一种形成电容器容置槽之后所得结构的结构示意图；

图 36 为一些实施例中提供的一种形成电容器之后所得结构的结构示意图；

图 37 为一些实施例中提供的一种电容器在 X-Z 平面内的剖面结构示意图。

具体实施方式

为了便于理解本公开，下面将参照相关附图对本公开进行更全面的描述。附图中给出了本公开的首选实施例。但是，本公开可以以许多不同的形式来实现，并不限于本文所描述的实施例。相反地，提供这些实施例的目的是使对本公开的公开内容更加透彻全面。

除非另有定义，本文所使用的所有的技术和科学术语与属于本公开的技术领域的技术人员通常理解的含义相同。本文中在本公开的说明书中所使用的术语只是为了描述具体的实施例的目的，不是旨在限制本公开。

应当明白，当元件或层被称为“在...上”、“与...相邻”或“与...电性连接”其它元件或层时，其可以直接地在其它元件或层上、与之相邻、连接或耦合到其它元件或层，或者可以存在居间的元件或层。应当明白，尽管可使用术语第一、第二、第三等描述各种元件、部件、区、层、掺杂类型和/或部分，这些元件、部件、区、层、掺杂类型和/或部分不应当被这些术语限制。这些术语仅仅用来区分一个元件、部件、区、层、掺杂类型或部分与另一个元件、部件、区、层、掺杂类型或部分。因此，在不脱离本公开教导之下，下面讨论的第一元件、部件、区、层、掺杂类型或部分可表示为第二元件、部件、区、层或部分。

在此使用时，单数形式的“一”、“一个”和“所述/该”也可以包括复数形式，除非上下文清楚指出另外的方式。还应明白，当术语“组成”和/或“包括”在该说明书中使用，可以确定所述特征、整数、步骤、操作、元件和/或部件的存在，但不排除一个或更多其它的特征、整数、步骤、操作、元件、部件和/或组的存在或添加。同时，在此使用时，术语“和/或”包括相关所列项目的任何及所有组合。

这里参考作为本公开的理想实施例（和中间结构）的示意图的横截面图来描述发明的实施例，这样可以预期由于例如制造技术和/或容差导致的所示形状的变化。本公开的实施例不应当局限于在此所示的区的特定形状，而是包括由于例如制造技术导致的形状偏差。因此，图中显示的区实质上是示意性的，它们的形状并不表示器件的区的实际形状，且并不限定本公开的范围。

在目前的 DRAM 制造工艺中，多采用存储单元 $6F^2$ 排布且埋置字线（Buried Word line）的制造方法。由于在这种方法下进一步的缩小存储单元的尺寸会变得十分困难，因此随着对存储器存储容量要求的不断增加，存储单元开始进行三维空间布置。然而，基于 DRAM 中存储单元的可扩展性问题及其工艺复杂的问题，容易在进一步缩小存储单元的尺寸时使得存储单元的电学性能劣化，从而导致难以进一步缩小存储单元的尺寸同时确保持存存储单元的电学性能。

在一些实施例中，请参阅图 1 中的（a）图和（b）图，其中，图 1 中的（a）图示意了一种存储单元的立体结构，图 1 中的（b）图为图 1 中（a）图所示存储单元的俯视示意图。该存储单元采用了 1T1C 架构，即包括一个晶体管 1 和一个电容器 2。

示例地，晶体管 1 包括与字线 WL 一体连接的栅极 01 以及依序环绕于栅极 01 周侧的栅氧层 02 和半导体层 11；其中，半导体层 11 在第一方向（例如 X 方向）上相对的两个外侧壁分别与位线 BL 和电容器 2 对应连接，字线 WL 沿竖直方向（例如 Z 方向）延伸。并且，半导体层 11 中与位线 BL 连接的部分为源极，与电容器 2 连接的部分为漏极。

由上，随着晶体管 1 特征尺寸的减小，在对图 1 所示存储单元的晶体管 1 进行漏电测试之后，可以获取该晶体管 1 的电性曲线图如图 2 所示。如图 2 中所示，该晶体管 1 采用前述结构会存在有栅致漏极漏电（Gate Induced Drain Leakage，简称 GIDL）效应；即：在栅极电压（Gate Voltage）为零或负电压时，若漏极电压为正电压，则容易形成漏电流。示例地，在图 2 中，电流曲线 I_{11} 为漏极电压 1V 时晶体管 1 关态下的漏极电流曲线，电流曲线 I_{12} 为漏极电压 0.05V 时晶体管 1 关态下的漏极电流曲线，电流曲线 I_{21} 为漏极电压 1V 时晶体管 1 开态下的漏极电流曲线，电流曲线 I_{22} 为漏极电压 0.05V 时晶体管 1 开态下的漏极电流曲线。对比电流曲线 I_{11} 和电流曲线 I_{12} 可知，在栅极电压为 -0.5V 时，漏极电压虽为 0.05V 但在晶体管 1 关态的情况下，该漏极电流却有明显增大，约接近于 $2 \times 10^{-7}A$ 。

由上，本公开实施例提供了一种存储单元和存储器，利于减小存储单元的平面占用面积，以提升存储器的存储密度和存储容量，还利于确保持存存储单元具有较佳的电学性能及可靠性，以提升存储器的电学性能及可靠性。

请参阅图 3 和图 4，本公开一些实施例提供了一种存储单元，可以应用于存储器，尤其是 DRAM 中。

如图 3 和图 4 中所示, 存储单元 U 包括: 晶体管 1 和电容器 2。晶体管 1 包括: 半导体层 11、第一栅极 12 和第二栅极 13。其中, 半导体层 11 包括沿第一方向 (例如 X 方向) 延伸的第一部分 111, 以及与第一部分 111 的两端分别连接并沿第二方向 (例如 Y 方向) 延伸的第二部分 112 和第三部分 113。第二方向 (例如 Y 方向) 和第一方向 (例如 X 方向) 相交, 例如正交。并且, 第二部分 112 背离第三部分 113 的一侧与位线 BL 电性连接。第一栅极 12 和第二栅极 13 分别位于第一部分 111 在第二方向 (例如 Y 方向) 上相对的两侧。电容器 2 位于第三部分 113 背离第二部分 112 的一侧, 并与第三部分 113 电性连接。

此处, 半导体层 11 中的第一部分 111 能够作为晶体管 1 的沟道区, 以在第一栅极 12 和第二栅极 13 的栅极电压控制下形成沟道电流。半导体层 11 中的第二部分 112 与位线 BL 相连接, 该第二部分 112 例如可以为源极。半导体层 11 中的第三部分 113 与电容器 2 相连接, 该第三部分 113 例如可以为漏极。

在本公开实施例中, 将晶体管 1 的半导体层 11 设置为沿第一方向 (例如 X 方向) 延伸的第一部分 111, 以及与第一部分 111 的两端分别连接并沿第二方向 (例如 Y 方向) 延伸的第二部分 112 和第三部分 113, 并使得第二部分 112 背离第三部分 113 的一侧与位线 BL 电性连接, 第三部分 113 背离第二部分 112 的一侧与电容器 2 电性连接, 第一部分 111 在第二方向 (例如 Y 方向) 上相对的两侧分别设置有第一栅极 12 和第二栅极 13。如此, 该晶体管 1 采用前述结构, 不仅利于提高晶体管 1 所在区域的空间利用率, 以有效减小单个存储单元 U 的平面面积, 还有利于通过半导体层 11 中第二部分 112 的延伸长度增加晶体管 1 (例如源极) 和位线 BL 的接触面积, 通过半导体层 11 中第三部分 113 的延伸长度增加晶体管 1 (例如漏极) 和电容器 2 的接触面积, 以有效降低接触电阻。

并且, 本公开实施例中, 半导体层 11 的第一部分 111 在第二方向 (例如 Y 方向) 上相对的两侧分别设置第一栅极 12 和第二栅极 13, 还有利于增加半导体层 11 尤其是第一部分 111 的厚度, 以避免晶体管 1 漏电, 从而提升晶体管 1 的可靠性。

由上, 本公开实施例提供的存储单元 U 不仅可以占用较小的平面面积, 以提升存储器的存储密度和存储容量, 还可以确保持存单元 U 具有较佳的电学性能及可靠性, 从而提升存储器的电学性能及可靠性。

可以理解, 上述半导体层 11 中第一部分 111、第二部分 112 和第三部分 113 可以为一体结构, 以同步形成。并且, 在一些实施例中, 该半导体层 11 包括但不限于铟镓锌氧化膜层 (即 Indium Gallium Zinc Oxide, 简称 IGZO 膜层)。如此, 基于 IGZO 膜层绝佳的抗漏电特性、低成本和简单工艺制程, 可以相应提高晶体管 1 的抗漏电特性, 以及利于降低存储单元 U 的生产成本、简化存储单元 U 的工艺制程以提升生产效率等。

在一些实施例中, 请参阅图 3 和图 4, 半导体层 11 的第二部分 112 和第三部分 113 位于第一部分 111 的同侧。如此, 半导体层 11 的第二部分 112 和第三部分 113 可以在第一部分 111 的两端与第一部分 111 形成连续三边被围的空间。相应地, 第一栅极 12 位于半导体层 11 的第一部分 111、第二部分 112 和第三部分 113 围成的空间内, 并与第一字线 WL1 电性连接。第二栅极 13 位于第一部分 111 沿第二方向 (例如 Y 方向) 背离第二部分 112 和第三部分 113 的一侧, 且包括第一子栅 131 和第二子栅 132。第二子栅 132 与第二字线 WL2 电性连接。

示例地, 第一字线 WL1 可以沿第三方向 (例如 Z 方向) 延伸, 第三方向 (例如 Z 方向) 垂直于第一方向和第二方向的相交平面。第一栅极 12 和第一字线 WL1 为一体结构。同理, 第二字线 WL2 也可以沿第三方向 (例如 Z 方向) 延伸, 且第二栅极 13 的第二子栅 132 和第二字线 WL2 为一体结构。

在一些实施例中, 请继续参阅图 3 和图 4, 位线 BL 沿第二方向 (例如 Y 方向) 延伸。相应地, 沿第二方向 (例如 Y 方向), 半导体层 11 的第二部分 112 的长度大于第三部分 113 的长度。

本公开实施例中, 半导体层 11 的第二部分 112 与位线 BL 电性连接, 该第二部分 112 的长度大于第三部分 113 的长度, 利于确保第二部分 112 可以沿位线 BL 的延伸方向和位线 BL 具有更大的接触面积, 以进一步降低晶体管 1 (例如源极) 和位线 BL 之间的接触电阻。

在一些实施例中, 位线 BL 采用导电材料形成, 位线 BL 的材料包括但不限于硅基材料、金属基材料或其组合。例如, 位线 BL 的材料包括多晶硅、金属、金属氮化物、金属硅化物或其组合。例如, 位线 BL 可以为钨或氮化钛或多晶硅的单层结构, 或者也可以为氮化钛及钨等的叠层结构。

需要补充的是, 在一些实施例中, 请参阅图 3, 第一栅极 12 和第二栅极 13 中的一者包括沿远离第一部分 111 的方向层叠且材料不同的第一子栅 131 和第二子栅 132。图 3 中以第二栅极 13 包括第一子栅 131 和第二子栅 132 为例进行了示意, 但并不仅限于此。

在一些实施例中, 第一子栅 131 为多晶硅栅极。第二子栅 132 以及第一栅极 12 和第二栅极 13 中

的另一者均为金属栅极。

在一些示例中，如图3中所示，第二栅极13包括第一子栅131和第二子栅132。第一栅极12和第二子栅132为金属栅极。

示例地，金属栅极包括但不限于钨或铜等具有优良导电性的单体结构，还可以包括金属与金属、或金属与金属化合物的叠层结构。例如，金属栅极包括氮化钛和钨的叠层结构。

请继续参阅图3和图4，在一些实施例中，存储单元U还包括：第一栅介质层14和第二栅介质层15。第一栅介质层14位于第一栅极12和半导体层11的第一部分111之间。第二栅介质层15位于第二栅极13的第一子栅131和半导体层11的第一部分111之间。其中，沿第二方向（例如Y方向），第二栅介质层15的厚度大于第一栅介质层14的厚度。

此处，第二栅介质层15和第一栅介质层14的厚度数值可以根据需求匹配设置，但需要以第二栅介质层15的厚度大于第一栅介质层14的厚度为限制条件。

示例地，如图3中所示，第一栅介质层14沿第一栅极12的周向包覆于第一栅极12的侧壁上；也即，第一栅介质层14可以包覆第一栅极12沿第一方向（例如X方向）和第二方向（例如Y方向）分别延伸的各侧壁。

示例地，第二栅介质层15平行于第二栅极13设置，第二栅介质层15与第二栅极13在第一方向（例如X方向）上可以具有相同的长度尺寸。进一步示例地，第二栅介质层15沿第二方向（例如Y方向）的正投影与第二栅极13中的第一子栅131在第二方向（例如Y方向）的正投影基本重合。

示例地，第一栅介质层14和第二栅介质层15的材料相同或不同，均可。

在一些示例中，第一栅介质层14和/或第二栅介质层15的材料包括但不限于氧化硅、氮化硅、金属氧化物、金属氮氧化物、金属硅酸盐、高K介电材料、铁电材料、反铁电材料或其组合。K为介电常数，高K介电材料的介电常数例如大于或等于3.9，例如可以为20。

在一些示例中，高K介电材料可以包括氧化铪(HfO_2)、氧化锆(ZrO_2)、氧化铝(Al_2O_3)、氧化镧(La_2O_3)、氧化钛(TiO_2)、氧化钽(Ta_2O_5)、氧化铌(Nb_2O_5)或氧化锶钛(SrTiO_3)。

示例地，第一栅介质层14和/或第二栅介质层15的材料可以为氧化硅(SiO_2)、氧化铝(Al_2O_3)、氧化锌(ZnO)、氧化锆(ZrO_2)或氧化铪(HfO_2)等。

示例地，第二栅介质层15的材料为多晶硅氧化物。

上述一些实施例中，第二栅介质层15位于第二栅极13的第一子栅131和半导体层11的第一部分111之间，相较于第一栅介质层14，第二栅介质层15采用较大厚度，可以在一定程度上弥补半导体层11中第一部分111（例如沟道区）的氧空位，尤其是在第二栅介质层15采用多晶硅氧化物形成的实施例中，从而有利于提升晶体管1的可靠性。

在一些实施例中，请继续参阅图3和图4，位线BL沿第二方向（例如Y方向）延伸。电容器2沿第二方向（例如Y方向）向第二栅极13所在一侧凸出于半导体层11的第三部分113。存储单元U还包括：第一隔离结构3、第二隔离结构4和第三隔离结构5。

第一隔离结构3位于第一栅极12和半导体层11的第二部分112之间，以及第一栅极12和半导体层11的第三部分113之间。例如，第一隔离结构3位于第一栅极12和半导体层11的第二部分112之间的部分，以及第一隔离结构3位于第一栅极12和半导体层11的第三部分113之间的部分，均沿第二方向（例如Y方向）延伸，并覆盖对应第一栅介质层14沿第二方向（例如Y方向）的侧壁。

第二隔离结构4位于第二栅极13和位线BL之间，以及第二栅极13和电容器2之间。例如，第二隔离结构4位于第二栅极13和位线BL之间的部分，以及第二隔离结构4位于第二栅极13和电容器2之间的部分，均沿第二方向（例如Y方向）延伸，并覆盖对应第二栅介质层15沿第二方向（例如Y方向）的侧壁。

第三隔离结构5位于第一栅极12、半导体层11的第三部分113、电容器2以及第一栅极12和第三部分113之间第一隔离结构3的同侧，并与第一栅极12和半导体层11的第二部分112之间的第一隔离结构3接触连接。例如，第三隔离结构5沿第一方向（例如X方向）延伸，并覆盖第一栅极12和半导体层11的第二部分112之间第一隔离结构3沿第二方向（例如Y方向）的对应侧壁、第一栅介质层14沿第一方向（例如X方向）的对应侧壁、第一栅极12和第三部分113之间第一隔离结构3沿第一方向（例如X方向）的对应侧壁、半导体层11的第三部分113沿第一方向（例如X方向）的对应侧壁、以及电容器2沿第一方向（例如X方向）的对应侧壁。

本公开实施例中，采用前述的第一隔离结构3、第二隔离结构4和第三隔离结构5，可以有效消除晶体管1的GIDL效应，以提升晶体管1的电学性能及可靠性。

需要补充的是，上述第一隔离结构 3、第二隔离结构 4 和第三隔离结构 5，采用绝缘材料形成，可以为单层结构或叠层结构。并且，第一隔离结构 3、第二隔离结构 4 和第三隔离结构 5 所采用的绝缘材料相同或不同，均可。示例地，前述的绝缘材料可以包括氧化硅、氮化硅或氮氧化硅中的至少一种。

在一些实施例中，电容器 2 可以采用第一电极、介电层和第二电极依序层叠的结构。例如，电容器 2 为金属-绝缘体-金属(MIM)电容器；即：第一电极和第二电极均采用金属材料形成。介电层（绝缘体）可以采用氧化硅、氮化硅、高 K 介电材料或其组合形成。其中，电容器 2 的第一电极与半导体层 11 的第三部分 113 电性连接。

本公开一些实施例还提供了一种存储器，作为上述一些实施例中存储单元的一种应用器件。前述存储单元所具有的技术优势，该存储器也均具备。请参阅图 5 和图 6，该存储器包括：至少一个如上任一些实施例的存储单元 U，至少一个位线 BL，至少一个第一字线 WL1 和至少一个第二字线 WL2。

如图 5 和图 6 中所示，位线 BL 沿第二方向（例如 Y 方向）延伸，并与存储单元 U 中的半导体层 11 的第二部分 112 对应电性连接。第一字线 WL1 沿第三方向（例如 Z 方向）延伸，并与存储单元 U 中的第一栅极 12 对应电性连接。第二字线 WL2 沿第三方向（例如 Z 方向）延伸，并与存储单元 U 中的第二栅极 13 对应电性连接。其中，第三方向（例如 Z 方向）与第一方向（例如 X 方向）、第二方向（例如 Y 方向）两两相交。

示例地，第三方向（例如 Z 方向）与第一方向（例如 X 方向）、第二方向（例如 Y 方向）两两正交。

在一些实施例中，请继续参阅图 5 和图 6，存储单元 U 的数量可以为多个，且在第二方向（例如 Y 方向）上相邻排列的两个存储单元 U 可以构成一个重复单元 M。在同一个重复单元 M 中，两个存储单元 U 互为镜像对称，且两个存储单元 U 中半导体层 11 的第二部分 112 相对且可以连接为一体结构。

此处，如图 6 中所示，同一个重复单元 M 中两个存储单元 U 镜像对称的中心线 O-O' 沿第一方向（例如 X 方向）延伸，例如可以贯穿第三隔离结构 5 的几何中心。

在一些实施例中，请继续参阅图 5 和图 6，在同一个重复单元 M 中，两个存储单元 U 的位于第一栅极 12 和第二部分 112 之间的第一隔离结构 3 相对且连接为一体结构，两个存储单元 U 的第三隔离结构 5 相对且连接为一体结构。如此，同一个重复单元 M 中的两个存储单元 U 可以视为共用同一个第三隔离结构 5。

在一些实施例中，请参阅图 6，重复单元 M 的数量为多个，且多个重复单元 M 可以沿第一方向（例如 X 方向）排布呈行，沿第二方向（例如 Y 方向）排布呈列；其中，相邻两列重复单元 M 中的各存储单元 U 可以共用同一个位线 BL，且相邻两列重复单元 M 以位线 BL 为中心对称分布。

此外，请参阅图 5，在一些实施例中，多个重复单元 M 还可以沿第三方向（例如 Z 方向堆叠），以实现存储单元 U 的三维堆叠。如此，第一字线 WL1 和第二字线 WL2 可以分别连接位于其延伸方向上存储单元 U 的对应栅极。

本公开一些实施例还提供了一种存储器的制备方法，用于制备上述一些实施例中的存储器。前述存储器所具有的技术优势，该制备方法也均具备。并且，本公开实施例提供的存储器的制备方法降低了工艺制程的难度，易于实施，还利于提升存储器的生产效率及生产良率。

请参阅图 7，存储器的制备方法包括如下步骤 S100~S900。

S100，形成堆叠结构，堆叠结构包括交替层叠的多层第一牺牲层和多层第二牺牲层。

S200，沿第一牺牲层和第二牺牲层的层叠方向刻蚀堆叠结构，形成第一容置孔。

S300，于第一容置孔内第二牺牲层的内侧壁上形成半导体层；半导体层包括沿第一方向延伸的第一部分，以及与第一部分的两端分别连接并沿第二方向延伸的第二部分和第三部分；第二方向和第一方向相交。

S400，于第一部分背离第二牺牲层内侧壁的一侧形成第一栅极。

S500，刻蚀第一部分背离第一栅极一侧的堆叠结构，并于第一部分背离第一栅极的一侧形成第二栅极。

S600，去除位于第二部分背离第三部分的一侧的第二牺牲层，形成位线容置槽。

S700，于位线容置槽内形成位线，并使位线与第二部分电性连接。

S800，去除位于第三部分背离第二部分的一侧的第二牺牲层，形成电容器容置槽。

S900，于电容器容置槽内形成电容器，并使电容器与第三部分电性连接。

在一些实施例中，请参阅图 8，步骤 S300 中于第一容置孔内第二牺牲层的内侧壁上形成半导体层，包括如下步骤 S310~S350。

S310, 于第一容置孔的孔壁上形成半导体材料层。

S320, 对第一牺牲层沿第二方向延伸的外侧壁进行刻蚀至暴露出半导体材料层。

S330, 基于第一牺牲层沿第二方向延伸的去除区域刻蚀半导体材料层, 以去除相邻第二牺牲层之间沿第二方向延伸的半导体材料层, 形成初始半导体层。

5 S340, 对第一牺牲层沿第一方向延伸的外侧壁进行刻蚀至暴露出初始半导体层。

S350, 基于第一牺牲层沿第一方向延伸的去除区域刻蚀初始半导体层, 以去除相邻第二牺牲层之间沿第一方向延伸的初始半导体层, 形成分别位于各第二牺牲层内侧壁上的半导体层。

在一些实施例中, 请参阅图 9, 所述存储器的制备方法, 还包括如下步骤 S301 和 S351。

10 S301, 在步骤 S310 于第一容置孔的孔壁上形成半导体材料层之前, 于第一容置孔的孔壁上形成第一介质材料层。

相应地, 步骤 S310 中, 半导体材料层形成于第一介质材料层背离第一容置孔孔壁的表面。

S351, 在第二牺牲层的内侧壁上形成半导体层的同时, 刻蚀第一介质材料层, 以于第二牺牲层的内侧壁和半导体层之间形成第二栅介质层。

15 在一些示例中, 步骤 S351 中形成的第二栅介质层可以为初始第二栅介质层; 并且, 在后续步骤 S510 中刻蚀形成第二隔离槽之后, 可以获得最终结构的第二栅介质层。

在一些实施例中, 请继续参阅图 9, 在执行步骤 S320 对第一牺牲层沿第二方向延伸的外侧壁进行刻蚀至暴露出半导体材料层之前, 所述方法还包括如下步骤 S311~S313。

S311, 形成覆盖半导体材料层并填充第一容置孔的第二介质材料层。

20 S312, 沿第一牺牲层和第二牺牲层的层叠方向, 刻蚀第二介质材料层以及位于第二介质材料层一侧的堆叠结构和半导体材料层, 形成沿第一方向延伸的第一隔离槽, 并使剩余的第二介质材料层构成初始第一隔离结构。

S313, 于第一隔离槽内形成第三隔离结构。

相应地, 请参阅图 10, 步骤 S400 中于第一部分背离第二牺牲层内侧壁的一侧形成第一栅极, 包括如下步骤 S410~S430。

25 S410, 沿第一牺牲层和第二牺牲层的层叠方向刻蚀初始第一隔离结构, 形成第二容置孔及位于第二容置孔在第一方向上相对两侧的第一隔离结构, 并暴露出位于第二容置孔在第二方向上相对两侧的半导体材料层和第三隔离结构。

S420, 于第二容置孔的孔壁上保形形成第一栅介质层。

S430, 形成覆盖第一栅介质层并填充第二容置孔的第一栅极及与第一栅极对应连接的第一字线。

30 在一些实施例中, 请继续参阅图 9, 所述存储器的制备方法, 还包括如下步骤 S331 和 S352。

S331, 在步骤 S330 基于第一牺牲层沿第二方向延伸的去除区域刻蚀半导体材料层, 形成初始半导体层之后, 于第一牺牲层沿第二方向延伸的去除区域和半导体材料层的刻蚀区域回填第一绝缘材料。

S352, 在步骤 S350 基于第一牺牲层沿第一方向延伸的去除区域刻蚀初始半导体层, 形成半导体层之后, 于第一牺牲层沿第一方向延伸的去除区域和初始半导体层的刻蚀区域回填第二绝缘材料。

35 相应地, 请参阅图 11, 步骤 S500 中刻蚀第一部分背离第一栅极一侧的堆叠结构, 并于第一部分背离第一栅极的一侧形成第二栅极, 还包括如下步骤 S510~S540。

S510, 沿第一牺牲层和第二牺牲层的层叠方向, 刻蚀第一部分背离第一栅极一侧的第二牺牲层和第二绝缘材料, 形成沿第二方向延伸且在第一方向上间隔设置的第二隔离槽, 并于第二隔离槽内暴露出第一部分对应端部的外侧壁及部分第一绝缘材料。

40 S520, 于第二隔离槽内形成第二隔离结构。

S530, 沿第一牺牲层和第二牺牲层的层叠方向, 刻蚀在第一方向上相邻第二隔离槽之间间隔内的第二牺牲层和第二绝缘材料, 形成第三容置孔, 并暴露出第三容置孔在第一方向上相对两侧的第二隔离结构, 同时保留相邻第二隔离槽之间间隔内的部分第二牺牲层构成第一子栅。

45 S540, 于第三容置孔内形成覆盖第一子栅的第二子栅, 以及与第二子栅对应连接的第二字线; 其中, 第二栅极包括第一子栅和第二子栅。

在一些实施例中, 步骤 S600 中去除位于第二部分背离第三部分的一侧的第二牺牲层, 形成位线容置槽, 还包括: 于第二部分背离第三部分的一侧, 对第二牺牲层沿第二方向延伸的外侧壁进行刻蚀至暴露出第二隔离结构及第二部分的外侧壁, 形成位线容置槽。

50 相应地, 步骤 S700 中于位线容置槽内形成位线, 还包括: 于位线容置槽内填充金属材料, 形成位线。

进一步地，在一些实施例，步骤 S600 中去除位于第二部分背离第三部分的一侧的第二牺牲层，形成位线容置槽，还包括：对该第二牺牲层位于第二栅极同侧并沿第一方向延伸的外侧壁进行刻蚀，直至相邻列存储单元中对应第二隔离结构之间的第二牺牲层和对应第二部分之间的第二牺牲层均被去除，形成位线容置槽。相应地，步骤 S700 中于位线容置槽内形成位线，还包括：于位线容置槽内填充金属材料，形成相邻列存储单元共用的位线。

在一些实施例中，步骤 S800 中去除位于第三部分背离第二部分的一侧的第二牺牲层，形成电容器容置槽，还包括：于第三部分背离第二部分的一侧，刻蚀第二牺牲层沿第二方向延伸的外侧壁直至暴露出第二隔离结构及第三部分的外侧壁，形成电容器容置槽。

此处，在形成有第三隔离结构的实施例中，电容器容置槽还暴露出第三隔离结构。

示例地，步骤 S900 中于电容器容置槽内形成电容器，包括如下步骤。

S910，形成保形覆盖电容器容置槽槽壁的第一电极。

S920，形成保形覆盖第一电极的介电层。

S930，于介电层背离第一电极的表面形成填充电容器容置槽的第二电极。

应该理解的是，虽然上述图 7~图 11 的流程图中的各个步骤按照箭头的指示依次显示，但是这些步骤并不是必然按照箭头指示的顺序依次执行。除非本文中有明确的说明，这些步骤的执行并没有严格的顺序限制，这些步骤可以以其它的顺序执行。而且，图 7~图 11 中的至少一部分步骤可以包括多个步骤或者多个阶段，这些步骤或者阶段并不必然是在同一时刻执行完成，而是可以在不同的时刻执行，这些步骤或者阶段的执行顺序也不必然是依次进行，而是可以与其它步骤或者其它步骤中的步骤或者阶段的至少一部分轮流或者交替地执行。

为了更清楚的说明上述一些实施例中存储器的制备方法，以下请结合图 12 至图 37 理解本公开的一些实施例。

在步骤 S100 中，请参阅图 12，形成堆叠结构 N，堆叠结构 N 包括交替层叠的多层第一牺牲层 L1 和多层第二牺牲层 L2。

此处，可以理解，图 12 中仅以一个堆叠结构 N 为例进行了示意。该堆叠结构 N 在形成时，可以先于衬底（图 12 中未示出）上交替层叠的多层第一牺牲材料层和多层第二牺牲材料层，然后将多层第一牺牲材料层和多层第二牺牲材料层图案化，以形成呈阵列排布的多个堆叠结构 N，以基于各堆叠结构 N 分别制备获得对应的存储单元 U。并且，堆叠结构 N 中第一牺牲层 L1 和第二牺牲层 L2 的堆叠层数，可以匹配存储单元 U 在第三方向（例如 Z 方向）上的存储需求设置。

示例地，堆叠结构 N 中第一牺牲层 L1 和第二牺牲层 L2 的交替层叠，可以以第一牺牲层 L1 开始，以第二牺牲层 L2 结束。但也并不仅限于此，例如以第二牺牲层 L2 开始，以第一牺牲层 L1 结束；或者，以第一牺牲层 L1 开始，以第一牺牲层 L1 结束等；均是允许地。

在一些示例中，第一牺牲层 L1 包括但不限于氧化硅层。

在一些示例中，第二牺牲层 L2 包括但不限于多晶硅层。

进一步示例地，第二牺牲层 L2 为重掺杂多晶硅层，例如为 P 型重掺杂多晶硅层。第二牺牲层 L2 中 P 型掺杂元素的掺杂浓度可以为 $1\text{E}20/\text{cm}^3 \sim 1\text{E}21/\text{cm}^3$ 。P 型掺杂元素例如包括 III 族元素，比如硼元素。

此处，第二牺牲层 L2 采用重掺杂多晶硅层，有利于后续在基于第二牺牲层 L2 形成第二栅极 13 的第一子栅 131 之后，提升晶体管 1 的阈值电压。

在一些示例中，以堆叠结构 N 中第一牺牲层 L1 为开始层，第二牺牲层 L2 为结束层为例，堆叠结构 N 还可以包括覆盖顶层第二牺牲层 L2 的保护层 L3。保护层 L3 例如为硬掩膜层，包括但不限于氮化硅层。

在步骤 S200 中，请参阅图 13，沿第一牺牲层 L1 和第二牺牲层 L2 的层叠方向（即第三方向，例如 Z 方向）刻蚀堆叠结构 N，形成第一容置孔 H1。

此处，第一容置孔 H1 用于定义存储单元 U 中半导体层 11 的形成位置。在同一重复单元 M 中半导体层 11 的第二部分 112 相对且为一体结构的示例中，第一容置孔 H1 可以用于直接定义重复单元 M 中半导体层 11 的形成位置。

示例地，第一容置孔 H1 的横截面形状包括但不限于矩形。第一容置孔 H1 的横截面是指第一容置孔 H1 在 X-Y 平面内的截面。

在步骤 S300 中，请参阅图 3 及图 14~图 27，于第一容置孔 H1 内第二牺牲层 L2 的内侧壁上形成半导体层 11；半导体层 11 包括沿第一方向（例如 X 方向）延伸的第一部分 111，以及与第一部分 111

的两端分别连接并沿第二方向（例如 Y 方向）延伸的第二部分 112 和第三部分 113。其中，第二方向（例如 Y 方向）和第一方向（例如 X 方向）相交，例如正交。

在一些示例中，步骤 S300 可以包括步骤 S301~S352。

5 在步骤 S301 中，请参阅图 14，在步骤 S310 于第一容置孔 H1 的孔壁上形成半导体材料层之前，于第一容置孔 H 的孔壁上形成第一介质材料层 150。

示例地，第一介质材料层 150 包括但不限于氧化硅。

此处，可以理解，在第一牺牲层 L1 为氧化硅层的实施例中，第一介质材料层 150 可以仅形成于第二牺牲层 L2 位于第一容置孔 H1 内的侧壁（即内侧壁）上。

10 示例地，对第一容置孔 H1 内第二牺牲层 L2 的内侧壁执行热氧化工艺。第二牺牲层 L2 为多晶硅层，该第一介质材料层 150 对应可以为多晶硅氧化物层。

在另一些示例中，第一介质材料层 150 可以采用沉积工艺形成，以覆盖第一容置孔 H1 的孔壁。第一介质材料层 150 可以采用氧化铝（ Al_2O_3 ）、氧化锌（ ZnO ）、氧化锆（ ZrO_2 ）或氧化铪（ HfO_2 ）等材料形成。

在步骤 S310 中，请参阅图 15，于第一容置孔 H1 的孔壁上形成半导体材料层 110。

15 在前述于第一容置孔 H1 的孔壁上形成第一介质材料层 150 之后，半导体材料层 110 形成于第一介质材料层 150 背离第一容置孔 H1 孔壁的表面。

示例地，半导体材料层 110 包括但不限于 IGZO 层。

在步骤 S311 中，请参阅图 16，形成覆盖半导体材料层 110 并填充第一容置孔 H1 的第二介质材料层 30。

20 示例地，第二介质材料层 30 包括但不限于氧化硅层。

示例地，第二介质材料层 30 的顶面与堆叠结构 N 中保护层 L3 的顶面平齐。

在步骤 S312 中，请参阅图 17，沿第一牺牲层 L1 和第二牺牲层 L2 的层叠方向（即第三方向，例如 Z 方向），刻蚀第二介质材料层 30 以及位于第二介质材料层 30 一侧的堆叠结构 N 和半导体材料层 110，形成沿第一方向（例如 X 方向）延伸的第一隔离槽 G1，并使剩余的第二介质材料层 30 构成初始第一隔离结构 3A。

25 此处，第一隔离槽 G1 可以用于定义同一重复单元 M 中相邻晶体管 1 之间第三隔离结构 5 的形成位置。

在步骤 S313 中，请参阅图 18，于第一隔离槽 G1 内形成第三隔离结构 5。

示例地，第三隔离结构 5 和第二介质材料层 30 的材料不同。

30 示例地，第三隔离结构 5 采用氮化硅材料形成。

在步骤 S400 中，请参阅图 19~图 21，步骤 S400 可以包括步骤 S410~S430。

在步骤 S410 中，请参阅图 19，沿第一牺牲层 L1 和第二牺牲层 L2 的层叠方向（即第三方向，例如 Z 方向）刻蚀初始第一隔离结构 3A，形成第二容置孔 H2 及位于第二容置孔 H2 在第一方向（例如 X 方向）上相对两侧的第一隔离结构 3，并暴露出位于第二容置孔 H2 在第二方向（例如 Y 方向）上相对两侧的半导体材料层 110 和第三隔离结构 5。

35 此处，第二容置孔 H2 用于定义第一栅极 12 及第一字线 WL1 的形成位置。

示例地，第二容置孔 H2 的横截面形状包括但不限于矩形、圆形或椭圆形等。第二容置孔 H2 的横截面是指第二容置孔 H2 在 X-Y 平面内的截面。

在步骤 S420 中，请参阅图 20，于第二容置孔 H2 的孔壁上保形形成第一栅介质层 14。

40 示例地，第一栅介质层 14 采用沉积工艺形成，该沉积工艺包括但不限于原子层沉积工艺。

示例地，第一栅介质层 14 的材料包括但不限于氧化硅、氮化硅、金属氧化物、金属氮氧化物、金属硅酸盐、高 K 介电材料、铁电材料、反铁电材料或其组合。

在步骤 S430 中，请参阅图 21，形成覆盖第一栅介质层 14 并填充第二容置孔 H2 的第一栅极 12 及与第一栅极 12 对应连接的第一字线 WL1。

45 示例地，第一栅极 12 及第一字线 WL1 采用金属材料形成，并为一体结构。该金属材料例如包括钨或铜。

示例地，第一栅极 12 及第一字线 WL1 还可以为金属与金属、或金属与金属化合物的叠层结构。例如，第一栅极 12 及第一字线 WL1 采用了氮化钛和钨的叠层结构。

50 在步骤 S320 中，请参阅图 22，对第一牺牲层 L1 沿第二方向（例如 Y 方向）延伸的外侧壁进行刻蚀至暴露出半导体材料层 110。

示例地，第一牺牲层 L1 可以采用横向刻蚀工艺进行刻蚀。

在步骤 S330 中，请参阅图 23，基于第一牺牲层 L1 沿第二方向（例如 Y 方向）延伸的去除区域刻蚀半导体材料层 110，以去除相邻第二牺牲层 L2 之间沿第二方向（例如 Y 方向）延伸的半导体材料层 110，形成初始半导体层 11A。

5 此处，相邻第二牺牲层 L2 之间沿第二方向（例如 Y 方向）延伸的第一栅介质层 14 可以作为半导体材料层 110 的刻蚀阻挡层。

在步骤 S331 中，请参阅图 24，于第一牺牲层 L1 沿第二方向（例如 Y 方向）延伸的去除区域和半导体材料层 110 的刻蚀区域回填第一绝缘材料 61。

示例地，第一绝缘材料 61 与第一牺牲层 L1 的材料不同。

10 示例地，第一绝缘材料 61 包括但不限于氮化硅材料。

在步骤 S340 中，请参阅图 25，对第一牺牲层 L1 沿第一方向（例如 X 方向）延伸的外侧壁进行刻蚀至暴露出初始半导体层 11A。

示例地，第一牺牲层 L1 可以采用横向刻蚀工艺进行刻蚀。

可以理解，在执行步骤 S340 之后，堆叠结构 N 中的各第一牺牲层 L1 均已被有效去除，而无残留。

15 在步骤 S350 中，请参阅图 26，基于第一牺牲层 L1 沿第一方向（例如 X 方向）延伸的去除区域刻蚀初始半导体层 11A，以去除相邻第二牺牲层 L2 之间沿第一方向（例如 X 方向）延伸的初始半导体层 11A，形成分别位于各第二牺牲层 L2 内侧壁上的半导体层 11。

至此，本公开实施例中各存储单元的半导体层 11 已制备完成，该半导体层 11 的相关结构可参见前述一些实施例中的相关记载，此处不再详述。

20 在一些实施例中，第一介质材料层 150 还覆盖于第一容置孔 H1 内第一牺牲层 L1 的内侧壁。相应的，在步骤 S351 中，请继续参阅图 26，在第二牺牲层 L2 的内侧壁上形成半导体层 11 的同时，刻蚀第一介质材料层 150，以于第二牺牲层 L2 的内侧壁和半导体层 11 之间形成第二栅介质层 15。

25 此处，对第一牺牲层 L1 内侧壁上第一介质材料层 150 的刻蚀，可以匹配半导体材料层 110 的刻蚀及初始半导体层 11A 的刻蚀分两次进行。并且，对第一牺牲层 L1 内侧壁上第一介质材料层 150 的刻蚀，先于半导体材料层 110 及初始半导体层 11A 对应区域刻蚀进行，以暴露出对应区域的半导体材料层 110 及初始半导体层 11A。

在一些示例中，步骤 S351 中形成的第二栅介质层 15 可以为初始第二栅介质层；并且，在后续步骤 S510 中刻蚀形成第二隔离槽之后，可以获得最终结构的第二栅介质层 15。

30 在步骤 S352 中，请参阅图 27，于第一牺牲层 L1 沿第一方向（例如 X 方向）延伸的去除区域和初始半导体层 11A 的刻蚀区域回填第二绝缘材料 62。

示例地，第二绝缘材料 62 和第一绝缘材料 61 的材料不同。

示例地，第二绝缘材料 62 包括但不限于氧化硅材料。

在步骤 S500 中，请参阅图 28~图 30，刻蚀半导体层 11 中第一部分 111 背离第一栅极 12 一侧的堆叠结构 N，并于该第一部分 111 背离第一栅极 12 的一侧形成第二栅极 13。

35 在一些示例中，步骤 S500 可以包括步骤 S510~S540。

在步骤 S510 中，请参阅图 28，沿第一牺牲层 L1 和第二牺牲层 L2 的层叠方向（即第三方向，例如 Z 方向），刻蚀半导体层 11 中第一部分 111 背离第一栅极 12 一侧的第二牺牲层 L2 和第二绝缘材料 62，形成沿第二方向（例如 Y 方向）延伸且在第一方向（例如 X 方向）上间隔设置的第二隔离槽 G2，并于第二隔离槽 G2 内暴露出第一部分 111 对应端部的外侧壁及部分第一绝缘材料 61。

40 此处，在第一方向（例如 X 方向）上相邻第二隔离槽 G2 之间的间隔用于定义第二栅极 13 及第二字线 WL2 的形成位置。

在步骤 S520 中，请参阅图 29，于第二隔离槽 G2 内形成第二隔离结构 4。

示例地，第二隔离结构 4 的材料与第一绝缘材料 61 相同。

示例地，第二隔离结构 4 的材料包括但不限于氮化硅材料。

45 在步骤 S530 中，请参阅图 30，沿第一牺牲层 L1 和第二牺牲层 L2 的层叠方向（即第三方向，例如 Z 方向），刻蚀在第一方向（例如 X 方向）上相邻第二隔离槽 G2 之间间隔内的第二牺牲层 L2 和第二绝缘材料 62，形成第三容置孔 H3，并暴露出第三容置孔 H3 在第一方向（例如 X 方向）上相对两侧的第二隔离结构 4，同时保留相邻第二隔离槽 G2 之间间隔内的部分第二牺牲层 L2 构成第一子栅 131。

示例地，第一子栅 131 为多晶硅栅极。

50 在步骤 S540 中，请参阅图 31，于第三容置孔 H3 内形成覆盖第一子栅 131 的第二子栅 132，以及

与第二子栅 132 对应连接的第二字线 WL2。

如此，第二栅极 13 包括第一子栅 131 和第二子栅 132。

示例地，第二子栅 132 及第二字线 WL2 采用金属材料形成，并为一体结构。该金属材料例如包括钨或铜。

5 在步骤 S600 中，请参阅图 32，去除位于半导体层 11 的第二部分 112 背离第三部分 113 的一侧的第二牺牲层 L2，形成位线容置槽 G3。

此处，位线容置槽 G3 可以于半导体层 11 的第二部分 112 背离第三部分 113 的一侧，对第二牺牲层 L2 沿第二方向（例如 Y 方向）延伸的外侧壁进行刻蚀至暴露出第二隔离结构 4 及第二部分 112 的外侧壁而形成。

10 示例地，第二牺牲层 L2 可以采用横向刻蚀工艺进行刻蚀。

在步骤 S700 中，请参阅图 33，于位线容置槽 G3 内形成位线 BL，并使位线 BL 与半导体层 11 的第二部分 112 电性连接。

15 示例地，位线 BL 的形成材料包括但不限于硅基材料、金属基材料或其组合。例如，位线 BL 的材料包括多晶硅、金属、金属氮化物、金属硅化物或其组合。例如，位线 BL 可以为钨或氮化钛或多晶硅的单层结构，或者也可以为氮化钛及钨等的叠层结构。

示例地，位线 BL 于位线容置槽 G4 内填充金属材料形成，例如钨或铜。

值得一提的是，在一些实施例中，请参阅图 6 及图 34，多个存储单元 U 沿第二方向（例如 Y 方向）排布呈列；其中，两列存储单元 U 可以共用同一个位线 BL，并以位线 BL 为中心对称分布。相应地，堆叠结构 N 可以如图 34 中所示。

20 基于此，前述步骤 S600 在具体执行时，可以采用如下方式：对第二牺牲层 L2 位于第二栅极 13 同侧并沿第一方向（例如 X 方向）延伸的外侧壁进行刻蚀，直至相邻列存储单元 U 中对应第二隔离结构 4 之间的第二牺牲层 L2 和对应第二部分 112 之间的第二牺牲层 L2 均被去除，从而形成位线容置槽 G3。

25 在步骤 S800 中，请参阅图 35，去除位于半导体层 11 的第三部分 113 背离第二部分 112 一侧的第二牺牲层 L2，形成电容器容置槽 G4。

此处，电容器容置槽 G4 可以于半导体层 11 的第三部分 113 背离第二部分 112 的一侧，刻蚀第二牺牲层 L2 沿第二方向（例如 Y 方向）延伸的外侧壁直至暴露出第二隔离结构 4 及第三部分 113 的外侧壁形成。

示例地，第二牺牲层 L2 可以采用横向刻蚀工艺进行刻蚀。

30 此外，在形成有第三隔离结构 5 的实施例中，电容器容置槽 G5 还暴露出第三隔离结构 5。

在步骤 S900 中，请参阅图 36，于电容器容置槽 G4 内形成电容器 2，并使电容器 2 与半导体层 11 的第三部分 113 电性连接。

可以理解，匹配电容器 2 结构的不同，电容器 2 的制备工艺可以不同。

35 在一些实施例中，电容器 2 的结构如图 37 所示，包括层叠设置的第一电极 21、介电层 22 和第二电极 23。相应地，步骤 S900 可以包括如下步骤 S910~S930。

在步骤 S910 中，形成保形覆盖电容器容置槽 G4 槽壁的第一电极 21，以使得第一电极 21 可以与半导体层 11 的第三部分 113 接触连接。

在步骤 S920 中，形成保形覆盖第一电极 21 的介电层 22。

示例地，介电层 22 可以采用氧化硅、氮化硅、高 K 介电材料或其组合形成。

40 在步骤 S930 中，于介电层 22 背离第一电极 21 的表面形成填充电容器容置槽 G4 的第二电极 23。

示例地，上述第一电极 21 和第二电极 23 可以分别采用金属材料形成。并且，第一电极 21 和第二电极 23 的材料相同或不同，均可。

45 以上实施例的各技术特征可以进行任意的组合，为使描述简洁，未对上述实施例各个技术特征所有可能的组合都进行描述，然而，只要这些技术特征的组合不存在矛盾，都应当认为是本说明书记载的范围。

以上实施例仅表达了本公开的几种实施方式，其描述较为具体和详细，但并不能因此而理解为对申请专利范围的限制。应当指出的是，对于本领域的普通技术人员来说，在不脱离本公开构思的前提下，还可以做出若干变形和改进，这些都属于本公开的保护范围。因此，本公开专利的保护范围应以所附权利要求为准。

权利要求书

1.一种存储单元，包括：

晶体管（1），包括：半导体层（11）、第一栅极（12）和第二栅极（13）；所述半导体层（11）包括沿第一方向延伸的第一部分（111），以及与所述第一部分（111）的两端分别连接并沿第二方向延伸的第二部分（112）和第三部分（113）；所述第二方向和所述第一方向相交，所述第二部分（112）背
5 离所述第三部分（113）的一侧与位线（BL）电性连接；所述第一栅极（12）和所述第二栅极（13）分别位于所述第一部分（111）在所述第二方向上相对的两侧；

电容器（2），位于所述第三部分（113）背离所述第二部分（112）的一侧，并与所述第三部分（113）电性连接；

10 其中，所述第一栅极（12）和所述第二栅极（13）中的一者包括沿远离所述第一部分（111）的方向层叠且材料不同的第一子栅（131）和第二子栅（132）。

2.根据权利要求1所述的存储单元，其中，所述第一子栅（131）为多晶硅栅极；

所述第二子栅（132）以及所述第一栅极（12）和所述第二栅极（13）中的另一者均为金属栅极。

3.根据权利要求1或2所述的存储单元，其中，

所述第二部分（112）和所述第三部分（113）位于所述第一部分（111）的同侧；

15 所述第一栅极（12）位于所述第一部分（111）、所述第二部分（112）和所述第三部分（113）围成的空间内，并与第一字线（WL1）电性连接；

所述第二栅极（13）位于所述第一部分（111）沿所述第二方向背离所述第二部分（112）和所述第三部分（113）的一侧，且包括所述第一子栅（131）和所述第二子栅（132）；所述第二子栅（131）与第二字线（WL2）电性连接。

20 4.根据权利要求3所述的存储单元，其中，还包括：

第一栅介质层（14），位于所述第一栅极（12）和所述第一部分（111）之间；

第二栅介质层（15），位于所述第一子栅（131）和所述第一部分（111）之间；

其中，沿所述第二方向，所述第二栅介质层（15）的厚度大于所述第一栅介质层（14）的厚度。

25 5.根据权利要求3所述的存储单元，其中，所述位线（BL）沿所述第二方向延伸；所述电容器（2）沿所述第二方向向所述第二栅极（13）所在一侧凸出于所述第三部分（113）；

所述存储单元还包括：

第一隔离结构（3），位于所述第一栅极（12）和所述第二部分（112）之间，以及所述第一栅极（12）和所述第三部分（113）之间；

30 第二隔离结构（4），位于所述第二栅极（13）和所述位线（BL）之间，以及所述第二栅极（13）和所述电容器（2）之间；

第三隔离结构（5），位于所述第一栅极（12）、所述第三部分（113）、所述电容器（2）以及所述第一栅极（12）和所述第三部分（113）之间所述第一隔离结构（3）的同侧，并与所述第一栅极（12）和所述第二部分（112）之间的所述第一隔离结构（3）接触连接。

35 6.根据权利要求1所述的存储单元，其中，沿所述第二方向，所述第二部分（112）的长度大于所述第三部分（113）的长度。

7.一种存储器，包括：

至少一个如权利要求1~6中任一项所述的存储单元；

至少一个位线（BL）；所述位线（BL）沿所述第二方向延伸，并与所述存储单元中的所述第二部分（112）对应电性连接；

40 至少一个第一字线（WL1）；所述第一字线（WL1）沿第三方向延伸，并与所述存储单元中的所述第一栅极（12）对应电性连接；

至少一个第二字线（WL2）；所述第二字线（WL2）沿所述第三方向延伸，并与所述存储单元中的所述第二栅极（13）对应电性连接；

其中，所述第三方向与所述第一方向、所述第二方向两两相交。

45 8.根据权利要求7所述的存储器，其中，所述存储单元的数量为多个，且在所述第二方向上相邻排列的两个所述存储单元构成一个重复单元（M）；

在同一个所述重复单元（M）中，两个所述存储单元互为镜像对称，且两个所述存储单元的所述第二部分（112）相对且连接为一体结构。

9.根据权利要求8所述的存储器，其中，所述存储单元包括：位于所述第一栅极（12）和所述第二

部分(112)之间以及所述第一栅极(12)和所述第三部分(113)之间的第一隔离结构(3);位于所述第一栅极(12)、所述第三部分(113)、所述电容器(2)以及所述第一栅极(12)和所述第三部分(113)之间所述第一隔离结构(3)的同侧,并与所述第一栅极(12)和所述第二部分(112)之间的所述第一隔离结构(3)接触连接的第三隔离结构(5);

5 在同一个所述重复单元(M)中,两个所述存储单元的位于所述第一栅极(12)和所述第二部分(112)之间的所述第一隔离结构(3)相对且连接为一体结构;两个所述存储单元的所述第三隔离结构(5)相对且连接为一体结构。

10.一种存储器的制备方法,包括:

形成堆叠结构(N),所述堆叠结构(N)包括交替层叠的多层第一牺牲层(L1)和多层第二牺牲层(L2);

10 沿所述第一牺牲层(L1)和所述第二牺牲层(L2)的层叠方向刻蚀所述堆叠结构(N),形成第一容置孔(H1);

于所述第一容置孔(H1)内所述第二牺牲层(L2)的内侧壁上形成半导体层(11);所述半导体层(11)包括沿第一方向延伸的第一部分(111),以及与所述第一部分(111)的两端分别连接并沿第二方向延伸的第二部分(112)和第三部分(113);所述第二方向和所述第一方向相交;

15 于所述第一部分(111)背离所述第二牺牲层(L2)内侧壁的一侧形成第一栅极(12);

刻蚀所述第一部分(111)背离所述第一栅极(12)一侧的所述堆叠结构(N),并于所述第一部分(111)背离所述第一栅极(12)的一侧形成第二栅极(13);

20 去除位于所述第二部分(112)背离所述第三部分(113)的一侧的所述第二牺牲层(L2),形成位线容置槽(G3);

于所述位线容置槽(G3)内形成位线(BL),并使所述位线(BL)与所述第二部分(112)电性连接;

去除位于所述第三部分(113)背离所述第二部分(112)的一侧的所述第二牺牲层(L2),形成电容器容置槽(G4);

25 于所述电容器容置槽(G4)内形成电容器(2),并使所述电容器(2)与所述第三部分(113)电性连接。

11.根据权利要求10所述的存储器的制备方法,其中,所述于所述第一容置孔(H1)内所述第二牺牲层(L2)的内侧壁上形成半导体层(11),包括:

于所述第一容置孔(H1)的孔壁上形成半导体材料层(110);

30 对所述第一牺牲层(L1)沿所述第二方向延伸的外侧壁进行刻蚀至暴露出所述半导体材料层(110);

基于所述第一牺牲层(L1)沿所述第二方向延伸的去除区域刻蚀所述半导体材料层(110),以去除相邻所述第二牺牲层(L2)之间沿所述第二方向延伸的所述半导体材料层(110),形成初始半导体层(11A);

35 对所述第一牺牲层(L1)沿所述第一方向延伸的外侧壁进行刻蚀至暴露出所述初始半导体层(11A);

基于所述第一牺牲层(L1)沿所述第一方向延伸的去除区域刻蚀所述初始半导体层(21A),以去除相邻所述第二牺牲层(L2)之间沿所述第一方向延伸的所述初始半导体层(21A),形成分别位于各所述第二牺牲层(L2)内侧壁上的所述半导体层(11)。

12.根据权利要求11所述的存储器的制备方法,其中,还包括:

40 在所述第一容置孔(H1)的孔壁上形成所述半导体材料层(110)之前,于所述第一容置孔(H1)的孔壁上形成第一介质材料层(150);其中,所述半导体材料层(110)形成于所述第一介质材料层(150)背离所述第一容置孔(H1)孔壁的表面;

在所述第二牺牲层(L2)的内侧壁上形成所述半导体层(11)的同时,刻蚀所述第一介质材料层(150),以于所述第二牺牲层(L2)的内侧壁和所述半导体层(11)之间形成第二栅介质层(15)。

45 13.根据权利要求11所述的存储器的制备方法,其中,所述对所述第一牺牲层(L1)沿所述第二方向延伸的外侧壁进行刻蚀至暴露出所述半导体材料层(110)之前,所述方法还包括:

形成覆盖所述半导体材料层(110)并填充所述第一容置孔(H1)的第二介质材料层(30);

50 沿所述第一牺牲层(L1)和所述第二牺牲层(L2)的层叠方向,刻蚀所述第二介质材料层(30)以及位于所述第二介质材料层(30)一侧的所述堆叠结构(N)和所述半导体材料层(110),形成沿所述第一方向延伸的第一隔离槽(G1),并使剩余的所述第二介质材料层(30)构成初始第一隔离结构

(3A);

于所述第一隔离槽 (G1) 内形成第三隔离结构 (5);

其中, 所述于所述第一部分 (111) 背离所述第二牺牲层 (L2) 内侧壁的一侧形成第一栅极 (12), 包括:

5 沿所述第一牺牲层 (L1) 和所述第二牺牲层 (L2) 的层叠方向刻蚀所述初始第一隔离结构 (3A), 形成第二容置孔 (H2) 及位于所述第二容置孔 (H2) 在所述第一方向上相对两侧的第一隔离结构 (3), 并暴露出位于所述第二容置孔 (H2) 在所述第二方向上相对两侧的所述半导体材料层 (110) 和所述第三隔离结构 (5);

于所述第二容置孔 (H2) 的孔壁上保形形成第一栅介质层 (14);

10 形成覆盖所述第一栅介质层 (14) 并填充所述第二容置孔 (H2) 的所述第一栅极 (12) 及与所述第一栅极 (12) 对应连接的第一字线 (WL1)。

14. 根据权利要求 11~13 中任一项所述的存储器的制备方法, 其中, 还包括:

15 在基于所述第一牺牲层 (L1) 沿所述第二方向延伸的去除区域刻蚀所述半导体材料层 (110), 形成所述初始半导体层 (11A) 之后, 于所述第一牺牲层 (L1) 沿所述第二方向延伸的去除区域和所述半导体材料层 (110) 的刻蚀区域回填第一绝缘材料 (61);

在基于所述第一牺牲层 (L1) 沿所述第一方向延伸的去除区域刻蚀所述初始半导体层 (11A), 形成所述半导体层 (11) 之后, 于所述第一牺牲层 (L1) 沿所述第一方向延伸的去除区域和所述初始半导体层 (11A) 的刻蚀区域回填第二绝缘材料 (62);

20 其中, 所述刻蚀所述第一部分 (111) 背离所述第一栅极 (12) 一侧的所述堆叠结构 (N), 并于所述第一部分 (111) 背离所述第一栅极 (12) 的一侧形成第二栅极 (13), 还包括:

沿所述第一牺牲层 (L1) 和所述第二牺牲层 (L2) 的层叠方向, 刻蚀所述第一部分 (111) 背离所述第一栅极 (12) 一侧的所述第二牺牲层 (L2) 和所述第二绝缘材料 (61), 形成沿所述第二方向延伸且在所述第一方向上间隔设置的第二隔离槽 (G2), 并于所述第二隔离槽 (G2) 内暴露出所述第一部分 (111) 对应端部的外侧壁及部分所述第一绝缘材料 (61);

25 于所述第二隔离槽 (G2) 内形成第二隔离结构 (4);

沿所述第一牺牲层 (L1) 和所述第二牺牲层 (L2) 的层叠方向, 刻蚀在所述第一方向上相邻所述第二隔离槽 (G2) 之间间隔内的所述第二牺牲层 (L2) 和所述第二绝缘材料 (62), 形成第三容置孔 (H3), 并暴露出所述第三容置孔 (H3) 在所述第一方向上相对两侧的所述第二隔离结构 (4), 同时保留相邻所述第二隔离槽 (G2) 之间间隔内的部分所述第二牺牲层 (L2) 构成第一子栅 (131);

30 于所述第三容置孔 (H3) 内形成覆盖所述第一子栅 (131) 的第二子栅 (132), 以及与所述第二子栅 (132) 对应连接的第二字线 (WL2); 其中, 所述第二栅极 (13) 包括所述第一子栅 (131) 和所述第二子栅 (132)。

15. 根据权利要求 14 所述的存储器的制备方法, 其中,

35 所述去除位于所述第二部分 (112) 背离所述第三部分 (113) 的一侧的所述第二牺牲层 (L2), 形成位线容置槽 (G3), 还包括: 于所述第二部分 (112) 背离所述第三部分 (113) 的一侧, 对所述第二牺牲层 (L2) 沿所述第二方向延伸的外侧壁进行刻蚀至暴露出所述第二隔离结构 (4) 及所述第二部分 (112) 的外侧壁, 形成所述位线容置槽 (G3);

所述于所述位线容置槽 (G3) 内形成位线 (BL), 还包括: 于所述位线容置槽 (G3) 内填充金属材料, 形成所述位线 (BL)。

40

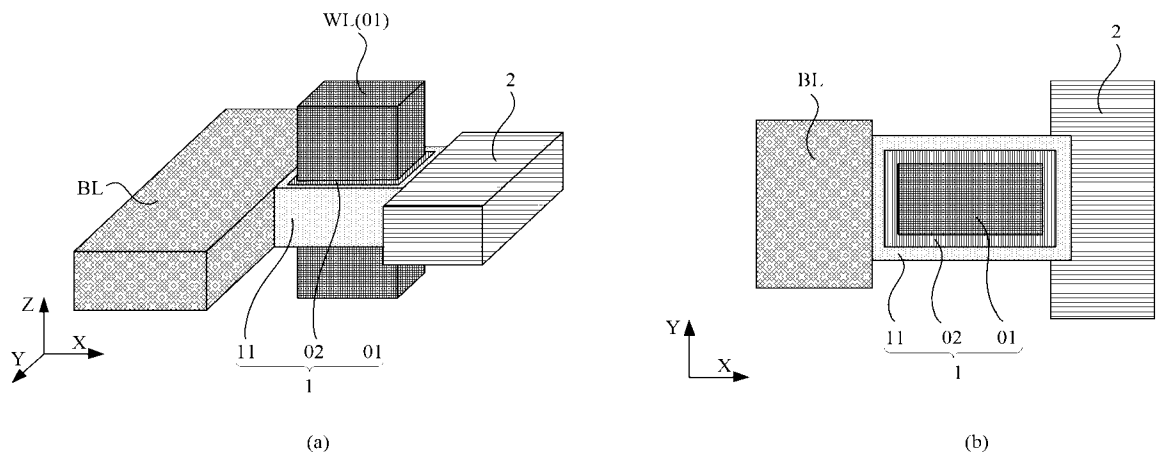


图 1

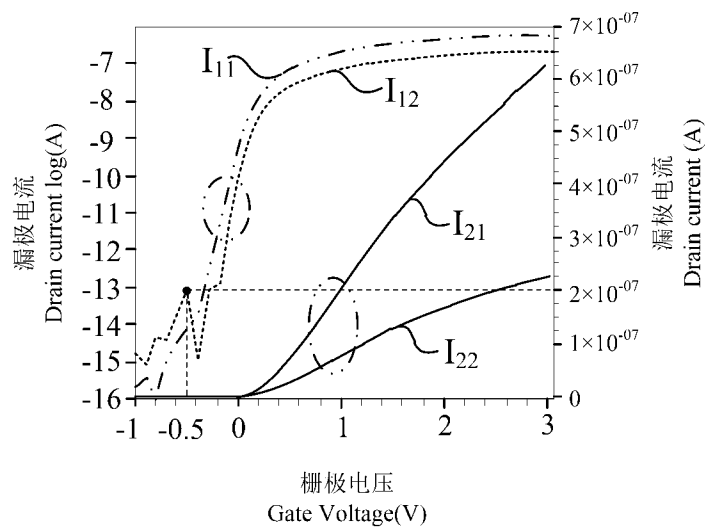


图 2

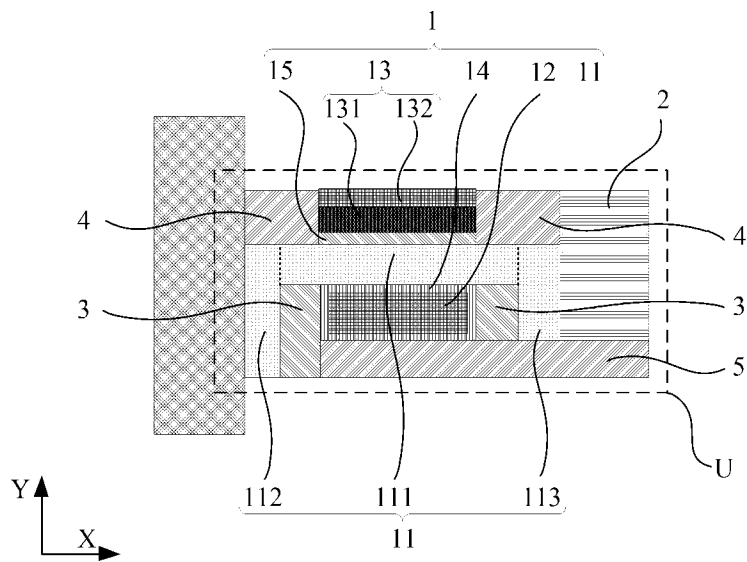


图 3

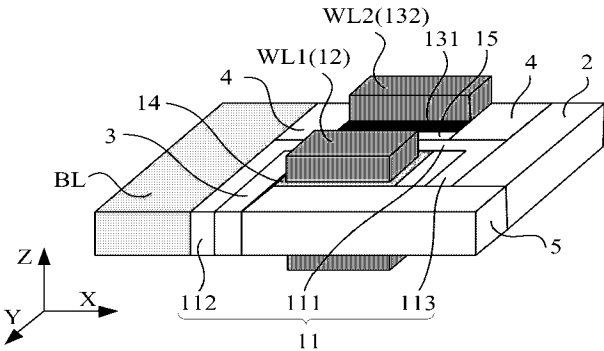


图 4

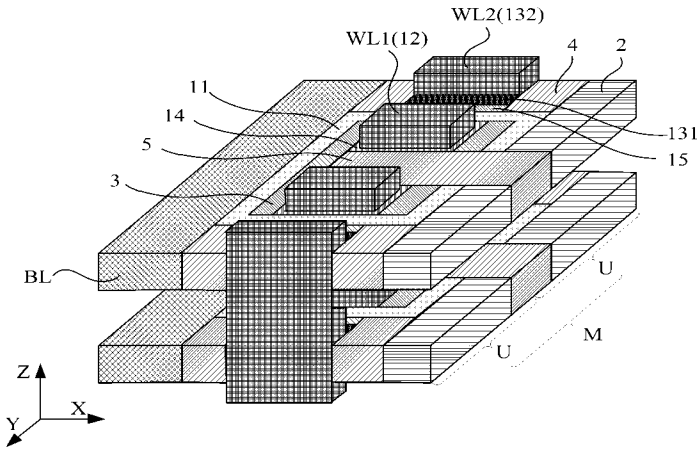


图 5

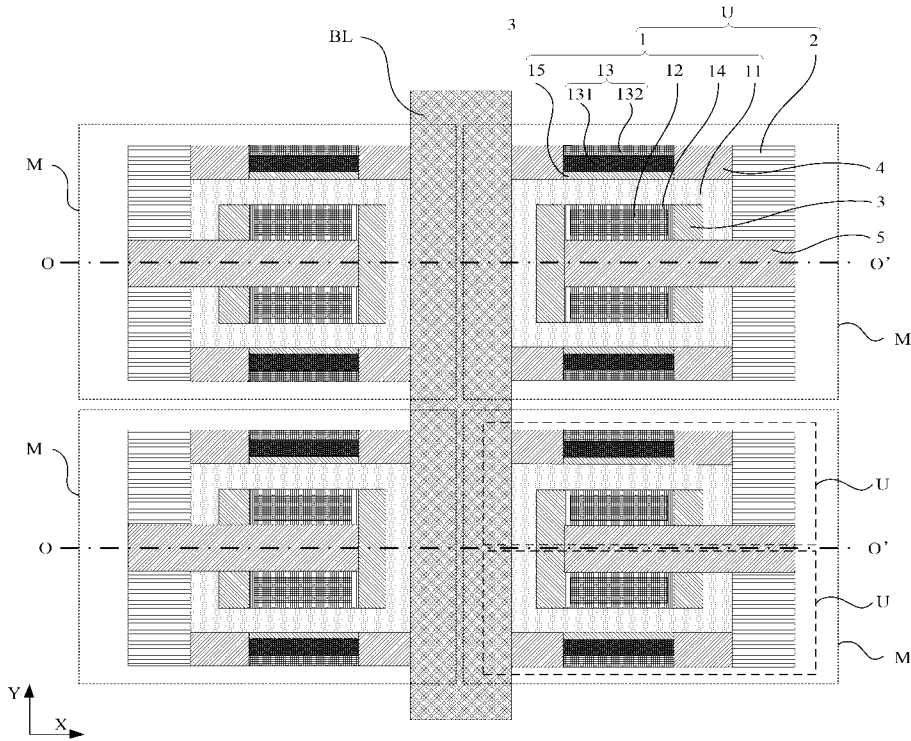


图 6

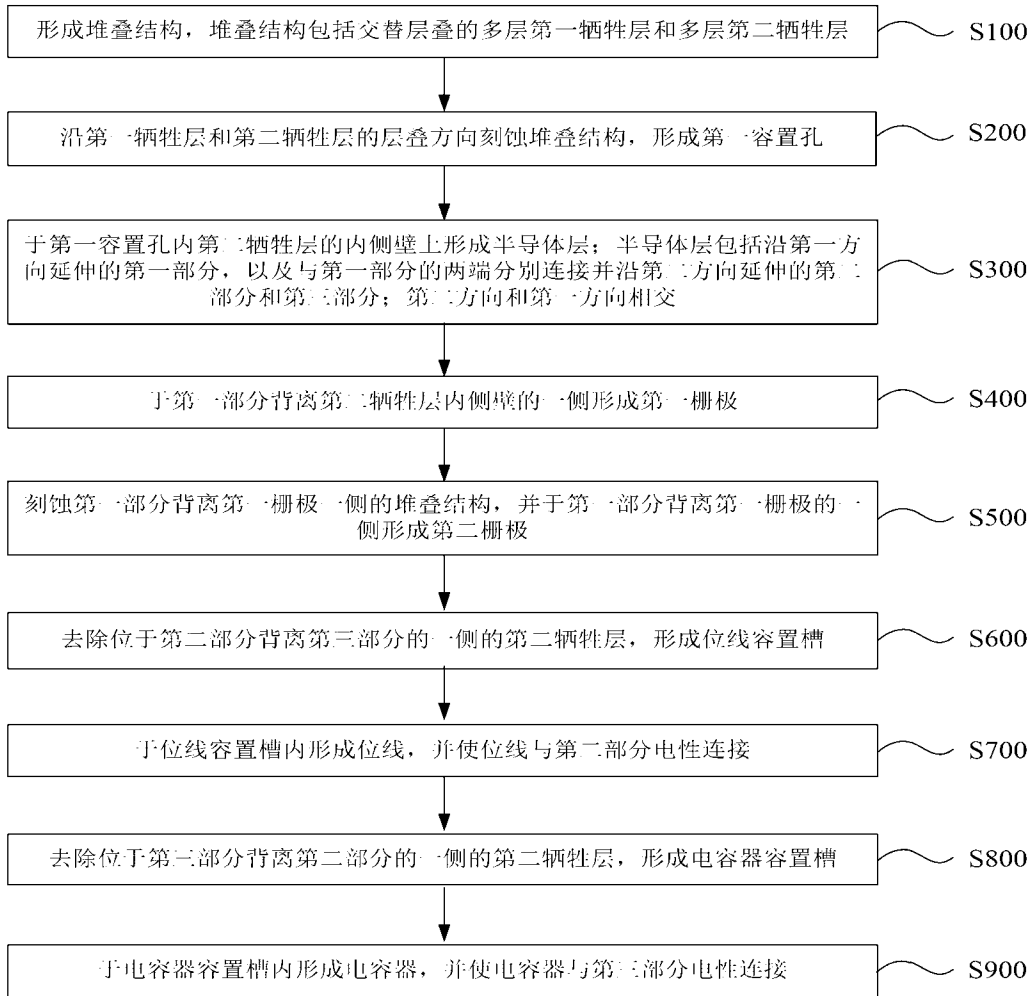


图 7

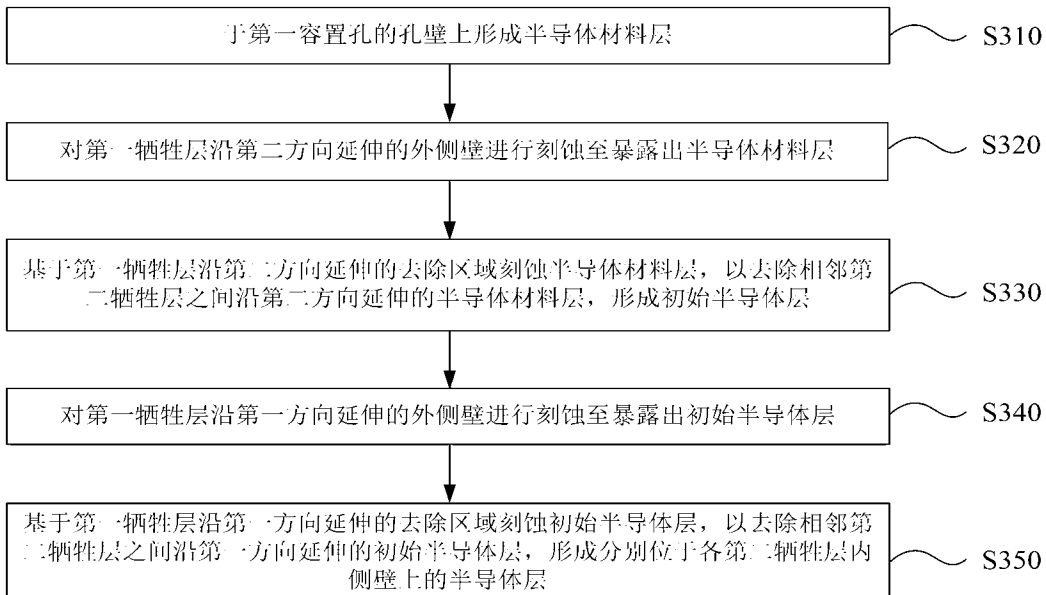


图 8

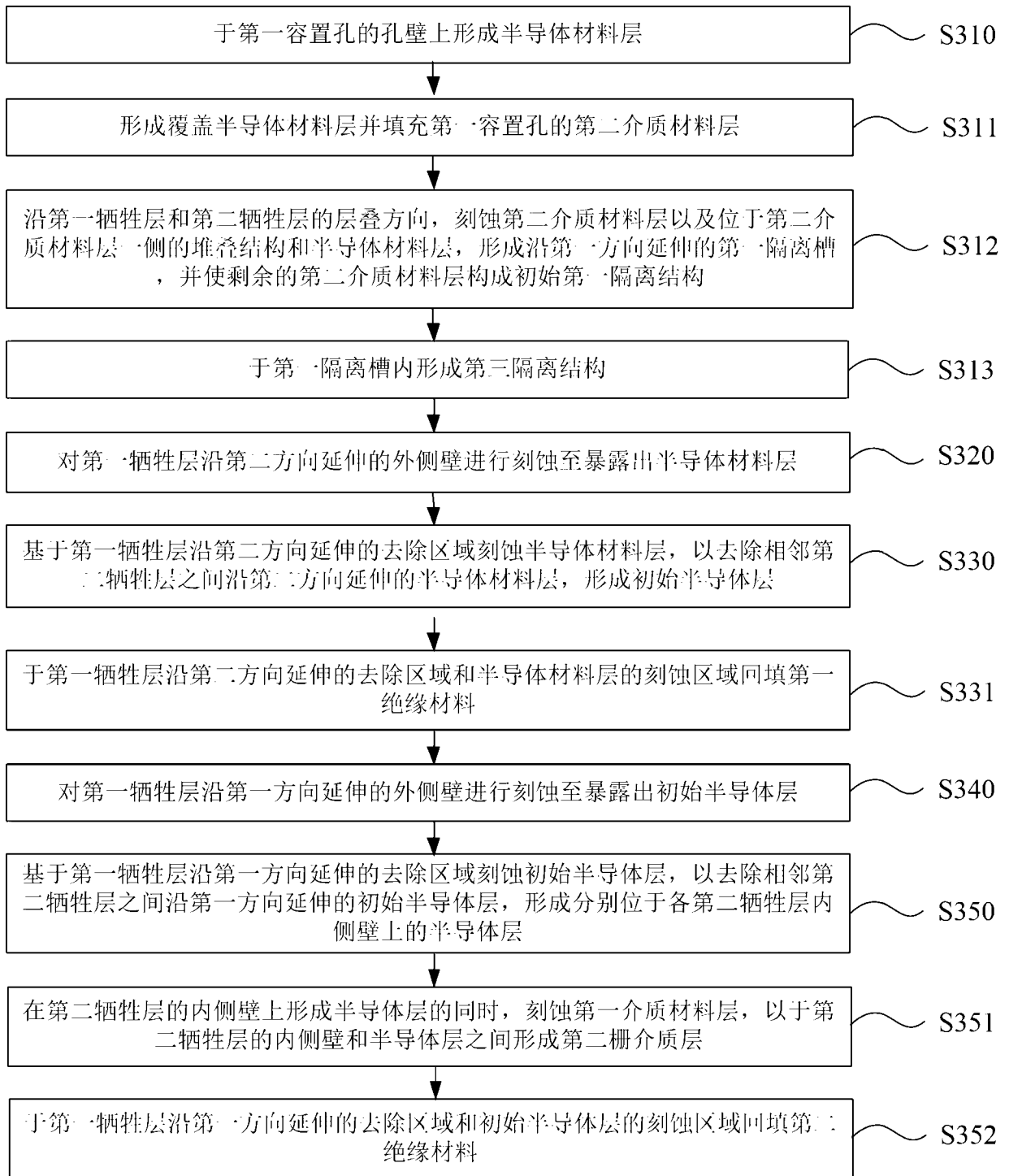


图 9

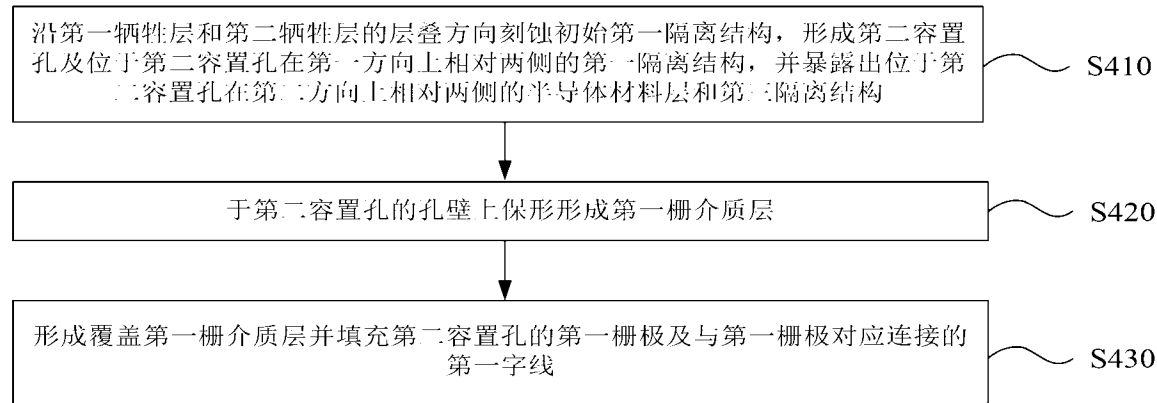


图 10

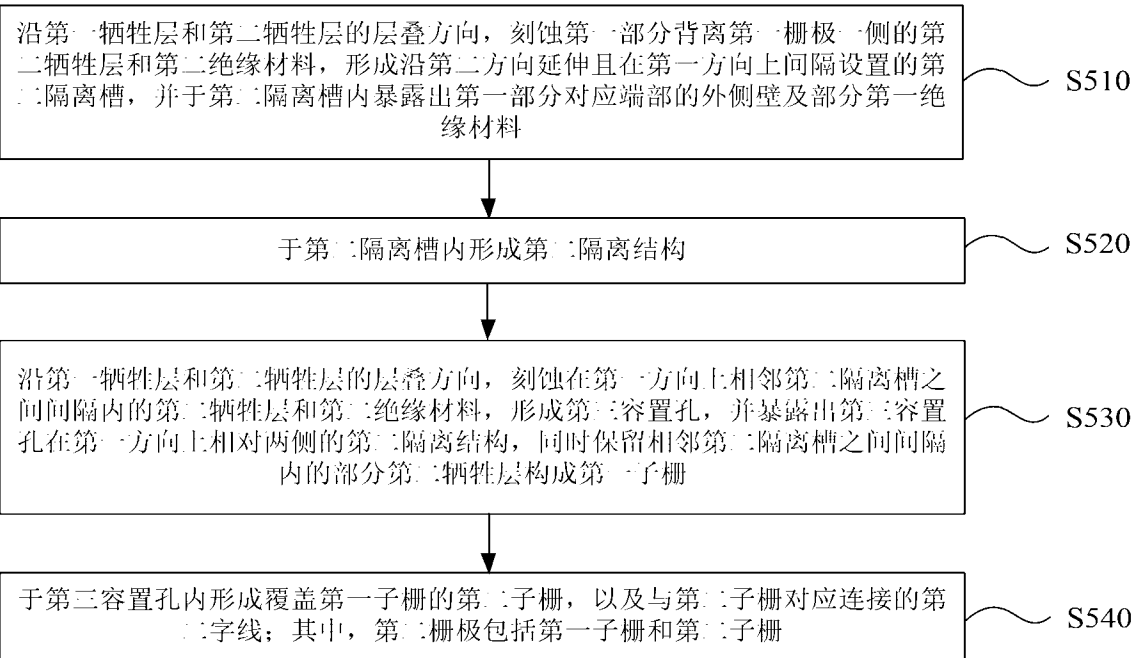


图 11

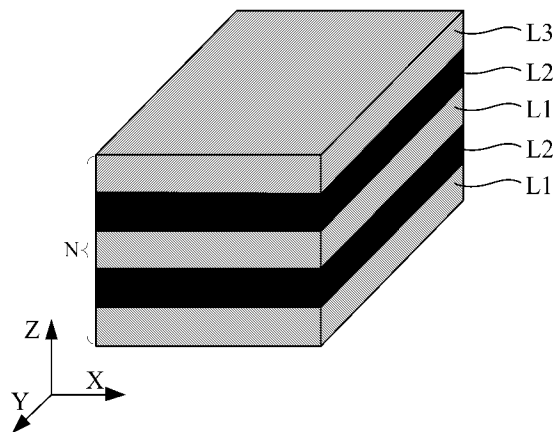


图 12

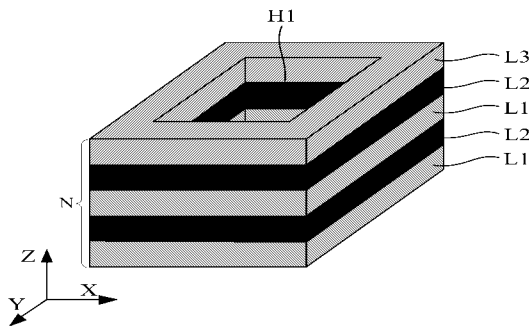


图 13

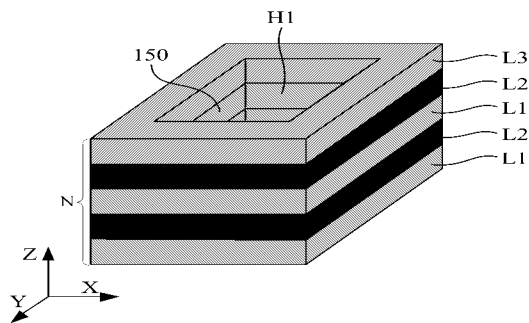


图 14

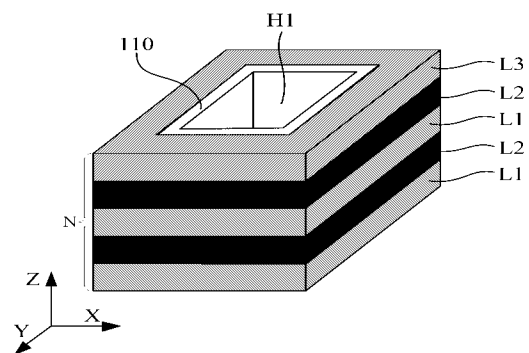


图 15

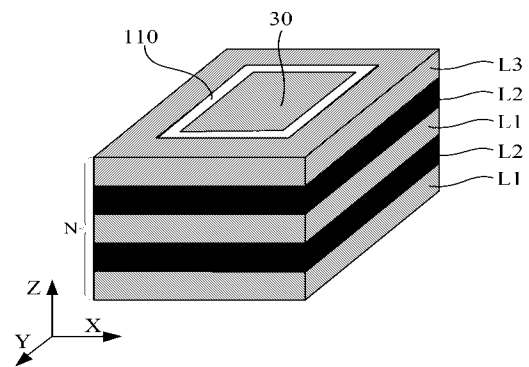


图 16

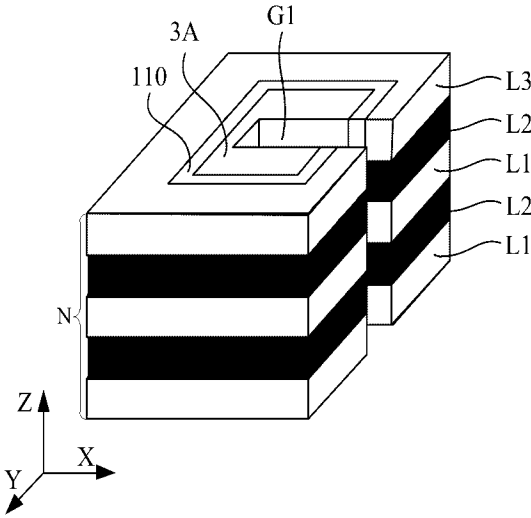


图 17

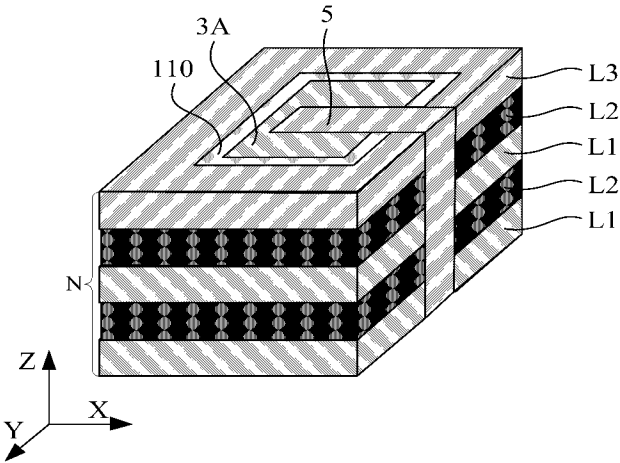


图 18

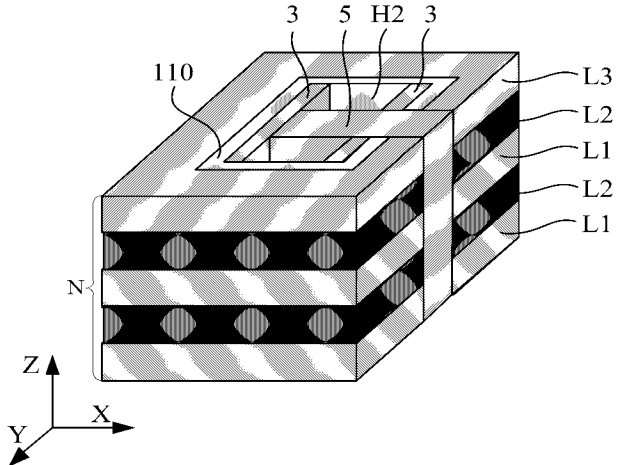


图 19

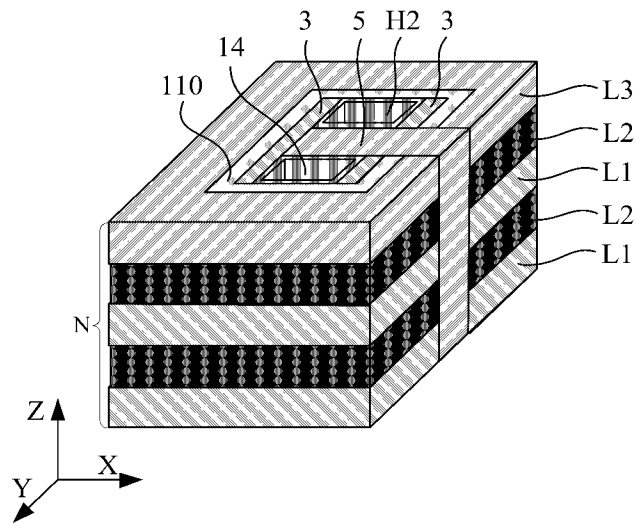


图 20

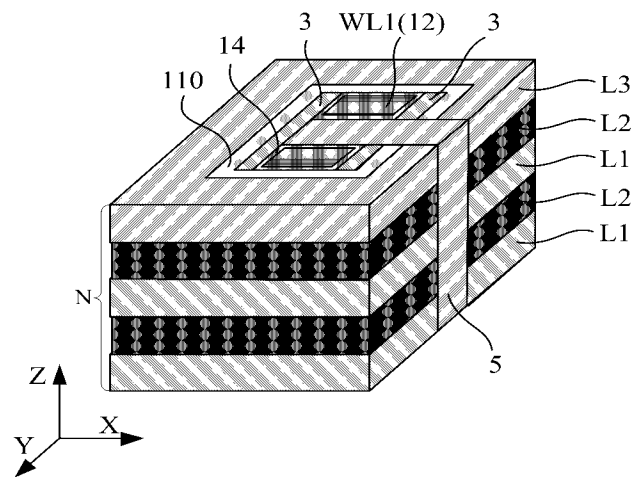


图 21

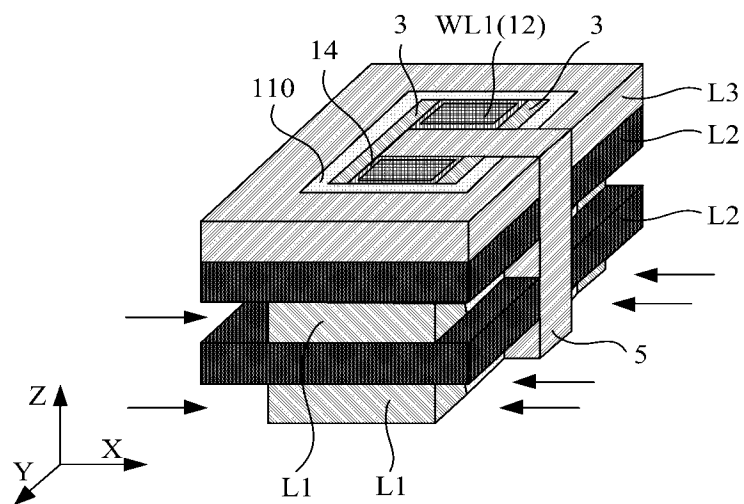


图 22

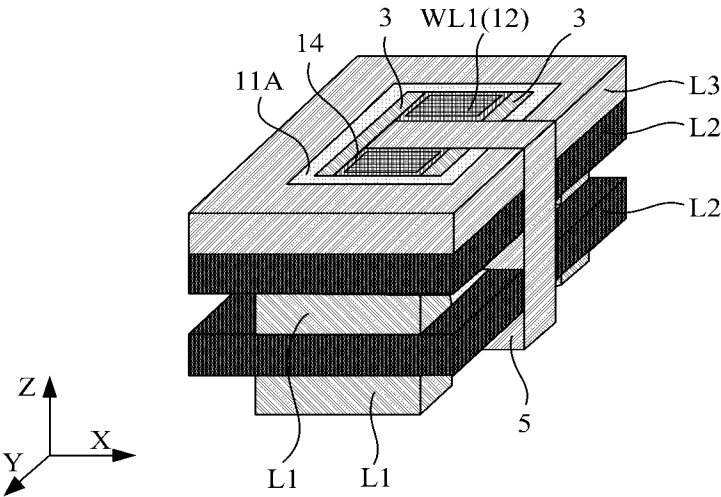


图 23

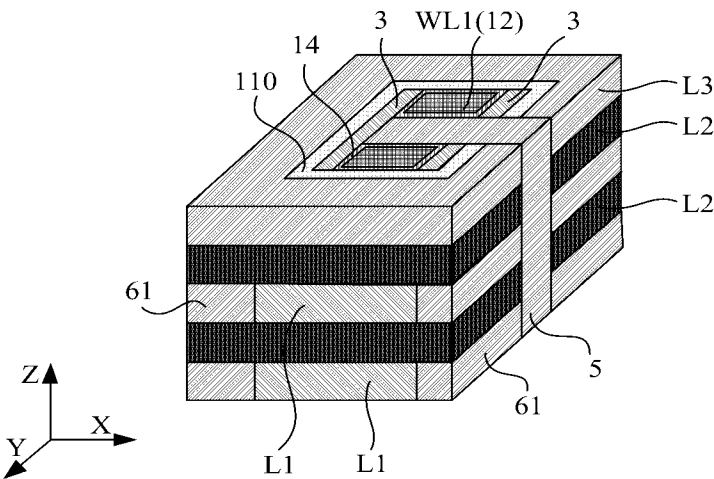


图 24

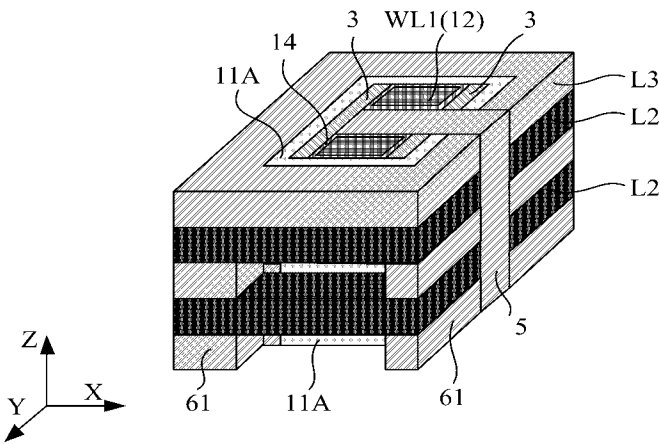


图 25

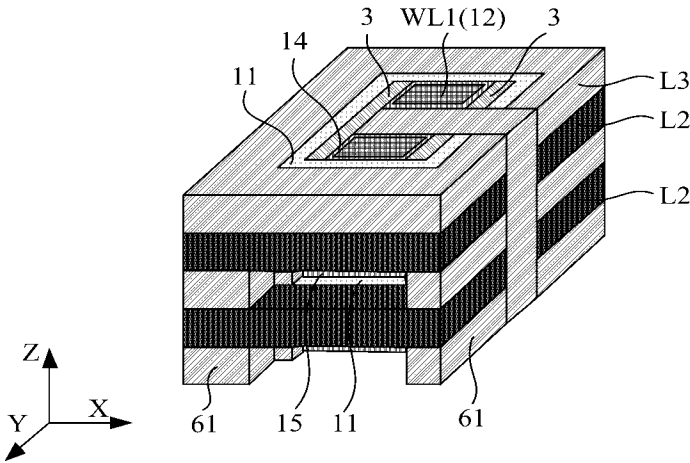


图 26

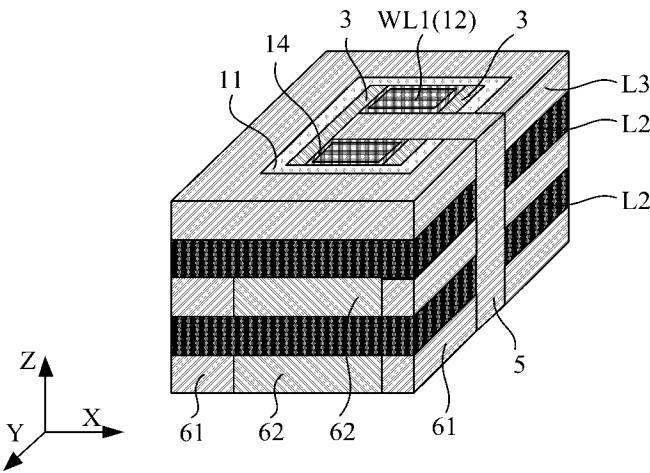


图 27

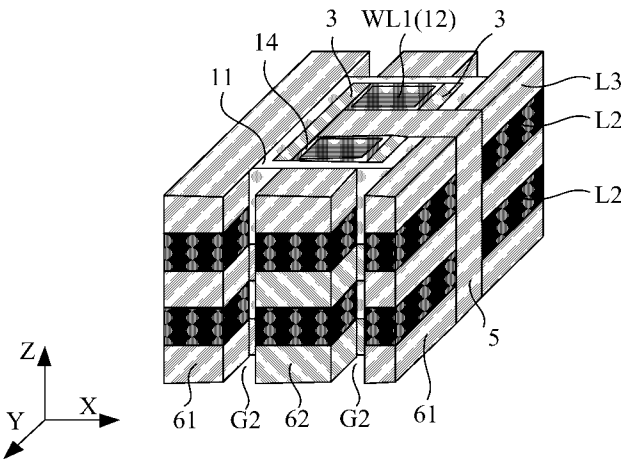


图 28

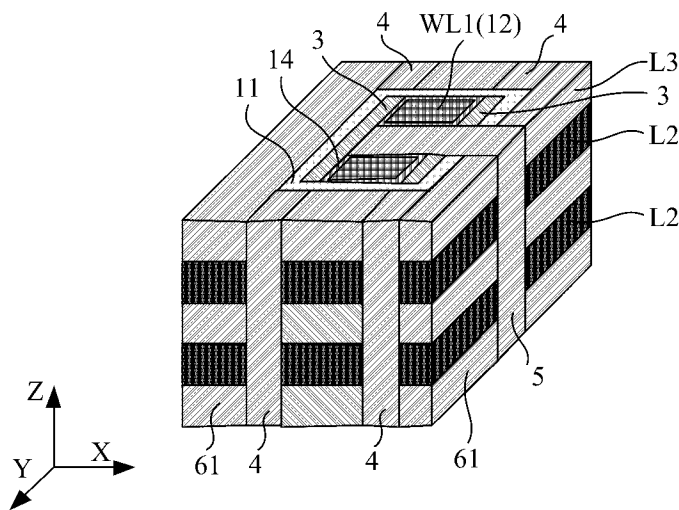


图 29

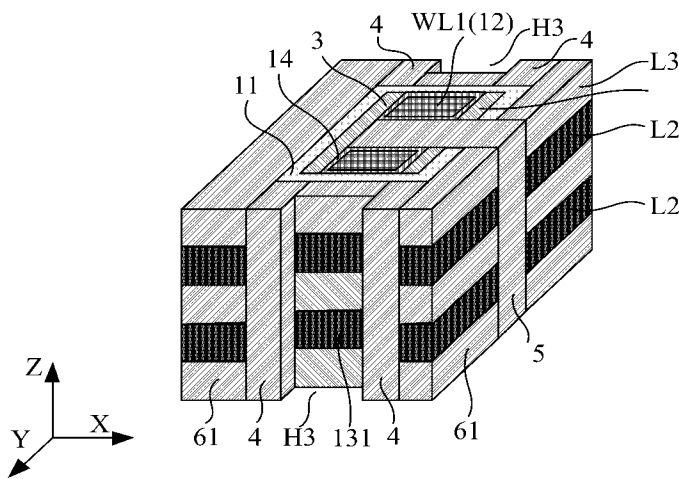


图 30

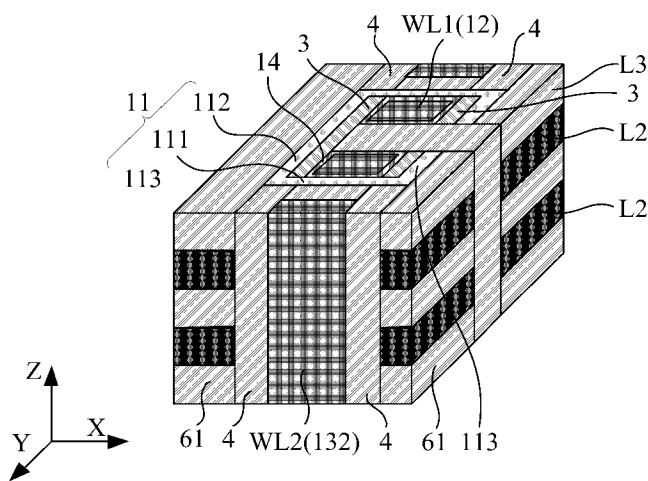


图 31

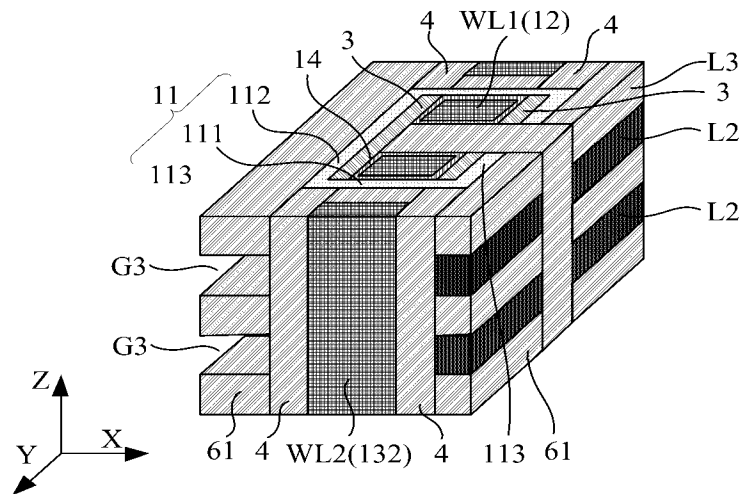


图 32

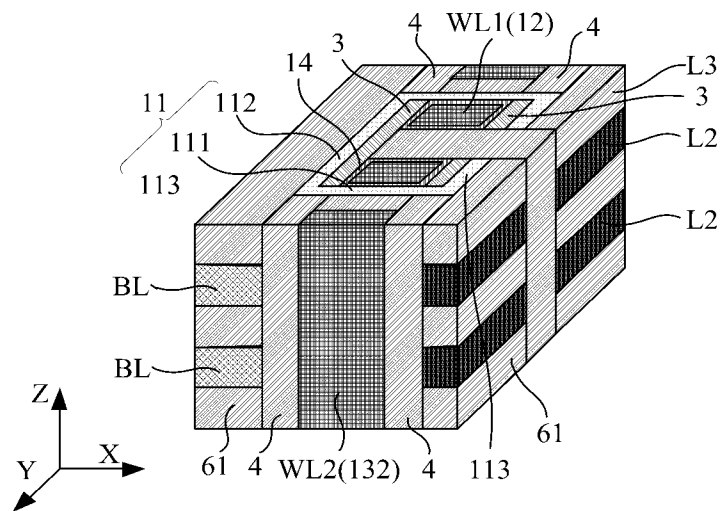


图 33

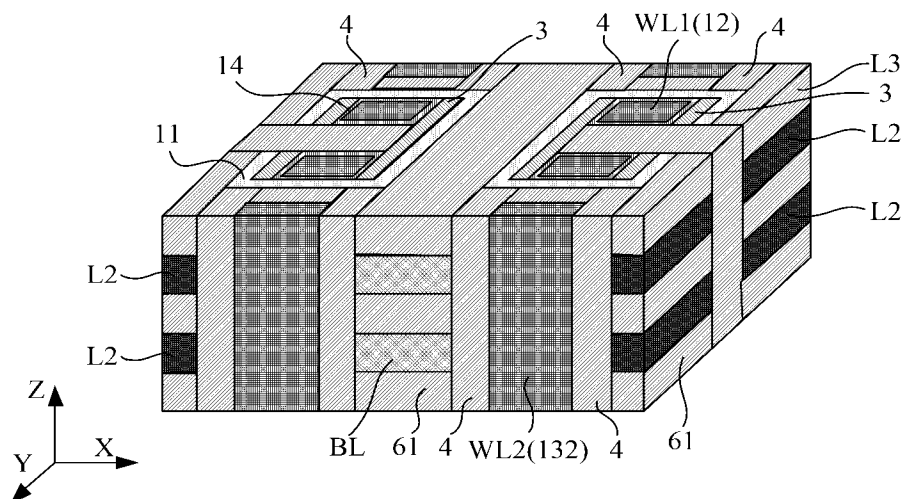


图 34

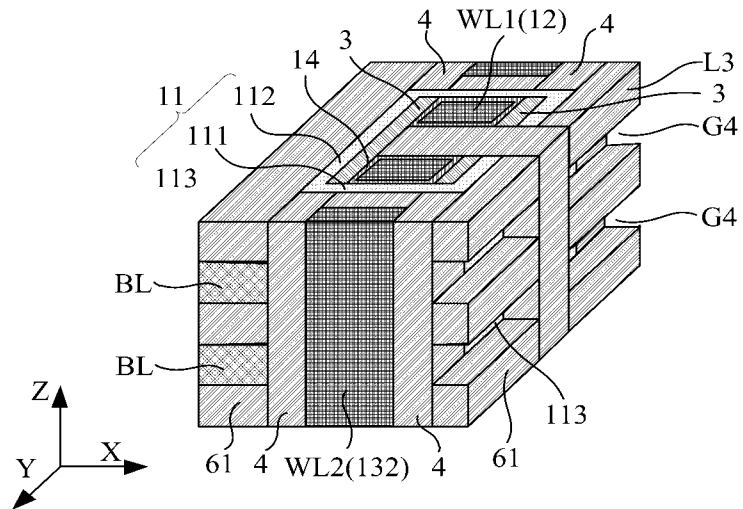


图 35

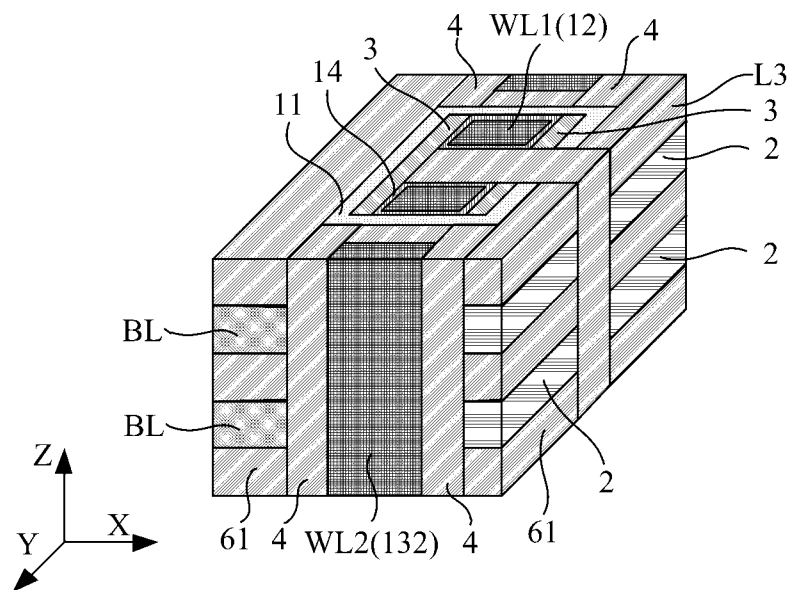


图 36

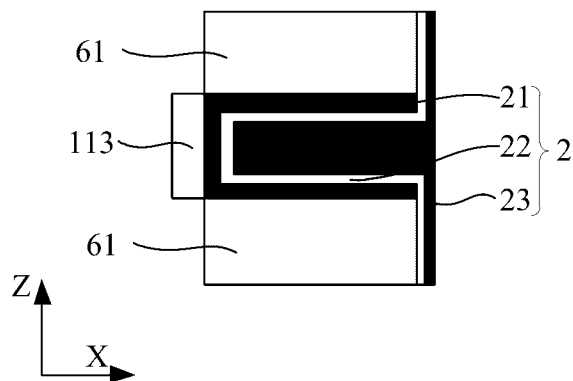


图 37

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2023/131305

A. CLASSIFICATION OF SUBJECT MATTER H10B12/00(2023.01)i According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) IPC: H10B, H01L Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Electronic data base consulted during the international search (name of data base and, where practicable, search terms used) VEN, CNABS, CNTXT, WOTXT, EPTXT, USTXT, CNKI, IEEE: 存储器, 第一栅, 第二栅, 半导体层, 沟道, 位线, 电容, 栅致漏极泄露, 漏极, 漏电流, memory, first, second, gate, channel, semiconductor, bit line, BL, capacitor, leakage, GIDL		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	CN 116209258 A (BEIJING SUPERSTRING ACADEMY OF MEMORY TECHNOLOGY) 02 June 2023 (2023-06-02) description, paragraphs [0167]-[0246], and figures 1-40B	1-15
A	CN 102194826 A (SAMSUNG ELECTRONICS CO., LTD.) 21 September 2011 (2011-09-21) entire document	1-15
A	CN 115064537 A (TAIWAN SEMICONDUCTOR MANUFACTURING CO., LTD.) 16 September 2022 (2022-09-16) entire document	1-15
A	CN 116193862 A (BEIJING SUPERSTRING ACADEMY OF MEMORY TECHNOLOGY) 30 May 2023 (2023-05-30) entire document	1-15
A	US 2023081882 A1 (INTEL CORP.) 16 March 2023 (2023-03-16) entire document	1-15
☐ Further documents are listed in the continuation of Box C. ☒ See patent family annex.		
* Special categories of cited documents: “A” document defining the general state of the art which is not considered to be of particular relevance “D” document cited by the applicant in the international application “E” earlier application or patent but published on or after the international filing date “L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) “O” document referring to an oral disclosure, use, exhibition or other means “P” document published prior to the international filing date but later than the priority date claimed “T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention “X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone “Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art “&” document member of the same patent family		
Date of the actual completion of the international search 30 January 2024		Date of mailing of the international search report 22 February 2024
Name and mailing address of the ISA/CN China National Intellectual Property Administration (ISA/CN) China No. 6, Xitucheng Road, Jimenqiao, Haidian District, Beijing 100088		Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2023/131305

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
CN	116209258	A	02 June 2023	None			
CN	102194826	A	21 September 2011	US	2011248327	A1	13 October 2011
				KR	20110099882	A	09 September 2011
				KR	101663566	B1	07 October 2016
				US	2015333084	A1	19 November 2015
				US	9356033	B2	31 May 2016
CN	115064537	A	16 September 2022	US	2022359529	A1	10 November 2022
				TW	202245069	A	16 November 2022
CN	116193862	A	30 May 2023	None			
US	2023081882	A1	16 March 2023	EP	4149231	A1	15 March 2023
				CN	116133417	A	16 May 2023

A. 主题的分类

H10B12/00(2023.01)i

按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

IPC: H10B, H01L

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))

VEN,CNABS,CNTEXT,WOTXT,EPTXT,USTXT,CNKI,IEEE: 存储器, 第一栅, 第二栅, 半导体层, 沟道, 位线, 电容, 栅致漏极泄露, 漏极, 漏电流, memory, first, second, gate, channel, semiconductor, bit line, BL, capacitor, leakage, GIDL

C. 相关文件

类型*	引用文件, 必要时, 指明相关段落	相关的权利要求
A	CN 116209258 A (北京超弦存储器研究院) 2023年6月2日 (2023 - 06 - 02) 说明书第[0167]-[0246]段、图1-40B	1-15
A	CN 102194826 A (三星电子株式会社) 2011年9月21日 (2011 - 09 - 21) 全文	1-15
A	CN 115064537 A (台湾积体电路制造股份有限公司) 2022年9月16日 (2022 - 09 - 16) 全文	1-15
A	CN 116193862 A (北京超弦存储器研究院) 2023年5月30日 (2023 - 05 - 30) 全文	1-15
A	US 2023081882 A1 (INTEL CORPRATION) 2023年3月16日 (2023 - 03 - 16) 全文	1-15

☐ 其余文件在C栏的续页中列出。

☒ 见同族专利附件。

* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“D” 申请人在国际申请中引证的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期

2024年1月30日

国际检索报告邮寄日期

2024年2月22日

ISA/CN的名称和邮寄地址

中国国家知识产权局
中国北京市海淀区蓟门桥西土城路6号 100088

授权官员

陈冬冰

电话号码 (+86) 010-53961464

PCT/ISA/210 表(第2页) (2022年7月)

国际检索报告
关于同族专利的信息

国际申请号
PCT/CN2023/131305

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	116209258	A	2023年6月2日	无			
CN	102194826	A	2011年9月21日	US	2011248327	A1	2011年10月13日
				KR	20110099882	A	2011年9月9日
				KR	101663566	B1	2016年10月7日
				US	2015333084	A1	2015年11月19日
				US	9356033	B2	2016年5月31日
CN	115064537	A	2022年9月16日	US	2022359529	A1	2022年11月10日
				TW	202245069	A	2022年11月16日
CN	116193862	A	2023年5月30日	无			
US	2023081882	A1	2023年3月16日	EP	4149231	A1	2023年3月15日
				CN	116133417	A	2023年5月16日