

【公報種別】特許法第17条の2の規定による補正の掲載  
 【部門区分】第7部門第3区分  
 【発行日】平成20年8月7日(2008.8.7)

【公表番号】特表2008-504745(P2008-504745A)  
 【公表日】平成20年2月14日(2008.2.14)  
 【年通号数】公開・登録公報2008-006  
 【出願番号】特願2007-518298(P2007-518298)  
 【国際特許分類】

H 0 4 B 1/40 (2006.01)  
 H 0 4 B 1/50 (2006.01)  
 H 0 4 B 1/04 (2006.01)  
 H 0 3 F 3/24 (2006.01)  
 H 0 3 F 3/217 (2006.01)

【F I】

H 0 4 B 1/40  
 H 0 4 B 1/50  
 H 0 4 B 1/04 N  
 H 0 4 B 1/04 R  
 H 0 3 F 3/24  
 H 0 3 F 3/217

【手続補正書】

【提出日】平成20年6月17日(2008.6.17)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

モノリシック集積回路上のRFフロントエンド集積回路であって、

a) 実質的に送信に適した周波数成分及び位相を有する送信信号を受信し、前記送信信号を増幅して、増幅送信信号を発生させるよう構成されるRF信号増幅器と、

b) 前記増幅送信信号から取り出される入力信号へ結合される入力ノードを有し、前記入力信号を増幅して、電力増幅器出力特性インピーダンスを有する電力増幅送信信号を発生させるよう構成され、また、前記電力増幅送信信号の振幅を制御可能なように抑制するよう構成されるレギュレータ回路を有するRF電力増幅器(PA)と、

c) 直流成分を遮断し、前記電力増幅送信信号の特性インピーダンスを変更し、不要な周波数を受け入れないことによって前記電力増幅送信信号を調整して、アンテナ整合送信信号を発生させるよう構成されるマッチング、カップリング及びフィルタリング回路と、

d) 前記アンテナ整合送信信号をアンテナ接続ノードへ制御可能なように結合するよう、又は前記アンテナ接続ノードを前記送信ノードから切り離し、代わりに前記アンテナ接続ノードを受信信号増幅経路へ結合するよう構成されるアンテナスイッチと、

e) 前記アンテナスイッチを介して結合される前記送信信号の少なくとも振幅を反映する送信電力信号を発生させるよう構成される送信信号検知回路と、

f) 前記アンテナスイッチにより結合される前記送信信号の振幅が所定の制限を超えることを実質的に防ぐように、前記レギュレータ回路に前記送信電力信号に応答して前記電力増幅送信信号を抑制させるよう構成される制御回路とを有する集積回路。

【請求項2】

前記増幅送信信号へ結合される入力と、前記RF電力増幅器の前記入力ノードへ結合される出力とを有し、前記増幅送信信号の波形及びデューティサイクルを調整して、特に前記入力ノードに適したデューティサイクルを有する矩形波を発生させるよう構成される矩形波調整器を更に有する、請求項1記載の集積回路。

【請求項3】

前記矩形波調整器は、前記矩形波調整器へ結合されるデューティサイクル制御信号の制御下で、前記RF電力増幅器へ結合される前記矩形波のデューティサイクルを調整するよう構成される制御部を有する、請求項2記載の集積回路。

【請求項4】

前記RF電力増幅器は、出力駆動ノードと回路共通部との間に配置され、線形動作を回避して、最小インピーダンス又は最大インピーダンスでのみ実質的に動作するよう構成されるスイッチング回路と、前記出力駆動ノードと前記レギュレータ回路との間に結合される無線周波数チョーク(RFC)とを有する、請求項1記載の集積回路。

【請求項5】

前記RF電力増幅器の前記スイッチング回路は、共通極性の複数の直列接続されたFETを有し、前記複数の直列接続されたFETは、それらの間でほぼ等しく前記スイッチング回路へ印加される最大電圧ストレスを分割するよう構成される、請求項4記載の集積回路。

【請求項6】

前記複数の直列接続されたFETは、互いに略同時にオン及びオフを切り替えるよう構成される非常に多数の直列接続されたFETである、請求項5記載の集積回路。

【請求項7】

前記RF電力増幅器は、全て略同時に導通する1又はそれ以上のFETを有するスイッチング装置の唯一つのみを有し、前記出力駆動ノードと回路共通部との間に配置されるシャントフィルタを更に有し、

前記シャントフィルタは、著しく抵抗性を有するインピーダンスを介して動作周波数 $f_0$ の1又はそれ以上の高調波での前記電力増幅送信信号の信号成分を導き、一方、前記動作周波数 $f_0$ での信号成分を実質的に受け入れないよう構成される、請求項4記載の集積回路。

【請求項8】

前記シャントフィルタは、周波数の関数であって、 $2 \times f_0$ 及び $3 \times f_0$ の周波数で前記電力増幅器出力特性インピーダンスにほぼ等しい極小値を有するインピーダンスを有する、請求項7記載の集積回路。

【請求項9】

前記アンテナ整合送信信号は、少なくとも約900MHzの動作周波数 $f_0$ を有し、当該RFフロントエンド集積回路は、前記動作周波数 $f_0$ で前記アンテナ接続ノードへ少なくとも約1Wの電力を供給するよう構成される、請求項1記載の集積回路。

【請求項10】

請求項1の前記項目(b)に従うが、第2の動作周波数 $f$ で入力信号を受け入れ、前記送信信号検知回路からの信号により制御されるレギュレータ回路を有する第2のRF電力増幅器と、

請求項1の前記項目(c)に従うが、第2のアンテナ整合送信信号を生成するよう構成される第2のマッチング、カップリング及びフィルタリング回路とを更に有し、

前記アンテナスイッチは、更に、前記第2のアンテナ整合送信信号へだけ、又は第2の受信信号増幅経路へだけ前記アンテナ接続ノードを制御可能なように結合するよう構成される、請求項1記載の集積回路。

【請求項11】

出力駆動ノードで出力信号を生成するよう構成されるRF電力増幅器(PA)であって、

a) 動作周波数 $f_0$ でRF入力信号を受信するよう構成される入力ノードと、

b) 実質的に線形動作を回避するために、前記RF入力信号の制御下で、オンインピーダンスを介して回路共通部へ前記出力駆動ノードを結合するよう、又は前記回路共通部から前記出力駆動ノードを実質的に切り離すよう構成されるスイッチング回路と、

c) 電源VDDと前記出力駆動ノードとの間に結合され、前記スイッチング回路動作の制御下で前記動作周波数 $f_0$ において略正弦波である波形を有する電流を伝送するよう構成されるRFチョーク(RFC)と、

d) 前記出力駆動ノードと前記回路共通部との間に配置され、前記動作周波数 $f_0$ の整数高調波である周波数を有する出力駆動信号の成分に関して、前記RF電力増幅器の特性出力インピーダンス $Z_0$ の抵抗成分にほぼ等しい抵抗成分を有する終端インピーダンス $Z_T$ を介して電流を導くよう構成されるシャントフィルタとを有するRF電力増幅器。

【請求項12】

前記シャントフィルタは、前記動作周波数 $f_0$ での整数高調波である周波数で極小インピーダンスを有する、請求項11記載のRF電力増幅器。

【請求項13】

前記シャントフィルタは、 $2 \times f_0$ 及び $3 \times f_0$ で極小インピーダンスを有する、請求項12記載のRF電力増幅器。

【請求項14】

前記シャントフィルタの前記極小インピーダンスは、前記出力駆動ノードで前記特性出力インピーダンス $Z_0$ にほぼ等しい、請求項13記載のRF電力増幅器。

【請求項15】

前記入力ノードへ結合され、前記RF入力信号から得られる信号を供給して、前記スイッチング回路を制御するよう構成される入力調整回路を更に有し、

前記得られる信号は、前記入力調整回路により制御されるデューティサイクルを有する略矩形である波形を有する、請求項11記載のRF電力増幅器。

【請求項16】

単一モノリシック集積回路チップ上にRFフロントエンド回路を作る方法であって、

a) 前記チップから離れたアンテナへ前記RFフロントエンドを結合するための1つの単独アンテナ接続ノードを設け、

i) 送信信号振幅を反映する信号を発生させるよう構成される送信信号検知回路と、

ii) 前記チップ上に配置されるアンテナスイッチの共通接続と

へ前記アンテナ接続ノードを結合するステップと、

b) 受信送信信号を増幅するよう構成される送信信号増幅器へ入力信号ノードを結合するステップと、

c) 略線形な動作でなければ、出力駆動ノードを回路共通へ切り替えるように、又は略線形な動作であれば、前記増幅された受信送信信号から得られる制御下で、前記出力駆動ノードが動作周波数 $f_0$ で特性インピーダンス $Z_{drive}$ を有するよう、スイッチングモードで動作するよう構成されるスイッチング回路を有する電力増幅器(PA)をレイアウトするステップと、

d) RFCの第1の接続へ前記電力増幅器出力駆動ノードを結合し、前記RFCの第2の接続をレギュレータ回路を介して電源へ結合するステップと、

e) 前記アンテナ接続ノードへ切替え可能なように結合される送信信号が前記アンテナへの接続の予想インピーダンスに実質的に等しい特性インピーダンスを有するよう、マッチング、カップリング及びフィルタリング回路を介して前記アンテナスイッチの入力へ前記電力増幅器出力駆動ノードを結合するステップと、

f) 前記アンテナ接続へ、該アンテナ接続での過電圧を反映する信号を発生させるよう構成される出力信号検知回路を結合するステップと、

g) 前記出力駆動信号の振幅が前記アンテナ接続での著しく過剰な電圧の存在を除外するよう制御されるよう、前記レギュレータ回路へ前記アンテナ接続での過電圧を反映する前記信号を結合するステップとを有する方法。

【請求項17】

a) 第1のFETM<sub>1</sub>のゲートG<sub>1</sub>へ結合され、基準電圧V<sub>ref</sub>に対して入力信号を受ける入力ノードと、

b) 対応するゲートG<sub>2</sub>乃至G<sub>n</sub>及び前記第1のFETM<sub>1</sub>と同じ極性を有し、前記第1のFETM<sub>1</sub>と直列に接続されて、前記基準電圧と出力駆動ノードとの間の導通を制御するよう構成される制御回路を形成し、夫々が前記第1のFETM<sub>1</sub>に従属する複数の追加のFETM<sub>2</sub>乃至M<sub>n</sub>と、

c) 前記出力駆動ノードを出力負荷ノードへ結合する出力結合キャパシタと、

d) 夫々のゲートG<sub>2</sub>乃至G<sub>n</sub>と前記基準電圧V<sub>ref</sub>との間に直接に接続される、対応する圧倒的に容量性の素子とを有するRF電力増幅器(PA)集積回路。

【請求項18】

a) 第1のFETM<sub>1</sub>のゲートG<sub>1</sub>へ結合され、基準電圧V<sub>ref</sub>に対して入力信号を受ける入力ノードと、

b) 前記第1のFETM<sub>1</sub>と同じ極性を有し、前記第1のFETM<sub>1</sub>と直列に接続されて、前記基準電圧と出力駆動ノードとの間の導通を制御するよう構成される制御回路を形成し、夫々が前記第1のFETM<sub>1</sub>に従属する複数の追加のFETM<sub>2</sub>乃至M<sub>n</sub>と、

c) 前記出力駆動ノードを出力負荷ノードへ結合する出力結合キャパシタと、

d) 前記出力駆動ノードと前記基準電圧との間に結合され、当該電力増幅器(PA)の中心動作周波数F<sub>0</sub>の高調波である周波数で最小インピーダンスを有するよう構成されるシャント共振回路とを有するRF電力増幅器(PA)集積回路。

【請求項19】

入力信号ノードと基準電圧ノードV<sub>ref</sub>との間に加えられる入力信号の制御下で、駆動出力ノードV<sub>drive</sub>と前記基準電圧ノードV<sub>ref</sub>との間の導通を制御する複数FETスタック回路を有する集積回路であって、

a) 夫々がソースS<sub>N</sub>、ゲートG<sub>N</sub>及びドレインD<sub>N</sub>を有する、J個の同じ極性のFETM<sub>N</sub>(N=1~J、Jは整数3又はそれ以上の数。)の直列スタックと、

b) 前記FETスタックの中の信号入力FETM<sub>1</sub>のゲートG<sub>1</sub>へ結合される入力信号ノードと、

c) 0 < N < Jに関し、夫々のドレインD<sub>N</sub>と、前記FETスタックの中の次に高次のFETM<sub>(N+1)</sub>のソースS<sub>(N+1)</sub>との間の直列結合と、

d) 1 < N < Jに関し、前記信号入力FETM<sub>1</sub>での導通と略同時に且つ該前記信号入力FETM<sub>1</sub>での導通の制御下で導通するように夫々のFETM<sub>(N+1)</sub>乃至M<sub>1</sub>に従属させる構成において、夫々のゲートG<sub>N</sub>と前記基準電圧V<sub>ref</sub>との間に直接に接続される、圧倒的に容量性の素子であるゲート結合素子と、

e) 前記信号入力FETM<sub>1</sub>のソースS<sub>1</sub>と前記基準電圧V<sub>ref</sub>との間のFETスタックのソース結合と、

f) J番目のFETM<sub>J</sub>のドレインD<sub>J</sub>と前記駆動出力ノードV<sub>drive</sub>との間のFETスタックのドレイン結合とを有する集積回路。

【請求項20】

入力信号ノードと基準電圧ノードV<sub>ref</sub>との間に加えられる入力信号の制御下で、駆動出力ノードV<sub>drive</sub>と前記基準電圧ノードV<sub>ref</sub>との間の導通を制御する複数FETスタック回路を有する集積回路であって、

a) 夫々がソースS<sub>N</sub>、ゲートG<sub>N</sub>及びドレインD<sub>N</sub>を有する、J個の同じ極性のFETM<sub>N</sub>(N=1~J、Jは整数3又はそれ以上の数。)の直列スタックと、

b) 前記FETスタックの中の信号入力FETM<sub>1</sub>のゲートG<sub>1</sub>へ結合される入力信号ノードと、

c) 0 < N < Jに関し、夫々のドレインD<sub>N</sub>と、前記FETスタックの中の次に高次のFETM<sub>(N+1)</sub>のソースS<sub>(N+1)</sub>との間の直列結合と、

d) 1 < N < Jに関し、前記信号入力FETM<sub>1</sub>での導通と略同時に且つ該信号入力FETM<sub>1</sub>での導通の制御下で導通するように夫々のFETM<sub>(N+1)</sub>乃至M<sub>1</sub>に従属させる構成において、夫々のゲートG<sub>N</sub>と少なくとも1つの低次のFETM<sub>(N-K)</sub>(K

は  $1 \sim (N - 1)$  の整数。) との間のゲート結合と、

e) 前記信号入力  $FETM_1$  のソース  $S_1$  と前記基準電圧  $Vref$  との間の  $FET$  スタックのソース結合と、

f)  $J$  番目の  $FETM_j$  のドレイン  $D_j$  と前記駆動出力ノード  $Vdrive$  との間の  $FET$  スタックのドレイン結合と、

g) ツェナーダイオードを有する、 $FETM_N$  ( $2 < N \leq J$ ) のゲート結合回路とを有する集積回路。

【請求項 2 1】

入力信号ノードと基準電圧ノード  $Vref$  との間に加えられる入力信号の制御下で、駆動出力ノード  $Vdrive$  と前記基準電圧ノード  $Vref$  との間の導通を制御する複数  $FET$  スタック回路を有する集積回路であって、

a) 夫々がソース  $S_N$ 、ゲート  $G_N$  及びドレイン  $D_N$  を有する、 $J$  個の同じ極性の  $FETM_N$  ( $N = 1 \sim J$ 、 $J$  は整数 3 又はそれ以上の数。) の直列スタックと、

b) 前記  $FET$  スタックの中の信号入力  $FETM_1$  のゲート  $G_1$  へ結合される入力信号ノードと、

c)  $0 < N < J$  に関し、夫々のドレイン  $D_N$  と、前記  $FET$  スタックの中の次に高次の  $FETM_{(N+1)}$  のソース  $S_{(N+1)}$  との間の直列結合と、

d)  $1 < N \leq J$  に関し、前記信号入力  $FETM_1$  での導通と略同時に且つ該信号入力  $FETM_1$  での導通の制御下で導通するように夫々の  $FETM_{(N+1)}$  乃至  $M_1$  を従属させる構成において、夫々のゲート  $G_N$  と少なくとも 1 つの低次の  $FETM(N - K)$  ( $K$  は  $1 \sim (N - 1)$  の整数。) との間のゲート結合と、

e) 前記信号入力  $FETM_1$  のソース  $S_1$  と前記基準電圧  $Vref$  との間の  $FET$  スタックのソース結合と、

f)  $J$  番目の  $FETM_j$  のドレイン  $D_j$  と前記駆動出力ノード  $Vdrive$  との間の  $FET$  スタックのドレイン結合と、

g) 前記  $FET$  スタックの中の  $FETM_N$  ( $N > 1$ ) にバイアスを与えるよう電荷ポンプ回路において構成されるダイオードとを有する集積回路。

【請求項 2 2】

モノリシック基板上に集積され、中心周波数  $F_0$  での動作のために構成される  $RF$  電力増幅器 ( $PA$ ) 回路であって、

a) 夫々がソース  $S_N$ 、ゲート  $G_N$  及びドレイン  $D_N$  を有する、 $J$  個の同じ極性の  $FETM_N$  ( $N = 1 \sim J$ 、 $J$  は整数 3 又はそれ以上の数。) の直列スタックであって、 $Zdrive$  の特性インピーダンスで基準電圧  $Vref$  に対して出力信号  $Vdrive$  を制御するよう構成され、

i) 最も低次の  $FETM_1$  のゲート  $G_1$  へ結合される入力信号ノードと、

ii) 夫々の  $FETM_N$  ( $N > 1$ ) のソース  $S_N$  から、次に低次の  $FETM_{(N-1)}$  のドレイン  $D_{(N-1)}$  へのチャネル結合と、

iii)  $FETM_N$  を前記最も低次の  $FETM_1$  と略同時に導通させるための、夫々の  $FETM_N$  ( $N > 1$ ) のドレイン  $D_N$  から前記最も低次の  $FETM_1$  へのゲート結合と、

iv) 前記最も低次の  $FETM_1$  のソース  $S_1$  と前記基準電圧  $Vref$  との間の  $FET$  スタック基準結合と、

v)  $j$  番目の  $FETM_j$  のドレイン  $D_j$  と前記出力信号  $Vdrive$  との間の  $FET$  スタック出力結合とを有する直列スタックと、

b) 前記中心周波数  $F_0$  のおよそ高調波周波数で極小インピーダンスを有して、前記基準電圧  $Vref$  と前記出力信号  $Vdrive$  との間のシャント経路を生ずるよう構成されるシャントフィルタとを有する  $RF$  電力増幅器 ( $PA$ ) 回路。

【請求項 2 3】

a) 第 1 の極性を有する第 1 の  $FETM_1$  のゲート  $G_1$  へ結合され、第 1 の基準電圧  $Vref_1$  に対して入力信号を受ける入力ノードと、

b) 前記第1のFETM<sub>1</sub>と同じ極性を有し、前記第1のFETM<sub>1</sub>と直列に接続されて、前記基準電圧と出力駆動ノードとの間の導通を制御するよう構成される制御回路を形成し、夫々が前記第1のFETM<sub>1</sub>に従属する複数の追加のFETM<sub>2</sub>乃至M<sub>n</sub>と、

c) 前記第1のFETM<sub>1</sub>とは反対の極性を有し、前記第1の基準電圧V<sub>ref1</sub>とは異なる第2の供給電圧基準V<sub>ref2</sub>へ結合されるチャンネルを有し、且つ、位相反転を伴わずに前記入力信号へ結合されるゲートを有するFET-M<sub>1</sub>と、

d) 前記FET-M<sub>1</sub>と同じ極性を有し、前記FET-M<sub>1</sub>と直列に接続されて、前記第2の供給電圧基準V<sub>ref2</sub>と前記出力駆動ノードとの間の導通を制御するよう構成される制御回路を形成し、夫々が前記FET-M<sub>1</sub>に従属する複数の追加のFET-M<sub>2</sub>乃至-M<sub>n</sub>とを有するRF電力増幅器(PA)集積回路。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0006

【補正方法】変更

【補正の内容】

【0006】

デバイスの集積は、一般的に、例えば動作周波数及び信頼度といった、結果として得られる製品の様々な特性を改善するために望ましく、また、回路によって占有される容量を低減するとともに、製造費用全体を下げるができる。電界効果トランジスタ(FET)は、集積回路において線形増幅及びスイッチングの両目的のために極めてよく知られる。しかし、集積回路(IC)FETは、ゲート-ソース、ゲート-ドレイン、及びドレイン-ソースのノード対を含むいずれかの2つのノードの間の電圧に耐える能力が制限される。このような耐圧限界は、特に、高電力スイッチング回路におけるICFETの実用性を損なうことがある。高電力スイッチング回路では、誘導電圧は、供給電圧をはるかに超えることがある。具体例として、RF電力増幅器の送信出力電力性能は、出力電圧の振幅に極めて依存する。既存のPA技術に伴う困難の1つは、多数の他の望ましく高速なデバイスが、比較的低い故障電圧を有するFETをもたらず傾向がある工程を用いて作られることである。この問題を解決して、他の好ましい集積デバイスの特性を残したまま、より広い電圧レンジを提供することが非常に望ましい。このような解決法は、例えばPA機能及びRFスイッチ機能などの、別々の工程を予め必要とした電力及び制御機能のモノリシック集積回路上での集積を可能にする。もともと別個であった集積回路の集積は、モノリシック集積において特有であるプロセス整合に起因して、歩留まり及び予測可能性を高めうる。

【特許文献1】米国特許番号第5,663,570号

【特許文献2】米国特許番号第6,804,502号

【特許文献3】米国特許公開番号第10/658,154号

【特許文献4】米国特許番号第7,248,120B2号明細書

【特許文献5】米国特許番号第7,088,971B2号明細書

【特許文献6】米国特許番号第6,449,465B1号明細書

【特許文献7】米国特許出願公開第2003/0224743A1号明細書

【特許文献8】米国特許番号第6,297,696B1号明細書

【特許文献9】米国特許出願公開第2004/0121745A1号明細書

【特許文献10】米国特許番号第5,375,256号明細書

【特許文献11】米国特許番号第6,380,802B1号明細書

【特許文献12】米国特許番号第6,239,657号明細書

【特許文献13】米国特許番号第6,308,047B1号明細書

【特許文献14】米国特許出願公開第2003/0032396A1号明細書

【特許文献15】米国特許番号第6,191,653B1号明細書