

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号
特許第7086582号
(P7086582)

(45)発行日 令和4年6月20日(2022.6.20)

(24)登録日 令和4年6月10日(2022.6.10)

(51)国際特許分類

F I

H 0 1 L	21/336 (2006.01)	H 0 1 L	29/78	6 2 6 C
H 0 1 L	29/786 (2006.01)	H 0 1 L	29/78	6 1 2 B
G 0 9 F	9/30 (2006.01)	G 0 9 F	9/30	3 0 8 A
H 0 1 L	51/50 (2006.01)	G 0 9 F	9/30	3 3 8
H 0 1 L	27/32 (2006.01)	H 0 5 B	33/14	A

請求項の数 13 (全10頁) 最終頁に続く

(21)出願番号 特願2017-237061(P2017-237061)

(22)出願日 平成29年12月11日(2017.12.11)

(65)公開番号 特開2019-106426(P2019-106426
A)

(43)公開日 令和1年6月27日(2019.6.27)

審査請求日 令和2年12月3日(2020.12.3)

(73)特許権者 502356528

株式会社ジャパンディスプレイ
東京都港区西新橋三丁目7番1号

(74)代理人 110000154

特許業務法人はるか国際特許事務所

(72)発明者

西ノ原 拓磨
東京都港区西新橋三丁目7番1号 株式
会社ジャパンディスプレイ内

(72)発明者

秋元 肇
東京都港区西新橋三丁目7番1号 株式
会社ジャパンディスプレイ内

審査官

高柳 匡克

最終頁に続く

(54)【発明の名称】 表示装置

(57)【特許請求の範囲】

【請求項1】

有機材料を含む基板と、
前記基板の上に設けられる第1の下地膜と、
前記第1の下地膜の上方に設けられる薄膜トランジスタと、
前記薄膜トランジスタに備えられ、チャンネル領域を有する半導体膜と、
前記第1の下地膜と前記半導体膜との間に設けられ、平面視で前記チャンネル領域と重なる電界抑制膜と、を含み、
前記電界抑制膜は、前記第1の下地膜よりも誘電率が高く、
前記薄膜トランジスタを複数有し、
前記電界抑制膜を複数有し、
複数の前記電界抑制膜の各々は、複数の前記薄膜トランジスタうちの、互いに異なる1つの薄膜トランジスタと平面視で重なる、
表示装置。

【請求項2】

請求項1に記載の表示装置において、
前記電界抑制膜はアルミナを含む、
表示装置。

【請求項3】

請求項1又は請求項2に記載の表示装置において、

前記第 1 の下地膜は、窒化シリコンおよび酸化シリコンの少なくとも一方を含み、前記電界抑制膜の誘電率は、窒化シリコンの誘電率及び酸化シリコンの誘電率よりも高い、表示装置。

【請求項 4】

請求項 1 から 3 のいずれかに記載の表示装置において、前記第 1 の下地膜と前記半導体膜との間に、第 2 の下地膜が位置し、前記電界抑制膜は、前記第 1 の下地膜と前記第 2 の下地膜との間に位置する、表示装置。

【請求項 5】

請求項 4 に記載の表示装置において、前記第 1 の下地膜は、酸化シリコンを含み、前記第 2 の下地膜は、窒化シリコンを含み、前記第 1 の下地膜と前記第 2 の下地膜とは、直に接する、表示装置。

10

【請求項 6】

請求項 1 から 3 のいずれかに記載の表示装置において、前記第 1 の下地膜の上に第 2 の下地膜が位置し、前記第 2 の下地膜の上に第 3 の下地膜が位置し、前記第 3 の下地膜の上に、前記第 3 の下地膜と直に接して前記半導体膜が位置し、前記電界抑制膜は、前記第 2 の下地膜と前記第 3 の下地膜との間に位置する、表示装置。

【請求項 7】

請求項 6 に記載の表示装置において、前記第 2 の下地膜は、窒化シリコンを含み、前記第 3 の下地膜は、酸化シリコンを含む、表示装置。

20

【請求項 8】

請求項 1 から 7 のいずれかに記載の表示装置において、前記半導体膜は、ソース領域とドレイン領域とを有し、前記電界抑制膜は、前記チャンネル領域の延伸方向でみて前記ソース領域側の端および前記ドレイン領域側の端より内側に配置される、表示装置。

【請求項 9】

請求項 1 から 8 のいずれかに記載の表示装置において、前記基板上に、前記薄膜トランジスタを含む画素を有し、前記電界抑制膜は、平面視で前記画素と重なる、表示装置。

30

【請求項 10】

請求項 1 から 8 のいずれかに記載の表示装置において、前記基板上に、複数の画素を含む表示領域と、前記表示領域の外側に位置する周辺領域と、を有し、前記周辺領域には、前記複数の画素を駆動する駆動回路が位置し、前記薄膜トランジスタは、前記駆動回路に含まれ、前記電界抑制膜は、前記周辺領域に位置する、表示装置。

【請求項 11】

請求項 1 から 10 のいずれかに記載の表示装置において、前記基板上に、複数の画素を含む表示領域を有し、前記表示領域に、前記基板が湾曲している湾曲部を有し、前記電界抑制膜は、前記湾曲部に位置しない、表示装置。

40

【請求項 12】

請求項 11 に記載の表示装置において、前記電界抑制膜は、前記表示領域の前記湾曲部とは異なる部分に位置する、表示装置。

【請求項 13】

有機材料を含む基板と、前記基板の上に設けられる第 1 の下地膜と、前記第 1 の下地膜の上方に設けられる薄膜トランジスタと、

50

前記薄膜トランジスタに備えられ、チャンネル領域を有する半導体膜と、
前記第 1 の下地膜と前記半導体膜との間に設けられ、平面視で前記チャンネル領域と重なる
電界抑制膜と、を含み、

前記電界抑制膜は、前記第 1 の下地膜よりも誘電率が高く、
前記基板上に、複数の画素を含む表示領域を有し、
前記表示領域に、前記基板が湾曲している湾曲部を有し、
前記電界抑制膜は、前記湾曲部に位置しない、表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、表示装置に関する。

【背景技術】

【0002】

例えばスマートフォンに採用される有機 EL 表示装置のように、折り曲げ可能なシートディスプレイが市場に供されるようになってきている。そして、折り曲げが可能なシートディスプレイでは、基板に有機材料を用い、その基板の上にトランジスタが形成されるようになってきている。

【先行技術文献】

【特許文献】

【0003】

【文献】特開 2016 - 177187 号公報

【発明の概要】

【発明が解決しようとする課題】

【0004】

有機材料を用いた基板は、無機材料の基板に比べ電荷を蓄積しやすい傾向がある。有機材料を用いた基板に電荷が蓄積されると、その電荷により生じる電界によりトランジスタの特性が変動し、表示される画像に影響がでることがあった。

【0005】

本発明は、上記課題を鑑みてなされたものであって、その目的は、有機材料を用いた基板の上に配置されるトランジスタの特性の変動を抑えることのできる表示装置を提供することにある。

【課題を解決するための手段】

【0006】

本発明に係る表示装置は、有機材料を含む基板と、前記基板の上に設けられる第 1 の下地膜と、前記第 1 の下地膜の上方に設けられる薄膜トランジスタと、前記薄膜トランジスタに備えられ、チャンネル領域を有する半導体膜と、前記第 1 の下地層と前記半導体膜との間に設けられ、平面視で前記チャンネル領域と重なる電界抑制膜と、を含み、前記電界抑制膜は、前記第 1 の下地膜よりも誘電率が高い。

【0007】

本発明によれば、有機材料を用いた基板の上に配置されるトランジスタの特性の変動を抑えることができる。

【図面の簡単な説明】

【0008】

【図 1】本発明の実施形態にかかる有機 EL 表示装置の平面図である。

【図 2】図 1 に示す有機 EL 表示装置の II - II 切断線における断面図である。

【図 3】有機 EL 表示装置の比較例を示す断面図である。

【図 4】図 2 に示す断面図の変形例を示す図である。

【図 5】図 2 に示す断面図の他の変形例を示す図である。

【発明を実施するための形態】

【0009】

10

20

30

40

50

以下、本発明の実施形態について図面を参照して説明する。但し、本発明は、その要旨を逸脱しない範囲において様々な態様で実施することができ、以下に例示する実施形態の記載内容に限定して解釈されるものではない。

【0010】

図面は、説明をより明確にするため、実際の態様に比べ、各部の幅、厚さ、形状等について模式的に表される場合があるが、あくまで一例であって、本発明の解釈を限定するものではない。本明細書と各図において、既出の図に関して説明したものと同様の機能を備えた要素には、同一の符号を付して、重複する説明を省略することがある。

【0011】

さらに、本発明の詳細な説明において、ある構成物と他の構成物の位置関係を規定する際、「上に」「下に」とは、ある構成物の直上あるいは直下に位置する場合のみでなく、特に断りの無い限りは、間にさらに他の構成物を介在する場合を含むものとする。

10

【0012】

図1は、本発明の実施形態に係る有機EL (Electroluminescence) 表示装置の平面図である。有機EL表示装置は、基板10と、フレキシブルプリント基板12と、フレキシブルプリント基板12上に配置される集積回路パッケージ14とを含む。この実施形態における有機EL表示装置は、屈曲が可能なシートディスプレイまたはフレキシブルディスプレイである。

【0013】

基板10は、表示領域42及び表示領域42を囲む周辺領域46を含む。周辺領域46は表示領域42の外側にある。表示領域42内には複数の単位画素44が配置されている。有機EL表示装置は、例えば、赤、緑及び青からなる複数色の単位画素(サブピクセル)を組み合わせ、フルカラーの画素を形成し、フルカラーの画像を表示するようになっている。基板10のうち一方の端には、フレキシブルプリント基板12が接続されている。集積回路パッケージ14には、単位画素44に含まれる画素回路を駆動する駆動回路のうち一部が搭載される。また、基板10上の周辺領域46にも駆動回路の一部が配置される。

20

【0014】

図2は、図1に示す有機EL表示装置のII-II切断線における断面図である。基板10(アレイ基板)の材料はポリイミドであるが、シートディスプレイ又はフレキシブルディスプレイを構成するために十分な可撓性を有する基材であれば他の樹脂材料を用いても良い。

30

【0015】

基板10上に、酸化シリコンを含む第1の下地層20aが設けられている。また、第1の下地層20aの上には、窒化シリコンを含む第2の下地層20bが設けられている。そして、第1の下地層20aと第2の下地層20bとの間には、平面視で互いに離間する複数の電界抑制膜205が設けられている。平面視で第1の下地層20aおよび第2の下地層20bは、基板10の略全域に設けられており、少なくとも表示領域42の全域と重なる。電界抑制膜205は、基板10の略全域に設けられているわけではなく、表示領域42の全域と重なるわけではない。図2に示すように、複数個の電界抑制膜205が互いに離間して設けられている。電界抑制膜205の側面は第2の下地層20bで覆われており、また平面視で、第1の下地層20aと第2の下地層20bとは一部において直接的に接する。電界抑制膜205は薄膜トランジスタの位置と重なるように設けられている。その配置の詳細については後述する。第2の下地層20bの上には酸化シリコンを含む第3の下地層20cが設けられる。

40

【0016】

第1の下地層20aは、基板10との密着性を向上させ、第2の下地層20bは、外部からの水分及び不純物をブロックし、第3の下地層20cは第2の下地層20b中に含有する水素原子が上部にある薄膜トランジスタの半導体膜403側に拡散しないようにブロックする。この3層をまとめて下地層20とよぶ。下地層20は、特にこの三層積層構造に限定するものではなく、さらに層が積層されても良いし、単層あるいは二層積層としても

50

良い。下地層 20 の厚さは、500 nm 以上 1000 nm 未満である。

【0017】

下地層 20 の上には複数の薄膜トランジスタが形成されている。薄膜トランジスタのそれぞれは、ゲート電極 401 と、半導体膜 403 と、ソース電極 405 と、ドレイン電極 407 とを含む。半導体膜 403 は下地層 20 の上に設けられる。半導体膜 403 はポリシリコンであるが、透明酸化物半導体 (TAOS: Transparent Amorphous Oxide Semiconductor) であってもよい。半導体膜 403 の上には、酸化シリコンを含む第 1 の絶縁層 22 が設けられ、第 1 の絶縁層 22 の上には、平面視で半導体膜 403 と重畳するゲート電極 401 を含む第 1 の導電層が設けられている。ゲート電極 401 の上には、窒化シリコンを含む第 2 の絶縁層 24 および酸化シリコンを含む第 3 の絶縁層 26 が順に設けられる。第 2 の絶縁層と第 3 の絶縁層 26 との一方は、省略してもよい。第 1 の絶縁層 22 から第 3 の絶縁層 26 は、他の絶縁性のある材質により構成されてもよい。第 3 の絶縁層 26 の上には、ソース電極 405 およびドレイン電極 407 を含む第 2 の導電層が設けられる。第 1 の絶縁層 22 はいわゆるゲート絶縁膜として設けられている。第 1 の導電層は、例えば MoW により形成される。第 2 の導電層は、例えば、Ti、Al 及び Ti の三層積層構造である。

10

【0018】

半導体膜 403 は、ゲート電極 401 に重畳するチャネル領域 403c と、チャネル領域 403c を挟むソース領域 403s およびドレイン領域 403d を有する。半導体膜 403 のうち、チャネル領域 403c とソース領域 403s およびドレイン領域 403d との間に、低濃度不純物領域が設けられてよい。第 1 の絶縁層 22、第 2 の絶縁層 24 および第 3 の絶縁層 26 には、それぞれ半導体膜 403 のソース領域 403s およびドレイン領域 403d の上面に達する 2 つのコンタクトホールが形成されており、コンタクトホールのそれぞれの中にはソース電極 405 およびドレイン電極 407 が設けられている。ソース電極 405 はソース領域 403s と電気的に接続し、ドレイン電極 407 はドレイン領域 403d と電気的に接続する。ドレイン電極 407 は画素回路を構成する配線 (に接続され、ソース電極 405 画素電極 301 に接続される。

20

【0019】

ここで、電界抑制膜 205 は、下地層 20 を構成する窒化シリコンや酸化シリコンより比誘電率が高く、またこれらより絶縁性の強いアルミナ (酸化アルミニウム) により形成されている。また、電界抑制膜 205 は、酸化アルミニウムを ALD (Atomic Layer Deposition) 法で積層することにより形成されている。ALD 法により、緻密なアルミナの膜を形成することができ、電界抑制膜 205 の誘電率や絶縁性をより高くすることができる。電界抑制膜 205 はスパッタ法などにより形成されてもよい。電界抑制膜 205 の厚さは 10 nm 以上 100 nm 以下である。電界抑制膜 205 は、平面視で半導体膜 403 のチャネル領域 403c を覆っている。また、電界抑制膜 205 は、平面視で半導体膜 403 とゲート電極 401 とが重畳する領域を覆っている構造でもよい。電界抑制膜 205 は、チャネル領域 403c の延伸方向でみて半導体膜 403 のソース領域 403s 側の端およびドレイン領域 403d 側の端より内側に配置される。換言すれば、電界抑制膜 205 の薄膜トランジスタのチャネル長の方向の長さは、該チャネル長の長さ以上であり、記半導体膜 403 の該チャネル長の方向の長さよりも小さい。

30

40

【0020】

誘電率が高い材料は、電界がかかると分極し、その電界を弱める。本実施形態では、ポリミドのような有機材料を用いた基板 10 は、製造過程や製造後の使用により電荷 81 を貯める性質がある。この電荷 81 を貯める現象をチャージアップと呼ぶ。電界抑制膜 205 により、電荷 81 により半導体膜 403 にかかる電界を弱めることができる。これにより、電荷 81 に起因する薄膜トランジスタの特性の変動を抑えることができる。なお、電界抑制膜 205 を用いる代わりに下地層 20 を厚くすることによっても薄膜トランジスタの特性の変動を抑えることができるが、表示装置全体の厚み、或いはパネルの厚みが増加する。電界抑制膜 205 を用いることで、下地層 20 の厚さを抑えつつ、換言すれば表示

50

装置全体の厚さ増加を抑えつつ、電荷 8 1 に起因する薄膜トランジスタの特性の変動を抑えることができる。また、電界抑制膜 2 0 5 は、絶縁性が高いため、薄膜トランジスタから基板 1 0 への電荷の移動を抑えることができ、それによっても電荷の影響を抑えることができる。

【 0 0 2 1 】

図 3 は、有機 E L 表示装置の比較例を示す断面図である。図 2 の例では、ソース電極 4 0 5 およびドレイン電極 4 0 7 より上の層の記載を省略している。図 3 の例では、電界抑制膜 2 0 5 が設けられていない。この場合、基板 1 0 に蓄積された電荷 8 1 により生じる電界が本実施形態に比べて抑制されずに半導体膜 4 0 3 に及ぼされる。これにより、薄膜トランジスタの特性の変動がより起きやすくなる。

10

【 0 0 2 2 】

ここで、電界抑制膜 2 0 5 は、少なくともチャンネル領域 4 0 3 c を覆っていればよく、図 4 に示すように、チャンネル領域 4 0 3 c の延伸方向でみて半導体膜 4 0 3 のソース領域 4 0 3 s 側の端およびドレイン領域 4 0 3 d 側の端より外側にも配置されてもよい。ただし、電界抑制膜 2 0 5 に用いられるアルミナは硬い材料であるため、クラック等の発生を避けるためにそのサイズを小さくすることが望ましい。電界抑制膜 2 0 5 は、チャンネル領域 4 0 3 c の延伸方向でみて半導体膜 4 0 3 のソース領域 4 0 3 s 側の端およびドレイン領域 4 0 3 d 側の端より内側に配置されることが望ましい。

【 0 0 2 3 】

また、半導体膜 4 0 3 がポリシリコンである場合は、電子移動度が大きいため基板 1 0 内の電荷 8 1 の影響をより受けやすい。そのため、半導体膜 4 0 3 がポリシリコンの場合に電界抑制膜 2 0 5 を用いることがより好適であるが、半導体膜 4 0 3 が酸化物半導体であっても効果を得ることができる。

20

【 0 0 2 4 】

平坦化層 3 0 は、ソース電極 4 0 5 およびドレイン電極 4 0 7 を覆うように設けられる。平坦化層 3 0 としては、C V D (Chemical Vapor Deposition) 等により形成される無機絶縁材料に比べ、表面の平坦性に優れることから、感光性アクリル等の有機材料が多く用いられる。

【 0 0 2 5 】

平坦化層 3 0 は、ソース電極 4 0 5 を露出させる開口 3 0 a を有する。また、この開口 3 0 a を介してソース電極 4 0 5 に導通する画素電極 3 0 1 が設けられている。画素電極 3 0 1 は、例えば、I Z O (Indium Zinc Oxide) 膜、A g 膜、I Z O 膜の三層積層構造であってよい。画素電極 3 0 1 は、開口 3 0 a の上端から側方に拡がっている。なお、ソース電極 4 0 5 の代わりにドレイン電極 4 0 7 が画素電極 3 0 1 に接続してもよい。

30

【 0 0 2 6 】

平坦化層 3 0 の上であって例えば開口 3 0 a の上方に、バンク 3 2 が形成されている。バンク 3 2 は平坦化層 3 0 と同じく絶縁性のある感光性アクリル等により形成される。バンク 3 2 は互いに隣接する単位画素 4 4 の間に設けられており、単位画素 4 4 が備える発光領域に対応する開口 3 2 a を有する、開口 3 2 a の側面はテーパ形状を有し、開口 3 2 a の底には画素電極 3 0 1 が露出している。画素電極 3 0 1 の上かつ開口 3 2 a の中には有機 E L 層 3 0 3 が設けられている。有機 E L 層 3 0 3 は、ホール注入層、ホール輸送層、発光層、電子輸送層、電子注入層を含む。これらの層は、蒸着によって形成されても良いし、塗布によって形成されてもよい。本図では、これらの層は開口 3 2 a の内部に形成されているが、少なくとも一部の層がバンク 3 2 の上に形成されてもよい。その一部の層は複数の単位画素 4 4 に跨って形成されてもよい。

40

【 0 0 2 7 】

有機 E L 層 3 0 3 の上には、対向電極 3 0 5 が設けられている。対向電極 3 0 5 は、例えば、有機 E L 層 3 0 3 からの出射光が透過する程度の薄膜として形成される M g と A g との合金で形成されてもよいし、I T O で形成されてもよい。対向電極 3 0 5 はバンク 3 2 の上にも設けられている。有機 E L 層 3 0 3 は、画素電極 3 0 1 と対向電極 3 0 5 との間

50

を流れる電流により発光する。

【0028】

対向電極305の上には、封止層34が設けられている。封止層34は、外部からの水分が有機EL層303に侵入することを防止する。封止層34は、例えば、シリコン窒化膜、有機樹脂層及びシリコン窒化膜の積層構造である。

【0029】

なお、封止層34上にカバーガラスやタッチパネル基板等が設けられても良い。この場合、封止層34とカバーガラスやタッチパネル基板との間に、樹脂等の充填材が充填されてもよい。また、ポリイミド等の可撓性を有する基材を用いた対向基板が封止層34の上に配置されてもよい。

10

【0030】

ここで、折り曲げを容易にするために、下地層20および第1の絶縁層22から第3の絶縁層26は、一部の領域が除去されていてもよい。この場合、下地層20は互いに離間する複数の下地膜を含むが、下地膜のそれぞれは複数の電界抑制膜205を有してよい。表示領域を湾曲させる表示装置で、湾曲させる部分(湾曲部)が決まっている場合、電界抑制膜205を湾曲部には配置しない構造にしてもよい。電界抑制膜205に用いられるアルミナは硬い材料であるため、湾曲部には配置せず、非湾曲部には配置することで、フレキシブル性を維持しつつ、基板10に蓄積された電荷81による薄膜トランジスタの特性の変動を抑制するという、効果を得ることができる。

【0031】

図2の例では、表示領域42内の単位画素44に用いられる薄膜トランジスタに本発明を適用する例について説明したが、周辺領域46上の駆動回路を構成する薄膜トランジスタに本発明が適用されてもよい。基板10上の周辺領域46に形成される薄膜トランジスタは、より多くの電流を流す必要があるため、一般的にポリシリコンを用いた薄膜トランジスタが配置される。単位画素44中と異なり酸化物半導体が用いられることが少ないため、電界抑制膜205を用いることでより確実に薄膜トランジスタの特性変動の抑制の効果を得ることができる。周辺領域46に形成される薄膜トランジスタのうち一部では、そのソース電極405およびドレイン電極407のうち一方が表示領域42内を延びる走査線に接続されており、その走査線は単位画素44を構成する薄膜トランジスタのゲート電極401に電氣的に接続されている。もちろん、電界抑制膜205は、表示領域42内の薄膜トランジスタのみに設けられてもよいし、駆動回路を構成する薄膜トランジスタのみに設けられてもよい。また、電界抑制膜205は、表示領域42内の薄膜トランジスタおよび駆動回路を構成する薄膜トランジスタの両方に用いられてもよい。

20

30

【0032】

図5は、図2に示す構造の変形例を示している。図5において、電界抑制膜205は、第2の下地層20bと第3の下地層20cとの間に位置している。図5に示す電界抑制膜205は、図2と同様に、チャンネル領域403cの延伸方向でみて半導体膜403のソース領域403s側の端およびドレイン領域403d側の端より内側に配置されている。しかし、図4と同様に、チャンネル領域403cの延伸方向でみて半導体膜403のソース領域403s側の端およびドレイン領域403d側の端より外側にも配置されてもよい。図5に示す構成においても、基板10に蓄積された電荷81による薄膜トランジスタの特性の変動を抑制することができる。

40

【0033】

本発明は、上述した実施形態に限定されるものではなく種々の変形が可能である。例えば、実施形態で説明した構成は、実質的に同一の構成、同一の作用効果を奏する構成又は同一の目的を達成することができる構成で置き換えることができる。また、これまでに有機EL表示装置に本発明を適用する例について説明したが、例えば液晶表示装置など、有機材料を用いた基板を有する他の種類の表示装置にも本発明を適用できる。

【符号の説明】

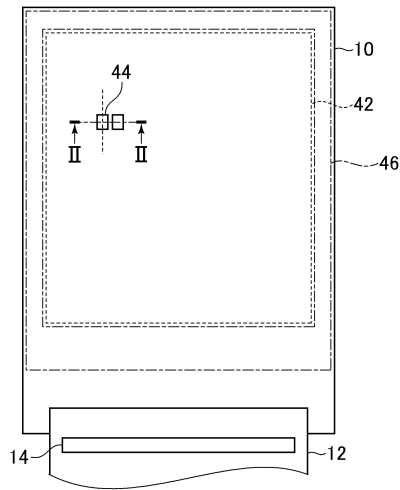
【0034】

50

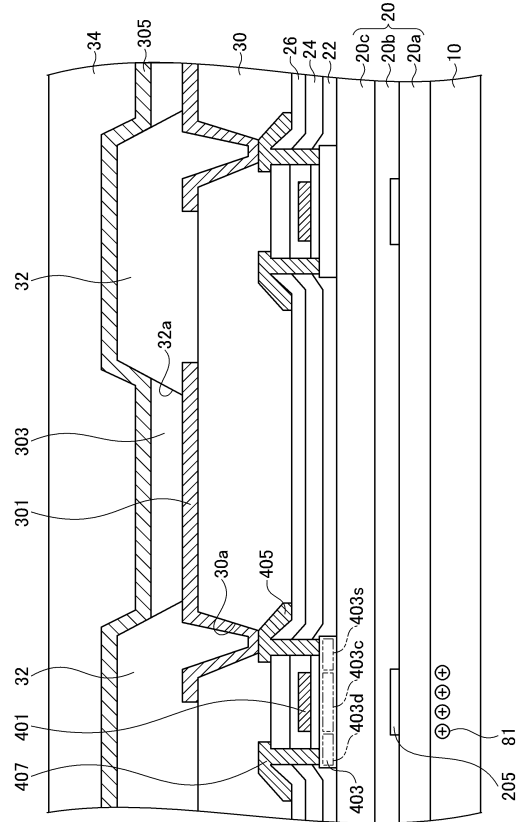
10 基板、12 フレキシブルプリント基板、14 集積回路パッケージ、20 下地層、20a 第1の下地層、20b 第2の下地層、20c 第3の下地層、22 第1の絶縁層、24 第2の絶縁層、26 第3の絶縁層、30 平坦化層、30a, 32a 開口、32 バンク、34 封止層、42 表示領域、44 単位画素、46 周辺領域、81 電荷、205 電界抑制膜、301 画素電極、303 有機EL層、305 対向電極、401 ゲート電極、403 半導体膜、403c チャンネル領域、403d ドレイン領域、403s ソース領域、405 ソース電極、407 ドレイン電極。

【図面】

【図1】



【図2】



10

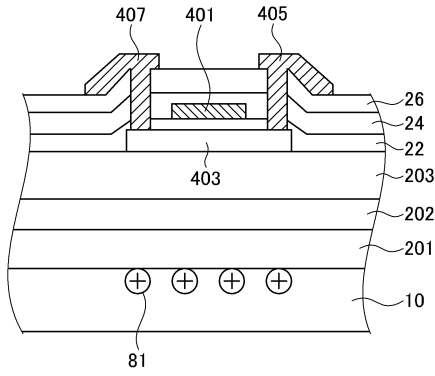
20

30

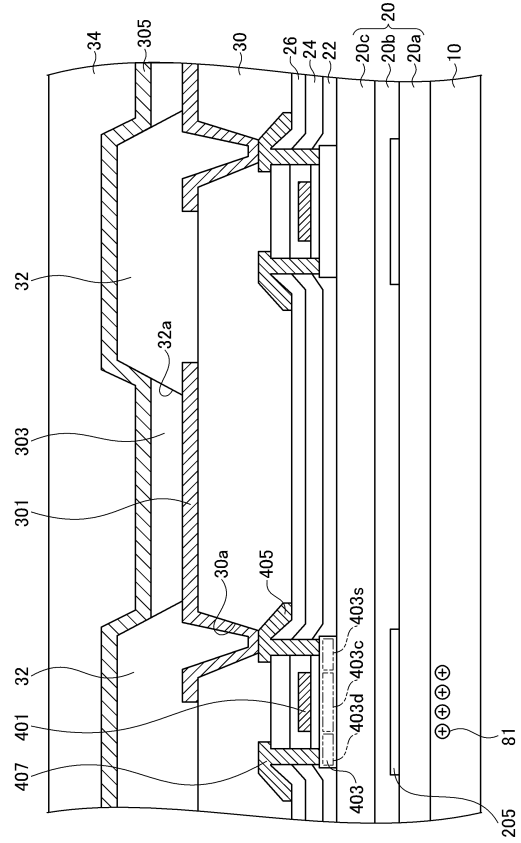
40

50

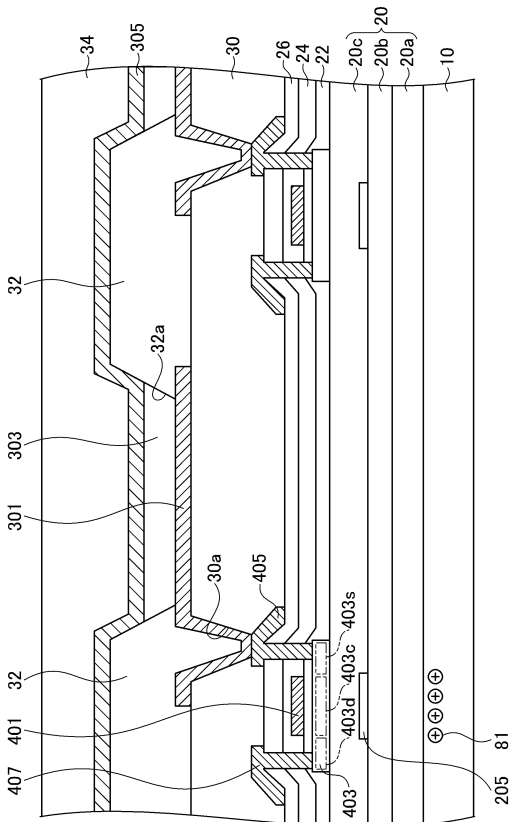
【図3】



【図4】



【図5】



10

20

30

40

50

フロントページの続き

- (51)国際特許分類
- | | | F I | | |
|----------------|------------------------|---------|-------|---|
| H 0 5 B | 33/02 (2006.01) | H 0 1 L | 27/32 | |
| H 0 5 B | 33/12 (2006.01) | H 0 5 B | 33/02 | |
| H 0 5 B | 33/22 (2006.01) | H 0 5 B | 33/12 | B |
| | | H 0 5 B | 33/22 | Z |
- (56)参考文献
- 特開 2 0 0 9 - 1 5 8 9 3 6 (J P , A)
 米国特許出願公開第 2 0 1 6 / 0 2 1 8 3 0 5 (U S , A 1)
 特開 2 0 1 7 - 2 1 2 0 3 8 (J P , A)
 特開 2 0 1 8 - 1 2 9 4 3 0 (J P , A)
 特開 2 0 1 2 - 2 1 6 7 9 6 (J P , A)
 特開 2 0 1 7 - 0 4 9 5 6 8 (J P , A)
 特開 2 0 1 1 - 0 0 9 7 0 4 (J P , A)
 特開 2 0 1 7 - 1 2 0 7 7 5 (J P , A)
- (58)調査した分野 (Int.Cl. , D B 名)
- H 0 1 L 2 1 / 3 3 6
 H 0 1 L 2 9 / 7 8 6
 G 0 9 F 9 / 3 0
 H 0 1 L 5 1 / 5 0
 H 0 1 L 2 7 / 3 2
 H 0 5 B 3 3 / 0 2
 H 0 5 B 3 3 / 1 2
 H 0 5 B 3 3 / 2 2