



(19)대한민국특허청(KR)
(12) 공개특허공보(A)

(51) 。 Int. Cl.

H01L 27/04 (2006.01)

(11) 공개번호

10-2007-0064445

(43) 공개일자

2007년06월21일

(21) 출원번호 10-2005-0124894

(22) 출원일자 2005년12월17일

심사청구일자 2005년12월17일

(71) 출원인

삼성전자주식회사
경기도 수원시 영통구 매탄동 416
서강대학교산학협력단
서울 마포구 신수동 1-1 서강대학교

(72) 발명자

신은석
서울 용산구 효창동 200-13 2/6
최희철
경기 수원시 영통구 영통동 967-2 신나무실 극동아파트 612동1202호
이승훈
서울 마포구 신수동 1 서강대학교 as810
이경훈
서울 마포구 신수동 1 서강대학교 as810
조영재
서울 마포구 신수동 1 서강대학교 as810

(74) 대리인

박영우

전체 청구항 수 : 총 27 항

(54) 커패시터 어레이

(57) 요약

기생 커패시턴스의 영향이 최소화되는 커패시터 어레이를 제공한다.

커패시터 어레이는 복수의 단위 커패시터들로 구성된 매트릭스 구조를 갖고, 커패시터 어레이를 구성하는 단위 커패시터는 평행판 커패시터를 이루는 하부 전극판과 상부 전극판 및 커패시터의 주변을 둘러싼 차폐 구조를 포함한다. 단위 커패시터들은 제1 방향의 상부 전극판 연결선에 의해 연결되어 복수의 커패시터 열들을 이루고, 커패시터 열들은 제1 방향과 수직인 제2 방향으로 배치되며, 커패시터 열들 사이에는 단위 커패시터들 각각의 하부 전극판과 연결된 하부 전극판 리드 라인들이 배치된다.

대표도

도 2

특허청구의 범위

청구항 1.

반도체 기관의 상방에 형성된 하부 전극판;

상기 하부 전극판과 함께 평행판 커패시터를 이루는 상부 전극판;

상기 하부 전극판과 동일층에 형성되고, 상기 하부 전극판을 둘러싼 제1 하위 차폐 구조; 및

상기 상부 전극판과 동일층에 형성되고, 상기 상부 전극판을 둘러싼 제2 하위 차폐 구조를 포함하는 커패시터.

청구항 2.

제1항에 있어서,

상기 상부 전극판은 제1 상부 전극판 및 상기 제1 상부 전극판의 위에 형성된 제2 상부 전극판을 포함하고, 상기 제2 하위 차폐 구조는 상기 제2 상부 전극판과 동일층에 형성된 것을 특징으로 하는 커패시터.

청구항 3.

제1항에 있어서,

상기 상부 전극판의 상방에 형성된 제3 하위 차폐 구조를 더 포함하는 것을 특징으로 하는 커패시터.

청구항 4.

제2항에 있어서,

상기 제3 하위 차폐 구조는 사각 링 구조를 갖는 것을 특징으로 하는 커패시터.

청구항 5.

제1항에 있어서,

상기 하부 전극판의 하방에 형성된 제4 하위 차폐 구조를 더 포함하는 것을 특징으로 하는 커패시터.

청구항 6.

제5항에 있어서,

상기 제4 하위 차폐 구조는 사각 링 구조를 갖는 것을 특징으로 하는 커패시터.

청구항 7.

제1항에 있어서,

상기 제1 하위 차폐 구조는 C 형 라인 구조를 갖는 것을 특징으로 하는 커패시터.

청구항 8.

제1항에 있어서,

상기 제2 하위 차폐 구조는 마주보는 두 개의 말굽 구조를 갖는 것을 특징으로 하는 커패시터.

청구항 9.

제1항에 있어서,

상기 제1 하위 차폐 구조와 상기 제2 하위 차폐 구조는 비아(VIA) 콘택에 의해 전기적으로 연결된 것을 특징으로 하는 커패시터.

청구항 10.

반도체 기관의 상방에 형성된 사각 형상의 하부 전극판;

상기 하부 전극판보다 좁은 면적의 사각 형상을 가지며, 상기 하부 전극판과 함께 평행판 커패시터를 이루는 제1 상부 전극판;

상기 상부 전극판보다 좁은 면적의 사각 형상을 가지며, 상기 상부 전극판 위에 형성된 제2 상부 전극판;

상기 하부 전극판과 동일층에 형성되고, 상기 하부 전극판과 떨어져서 상기 하부 전극판을 둘러싼 C 형 라인 구조를 갖는 제1 하위 차폐 구조; 및

상기 제2 상부 전극판과 동일층에 형성되고, 상기 제2 상부 전극판과 떨어져서 상기 제2 상부 전극판을 둘러싼 마주보는 두 개의 말굽 구조를 갖는 제2 하위 차폐 구조를 포함하고,

상기 제1 하위 차폐 구조와 상기 제2 하위 차폐 구조는 전기적으로 연결된 것을 특징으로 하는 커패시터 어레이.

청구항 11.

제10항에 있어서,

상기 제2 상부 전극판의 상방에 형성된 제3 하위 차폐 구조를 더 포함하고, 상기 제3 하위 차폐 구조는 상기 제1 및 제2 하위 차폐 구조와 전기적으로 연결된 것을 특징으로 하는 커패시터.

청구항 12.

제11항에 있어서,

상기 제3 하위 차폐 구조는 사각 링 구조를 갖는 것을 특징으로 하는 커패시터.

청구항 13.

제10항에 있어서,

상기 하부 전극판의 하방에 형성된 제4 하위 차폐 구조를 더 포함하고, 상기 제4 하위 차폐 구조는 상기 제1 내지 제3 하위 차폐 구조와 전기적으로 연결된 것을 특징으로 하는 커패시터.

청구항 14.

제13항에 있어서,

상기 제4 하위 차폐 구조는 사각 링 구조를 갖는 것을 특징으로 하는 커패시터.

청구항 15.

제10항에 있어서,

상기 제1 하위 차폐 구조와 상기 제2 하위 차폐 구조는 비아(VIA) 콘택에 의해 전기적으로 연결된 것을 특징으로 하는 커패시터.

청구항 16.

복수의 단위 커패시터들로 구성된 매트릭스 구조의 커패시터 어레이에 있어서,

상기 단위 커패시터들 각각은:

하부 전극판;

상기 하부 전극판과 함께 평행판 커패시터를 이루는 상부 전극판;

상기 하부 전극판 및 상기 상부 전극판의 주변을 둘러싼 차폐 구조를 포함하고,

상기 단위 커패시터들은 제1 방향의 상부 전극판 연결선에 의해 연결되어 복수의 커패시터 열들을 이루고,

상기 커패시터 열들은 상기 제1 방향과 수직한 제2 방향으로 배치되며,

커패시터 열들 사이에는 상기 단위 커패시터들 각각의 하부 전극판과 연결된 하부 전극판 리드 라인들이 배치되는 것을 특징으로 하는 커패시터 어레이.

청구항 17.

제16항에 있어서,

상기 차폐 구조는 상기 하부 전극판과 동일층에 형성되고, 상기 하부 전극판을 둘러싼 제1 하위 차폐 구조; 및

상기 상부 전극판과 동일층에 형성되고, 상기 상부 전극판을 둘러싼 제2 하위 차폐 구조를 포함하는 것을 특징으로 하는 커패시터 어레이.

청구항 18.

제17항에 있어서,

상기 상부 전극판은 제1 상부 전극판 및 상기 제1 상부 전극판의 위에 형성된 제2 상부 전극판을 포함하고, 상기 제2 하위 차폐 구조 및 상기 상부 전극판 연결선은 상기 제2 상부 전극판과 동일층에 형성된 것을 특징으로 하는 커패시터 어레이.

청구항 19.

제17항에 있어서,

상기 상부 전극판의 상방에 형성된 사각 링 구조를 갖는 제3 하위 차폐 구조를 더 포함하는 것을 특징으로 하는 커패시터 어레이.

청구항 20.

제17항에 있어서,

상기 하부 전극판의 하방에 형성된 사각 링 구조를 갖는 제4 하위 차폐 구조를 더 포함하는 것을 특징으로 하는 커패시터 어레이.

청구항 21.

제17항에 있어서,

상기 제1 하위 차폐 구조는 C 형 라인 구조를 갖고, 상기 제2 하위 차폐 구조는 마주보는 두 개의 말굽 구조를 갖는 것을 특징으로 하는 커패시터 어레이.

청구항 22.

제17항에 있어서,

상기 제1 하위 차폐 구조와 상기 제2 하위 차폐 구조는 비아(VIA) 컨택에 의해 전기적으로 연결된 것을 특징으로 하는 커패시터 어레이.

청구항 23.

제16항에 있어서,

상기 리드 라인들 각각은 더미 패턴을 포함하는 것을 특징으로 하는 커패시터 어레이.

청구항 24.

제16항에 있어서,

상기 커패시터 열들 사이에는 더미 패턴을 포함하는 것을 특징으로 하는 커패시터 어레이.

청구항 25.

제16항에 있어서,

상기 리드 라인들은 상기 커패시터 열들 사이에 평행한 2개 열로 배열되는 것을 특징으로 하는 커패시터 어레이.

청구항 26.

제25항에 있어서,

상기 커패시터 열들은 서로 동일한 개수의 단위 커패시터들로 구성되는 것을 특징으로 하는 커패시터 어레이.

청구항 27.

제26항에 있어서,

상기 커패시터 열들 각각은 2개 이상 4개 이하의 단위 커패시터들로 구성되는 것을 특징으로 하는 커패시터 어레이.

명세서**발명의 상세한 설명****발명의 목적****발명이 속하는 기술 및 그 분야의 종래기술**

본 발명은 커패시터 어레이에 관한 것으로서, 보다 상세하게는 기생 커패시턴스(parasitic capacitance)의 영향을 최소화 하는 커패시터 어레이 배치에 관한 것이다.

MOS(Metal Oxide Semiconductor) 공정은 양질의 산화막을 제공하며, MOS 공정에 의한 양질의 산화막을 이용하여 정밀한 커패시터를 만들 수 있다. 이와 같이 정밀한 커패시터들은 바이너리-웨이트드 래더(binary-weighted ladder) 형태로 커패시터 어레이를 구성하고, 커패시터 어레이는 ADC(Analog to Digital Converter), DAC(Digital to Analog Converter), Filter 등에 사용될 수 있다.

커패시터 어레이를 구성하는 커패시터들간에는 비율의 정합(ratio matching)이 매우 중요하다. 그러나 커패시터 어레이를 제조하는 공정의 한계에 따라 커패시터들간의 비율 오차가 발생된다. 비율 오차의 발생 원인으로 1) 마스크 공정상 발생하는 에지 데피니션 에러(edge definition error), 2) 산화막 두께의 기울기(gradient), 3) 산화막 상에 형성되는 메탈층에 의해 발생하는 기생 커패시턴스 성분, 4) 커패시터와 각 소자를 연결하는 메탈 라인에 의한 기생 커패시턴스 성분 등이 있다.

도 1a, 1b, 1c 및 1d는 각각 종전의 커패시터 어레이의 구성을 보여주고 있다.

도 1a는 참조하면, 바이너리-웨이트드 래더 형태의 커패시터 어레이를 구성하는 커패시턴스가 C1, 2C1, 4C1인 커패시터들을 만들기 위하여 면적을 달리한다.

즉, 커패시터(110)는 커패시터(112)보다 면적이 4배가 되도록 했고, 커패시터(111)는 커패시터(112)보다 면적이 2배가 되도록 구현한다. 그렇지만 커패시터들(110, 111, 112) 간의 면적비는 정확히 에지 데피니션 에러에 의해 정확하게 4:2:1이 되지 못한다. 따라서 면적의 비로 커패시턴스를 조절하는 도 1a의 방식은 정밀한 ADC나 DAC에는 사용되기 곤란하다.

도 1b는 에지 데피니션 에러 문제를 해결한 바이너리-웨이트드 래더 형태의 커패시터 어레이 구성 방법을 보여주고 있다. 커패시터 어레이는 동일한 면적과 구조를 갖는 복수의 단위 커패시터들을 포함한다. 이 때 필요한 커패시턴스를 갖는 커패시터는 단위 커패시터들을 연결하여 얻을 수 있다. 예를 들어, 커패시터 어레이를 구성하는 단위 커패시터들(120 내지

127) 중에서 커패시터들(120, 121, 124, 125)을 연결하여 커패시턴스가 4C1인 커패시터를 만들고, 커패시터들(122, 126)을 연결하여 커패시턴스가 2C1인 커패시터를 만든다. 그리고 커패시턴스가 C1인 커패시터(127)를 포함하여 4:2:1의 커패시턴스들을 제공하는 커패시터 어레이를 구성할 수 있다. 도 1b의 커패시터 어레이는 단위 커패시터를 이용하여 에지 데피니션 에러를 해결하였지만, 산화막 두께의 문제에 의해 그 정밀도의 한계가 있다. 즉, 커패시터(120)와 멀리 떨어져 있는 커패시터(127)은 산화막 두께 기울기에 의해 산화막의 두께가 다를 수 있다. 따라서 커패시터(120)와 커패시터(127)의 커패시턴스는 서로 다르게 된다.

도 1c는 산화막 두께 기울기에 의한 오차를 줄여주는 종전의 커패시터 어레이를 보여주고 있다. 도 1c의 커패시터 어레이는 커먼 센트로이드(common centroid)형 커패시터 어레이라고도 하는데, 특정한 커패시턴스를 얻기 위하여 단위 커패시터들을 연결할 때 커패시터 어레이의 중심에 대칭되도록 연결한다. 예를 들어, 커패시터 어레이를 구성하는 단위 커패시터들(130 내지 138) 중에서 커패시터들(130, 132, 136, 138)을 연결하여 커패시턴스가 4C1인 커패시터를 만들고, 커패시터들(131, 137)을 연결하여 커패시턴스가 2C1인 커패시터를 만든다. 그리고 커패시턴스가 C1인 커패시터로는 커패시터(134)를 사용한다. 이렇게 하여 4:2:1의 커패시턴스들을 제공하는 커패시터 어레이를 구성한다.

최근에 MOS 공정 기술이 발전하여 이전보다 훨씬 정밀한 커패시터를 만들 수 있게 되었다. 또한 커패시터 어레이를 구성하는 개별 단위 커패시터의 면적이 점차로 작아지고 있으며, 이에 따라 단위 커패시터의 커패시턴스도 작아지고 있다. 이에 따라 이전에는 크게 문제가 되지 않은 기생 커패시턴스가 점차적으로 문제가 되고 있다. 예를 들면, 도 1c와 같은 커먼 센트로이드형 커패시터 어레이에서 산화막 두께 기울기의 문제는 거의 발생되지 않지만, 작은 커패시턴스를 갖는 단위 커패시터들을 연결하는 라인과 단위 커패시터간의 기생 커패시턴스와 단위 커패시터들간의 기생 커패시턴스 등이 단위 커패시터의 커패시턴스에 비해 무시하지 못할 정도가 되었다. 따라서 커먼 센트로이드형 커패시터 어레이는 집적도가 높은 ADC나 DAC에 적용하기에는 무리가 있다.

도 1d는 대한민국 공개특허 1999-1759호에 개시된 커패시터 어레이를 보여주고 있다. 커패시터 어레이를 구성하는 커패시터들(140 내지 146)은 동일한 간격으로 떨어져서 동일한 방향으로 일렬로 배열된다. 도 1d의 커패시터 어레이는 복잡하지 않고 단순하게 일렬로 커패시터들을 배치함으로써 메탈 라인에 의한 기생 커패시턴스의 영향을 적게 받는다. 또한 4개 또는 2개의 커패시터들을 연결할 때 중심을 기준으로 대칭적으로 연결하여, 산화막 두께 기울기의 영향이 최소화되도록 한다. 그러나 도 1d와 같은 스트레이트(straight)형 커패시터 어레이는 많은 커패시터들을 포함하는 커패시터 어레이를 만들기 곤란할 수 있다.

따라서, 많은 커패시터들을 포함할 수 있는 커먼 센트로이드 배치를 가지면서도 1) 마스크 공정상 발생하는 에지 데피니션 에러(edge definition error), 2) 산화막 두께의 기울기(gradient), 3) 산화막 상에 형성되는 메탈층에 의해 발생하는 기생 커패시턴스 성분, 4) 커패시터와 각 소자를 연결하는 메탈 라인에 의한 기생 커패시턴스 성분 등에 의해 발생하는 오차를 최소화할 수 있는 커패시터 어레이와 이러한 커패시터 어레이를 위한 단위 커패시터가 필요하다.

발명이 이루고자 하는 기술적 과제

본 발명은 상술한 문제점을 해결하기 위해 안출된 것으로서, 본 발명은 주변 환경의 기생 성분에 의한 영향을 최소화할 수 있는 구조를 갖는 커패시터 어레이를 제공하는 것을 그 목적으로 한다.

또한 본 발명은 주변 환경의 기생 성분에 의한 영향을 최소화할 수 있는 커패시터 어레이를 위한 단위 커패시터를 제공하는 것을 다른 목적으로 한다.

그렇지만 이상의 목적은 예시적인 것으로서 본 발명은 목적은 이에 한정되지는 않는다.

발명의 구성

상기와 같은 목적을 달성하기 위하여, 본 발명의 일 실시예에 따른 커패시터는 반도체 기판의 상부에 형성된 하부 전극판과, 상기 하부 전극판과 함께 평행판 커패시터를 이루는 상부 전극판과, 상기 하부 전극판과 동일층에 형성되고, 상기 하부 전극판을 둘러싼 제1 하위 차폐 구조, 및 상기 상부 전극판과 동일층에 형성되고, 상기 상부 전극판을 둘러싼 제2 하위 차폐 구조를 포함한다.

상기 상부 전극판은 제1 상부 전극판 및 상기 제1 상부 전극판의 위에 형성된 제2 상부 전극판을 포함하고, 상기 제2 하위 차폐 구조는 상기 제2 상부 전극판과 동일층에 형성될 수 있다.

커패시터는 상기 상부 전극판의 상방에 형성된 제3 하위 차폐 구조를 더 포함할 수 있으며, 상기 제3 하위 차폐 구조는 사각 링 구조를 가질 수 있다.

커패시터는 상기 하부 전극판의 하방에 형성된 제4 하위 차폐 구조를 더 포함할 수 있으며, 상기 제4 하위 차폐 구조는 사각 링 구조를 가질 수 있다.

상기 제1 하위 차폐 구조는 C 형 라인 구조를 갖고, 상기 제2 하위 차폐 구조는 마주보는 두 개의 말굽 구조를 가질 수 있다. 상기 제1 하위 차폐 구조와 상기 제2 하위 차폐 구조는 비아(VIA) 컨택에 의해 전기적으로 연결될 수 있다.

상기와 같은 목적을 달성하기 위하여, 본 발명의 일 실시예에 따른 커패시터는 반도체 기판의 상방에 형성된 사각 형상의 하부 전극판과, 상기 하부 전극판보다 좁은 면적의 사각 형상을 가지며, 상기 하부 전극판과 함께 평행판 커패시터를 이루는 제1 상부 전극판과, 상기 상부 전극판보다 좁은 면적의 사각 형상을 가지며, 상기 상부 전극판 위에 형성된 제2 상부 전극판과, 상기 하부 전극판과 동일층에 형성되고, 상기 하부 전극판과 떨어져서 상기 하부 전극판을 둘러싼 C 형 라인 구조를 갖는 제1 하위 차폐 구조, 및 상기 제2 상부 전극판과 동일층에 형성되고, 상기 제2 상부 전극판과 떨어져서 상기 제2 상부 전극판을 둘러싼 마주보는 두 개의 말굽 구조를 갖는 제2 하위 차폐 구조를 포함하고, 상기 제1 하위 차폐 구조와 상기 제2 하위 차폐 구조는 전기적으로 연결된다.

커패시터는 상기 제2 상부 전극판의 상방에 형성된 제3 하위 차폐 구조를 더 포함할 수 있고, 상기 제3 하위 차폐 구조는 상기 제1 및 제2 하위 차폐 구조와 전기적으로 연결된다. 이 때 상기 제3 하위 차폐 구조는 사각 링 구조를 가질 수 있다.

커패시터는 상기 하부 전극판의 하방에 형성된 제4 하위 차폐 구조를 더 포함할 수 있고, 상기 제4 하위 차폐 구조는 상기 제1 내지 제3 하위 차폐 구조와 전기적으로 연결된다. 이 때 상기 제4 하위 차폐 구조는 사각 링 구조를 가질 수 있다.

상기 제1 하위 차폐 구조와 상기 제2 하위 차폐 구조는 비아(VIA) 컨택에 의해 전기적으로 연결될 수 있다.

상기와 같은 목적을 달성하기 위하여, 본 발명의 일 실시예에 따른 커패시터 어레이는 복수의 단위 커패시터들로 구성된 매트릭스 구조를 갖는다. 상기 단위 커패시터들 각각은 하부 전극판과, 상기 하부 전극판과 함께 평행판 커패시터를 이루는 상부 전극판과, 상기 하부 전극판 및 상기 상부 전극판의 주변을 둘러싼 차폐 구조를 포함한다. 상기 단위 커패시터들은 제1 방향의 상부 전극판 연결선에 의해 연결되어 복수의 커패시터 열들을 이루고, 상기 커패시터 열들은 상기 제1 방향과 수직인 제2 방향으로 배치되며, 커패시터 열들 사이에는 상기 단위 커패시터들 각각의 하부 전극판과 연결된 하부 전극판 리드 라인들이 배치된다.

상기 차폐 구조는 상기 하부 전극판과 동일층에 형성되고 상기 하부 전극판을 둘러싼 제1 하위 차폐 구조와, 상기 상부 전극판과 동일층에 형성되고 상기 상부 전극판을 둘러싼 제2 하위 차폐 구조를 포함할 수 있다.

상기 상부 전극판은 제1 상부 전극판 및 상기 제1 상부 전극판의 위에 형성된 제2 상부 전극판을 포함하고, 상기 제2 하위 차폐 구조 및 상기 상부 전극판 연결선은 상기 제2 상부 전극판과 동일층에 형성될 수 있다.

상기 상부 전극판의 상방에 형성된 사각 링 구조를 갖는 제3 하위 차폐 구조와, 상기 하부 전극판의 하방에 형성된 사각 링 구조를 갖는 제4 하위 차폐 구조를 더 포함할 수 있다.

상기 제1 하위 차폐 구조는 C 형 라인 구조를 갖고, 상기 제2 하위 차폐 구조는 마주보는 두 개의 말굽 구조를 가질 수 있다. 상기 제1 하위 차폐 구조와 상기 제2 하위 차폐 구조는 비아(VIA) 컨택에 의해 전기적으로 연결될 수 있다.

상기 리드 라인들 각각은 더미 패턴을 포함하는 것을 특징으로 하는 커패시터 어레이.

상기 커패시터 열들 사이에는 더미 패턴을 포함할 수 있다.

상기 리드 라인들은 상기 커패시터 열들 사이에 평행한 2개 열로 배열될 수 있다.

상기 커패시터 열들은 서로 동일한 개수의 단위 커패시터들로 구성될 수 있다. 이 때 상기 커패시터 열들 각각은 2개 이상 4개 이하의 단위 커패시터들로 구성될 수 있다.

이하, 본 발명의 바람직한 실시예를 첨부 도면을 참조하여 상세히 설명한다. 이하의 실시예들은 본 발명의 이해를 돕기 위한 예시적인 것으로서, 한정적인 것이 아니다. 설명의 편의상 동일한 구성요소에 대해서는 동일한 참조 번호를 부여한다.

도 2는 본 발명의 일 실시예에 따른 커패시터의 배치를 보여주는 도면이다.

커패시터(200)는 MIM(Metal-Insulator-Metal) 구조로 반도체 공정에 의해 형성된다. 설명의 편의상 메탈1, 메탈2, 메탈3 및 메탈4 공정으로 커패시터를 형성할 경우를 기준으로 커패시터 구조를 설명한다.

커패시터(200)는 평행판 커패시터를 이루는 하부 전극판(210) 및 상부 전극판(220, 230)과 하부 전극판(210) 및 상부 전극판(220, 230)을 둘러싼 차폐 구조(240)를 포함한다.

하부 전극판(210)은 메탈2 공정에 의해 형성된다.

상부 전극판(220, 230)은 제1 상부 전극판(220)과 제1 상부 전극판(220)의 위에 형성된 제2 상부 전극판(230)으로 구성된다. 제1 상부 전극판(220)은 도전성 물질, 예를 들면 텅스텐으로 형성된다. 제2 상부 전극판(230)은 메탈3 공정에 의해 형성된다.

차폐 구조(240)는 커패시터(200)가 주변 환경(다른 커패시터의 존재, 커패시터의 전극판을 연결하는 메탈 라인 등)에 의해 받는 영향이 최소화되도록 한다. 즉, 차폐 구조(240)는 커패시터(200)를 주변 환경으로부터 격리시키는 역할을 한다.

차폐 구조(240)는 외부의 다른 소자들과 연결시켜주는 리드 라인(도시되지 않음)과 하부 전극판(210)을 연결하는 라인을 위한 공간(250)과, 제2 상부 전극판(230)과 커패시터 어레이에 포함된 다른 커패시터의 제2 상부 전극판을 연결하는 라인을 위한 공간(260)을 포함한다.

커패시터(200)의 수직 단면 구조는 도 3a, 3b, 3c 및 3d를 참조하여 설명하고, 수평 단면 구조는 도 4를 참조하여 설명한다.

도 3a는 도 2의 A1-A2를 기준으로 한 커패시터(200)의 수직 단면도이고, 도 3b는 도 2의 A3-A4를 기준으로 한 커패시터(200)의 수직 단면도이고, 도 3c는 도 2의 B1-B2를 기준으로 한 커패시터(200)의 수직 단면도이며, 도 3d는 도 2의 B3-B4를 기준으로 한 커패시터(200)의 수직 단면도이다.

도시된 바와 같이 하부 전극판(210)은 메탈2 공정으로 형성되며, 위에서 바라볼 때 정사각형 모양을 갖는다. 제1 상부 전극판(220)은 하부 전극판(210)의 상방에 형성되며 정사각형 모양을 갖는다. 하부 전극판(210)과 제1 상부 전극판(220)의 사이에는 유전체, 예를 들면 SiO_2 층이 있다. 제2 상부 전극판(230)은 메탈3 공정으로 형성되며, 위에서 바라볼 때 정사각형 모양을 갖는다. 제1 상부 전극판(220)의 면적은 하부 전극판(210)의 면적보다 작고, 제2 상부 전극판(230)의 면적은 제1 상부 전극판(220)의 면적보다 작다.

차폐 구조(240)는 4개의 하위 차폐 구조들(240-1, 240-2, 240-3, 240-4)을 포함한다. 하위 차폐 구조(240-2)는 메탈2 공정으로 형성되며 하부 전극판(210)과 떨어져서 하부 전극판(210)을 둘러싼다. 하위 차폐 구조(240-3)는 메탈3 공정으로 형성되며 제2 상부 전극판(230)과 떨어져서 제2 상부 전극판을 둘러싼다. 하위 차폐구조(240-1)는 메탈1 공정으로 형성된다. 하위 차폐 구조(240-4)는 메탈4 공정으로 형성된다.

하위 차폐 구조(240-2)는 하부 전극판(210)과 메탈2 공정으로 형성된 주변 라인들 또는 주변 커패시터의 하부 전극판들 사이에 발생될 수 있는 기생 커패시턴스를 방지한다. 그렇지만, 하위 차폐 구조(240-2)에 의해 하부 전극판(210)과 메탈2 공정으로 형성된 주변 라인들 또는 주변 커패시터의 하부 전극판들 사이에 발생될 수 있는 기생 커패시턴스가 모두 차폐되는 것은 아니다. 따라서 하부 전극판(210)과 메탈2 공정으로 형성된 주변 라인들 또는 주변 커패시터의 하부 전극판들 사이에 발생될 수 있는 기생 커패시턴스를 보다 효과적으로 방지하기 위하여, 커패시터(200)는 메탈1 공정으로 형성된 하위 차폐 구조(240-1)를 포함한다.

하위 차폐 구조(240-3)는 제2 상부 전극판(230)과 메탈3 공정으로 형성된 주변 라인들 또는 주변 커패시터의 상부 전극판들 사이에 발생될 수 있는 기생 커패시턴스를 방지한다. 그렇지만, 하위 차폐 구조(240-3)에 의해 제2 상부 전극판(230)과 메탈3 공정으로 형성된 주변 라인들 또는 주변 커패시터의 상부 전극판들 사이에 발생될 수 있는 기생 커패시턴스

가 모두 차폐되는 것은 아니다. 따라서 제2 상부 전극판(230)과 메탈3 공정으로 형성된 주변 라인들 또는 주변 커패시터의 상부 전극판들 사이에 발생될 수 있는 기생 커패시턴스를 방지하기 위하여, 커패시터(200)는 메탈4 공정으로 형성된 하위 차폐 구조(240-4)를 포함한다.

하위 차폐 구조들(240-1, 240-2, 240-3, 240-4)은 비아 컨택(VIA contact)을 통해 전기적으로 연결된다. 비아 컨택은 도 3a, 3b, 3c 및 3d에서 하위 차폐 구조들 사이의 점선으로 표시되어 있다.

도 4는 도 2의 커패시터의 수평 단면들을 보여준다. 수평 단면들은 도 3a의 C1-C2, C3-C4, C5-C6, C7-C8 및 C9-C10을 기준으로 수평으로 자른 단면은 도 4와 같다.

C1-C2를 기준으로 자른 단면에는 메탈1 공정으로 형성된 하위 차폐 구조(240-1)가 있다. 하위 차폐 구조(240-1)는 사각 링 형상을 갖는다.

C3-C4를 기준으로 자른 단면에는 메탈2 공정으로 형성된 하위 차폐 구조(240-2)와 사각 형상의 하부 전극판(210)이 있다. 하위 차폐 구조(240-2)는 사각 링 구조에서 한쪽이 터진 "C" 형 라인 구조를 갖는다. 하위 차폐 구조(240-2)의 터진 공간(250)은 하부 전극판(210)과 외부의 소자들을 연결시켜주는 리드 라인과 하부 전극판을 연결하는 라인을 위한 공간이다.

C5-C6을 기준으로 자른 단면에는 제1 상부 전극판(220)이 있다. 제1 상부 전극판(220)은 하부 전극판(210)보다 작은 사각 형상을 갖는다. 도면에는 도시되지 않지만 제1 상부 전극판(220)의 주위에는 하위 차폐 구조들을 전기적으로 연결하기 위한 비아 컨택이 있다.

C7-C8을 기준으로 자른 단면에는 메탈3 공정으로 형성된 하위 차폐 구조(240-3)와 제2 상부 전극판(230)이 있다. 제2 상부 전극판(230)은 제1 상부 전극판(220)보다 작은 사각 형상을 갖는다. 하위 차폐 구조(240-3)는 사각 링 구조에서 양쪽이 터진 "마주보는 말굽" 구조를 갖는다. 하위 차폐 구조(240-3)의 터진 공간(260)은 제2 상부 전극판(230)과 다른 커패시터의 제2 전극판들을 연결하기 위한 전극판을 연결하는 상부 전극판 연결 라인을 위한 공간이다.

C9-C10을 기준으로 자른 단면에는 메탈4 공정으로 형성된 하위 차폐 구조(240-4)가 있다. 하위 차폐 구조(240-4)는 사각 링 형상을 갖는다.

이상에서 커패시터의 각 구성 요소들의 형상은 예시적인 것으로서 다양하게 변형 가능하다는 것은 당업자들에게 자명할 것이다. 예를 들어, 하위 차폐 구조들은 메탈 공정으로 형성된 메탈 라인들을 이용하고 하위 차폐 구조들을 비아 컨택을 통해 전기적으로 연결한 커패시터뿐만 아니라 비아 컨택을 하위 차폐 구조 라인을 따라 연속적으로 두어 하위 차폐 구조들이 일체화된 사각통 구조를 갖도록 차폐 구조를 형성할 수도 있다. 또한 도 2의 커패시터(200)에 포함된 각 전극판은 사각 형상을 갖지만, 에지에 전계가 집중되는 것을 막기 위하여 둥근 모서리를 갖는 전극판을 포함한 커패시터도 제조할 수 있다. 그러므로 이상의 실시예들은 예시적인 것으로 해석해야 한다.

도 5는 본 발명의 일 실시예에 따른 커패시터 어레이를 보여주는 도면이다.

커패시터 어레이는 복수의 단위 커패시터들(501 내지 509)을 포함한다. 단위 커패시터들(501, 504, 507)과 단위 커패시터들(502, 505, 508) 및 단위 커패시터들(503, 506, 509)은 각각 Y방향으로 커패시터 열을 구성한다. 커패시터 열들은 X방향으로 배치되어 커패시터 어레이는 매트릭스 구조를 갖는다.

각 커패시터 열의 상부 전극판들은 상부 전극판 연결 라인(520)에 의해 연결된다. 커패시터 열들 사이에는 개별 단위 커패시터들을 외부 소자와 연결하기 위한 하부 전극판 리드 라인(530)이 배치된다. 하부 전극판 리드 라인(530)은 연결 라인(531)에 의해 단위 커패시터의 하부 전극판과 전기적으로 연결된다. 또한 하부 전극판 리드 라인(530)에는 더미 패턴(532)이 포함된다. 더미 패턴(532)은 커패시터 어레이의 대칭성을 높여 기생 커패시턴스의 영향이 어느 단위 커패시턴스에 몰리지 않게 한다. 또한 더미 패턴(532)은 커패시터 어레이에 포함된 하부 전극판 리드 라인(530)의 특성이 균일하게 나타나도록 하는 역할을 한다. 한편 커패시터 어레이는 하부 전극판 리드 라인(530)의 더미 패턴(532)이외에 커패시터 열들 사이에 외부 소자의 연결과 무관한 더미 패턴(540)을 더 포함할 수 있다. 더미 패턴(540)도 커패시터 어레이의 대칭성을 높여 기생 커패시턴스의 영향을 커패시터 어레이 전체에 분산시키는 효과를 제공하고, 더미 패턴(540) 주변의 하부 전극판 리드 라인의 특성이 균일하게 나타나도록 하는 역할을 한다.

한편 도 5에 도시된 바와 같이 커패시터 열들 사이에 하부 전극판 리드 라인은 2개 열로 배열된다. 하부 전극판 리드 라인을 2개 열로 배열하기 때문에 커패시터 어레이에 포함된 커패시터 열은 Y방향으로 최대 4개의 단위 커패시터들을 포함할 수 있다. 본 발명의 실시예에 따른 매트릭스 구조를 갖는 커패시터 어레이는 Y 방향으로 최소 2개부터 최대 4개의 단위 커패시터들을 포함한다. Y 방향으로 4개의 단위 커패시터들을 포함한 커패시터 어레이에 대해서는 도 6을 참조하여 설명한다.

도 6은 커패시터 어레이는 단위 커패시터들(601 내지 616)을 포함한다.

단위 커패시터들(601, 605, 609, 613)과, 단위 커패시터들(602, 606, 610, 614)과, 단위 커패시터들(603, 607, 611, 615) 및 단위 커패시터들(604, 608, 612, 616)은 각각 커패시터 열을 구성한다. 도 5의 커패시터 어레이와 비교할 때 도 6의 커패시터 어레이는 외부 소자와 연결되지 않는 더미 패턴이 존재하지 않고, 하부 전극판 리드 라인에 포함된 더미 패턴만이 존재한다.

이러한 커패시터 어레이를 구성하는 단위 커패시터의 구조는 도 2 내지 도 4의 커패시터(200)를 사용해도 되지만 다른 형태도 가능하다.

다른 형태의 커패시터를 사용한 경우에 대해서는 도 7 내지 도 10을 참조하여 설명한다. 단위 커패시터(604)에 대한 D1-D2 라인을 기준으로 한 수직 단면을 기준으로 사용 가능한 단위 커패시터의 구조를 설명한다.

도 7을 참조하면, 도 2의 커패시터(200)와 동일한 형상을 갖는다. 도 7의 커패시터는 하위 차폐 구조들(740-1, 740-2, 740-3, 740-4)과 하위 차폐 구조들(740-1, 740-2, 740-3, 740-4)을 연결하는 비아 컨택들과 하부 전극판(710)과 제1 상부 전극판(720) 및 제2 상부 전극판(730)은 도 2의 커패시터(200)의 해당 부분과 동일한 구조를 갖는다. 그렇지만 도 2의 커패시터(200)는 메탈1 내지 메탈4 공정으로 형성되지만 도 7의 커패시터는 메탈(n) 내지 메탈(n+3)의 공정으로 형성된다.

도 8의 커패시터는 하위 차폐 구조들(840-1, 840-2, 840-3)과 하위 차폐 구조들(840-1, 840-2, 840-38)을 연결하는 비아 컨택들과 하부 전극판(810)과 제1 상부 전극판(820) 및 제2 상부 전극판(830)은 도 2의 커패시터(200)의 해당 부분과 동일한 구조를 갖는다. 그렇지만 도 2의 커패시터(200)와 비교하면 도 8의 커패시터는 하위 차폐 구조(840-3)의 상방에 하위 차폐 구조가 없다. 도 8의 커패시터는 제2 상부 전극판(830)이 최상의 메탈 공정에 의해 형성될 경우에 적용될 수 있는 구조의 커패시터이다.

도 9의 커패시터는 하위 차폐 구조들(940-1, 940-2, 940-3)과 하위 차폐 구조들(940-1, 940-2, 940-3)을 연결하는 비아 컨택들과 하부 전극판(910)과 제1 상부 전극판(920) 및 제2 상부 전극판(930)은 도 2의 커패시터(200)의 해당 부분과 동일한 구조를 갖는다. 그렇지만 도 2의 커패시터(200)와 비교하면 도 9의 커패시터는 하위 차폐 구조(940-1)의 하방에 하위 차폐 구조가 없다. 도 9의 커패시터는 하부 전극판(910)이 최저의 메탈 공정에 의해 형성될 경우에 적용될 수 있는 구조의 커패시터이다.

도 10의 커패시터는 하위 차폐 구조들(1040-1, 1040-2)과 하위 차폐 구조들(1040-1, 1040-2)을 연결하는 비아 컨택들과 하부 전극판(1010)과 제1 상부 전극판(1020) 및 제2 상부 전극판(1030)은 도 2의 커패시터(200)의 해당 부분과 동일한 구조를 갖는다. 그렇지만 도 2의 커패시터(200)와 비교하면 도 10의 커패시터는 하위 차폐 구조(1040-1)의 하방에 하위 차폐 구조가 없고 하위 차폐 구조(1040-2)의 상방에 하위 차폐 구조가 없다. 도 10의 커패시터는 2층의 메탈 공정만을 이용하여 커패시터를 형성할 때 적용될 수 있는 구조의 커패시터이다.

그러므로 이상에서의 실시예들은 모두 예시적인 것으로, 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자는 하기의 특허 청구의 범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

발명의 효과

본 발명의 실시예에 따른 단위 커패시터는 차폐 구조를 갖고 있으므로, 주변 기생 커패시턴스에 의한 영향을 적게 받는 커패시터 어레이를 구현하는데 사용될 수 있다. 따라서 본 발명의 실시예에 따른 단위 커패시터를 적용한 커패시터 어레이를 이용할 경우에 정밀한 아날로그 디바이스를 제작할 수 있다.

도면의 간단한 설명

도 1a, 1b, 1c 및 1d는 각각 종전의 커패시터 어레이의 구성을 보여주는 도면이다.

도 2는 본 발명의 일 실시예에 따른 커패시터의 배치를 보여주는 도면이다.

도 3a, 3b, 3c 및 3d는 각각 도 2의 커패시터의 수직 단면을 보여주는 도면이다.

도 4는 도 2의 커패시터의 수평 단면을 보여주는 도면이다.

도 5는 본 발명의 일 실시예에 따른 커패시터 어레이를 보여주는 도면이다.

도 6은 본 발명의 다른 실시예에 따른 커패시터 어레이를 보여주는 도면이다.

도 7은 본 발명의 일 실시예에 따른 커패시터 어레이를 구성하는 단위 커패시터의 수직 단면을 보여주는 도면이다.

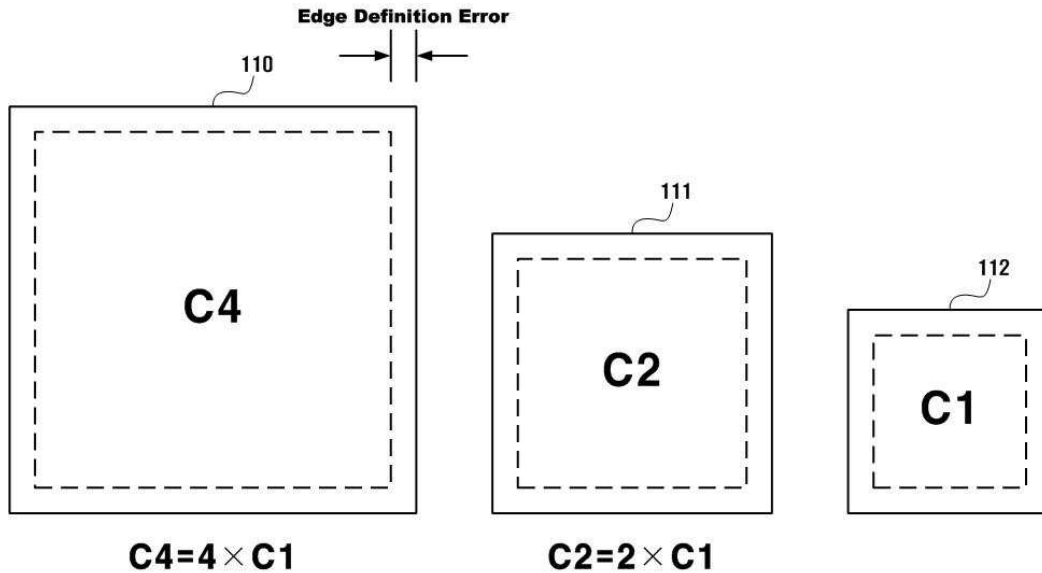
도 8은 본 발명의 다른 실시예에 따른 커패시터 어레이를 구성하는 단위 커패시터의 수직 단면을 보여주는 도면이다.

도 9는 본 발명의 또 다른 실시예에 따른 커패시터 어레이를 구성하는 단위 커패시터의 수직 단면을 보여주는 도면이다.

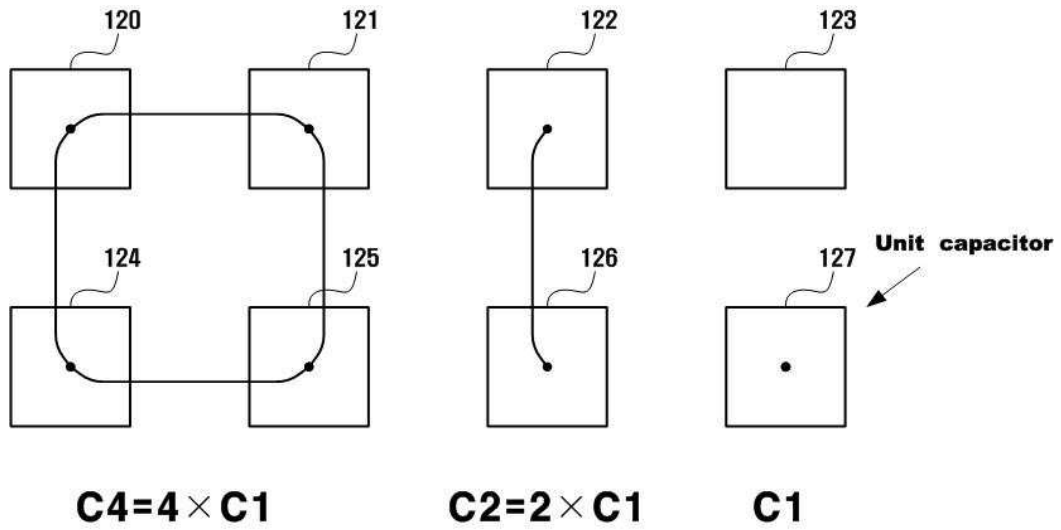
도 10은 본 발명의 또 다른 실시예에 따른 커패시터 어레이를 구성하는 단위 커패시터의 수직 단면을 보여주는 도면이다.

도면

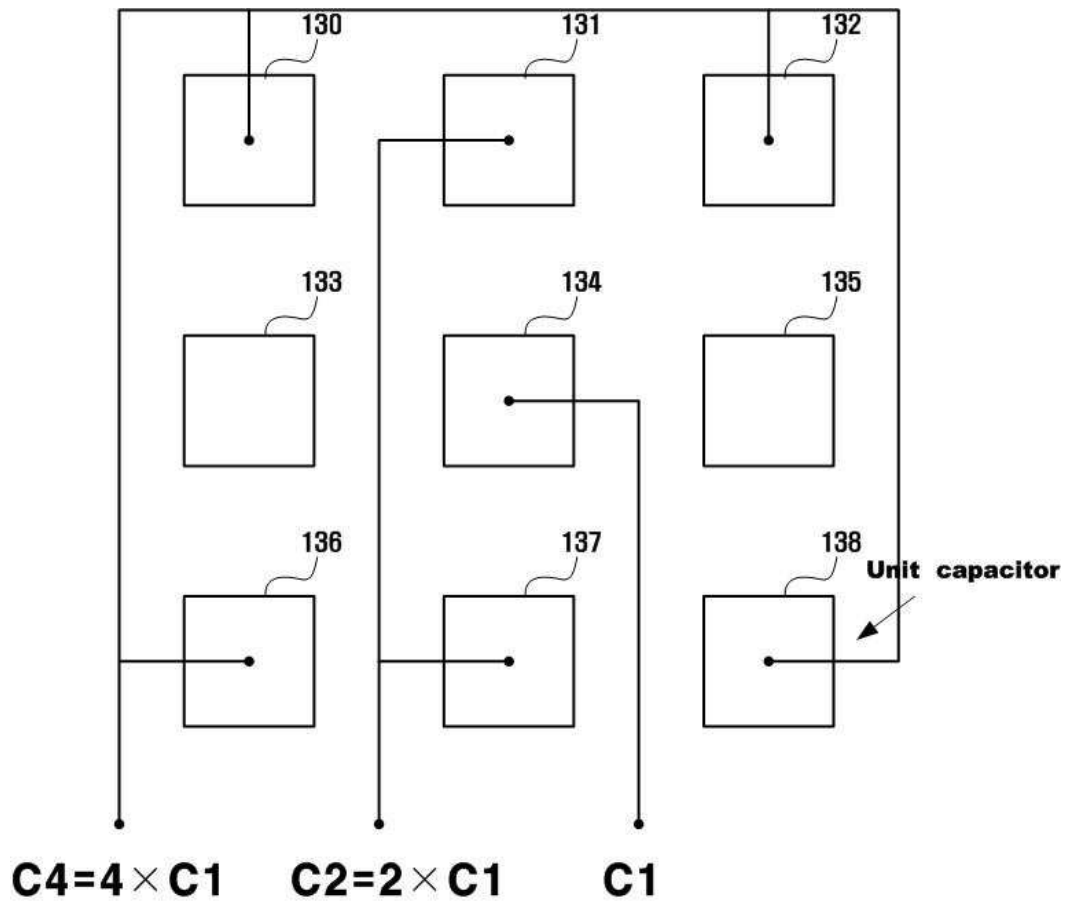
도면1a



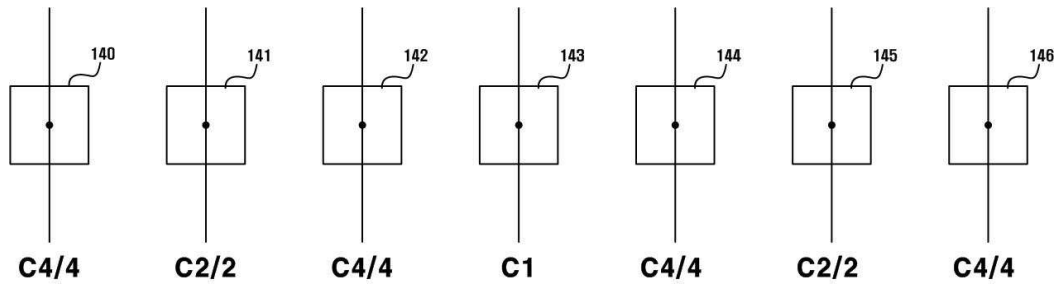
도면1b



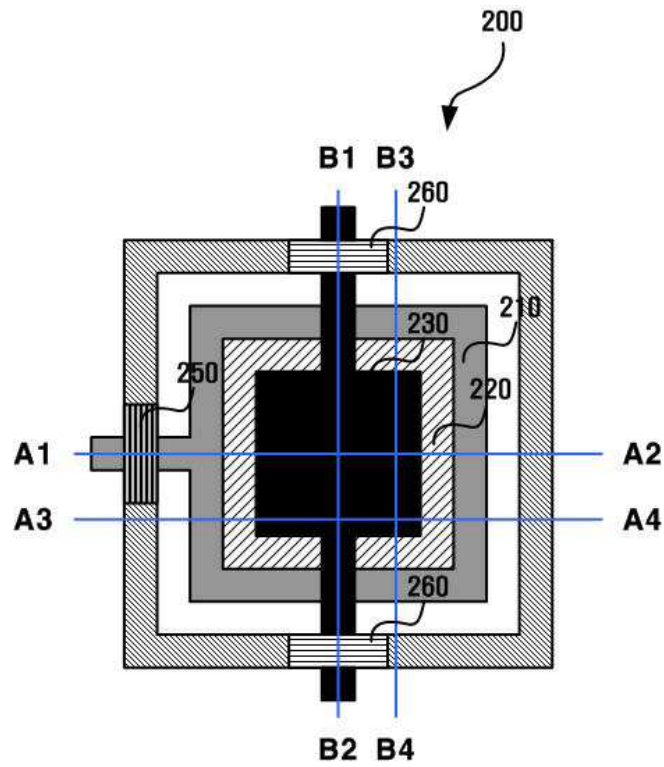
도면1c



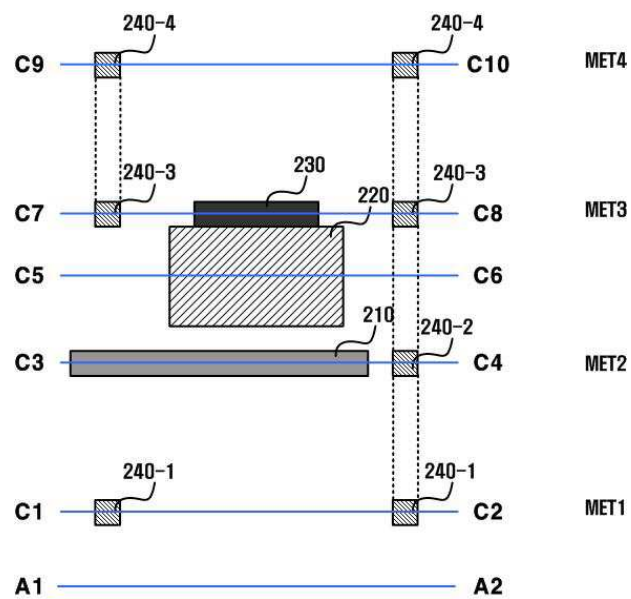
도면1d



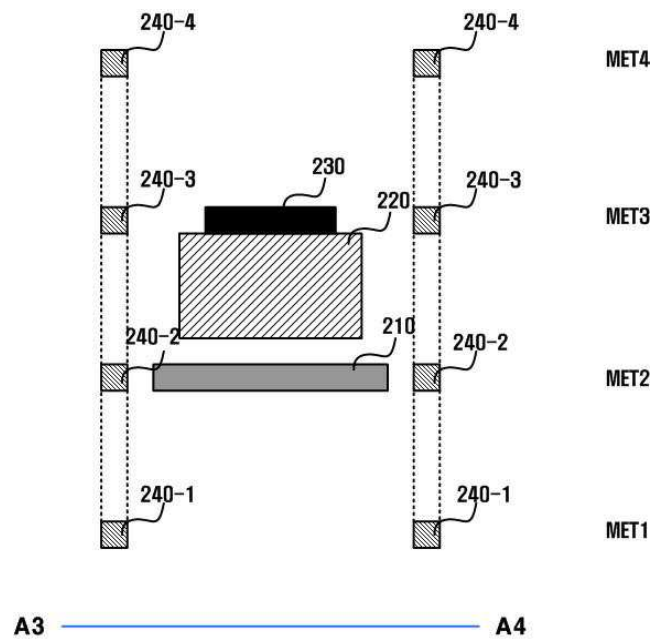
도면2



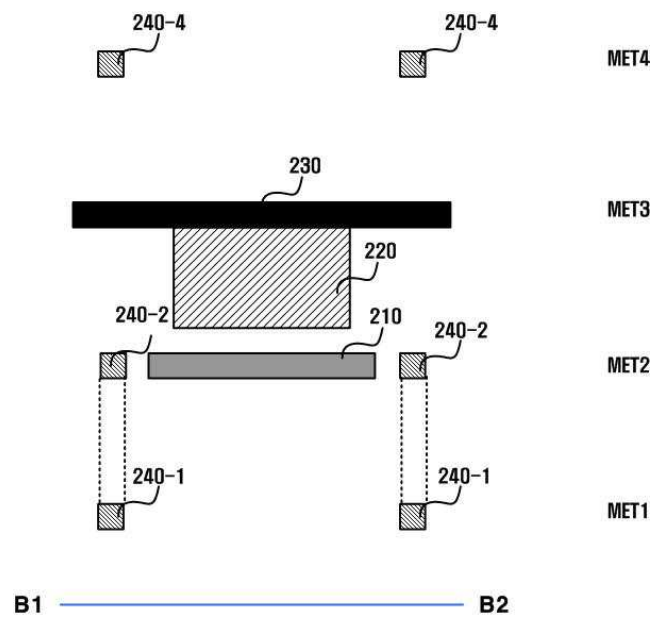
도면3a



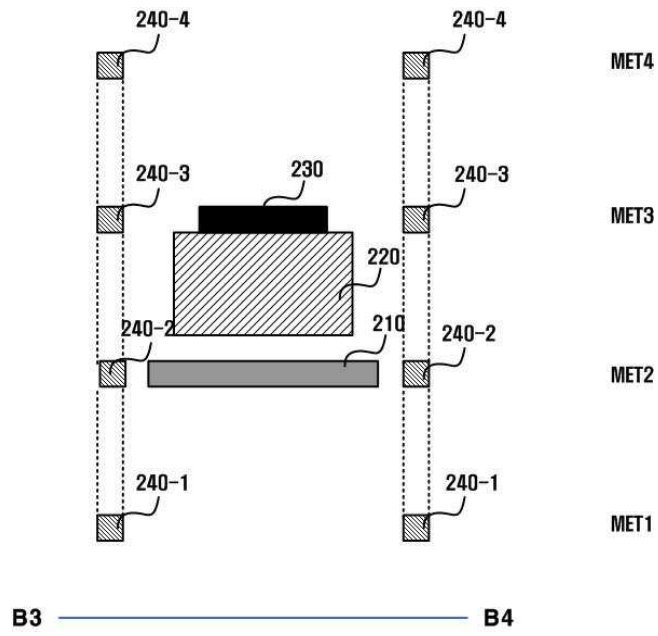
도면3b



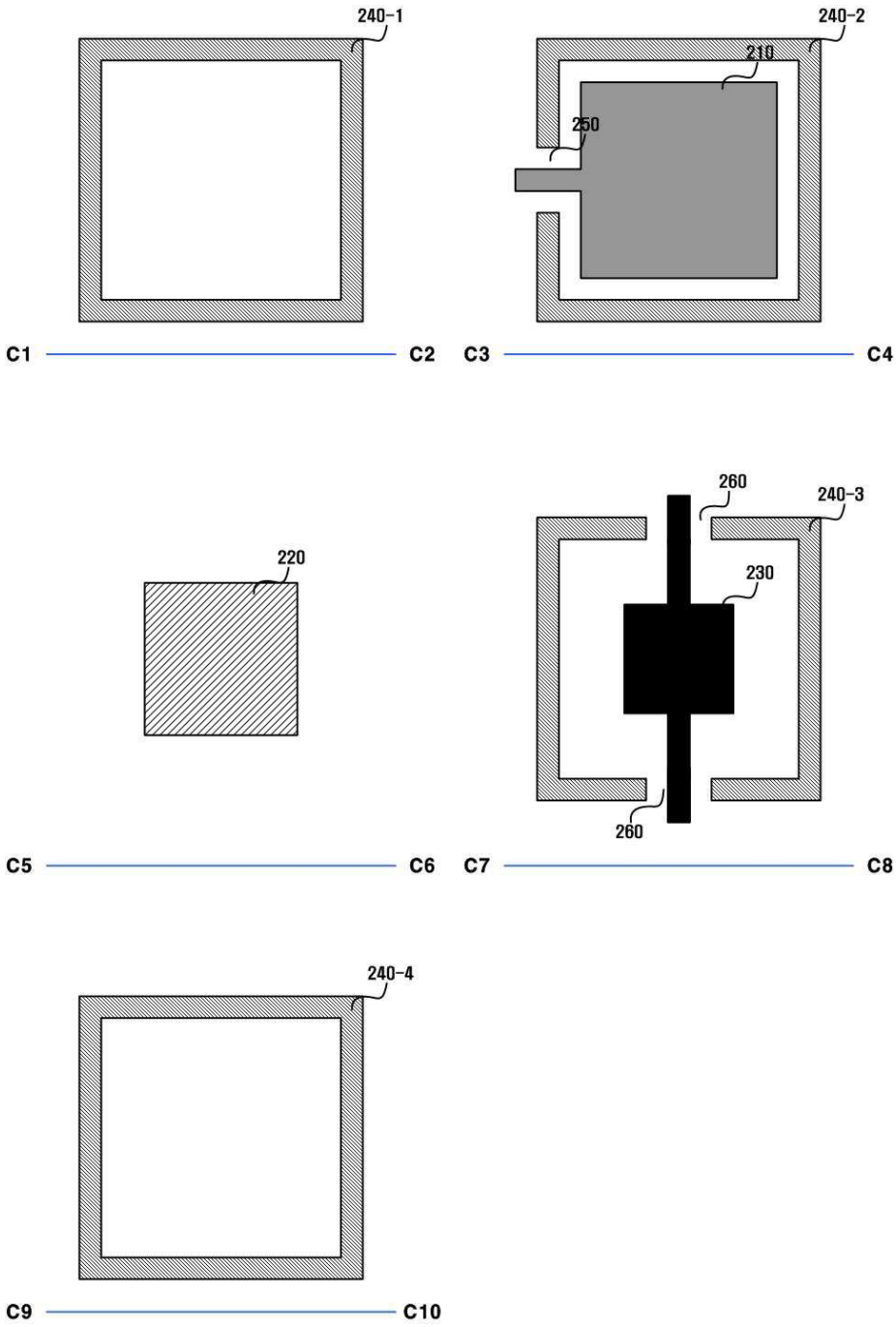
도면3c



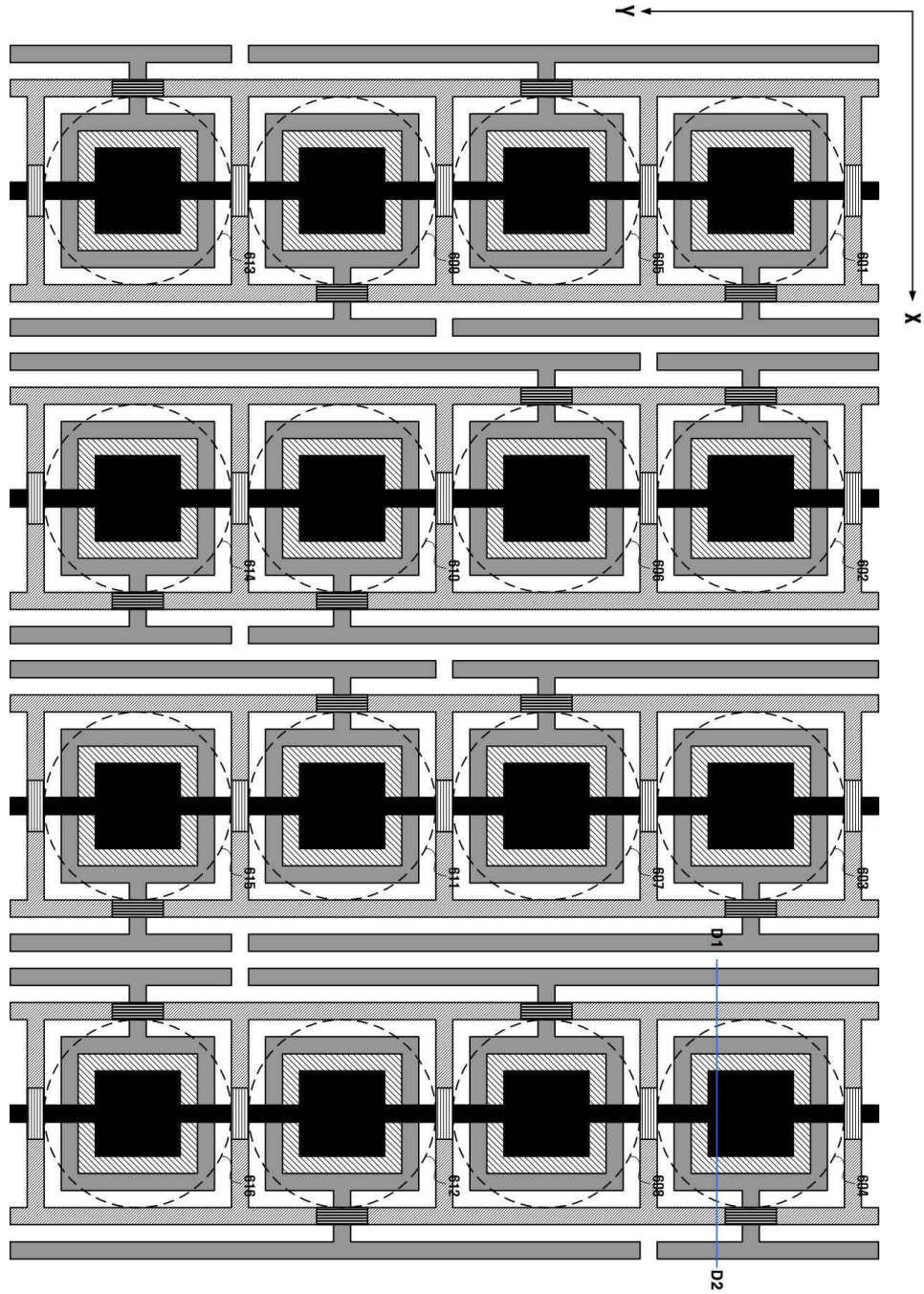
도면3d



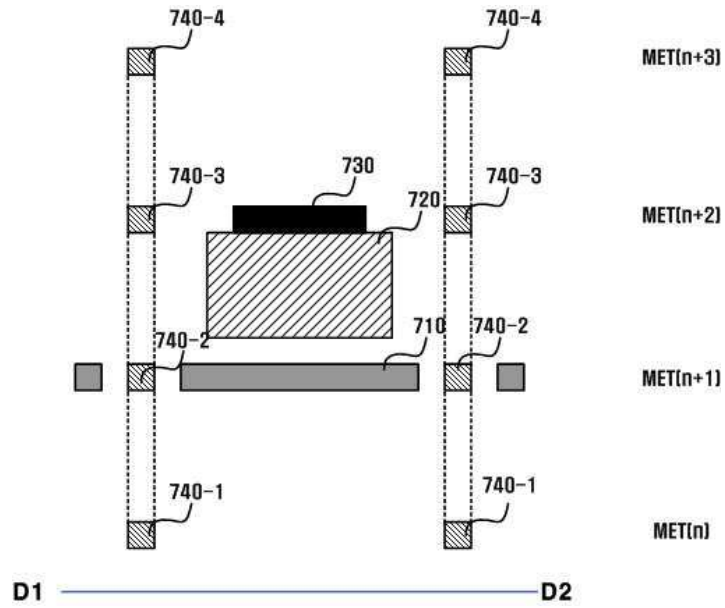
도면4



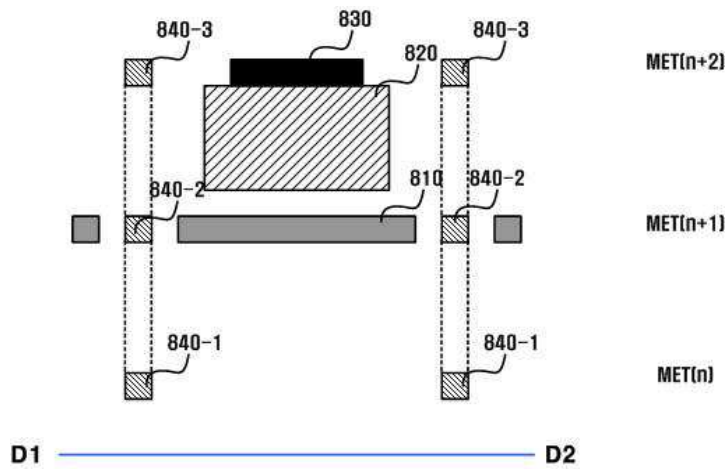
도면6



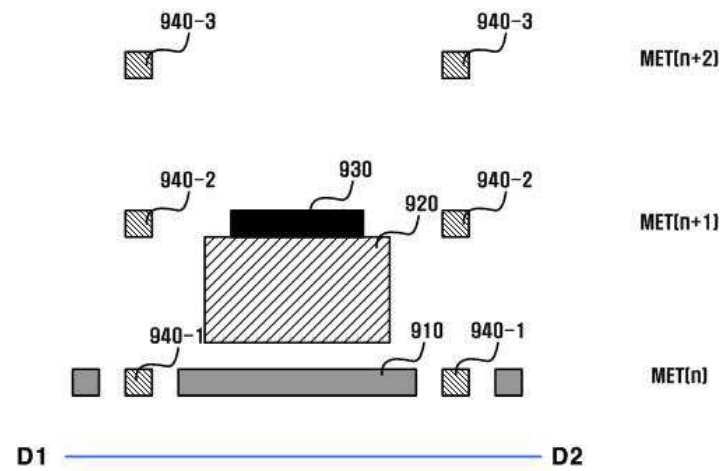
도면7



도면8



도면9



도면10

