



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2011-0101876
(43) 공개일자 2011년09월16일

(51) Int. Cl.

H01L 21/8242 (2006.01) *H01L 27/108* (2006.01)

(21) 출원번호 10-2010-0021211

(22) 출원일자 2010년03월10일

심사청구일자 없음

(71) 출원인

삼성전자주식회사

경기도 수원시 영통구 매탄동 416

(72) 발명자

윤재만

경기 화성시 병점동 안화마을우남퍼스트빌2단지
207동 1702호

김희중

경기 성남시 분당구 정자동 파크뷰 613동 2606호
(뒷면에 계속)

(74) 대리인

박영우

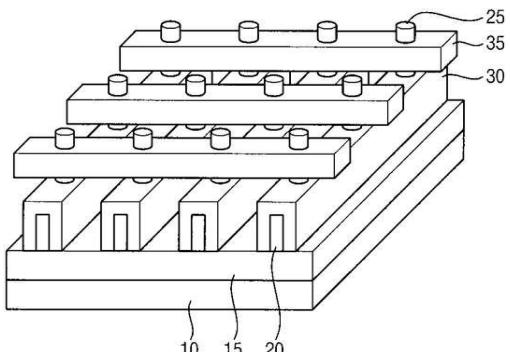
전체 청구항 수 : 총 32 항

(54) 매립 비트 라인을 갖는 반도체 장치 및 반도체 장치의 제조 방법

(57) 요 약

매립 비트 라인을 구비하여 낮은 저항을 갖는 수직 필라 트랜지스터들을 포함하는 반도체 장치 및 그 제조 방법이 개시된다. 수직 필라 트랜지스터는 기판 상에 형성되며, 하부와 상부를 갖는 몸체, 몸체의 상부에 배치되는 소스/드레인 노드, 그리고 몸체의 하부에 배치되는 드레인/소스 노드를 포함한다. 반도체 장치는 적어도 몸체의 하부의 상부 표면에 형성되며, 금속 실리사이드를 포함하는 매립 비트 라인 및 몸체의 상부를 부분적으로 감싸는 워드 라인을 구비한다.

대 표 도 - 도1



(72) 발명자
정현우
서울 종로구 망우3동 520-22
김현기
경기 화성시 반송동 9-5번지 301호

김강옥
서울 종로구 숭인동 롯데캐슬천지인 지동 1517호
오용철
경기도 수원시 팔달구 영통동 청명마을 건영APT
424-1301호

특허청구의 범위

청구항 1

기판 상에 형성되며, 하부와 상부를 갖는 몸체, 상기 몸체의 상부에 배치되는 소스/드레인 노드, 그리고 상기 몸체의 하부에 배치되는 드레인/소스 노드를 포함하는 수직 필라 트랜지스터;

적어도 상기 몸체의 하부의 상부 표면에 형성되며, 금속 실리사이드를 포함하는 매립 비트 라인; 및
상기 몸체의 상부를 부분적으로 감싸는 워드 라인을 구비하며,

상기 매립 비트 라인은 제1 방향으로 연장되고, 상기 워드 라인은 상기 제1 방향에 직교하는 제2 방향으로 연장되는 것을 특징으로 하는 반도체 장치.

청구항 2

제1항에 있어서, 상기 매립 비트 라인은 상기 몸체의 하부 측면 상에도 형성되는 것을 특징으로 하는 반도체 장치.

청구항 3

제1항에 있어서, 상기 워드 라인과 상기 매립 비트 라인 사이에 배치되는 오프셋(offset)을 더 포함하는 것을 특징으로 하는 반도체 장치.

청구항 4

제3항에 있어서, 상기 오프셋은 상기 몸체의 하부에 형성되는 상기 드레인/소스 노드 상부에 배치되는 것을 특징으로 하는 반도체 장치.

청구항 5

제3항에 있어서, 상기 오프셋은 낮은 불순물 농도를 가지는 것을 특징으로 하는 반도체 장치.

청구항 6

제3항에 있어서, 상기 오프셋은 상기 몸체의 상부의 하부 단부로부터 돌출되는 것을 특징으로 하는 반도체 장치.

청구항 7

제1항에 있어서, 상기 워드 라인과 상기 매립 비트 라인 사이에 개재되는 절연 패턴을 더 포함하는 것을 특징으로 하는 반도체 장치.

청구항 8

제1항에 있어서, 상기 몸체의 상부는 절연체로 커버되는 것을 특징으로 하는 반도체 장치.

청구항 9

제1항에 있어서, 상기 몸체의 상부에 전기적으로 연결되며, 상기 수직 필라 트랜지스터로부터 수직하게 연장되는 2개의 도전성 플레이트를 포함하는 커패시터를 더 구비하는 것을 특징으로 하는 반도체 장치.

청구항 10

제1항에 있어서, 상기 매립 비트 라인은 상기 기판 상에 제1 방향을 따라 배치되는 복수의 수직 필라 트랜지스터들에 전기적으로 연결되는 것을 특징으로 하는 반도체 장치.

청구항 11

제1항에 있어서, 상기 기판 상에 배치되며, 소스 노드 및 드레인 노드를 구비하는 적어도 하나의 수평 트랜지스

터를 더 포함하는 것을 특징으로 하는 반도체 장치.

청구항 12

제10항에 있어서, 상기 수직 필라 트랜지스터가 배치되는 상기 기판의 상부 또는 하부에 배치되는 추가 기판 상에 배치되며, 소스 노드 및 드레인 노드를 구비하는 적어도 하나의 수평 트랜지스터를 더 포함하는 것을 특징으로 하는 반도체 장치.

청구항 13

제1항에 있어서, 상기 수직 필라 트랜지스터가 배치되는 상기 기판의 상부 또는 하부에 배치되는 추가 기판 상에 배치되며, 소스 노드 및 드레인 노드를 구비하는 적어도 하나의 수평 트랜지스터를 더 포함하는 것을 특징으로 하는 반도체 장치.

청구항 14

제1항에 있어서, 상기 금속 실리사이드는 티타늄, 텉스텐, 코발트, 니켈 또는 이들의 혼합물을 포함하는 것을 특징으로 하는 반도체 장치.

청구항 15

제1항에 있어서, 상기 반도체 장치는 DRAM 장치를 포함하는 것을 특징으로 하는 반도체 장치.

청구항 16

기판 상에 형성되며, 실린더형 상부를 지지하는 사각형 단면의 하부를 갖는 몸체, 상기 몸체의 상부에 배치되는 소스/드레인 노드 그리고 상기 몸체의 하부에 배치되는 드레인/소스 노드를 포함하는 수직 필라 트랜지스터;

상기 몸체의 상부의 하부로부터 동축 방향으로 돌출되는 돌출부;

상기 몸체의 하부의 상부 표면과 상기 돌출부 상에 형성되며, 금속 실리사이드를 포함하는 매립 비트 라인; 및 상기 몸체의 상부를 부분적으로 감싸는 워드 라인을 구비하며,

상기 매립 비트 라인은 제1 방향을 따라 연장되고, 상기 워드 라인은 상기 제1 방향에 직교하는 제2 방향을 따라 연장되는 것을 특징으로 하는 반도체 장치.

청구항 17

제16항에 있어서, 상기 워드 라인의 저부는 상기 돌출부의 상부에 접촉되는 것을 특징으로 하는 반도체 장치.

청구항 18

제16항에 있어서, 상기 돌출부의 상부는 절연체를 포함하는 것을 특징으로 하는 반도체 장치.

청구항 19

제16항에 있어서, 상기 몸체의 상부에 전기적으로 연결되며, 상기 수직 필라 트랜지스터로부터 수직하게 연장되는 2개의 도전성 플레이트들을 포함하는 커페시터를 더 구비하는 것을 특징으로 하는 반도체 장치.

청구항 20

제18항에 있어서, 상기 기판 상에는 상기 제1 방향을 따라 복수의 수직 필라 트랜지스터들이 배치되며, 상기 매립 비트 라인은 상기 수직 필라 트랜지스터들에 연기적으로 연결되는 것을 특징으로 하는 반도체 장치.

청구항 21

제16항에 있어서, 상기 기판 상에 배치되며, 소스 노드 및 드레인 노드를 가지는 적어도 하나의 수평 트랜지스터를 더 구비하는 것을 특징으로 하는 반도체 장치.

청구항 22

제21항에 있어서, 상기 수직 필라 트랜지스터가 배치되는 상기 기판의 상부 또는 하부에 배치되는 추가 기판 상

에 배치되며, 소스 노드 및 드레인 노드를 갖는 적어도 하나의 수평 트랜지스터를 더 구비하는 것을 특징으로 하는 반도체 장치.

청구항 23

제16항에 있어서, 상기 수직 필라 트랜지스터가 배치되는 상기 기판의 상부 또는 하부에 배치되는 추가 기판 상에 배치되며, 소스 노드 및 드레인 노드를 갖는 적어도 하나의 수평 트랜지스터를 더 구비하는 것을 특징으로 하는 반도체 장치.

청구항 24

기판 상에 마스크를 형성하는 단계;

상기 마스크를 이용하여 상기 기판을 부분적으로 삭각하여, 각기 하부와 상부를 갖는 몸체를 포함하는 복수의 수직 필라 트랜지스터들을 형성하는 단계;

상기 몸체의 상부에 소스/드레인 노드를 형성하고, 상기 몸체의 하부에 드레인/소스 노드를 형성하는 단계;

금속층을 적층하고 상기 금속층에 실리사이데이션 공정을 수행하여, 적어도 상기 수직 필라 트랜지스터들의 상기 몸체의 하부들의 표면들을 덮으면서 제1 방향으로 연장되는 매립 비트 라인을 형성하는 단계; 및

상기 복수의 수직 필라 트랜지스터들의 상기 소스/드레인 노드들과 상기 드레인/소스 노드들 사이의 상기 상부들을 부분적으로 감싸며, 상기 제1 방향과 직교하는 제2 방향으로 연장되는 워드 라인을 형성하는 단계를 구비하는 반도체 장치의 제조 방법.

청구항 25

제24항에 있어서, 상기 워드 라인을 형성하기 전에, 상기 하부에 형성된 상기 드레인/소스 노드 상부에 상기 몸체의 상부 일부에 접촉되며 오프셋을 형성하는 단계를 더 구비하는 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 26

제24항에 있어서, 상기 수직 필라 트랜지스터로부터 수직하게 연장되는 2개의 도전체들을 포함하는 전극을 상기 몸체의 상부에 형성된 상기 소스/드레인 노드에 연결하여 커패시터를 형성하는 단계를 더 구비하는 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 27

제24항에 있어서, 상기 기판 상에 배치되는 소스 노드 및 드레인 노드를 갖는 적어도 하나의 수평 트랜지스터를 형성하는 단계를 더 구비하는 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 28

기판 상에, 실린더형 상부를 지지하는 사각형 단면의 하부를 갖는 몸체, 상기 몸체의 상부에 배치되는 소스/드레인 노드 그리고 상기 몸체의 하부에 배치되는 드레인/소스 노드를 포함하는 수직 필라 트랜지스터를 형성하는 단계;

상기 몸체의 상부의 하부로부터 동축 방향으로 돌출되는 돌출부를 형성하는 단계;

금속층을 증착하고 상기 금속층에 실리사이데이션 공정을 수행하여, 상기 몸체의 하부의 상부 표면과 상기 돌출부 상에, 금속 실리사이드를 포함하는 매립 비트 라인을 형성하는 단계; 및

상기 몸체의 상부를 부분적으로 감싸는 워드 라인을 형성하는 단계를 구비하며,

상기 매립 비트 라인은 제1 방향을 따라 연장되고, 상기 워드 라인은 상기 제1 방향에 직교하는 제2 방향을 따라 연장되는 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 29

제28항에 있어서, 상기 돌출부의 상부는 절연체를 포함하는 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 30

제28항에 있어서, 상기 기판 상에 형성되는 소스 노드 및 드레인 노드를 포함하는 적어도 하나의 수평 트랜지스터를 형성하는 단계를 더 구비하는 것을 특징으로 하는 반도체 장치.

청구항 31

제30항에 있어서,

외부 장치와 인터페이싱하는 인터페이스(interface)부;

어드레스 및 데이터 버스를 통해 상기 인터페이스부 및 메모리 장치와 통신하는 컨트롤러를 포함하며,

상기 메모리 장치는,

기판 상에 형성되며, 하부와 상부를 갖는 몸체, 상기 몸체의 상부에 배치되는 소스/드레인 노드, 그리고 상기 몸체의 하부에 배치되는 드레인/소스 노드를 포함하는 수직 필라 트랜지스터;

상기 몸체의 하부의 상부 표면에 형성되며, 금속 실리사이드를 포함하는 매립 비트 라인; 및 상기 몸체의 상부를 부분적으로 감싸는 워드 라인을 구비하며,

상기 매립 비트 라인은 제1 방향으로 연장되고, 상기 워드 라인은 상기 제1 방향에 직교하는 제2 방향으로 연장되는 것을 특징으로 하는 메모리 시스템.

청구항 32

제1항에 따른 메모리 장치를 구비하며, 개인용 컴퓨터(PC), 개인용 디지털 보조 장치(PDA), 엠피쓰리(MP3) 플레이어, 디지털 음향 레코더, 펜형 컴퓨터, 디지털 카메라 및 비디오 레코더로 이루어진 그룹으로부터 선택된 어느 하나를 포함하는 컴퓨터 시스템.

명세서

기술 분야

[0001]

본 발명은 반도체 장치 및 반도체 장치의 제조 방법에 관한 것으로서, 보다 상세하게는 메모리 셀들이 수직 필라 구조물을 포함하는 매립 비트 라인을 갖는 반도체 장치 및 이러한 반도체 장치의 제조 방법에 관한 것이다.

배경 기술

[0002]

현재의 반도체 메모리 장치들 대부분은 메모리 셀 영역에 MOS 트랜지스터를 채용하고 있다. 이러한 반도체 메모리 장치들에 대해 지속적으로 집적도와 성능의 향상이 요구되기 때문에 MOS 트랜지스터의 제조 기술이 물리적인 한계에 직면하게 된다. 예를 들면, DRAM 장치의 메모리 셀을 제조하기 위해서는 약 $0.1\mu\text{m}$ 정도로 그 크기를 최소화함이 요구된다. 그러나 셀 트랜지스터의 채널 길이가 감소될수록, 예를 들면, 데이터 유지 시간이 감소되는 등과 같은 다양한 문제들로 인하여 DRAM 장치와 같은 반도체 장치의 특성이 저하된다. 일반적으로, DRAM 소자의 단위 셀은 하나의 트랜지스터와 하나의 커패시터로 구성된다. 이와 같은 커패시터에 저장되는 전하에 따라 데이터가 "1" 또는 "0"의 논리 신호로 표시된다. 반도체 메모리 소자의 스위칭 트랜지스터는 데이터를 기록하거나 독취하도록 동작한다. DRAM 장치에 있어서, 셀 커패시터에 저장되는 데이터나 전하들은 커패시터로부터 전하가 누설되기 때문에 리프레쉬(refresh)되어야 한다. 상기 커패시터의 전하는 여러 가지 경로를 통해 누설될 수 있으며, 그 하나로는 상기 스위칭 트랜지스터를 통한 누설을 들 수 있다. 상기 스위칭 트랜지스터가 턴-오프(turn-off) 상태를 유지하더라도 문턱 전류 이하의 전류는 상기 스위칭 트랜지스터를 통해 계속 흐르게 된다. 상기 스위칭 트랜지스터의 채널 길이가 감소함에 따라, 문턱 전류 이하의 전류는 증가하게 된다. 이러한 문턱 전류 이하의 전류를 감소시키기 위하여, 상기 스위칭 트랜지스터의 문턱 전압이 주변 영역의 트랜지스터의 문턱 전압 보다 상당히 높게 조정된다. 그러나 상기 트랜지스터의 문턱 전압에 영향을 받지 않는 채널 아래를 문턱 전류 이하의 전류가 흐르게 된다. 또한, 높은 문턱 전압은 동작 전류의 감소를 야기하기 때문에 상기 스위칭 트랜지스터의 문턱 전압의 증가도 어느 정도 한계에 직면하게 된다. 독취 동작이 수행되는 경우, 상기 셀 커패시터로부터 비트 라인으로 전하를 전송하는 시간이 동작 전류가 감소될수록 증가하며, 이는 데이터 액세스 시간의 증가를 가져온다. 상기 커패시터의 유전 물질을 통해서 또 다른 전하의 누설 경로가 발생된다. 상기 커패시터에 저장되는 전하를 증가시키기 위하여, 상기 커패시터는 최대의 면적을 갖고 유전 물질이 최소의 두께(축적 용량

$C = \varepsilon A/t$ 로 표현되며, A 는 커패시터의 면적이고, t 는 유전 물질의 두께이다)를 가지는 구조로 설계된다. 유전 물질이 얇아질수록 이러한 유전 물질을 통해 전하가 누설될 가능성은 커진다. 결국, 상기 트랜지스터의 하나의 노드(node)와 실리콘 기판 사이에 형성되는 정션(junction)을 통해 전하가 누설된다. 이와 같은 모든 누설 경로들은 상기 셀 커패시터의 데이터 유지 시간을 감소시키며, 이는 필연적으로 상기 커패시터에 저장된 전하들을 회복시키기 위해 보다 자주 리프레쉬 동작이 요구되고, 상기 DRAM 장치가 사용되는 시스템의 성능 저하를 가져온다.

[0003] 상기 DRAM 장치의 크기가 감소함에 따라 제조 공정이 복잡해지는 다른 문제도 야기된다. 메모리 셀 패턴들의 크기가 감소되면 최소의 형상으로 패터닝하기 위해 보다 고해상도를 갖는 사진 식각 장비가 요구된다. 통상적으로 고해상도를 갖는 사진 식각 장비는 저해상도 사진 식각 장비에 비하여 낮은 유효 초점 깊이를 가지게 된다. 따라서 사진 식각 공정을 수행하기 전에 셀 영역을 평탄화해야 한다. 이러한 셀 영역의 평탄화는 화학 기계적 연마(CMP) 공정을 통해 수행된다. 즉, 두꺼운 절연 물질을 증착한 후, 화학 기계적 연마 공정으로 그 표면이 평탄해지도록 증착된 절연 물질을 에치백시킨다. 비록 사진 식각 공정에 후속하는 평탄화 공정이 유용하지만, 상기 스위칭 트랜지스터가 위치하는 실리콘 기판의 표면과 도전층 사이의 거리는 증가하게 된다. 이에 따라, 상기 스위칭 트랜지스터를 상기 도전층에 연결시키는 콘택 플러그의 종횡비도 증가한다. 이러한 높은 종횡비로 인해 기생 커패시턴스가 야기된다. 예를 들면, 전형적인 DRAM 제조 공정에서 DRAM 제조 공정의 전체적인 축소에 비례하여 비트 라인의 폭이 축소될 수 있다. 그러나 비트 라인의 커패시턴스는 기생 커패시턴스에 의해서 감소되지는 않으며, 이는 비트 라인 커패시턴스와 셀 커패시터의 커패시턴스의 비율을 적절하게 유지하기 위해서는 셀 커패시터들의 커패시턴스가 축소되지 않아야함을 의미한다. 이러한 요구에 따라 셀 영역이 감소됨에도 불구하고 동일한 커패시터 영역이 유지되도록 보다 복잡한 구조의 셀 커패시터가 요구된다.

[0004] 전술한 문제점들을 고려하여, 실리콘 기판 대신 SOI 기판을 사용하는 제조 공정이 도입되었다. 상술한 바와 같이, 누설 경로들 가운데 하나는 정션 누설이다. 셀 커패시터가 스위칭 트랜지스터들의 노드들 중에서 하나에 연결되고, 이러한 노드가 실리콘 기판과 함께 정션을 구성한다. 이와 같은 정션은 역으로 바이어스(bias)되기 때문에, 정션 누설($-I_0$)은 피할 수 없게 된다(정션 전류는 $I = I_0(\exp(qV_D/kT))^{-1}$ 로 나타나며, V_D 는 정션 바이어스, q 는 전자의 전하량, k 는 볼츠만 상수, T 는 온도이다). 상기 정션이 역으로 바이어스되면, 정션 바이어스(V_D)는 음이 되고, 지수 성분들은 0에 가까워짐으로써, 상기 정션 전류는 음($-I_0$)이 된다. 상기 SOI 기판의 도입에 따라, 셀 커패시터에 연결된 스위칭 트랜지스터의 노드가 절연 물질 상에 배치되고 정션을 형성하지 않으며, 이는 정션 전류가 나타나지 않음을 의미한다. 또한, SOI 구조는 상기 스위칭 트랜지스터를 통하는 문턱 전류 이하의 전류를 감소시킨다. 이는 상기 스위칭 트랜지스터의 채널이 절연 물질 상에 배치되기 때문에 상기 채널 아래, 즉 실리콘 기판을 통해 흐르는 문턱 전류 이하의 전류가 소거될 수 있기 때문이다.

[0005] 또 다른 해결 방법은 수직 필라 트랜지스터(VPT)를 적용하는 것이다. 실리콘 표면상에 스위칭 트랜지스터의 소스/드레인 노드들을 형성하는 대신, 수직 필라 트랜지스터에서는 실리콘 필라의 각 단부에 스위칭 트랜지스터의 소스/드레인 노드들을 형성하게 된다. 스위칭 트랜지스터의 소스/드레인 노드들 중 하나에만 접속되는 비트 라인은 상기 수직 필라 트랜지스터의 하부를 감싼다. 비트 라인과 스위칭 트랜지스터의 노드를 연결하도록 높은 종횡비를 갖는 콘택 플러그가 요구되는 종래의 DRAM 장치와는 달리, 수직 필라 트랜지스터에서는 스위칭 트랜지스터의 노드와 그에 매립되는 비트 라인 사이에 콘택이 형성된다. 콘택 플러그들을 연결할 필요가 없이, 비트 라인의 기생 커패시턴스가 상당히 감소하며, 이는 셀 커패시턴스에 대한 비트 라인 커패시턴스의 비율을 동일하게 유지하더라도 셀 커패시터에게는 낮은 커패시턴스가 요구될 수 있음을 의미한다.

[0006] 또한, SOI 기판을 사용함에 따라 비트 라인이 절연 물질 상에 배치될 수 있으므로 기판과 비트 라인 사이의 기생 커패시턴스가 감소된다. 상기 수직 필라 트랜지스터의 게이트는 일반적으로 필라 구조의 중앙부를 감싸며, 게이트 산화막은 필라 구조와 게이트 물질 사이에 배치된다. 상기 필라 구조 주위에 (수직) 채널이 형성되기 때문에, 좁은 면적 내에서도 채널의 폭을 효과적으로 증가시킬 수 있으며, 종래의 DRAM 메모리 셀에 비하여 동작 전류도 보다 증가할 수 있다. 큰 동작 전류로 인하여 스위칭 트랜지스터의 문턱 전압도 상대적으로 크게 조절 가능하며, 문턱 전류 이하의 전류를 감소시킬 수 있다. 더욱이, 게이트 내의 필라 구조의 거의 모든 단부가 채널로 기능할 수 있으므로 기판을 통하는 문턱 전류 이하의 전류가 최소화된다. 상기 필라 구조의 상부는 셀 커패시터에 연결된다. 종래의 DRAM 장치의 수평 셀과는 달리, 스위칭 트랜지스터의 상부 노드는 기판과 어떠한 정션도 형성하지 않으며, 정션 누설도 최소가 된다.

[0007] 전술한 바와 같이 수직 필라 트랜지스터를 이용하더라도, 수직 필라 트랜지스터 구조에서 필라 구조의 하부를 감싸는 비트 라인으로부터 문제가 발생된다. 비트 라인의 폭은 DRAM 셀 사이즈와 DRAM 장치의 전체적인 칩 크기

를 결정하는 요인들 가운데 하나가 된다. 비트 라인의 폭이 최소가 되도록 결정되기 때문에, 비트 라인의 저항이 DRAM 장치의 응답 속도 저하를 야기하는 요인이 될 수 있다. 예를 들면, 독취 동작에 있어서, 스위칭 트랜지스터가 턴-온되고, 셀 커패시터에 저장된 전하들이 비트 라인을 통해 감지 증폭기로 전송된다. 따라서 비트 라인 커패시턴스와 비트 라인 저항이 전하 이송 시간을 결정하게 된다. 이러한 저항이 증가할수록 감지 증폭기의 구동 시간이 지연되어 데이터 액세스 시간의 증가를 초래한다. 비트 라인이 상기 필라의 하부를 감싸고, 비트 라인을 통한 전하 이송(비트 라인 전류)이 상기 필라에 의해 저지될 수 있으며, 상기 필라 내에 전하기 트랩될 수 있기 때문에 비트 라인 저항은 종래의 수직 필라 트랜지스터에서 또 다른 문제가 되고 있다. 따라서 비트 라인 저항으로 인해 전체적으로 문제점들이 증가한다. 비트 라인으로는 통상적으로 폴리실리콘을 사용하고 있다. 그러나 폴리실리콘은 금속에 비하여 상당히 낮은 도전성을 가진다.

발명의 내용

해결하려는 과제

- [0008] 본 발명의 일 목적은 매립 비트 라인을 구비하여 낮은 저항을 갖는 수직 필라 트랜지스터들을 포함하는 반도체 장치를 제공하는 것이다.
- [0009] 본 발명의 다른 목적은 매립 비트 라인을 구비하여 낮은 저항을 갖는 수직 필라 트랜지스터들을 포함하는 반도체 장치의 제조 방법을 제공하는 것이다.

과제의 해결 수단

- [0010] 상술한 본 발명의 일 목적을 달성하기 위하여, 본 발명의 실시예들에 따른 반도체 장치는 수직 필라 트랜지스터, 매립 비트 라인 및 워드 라인을 구비한다, 상기 수직 필라 트랜지스터는 기판 상에 형성되며, 하부와 상부를 갖는 몸체, 상기 몸체의 상부에 배치되는 소스/드레인 노드, 그리고 상기 몸체의 하부에 배치되는 드레인/소스 노드를 포함한다. 상기 매립 비트 라인은 적어도 상기 몸체의 하부의 상부 표면에 형성되며, 금속 실리사이드를 포함한다. 상기 워드 라인은 상기 몸체의 상부를 부분적으로 감싼다. 상기 매립 비트 라인은 제1 방향으로 연장될 수 있고, 상기 워드 라인은 상기 제1 방향에 실질적으로 직교하는 제2 방향으로 연장될 수 있다. 상기 매립 비트 라인은 상기 몸체의 하부 측면 상에도 형성될 수 있다. 상기 반도체 장치는 상기 워드 라인과 상기 매립 비트 라인 사이에 배치되는 오프셋(offset)을 더 포함할 수 있다. 상기 오프셋은 상기 몸체의 하부에 형성되는 상기 드레인/소스 노드 상부에 배치될 수 있다. 상기 오프셋은 낮은 불순물 농도를 가질 수 있다. 상기 오프셋은 상기 몸체의 상부의 하부 단부로부터 돌출될 수 있다. 상기 워드 라인과 상기 매립 비트 라인 사이에는 절연 패턴이 개재될 수 있다. 상기 몸체의 상부는 절연체로 커버될 수 있다. 상기 반도체 장치는 상기 몸체의 상부에 전기적으로 연결되며, 상기 수직 필라 트랜지스터로부터 수직하게 연장되는 2개의 도전성 플레이트를 포함하는 커패시터를 더 포함할 수 있다. 상기 매립 비트 라인은 상기 기판 상에 제1 방향을 따라 배치되는 복수의 수직 필라 트랜지스터들에 전기적으로 연결될 수 있다. 상기 반도체 장치는 상기 기판 상에 배치되며, 소스 노드 및 드레인 노드를 구비하는 적어도 하나의 수평 트랜지스터를 더 포함할 수 있다. 상기 반도체 장치는 상기 수직 필라 트랜지스터가 배치되는 상기 기판의 상부 또는 하부에 배치되는 추가 기판 상에 배치되며, 소스 노드 및 드레인 노드를 구비하는 적어도 하나의 수평 트랜지스터를 더 포함할 수 있다. 상기 반도체 장치는 상기 수직 필라 트랜지스터가 배치되는 상기 기판의 상부 또는 하부에 배치되는 추가 기판 상에 배치되며, 소스 노드 및 드레인 노드를 구비하는 적어도 하나의 수평 트랜지스터를 더 포함할 수 있다. 상기 금속 실리사이드는 티타늄, 텉스텐, 코발트, 니켈 또는 이들의 혼합물을 포함할 수 있다.
- [0011] 또한, 상술한 본 발명의 일 목적을 달성하기 위하여, 본 발명의 다른 실시예들에 따른 반도체 장치는, 기판 상에 형성되며, 실린더형 상부를 지지하는 사각형 단면의 하부를 갖는 몸체, 상기 몸체의 상부에 배치되는 소스/드레인 노드 및 상기 몸체의 하부에 배치되는 드레인/소스 노드를 포함하는 수직 필라 트랜지스터, 상기 몸체의 상부의 하부로부터 동축 방향으로 돌출되는 돌출부, 상기 몸체의 하부의 상부 표면과 상기 돌출부 상에 형성되며, 금속 실리사이드를 포함하는 매립 비트 라인, 그리고 상기 몸체의 상부를 부분적으로 감싸는 워드 라인을 구비한다. 상기 매립 비트 라인은 제1 방향을 따라 연장될 수 있고, 상기 워드 라인은 상기 제1 방향에 실질적으로 직교하는 제2 방향을 따라 연장될 수 있다.
- [0012] 상술한 본 발명의 다른 목적을 달성하기 위하여, 본 발명의 실시예들에 따른 반도체 장치의 제조 방법에 있어서, 기판 상에 마스크를 형성하고, 상기 마스크를 이용하여 상기 기판을 부분적으로 식각하여, 각기 하부와 상부를 갖는 몸체를 포함하는 복수의 수직 필라 트랜지스터들을 형성한다. 상기 몸체의 상부에 소스/드레인 노

드를 형성하고, 상기 몸체의 하부에 드레인/소스 노드를 형성한다. 금속층을 적층하고 상기 금속층에 실리사이드를 공정을 수행하여, 적어도 상기 수직 필라 트랜지스터들의 상기 몸체의 하부들의 표면들을 덮으면서 제1 방향으로 연장되는 매립 비트 라인을 형성한다. 상기 복수의 수직 필라 트랜지스터들의 상기 소스/드레인 노드들과 상기 드레인/소스 노드들 사이의 상기 상부들을 부분적으로 감싸며, 상기 제1 방향과 직교하는 제2 방향으로 연장되는 워드 라인을 형성한다.

[0013] 상술한 본 발명의 다른 목적을 달성하기 위하여, 본 발명의 다른 실시예들에 따른 반도체 장치의 제조 방법에 있어서, 기판 상에, 실린더형 상부를 지지하는 사각형 단면의 하부를 갖는 몸체, 상기 몸체의 상부에 배치되는 소스/드레인 노드 그리고 상기 몸체의 하부에 배치되는 드레인/소스 노드를 포함하는 수직 필라 트랜지스터를 형성한다. 상기 몸체의 상부의 하부로부터 동축 방향으로 돌출되는 돌출부를 형성한다. 금속층을 증착하고 상기 금속층에 실리사이드를 공정을 수행하여, 상기 몸체의 하부의 상부 표면과 상기 돌출부 상에, 금속 실리사이드를 포함하는 매립 비트 라인을 형성한다. 상기 몸체의 상부를 부분적으로 감싸는 워드 라인을 형성한다. 상기 매립 비트 라인은 제1 방향을 따라 연장될 수 있고, 상기 워드 라인은 상기 제1 방향에 직교하는 제2 방향을 따라 연장될 수 있다.

[0014] 본 발명의 실시예들에 따른 메모리 시스템은, 외부 장치와 인터페이싱하는 인터페이스부 및 어드레스 및 데이터 버스를 통해 상기 인터페이스부 및 메모리 장치와 통신하는 컨트롤러를 포함한다. 여기서, 상기 메모리 장치는, 기판 상에 형성되며, 하부와 상부를 갖는 몸체, 상기 몸체의 상부에 배치되는 소스/드레인 노드, 및 상기 몸체의 하부에 배치되는 드레인/소스 노드를 포함하는 수직 필라 트랜지스터, 상기 몸체의 하부의 상부 표면에 형성되며, 금속 실리사이드를 포함하는 매립 비트 라인 그리고 상기 몸체의 상부를 부분적으로 감싸는 워드 라인을 구비한다.

[0015] 본 발명의 실시예들에 따른 컴퓨터 시스템은, 전술한 메모리 장치, 개인용 컴퓨터(PC), 개인용 디지털 보조 장치(PDA), 앰피쓰리(MP3) 플레이어, 디지털 음향 레코더, 웹형 컴퓨터, 디지털 카메라 또는 비디오 레코더를 포함할 수 있다.

발명의 효과

[0016] 본 발명의 실시예들에 따르면, 금속 실리사이드 및/또는 불순물 영역들 포함하는 매립 비트 라인, 매립 비트 라인 오프셋에 의해 매립 비트 라인과 이격되는 워드 라인을 구비함으로써, 낮은 비트 라인 저항을 확보하면서 향상된 전기적인 특성을 갖는 반도체 장치를 구현할 수 있다. 또한, 상기 매립 비트 라인 오프셋들은 상기 금속 실리사이드의 베퍼로서 기능하며 그로부터 누설 전류가 흐르는 현상을 방지하여 반도체 장치의 특성을 보다 개선할 수 있다.

도면의 간단한 설명

[0017] 도 1은 본 발명의 실시예들에 따라 수직 필라 트랜지스터(VPT)를 포함하는 반도체 장치를 설명하기 위한 사시도이다.

도 2 내지 도 22는 본 발명의 실시예들에 따라 복수의 수직 필라 트랜지스터들을 갖는 메모리 셀 영역을 포함하는 반도체 장치의 제조 방법을 설명하기 위한 단면도들이다.

도 23은 본 발명의 다른 실시예들에 따라 수직 필라 트랜지스터를 포함하는 반도체 장치를 설명하기 위한 사시도이다.

도 24 내지 도 33은 본 발명의 다른 실시예들에 따른 반도체 장치의 제조 방법을 설명하기 위한 단면도들이다.

도 34 및 도 35는 본 발명의 실시예들에 따른 다중 레벨 반도체 장치를 설명하기 위한 단면도들이다.

도 36은 본 발명의 실시예들에 따른 반도체 장치를 포함하는 메모리 시스템을 설명하기 위한 블록도이다.

도 37은 본 발명의 실시예들에 따른 반도체 장치를 포함하는 전자 기기를 설명하기 위한 블록도이다.

도 38은 본 발명의 실시예들에 따른 반도체 장치를 포함하는 메모리 모듈을 설명하기 위한 블록도이다.

발명을 실시하기 위한 구체적인 내용

[0018] 이하, 본 발명의 예시적인 실시예들에 따른 매립 비트 라인을 포함하는 반도체 장치 및 반도체 장치의 제조 방법에 대하여 첨부된 도면들을 참조하여 상세하게 설명하지만, 본 발명이 하기 실시예들에 의해 제한되는 것은

아니며, 해당 분야에서 통상의 지식을 가진 자라면 본 발명의 기술적 사상을 벗어나지 않는 범위 내에서 본 발명을 다양한 다른 형태로 구현할 수 있을 것이다.

[0019] 본 명세서에 있어서, 특정한 구조적 내지 기능적 설명들은 단지 본 발명의 실시예들을 설명하기 위한 목적으로 예시된 것이며, 본 발명의 실시예들은 다양한 형태로 실시될 수 있으며 본 명세서에 설명된 실시예들에 한정되는 것으로 해석되지 않으며, 본 발명의 사상 및 기술 범위에 포함되는 모든 변경, 균등물 내지 대체물을 포함하는 것으로 이해되어야 한다. 어떤 구성 요소가 다른 구성 요소에 "연결되어" 있다거나 "접촉되어" 있다고 기재된 경우, 다른 구성 요소에 직접적으로 연결되어 있거나 또는 접속되어 있을 수도 있지만, 중간에 또 다른 구성 요소가 존재할 수도 있다고 이해되어야 할 것이다. 반면, 어떤 구성 요소가 다른 구성 요소에 "직접 연결되어" 있다거나 "직접 접촉되어" 있다고 기재된 경우에는, 중간에 또 다른 구성 요소가 존재하지 않는 것으로 이해될 수 있다. 구성 요소들 간의 관계를 설명하는 다른 표현들, 예를 들면, "~사이에"와 "직접 ~사이에" 또는 "~에 인접하는"과 "~에 직접 인접하는" 등도 마찬가지로 해석될 수 있다.

[0020] 본 명세서에서 사용되는 용어는 단지 특정한 실시예들을 설명하기 위해 사용된 것으로, 본 발명을 한정하려는 의도는 아니다. 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다. 본 명세서에서, "포함하다", "구비하다" 또는 "가지다" 등의 용어는 실시된 특징, 숫자, 단계, 동작, 구성 요소, 부품 또는 이들을 조합한 것이 존재함을 지정하려는 것이지, 하나 또는 그 이상의 다른 특징들이나 숫자, 단계, 동작, 구성 요소, 부품 또는 이들을 조합한 것들의 존재 또는 부가 가능성을 미리 배제하지 않는 것으로 이해되어야 한다. 다르게 정의되지 않는 한, 기술적이거나 과학적인 용어를 포함해서 여기서 사용되는 모든 용어들은 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자에 의해 일반적으로 이해되는 것과 동일한 의미를 가지고 있다. 일반적으로 사용되는 사전에 정의되어 있는 것과 같은 용어들은 관련 기술의 문맥 상 가지는 의미와 일치하는 의미를 가지는 것으로 해석되어야 하며, 본 출원에서 명백하게 정의하지 않는 한, 이상적이거나 과도하게 형식적인 의미로 해석되지는 않는다.

[0021] 제1, 제2, 제3, 제4 등의 용어는 다양한 구성 요소들을 설명하는데 사용될 수 있지만, 이러한 구성 요소들은 상기 용어들에 의해 한정되는 것은 아니다. 상기 용어들은 하나의 구성 요소를 다른 구성 요소로부터 구별하는 목적으로 사용된다. 예를 들어, 본 발명의 권리 범위로부터 벗어나지 않고, 제1 구성 요소가 제2, 제3 또는 제4 구성 요소 등으로 명명될 수 있으며, 유사하게 제2, 제3 및 제4 구성 요소도 제1 내지 제4 구성 요소 등으로 서로 교호적으로 명명될 수 있다.

[0022] 도 1은 본 발명의 실시예들에 따라 수직 필라 트랜지스터(VPT)를 포함하는 반도체 장치를 설명하기 위한 사시도이다.

[0023] 도 1을 참조하면, 상기 수직 필라 트랜지스터(VPT)들은 SOI 기판 상에 제공된다. 상기 SOI 기판은 실리콘 기판(10), 산화물층(15) 및 실리콘층과 같은 반도체층을 포함할 수 있다. 본 발명의 다른 실시예들에 있어서, GOI 기판, 실리콘 기판, 게르마늄 기판, 실리콘-게르마늄 기판 등이 사용될 수도 있다.

[0024] 상기 수직 필라 트랜지스터들은 각기 하부(20)와 상부(25)를 가지는 몸체를 구비할 수 있다. 상기 수직 필라 트랜지스터의 하부(20) 및 상부(25)는 상기 기판의 실리콘층을 삭각하여 형성될 수 있다. 상기 수직 필라 트랜지스터의 하부(20)는 상기 기판 상에서 소정의 방향으로 연장되며, 실질적으로 사각형의 단면 형상을 가질 수 있다.

[0025] 본 발명의 실시예들에 따르면, 상기 몸체의 하부(20)의 측면과 상면 상에 도전층을 증착시켜 매립 비트 라인(buried bit line: BBL)(30)을 형성할 수 있다. 여기서, 상기 도전층은 실리사이데이션 공정을 이용하여 형성될 수 있으며, 티타늄 실리사이드(TiSix), 텅스텐 실리사이드(WSix), 코발트 실리사이드(CoSix), 니켈 실리사이드(NiSix) 등의 니어-노블(near-noble) 금속 및 내화 금속을 포함하는 전이 금속 실리사이드를 사용하여 형성될 수 있다. 이러한 금속 실리사이드는 높은 내부식성, 내산화성, 실리콘 산화물에 대한 우수한 접착성과 낮은 반응성, 낮은 계면 스트레스 등의 특성을 나타낼 수 있다. 전술한 금속 실리사이드는 스펀터링 공정, 화학 기상 증착(CVD) 공정, 원자층 적층(ALD) 공정 등을 수행한 후에 실리사이데이션 공정을 수행하여 수득될 수 있다.

[0026] 매립 비트 라인(30)은 복수의 수직 필라 트랜지스터들을 지지하도록 상기 기판 상에서 제1 방향을 따라 연장될 수 있다. 상기 수직 필라 트랜지스터들의 상부(25)는 각기 필라(pillar) 구조와 같은 치수 및 형상을 가질 수 있으며, 상기 몸체의 하부(20) 상에서 그 상단부가 실린더의 형상을 가질 수 있다.

[0027] 워드 라인(35)은 상기 수직 필라 트랜지스터들의 상부(25)들을 부분적으로 감싸도록 상기 제1 방향에 대하여 실질적으로 직교하는 제2 방향을 따라 연장될 수 있다. 워드 라인(35)은 매립 비트 라인 오프셋(offset)에 의해

매립 비트 라인(30)으로부터 이격될 수 있다. 즉, 각 매립 비트 라인(30)은 각 워드 라인(35)으로부터 상기 매립 비트 라인 오프셋의 높이(두께)에 대응되는 거리만큼 이격될 수 있다.

[0028] 본 발명의 실시예들에 따르면, 매립 비트 라인(30)은 각기 불순물 영역 및 금속 실리사이드층을 포함할 수 있다. 매립 비트 라인(30)의 불순물 영역은 상기 몸체의 하부(20)의 표면에 위치할 수 있으며, 상기 금속 실리사이드층은 상기 불순물 영역을 커버할 수 있다. 여기서, 상기 금속 실리사이드층은 상기 수직 필라 트랜지스터의 하부(20)의 상부 표면만을 커버할 수 있다. 본 발명의 다른 실시예들에 있어서, 상기 금속 실리사이드층은 전술한 수직 필라 트랜지스터의 하부(20)의 상부 표면과 측벽들을 커버할 수도 있다.

[0029] 이하, 도 2 내지 도 17을 참조하여, 복수의 수직 필라 트랜지스터들이 형성된 메모리 셀 영역을 구비하는 메모리 장치의 제조 방법을 설명한다. 도 2 및 도 4 내지 도 17은 본 발명의 실시예들에 따른 반도체 장치의 제조 방법을 설명하기 위한 단면도들이며, 도 3은 본 발명의 실시예들에 따른 마스크 구조물을 설명하기 위한 평면도이다.

[0030] 도 2를 참조하면, 하부 실리콘층(50), 하부 실리콘층(50) 상에 형성된 절연 산화물층(55) 및 절연 산화물층(55) 상에 형성된 실리콘층(60)을 포함하는 SOI 기판이 제공된다. 실리콘층(60)은 약 3,000Å 내지 약 5,000Å 정도의 두께를 가질 수 있으며, 절연 산화물층(55)은 약 1,500Å 내지 약 2,500Å 정도의 두께를 가질 수 있다. 본 발명의 다른 실시예들에 있어서, 그 상부에 반도체층을 가지는 GOI 기판이나 기타 기판들도 그 상부에 상기 메모리 장치가 제공되는 기판으로 사용될 수 있다. 상기 기판은 제1 영역(I)과 제2 영역(II)으로 구분될 수 있다.

[0031] 상기 기판의 실리콘층(60) 상에 마스크 구조물을 제공한다. 도 3에 도시한 바와 같이, 상기 마스크 구조물은 제1 마스크들(65)과 제2 마스크들(70)을 포함한다. 본 발명의 실시예들에 따르면, 복수의 제1 마스크들(65)과 복수의 제2 마스크들(70)이 제1 영역(I)과 제2 영역(II)에 각기 형성될 수 있다. 제1 및 제2 마스크(65, 70)를 구비하는 상기 마스크 구조물은 제1 영역(I)에 복수의 필라 구조물을 형성하고 제2 영역(II)에 복수의 사각형 구조물을 형성하기 위하여 이용될 수 있다. 제1 영역(I)의 상기 필라형 구조물들은 수직 필라 구조물을 갖는 제1 트랜지스터들의 형성에 이용된다. 예를 들면, 상기 제1 트랜지스터들은 소스/드레인 영역(소스/드레인 노드)들과 채널 영역들을 구비할 수 있으며, 상기 채널 영역들은 소스/드레인 영역(소스/드레인 노드)들 사이에 위치하고, 상기 기판의 수평축에 대하여 실질적으로 수직한 방향으로 배치될 수 있다. 상기 제1 트랜지스터들에 해당되는 수직 필라 트랜지스터(VPT)들은 전술한 바와 같이 향상된 접적도와 동작 특성을 가지며, 이에 따라 상기 메모리 장치의 메모리 셀들에 적용될 수 있다. 제2 영역(II)에 형성되는 상기 사각형 구조물들은 수평한 소스/드레인 영역(소스/드레인 노드)들 및 채널 영역들을 가지는 수평 트랜지스터들에 해당되는 제2 트랜지스터들의 형성에 이용될 수 있다. 예를 들면, 상기 소스/드레인 영역들과 이들 사이의 상기 채널 영역은 상기 기판의 수평축에 대하여 실질적으로 평행한 방향으로 동일 평면상에 형성될 수 있다. 상기 사각형 구조물들은 강기 기판 상에서 상기 필라 구조물들에 비하여 각기 보다 넓은 면적을 차지할 수 있으며, 이에 따라 상기 기판 상에 위치하는 상기 사각형 구조물들을 수가 동일한 면적에서는 상기 필라 구조물들에 비하여 실질적으로 작게 된다. 상기 사각형 구조물들에 기인하는 상기 수평 트랜지스터들의 보다 넓은 면적은 상기 기판의 주변 회로 영역에 위치하는 주변 회로 소자들의 전류 구동 특성을 향상시키기에 보다 적합하게 된다.

[0032] 다시 도 2 및 도 3을 참조하면, 제1 및 제2 마스크(65, 70)를 포함하는 상기 마스크 구조물은 상기 기판의 제1 영역(I) 및 제2 영역(II) 상에 배치된다. 제1 및 제2 마스크(65, 70)는 각기 약 1,500Å 내지 약 2,500Å 정도의 두께를 가질 수 있다. 본 발명의 일 실시예에 따르면, 상기 기판의 실리콘층(60) 상에 제1 및 제2 마스크(65, 70)를 형성하기 전에 실리콘층(60) 상에 패드 산화막(도시되지 않음)이 추가적으로 형성될 수 있다. 상기 패드 산화막은 제1 및 제2 마스크(65, 70)를 형성하는 동안 발생되는 스트레스(stress)를 감소시킬 수 있다. 제1 및 제2 마스크(65, 70)는 각기 실리콘 질화물과 같은 질화물을 사용하여 형성될 수 있다. 상기 패드 산화물은 실리콘 산화물을 포함할 수 있다.

[0033] 제1 및 제2 마스크(65, 70)를 식각 마스크들로 이용하여, 상기 기판의 실리콘층(60)을 부분적으로 식각함으로써, 제1 영역(I)에 상기 제1 트랜지스터들의 제1 상부들(75)을 형성하고, 제2 영역(II)에 상기 제2 트랜지스터들의 제2 상부들(80)을 형성한다. 제1 상부들(75)은 사각형, 원형, 타원형 등의 다양한 기하학적 형상으로 형성될 수 있다. 본 발명의 실시예들에 있어서, 제1 상부들(75)은 각기 원형의 다면 형상을 가지며 수직하게 연장되는 필라의 형태를 가질 수 있는 반면, 제2 영역(II)에 형성되는 제2 상부들(80)을 구비하는 제2 트랜지스터들은 상기 기판 상에서 보다 넓은 면적을 차지하며 넓은 종횡비(aspect ratio)를 가질 수 있다. 제1 및 제2 상부들(75, 80)은 각기 약 2,000Å 내지 약 3,000Å 정도의 높이를 가질 수 있다. 제1 및 제2 상부들(75,

80)이 형성됨에 따라 제1 및 제2 상부들(75, 80)로부터 각기 이격되는 실리콘층(60)의 제1 및 제2 노출부들이 형성된다.

[0034] 제1 영역(I)에 위치하는 실리콘층(60)의 상기 제1 노출부들에 제1 불순물들을 도핑시킨다. 본 발명의 실시예들에 따르면, 상기 제1 불순물들은 인(P), 비소(As), 안티몬(Sb) 등을 포함할 수 있다. 상기 제1 불순물들은 약 10KeV 정도의 에너지로 도핑될 수 있다. 상기 제1 불순물들은 실리콘층(60)의 상기 제1 노출부들 내에 주입되어 인접하는 제1 상부들(75) 사이의 제1 영역(I)에 예비 제1 불순물 영역들(85)을 형성하게 된다. 예비 제1 불순물 영역들(85)은 각기 상대적으로 낮은 불순물 농도를 가질 수 있다. 예를 들면, 각 예비 제1 불순물 영역(85)은 약 1×10^{13} atoms/cm² 정도의 불순물 농도를 가질 수 있다.

[0035] 제1 및 제2 상부들(75, 80) 상에 산화물층(83)을 형성한다. 산화물층(83)은 예비 제1 불순물 영역들(85)과 실리콘층(60)의 상기 제2 노출부들을 커버한다. 산화물층(83)은 전술한 식각 공정 동안 발생된 제1 및 제2 상부들(75, 80)의 손상을 치유할 수 있다. 산화물층(83)은 열 산화 공정, 라디칼(radical) 산화 공정 등을 통해 수득되는 실리콘 산화물로 이루어질 수 있다. 본 발명의 일 실시예에 있어서, 산화물층(83)은 약 20Å 내지 약 80Å 정도의 상대적으로 얇은 두께를 가질 수 있다.

[0036] 도 4를 참조하면, 제1 및 제2 영역(I, II)에 위치하는 산화물층(83) 상에 제1 스페이서 형성층(도시되지 않음)을 균일하게 형성한다. 상기 제1 스페이서 형성층은 질화물 또는 산질화물을 사용하여 형성될 수 있다. 상기 제1 스페이서 형성층은 약 200Å 내지 약 300Å 정도의 두께로 형성될 수 있다. 따라서, 산화물층(83)과 상기 제1 스페이서 형성층 사이의 두께 비율은 약 1.0 : 2.5 내지 약 1.0 : 15.0 정도가 될 수 있다.

[0037] 상기 제1 스페이서 형성층과 산화물층(83)을 부분적으로 식각하여 제1 스페이서들(100), 제2 스페이서들(105), 제1 산화물층 패턴들(90) 및 제2 산화물층 패턴들(95)을 형성한다. 제1 및 제2 산화물층 패턴들(90, 95)은 제1 영역(I)의 제1 상부들(75)의 외측 표면들과 과 제2 영역(II)의 제2 상부들(80)의 외측 표면들을 각기 커버한다. 제1 스페이서들(100)은 제1 영역(I)의 제1 상부들(75)의 측벽들 상에 형성된다. 제1 산화물층 패턴들(90)은 각기 제1 스페이서들(100)과 제1 상부들(75)의 외측 표면들 사이에 형성된다. 제2 스페이서들(105)은 제2 영역(II)의 제2 상부들(80)의 측벽들 상에 형성된다. 이 경우, 제2 산화물층 패턴들(95)은 각기 제2 스페이서들(105)과 제2 상부(80)의 외측 표면들 사이에 위치한다. 본 발명의 실시예들에 있어서, 제1 스페이서들(100)은 각기 제1 영역(I)에서 대체 게이트로 이용될 수 있다.

[0038] 상기 기판의 제1 및 제2 영역(I, II) 모두에 있어서, 제1 스페이서들(100)과 제2 스페이서들(105)은 실리콘층(60)의 하부를 제외하고 제1 및 제2 상부들(75, 80)의 전체적인 측벽들을 실질적으로 감싸도록 형성될 수 있다. 또한, 제1 스페이서들(100)은 제1 영역(I)의 예비 제1 불순물 영역들(85)을 부분적으로 커버할 수 있다.

[0039] 제1 영역(I)에 있어서, 제1 스페이서들(100)을 식각 마스크들로 이용하여 제1 스페이서들(100)의 하부들과 예비 제1 불순물 영역들(85) 사이의 실리콘층(60)을 부분적으로 식각함으로써, 상기 제1 트랜지스터들의 제1 불순물 영역들(110)을 형성한다. 제1 스페이서들(100) 아래의 실리콘층(60)의 일부는 매립 비트 라인 오프셋으로 기능할 수 있다. 다시 말하면, 상기 매립 비트 라인 오프셋들은 제1 스페이서들(100) 아래의 제1 불순물 영역들(110)과 실질적으로 동일하거나 실질적으로 유사한 높이를 가질 수 있다.

[0040] 인접하는 제1 스페이서들(100) 사이로 노출되는 부분들의 실리콘층(60)에 제2 불순물들을 도핑시켜 제1 영역(I)에 예비 제2 불순물 영역들(115)을 형성한다. 상기 제2 불순물들은 비소, 인, 안티몬 등을 포함할 수 있다. 예비 제2 불순물 영역들(115)은 각기 상대적으로 높은 불순물 농도를 가질 수 있다. 예를 들면, 각 예비 제2 불순물 영역(115)은 약 1×10^{15} atoms/cm² 정도의 불순물 농도를 가질 수 있다. 즉, 예비 제2 불순물 영역들(115)은 각기 제1 불순물 영역들(110)에 비해 상대적으로 높은 이온 농도를 가질 수 있다. 다시 말하면, 제1 불순물 영역들(110)에 인접하고 아래에 위치하는 제1 상부들(75) 사이의 실리콘층(60)의 부분들이 예비 제2 불순물 영역들(115)이 될 수 있다. 제1 불순물 영역들(110)은 각기 대응되는 제1 스페이서(100)와 예비 제2 불순물 영역(115) 사이에 제공될 수 있다. 여기서, 낮은 농도로 도핑된 제1 불순물 영역들(110)이 상기 매립 비트 라인 오프셋들에 해당될 수 있다. 본 발명의 실시예들에 따르면, 매립 비트 라인 오프셋들은 제1 불순물 영역들(110)의 두께나 높이와 실질적으로 동일하거나 실질적으로 유사한 치수를 가질 수 있다. 예를 들면, 상기 매립 비트 라인 오프셋들은 각기 약 500Å 내지 약 1,000Å 정도의 높이를 가질 수 있다. 제1 불순물 영역들(110)에 해당되는 상기 매립 비트 라인 오프셋들은 제1 상부들(75)의 저부(bottom portion)들로부터 실질적으로 나란하게 돌출되도록 형성될 수 있다.

[0041] 본 발명의 다른 실시예들에 따르면, 예비 제2 불순물 영역들(115)은 상기 매립 비트 라인 오프셋들에 대응되는

낮은 농도로 도핑된 제1 불순물 영역들(110)에 비하여 상대적으로 높은 농도로 도핑될 수 있다. 이에 따라, 예비 제2 불순물 영역들(115)은 상기 제1 트랜지스터의 드레인 영역(드레인 노드)들 또는 소스 영역(소스 노드)들로서 용이하게 기능할 수 있다.

[0042] 도 5를 참조하면, 제1 영역(I)에서 상기 매립 비트 라인 오프셋들에 해당되는 제1 불순물 영역들(110)의 측벽들 상에 제1 측벽 산화막들(120)을 형성하고, 제2 영역(II)에서 제2 스페이서들(105) 아래에 제2 측벽 산화막들(125)을 형성한다. 제1 및 제2 측벽 산화막들(120, 125)은 각기 열 산화 공정, 라디칼 산화 공정, 화학 기상 증착(CVD) 공정 등을 이용하여 형성될 수 있다. 제1 및 제2 측벽 산화막들(120, 125)은 각기 약 20Å 내지 약 60Å 정도의 두께로 형성될 수 있다.

[0043] 제1 및 제2 영역(I, II) 상의 상기 결과물을 덮으면서 실리콘층(60) 상에 제2 스페이서 형성층(도시되지 않음)을 형성한다. 이러한 제2 스페이서 형성층은 질화물 또는 산질화물로 이루어질 수 있다. 상기 제2 스페이서 형성층은 약 50Å 내지 약 100Å 정도의 두께를 가질 수 있다. 상기 제2 스페이서 형성층을 부분적으로 식각함으로써, 제1 스페이서들(100) 및 제2 스페이서들(105) 상에 각기 제3 스페이서들(130) 및 제4 스페이서들(135)을 형성한다. 제3 및 제4 스페이서들(130, 135)은 각기 약 50Å 내지 약 100Å 정도의 두께를 가질 수 있다. 이에 따라, 제1 스페이서(100)와 제3 스페이서(130) 사이의 두께 비율은 약 1.0 : 0.2 내지 약 1.0 : 0.5 정도가 될 수 있다. 이와 유사하게, 제2 스페이서(105)와 제4 스페이서(135) 사이의 두께 비율은 약 1.0 : 0.2 내지 약 1.0 : 0.5 정도가 될 수 있다.

[0044] 제3 스페이서들(130)은 제1 영역(I)에서 제1 측벽 산화막들(120), 제1 스페이서들(100)과 예비 제2 불순물 영역들(115)의 일부를 커버한다. 제4 스페이서들(135)은 제2 영역(II)에서 제2 측벽 산화막들(125)과 제2 스페이서들(105)을 덮는다. 제3 및 제4 스페이서들(130, 135)은 후속하여 실리사이데이션 공정이 수행될 때 이들이 커버하는 부분들 상에 금속 실리사이드가 형성되는 것을 방지할 수 있다.

[0045] 도 6을 참조하면, 실리콘층(60)을 절연 산화물층(55)이 노출될 때까지 다시 식각한다. 이 경우, 라인 형상 또는 이와 유사한 형상을 가지는 마스크가 사용될 수 있다. 이러한 식각 공정에 따라 제1 영역(I)에서 상기 제1 트랜지스터들의 제1 상부들(75)(필라 구조물들) 아래에 제1 하부들(145)이 각기 형성되며, 제2 영역(II)에서 제1 상부들(80) 아래에 제2 하부들(150)이 각기 형성된다.

[0046] 제1 영역(I)에 있어서, 실리콘층(60)의 식각되지 않은 부분들로부터 형성되는 제1 하부들(145)은 사각형의 단면 형상을 가질 수 있다. 제1 하부들(145)의 각 사각형 블록은 제1 방향을 따라 연장되어 상기 제1 트랜지스터들의 복수의 제1 상부들(75)을 지지할 수 있다. 제1 하부들(145)의 블록들은 각기 복수의 매립 비트 라인들 중 대응되는 하나를 형성할 수 있다.

[0047] 제1 하부들(145)을 형성하는 동안 예비 제2 불순물 영역들(115)은 부분적으로 제거되어 제1 영역(I)에 제2 불순물 영역들(155)을 형성한다. 제1 불순물 영역들(155)은 각기 매립 비트 라인 오프셋들(제1 불순물 영역들(110)) 아래인 제1 하부들(145)의 측면들 상에 잔류하여 상기 제1 트랜지스터들의 소스 영역들(또는 드레인 영역들)로 제공된다. 도 6에 도시한 바와 같이, 제1 하부들(145)은 제3 스페이서들(130)에 의해 보호되지는 않으며, 제1 영역(I)에 위치하는 구조물들에 대해 수행되는 실리사이데이션 공정을 통해 금속 실리사이드가 상기 제1 트랜지스터들의 제1 하부들(145)의 측벽들과 보호되지 않은 상부 표면들 상에 형성될 수 있다. 제2 영역(II)에 있어서, 실리콘층(60)은 상기 기판의 절연 산화물층(55)이 노출되지 않도록 부분적으로 식각될 수 있다.

[0048] 도 7을 참조하면, 상기 결과물들과 상기 기판의 노출된 부분들을 커버하는 제1 보호층(도시되지 않음)이 형성되어, 실리사이데이션 방지막으로 기능한다. 상기 제1 보호층은 산화물, 예를 들면, 실리콘 산화물을 포함할 수 있다. 또한, 상기 제1 보호층은 약 50Å 내지 약 150Å 정도의 두께를 가질 수 있다.

[0049] 상기 제1 보호층을 식각하여 제2 영역(II)의 상기 결과물을 덮는 제1 보호층 패턴(160)을 형성한다. 이러한 식각 공정에 따라 제1 영역(I)에는 제1 보호층 패턴(160)이 형성되지 않음에 유의해야 한다.

[0050] 도 8을 참조하면, 제1 영역(I)에서는 제1 불순물 영역들(155)과 제1 하부들(145)의 측벽들을 포함하는 결과물들을 커버하고 제2 영역(II)에서는 제1 보호층 패턴(160)을 덮는 금속층(165)을 형성한다. 본 발명의 실시예들에 따르면, 금속층(165)은 제1 불순물 영역들(155)을 포함하는 제1 하부들(145)의 표면들과 측벽들을 커버할 수 있다. 금속층(165)은, 예를 들면, 텅스텐, 티타늄, 코발트, 니켈 등의 전이 금속을 포함할 수 있다. 또한, 금속층(165)은 스펀터링 공정, 원자층 적층(ALD) 공정, 증착 공정, 화학 기상 증착(CVD) 공정 등을 이용하여 형성될 수 있다. 이러한 금속층(165)은 약 50Å 내지 약 100Å 정도의 상대적으로 얇은 두께를 가질 수 있다.

[0051] 도 9를 참조하면, 금속층(165)에 대해 실리사이데이션 공정을 수행하여 제2 불순물 영역들(165)과 제1 하부들

(145)의 표면들과 측벽들 상에 금속 실리사이드층들(170)을 형성한다. 본 발명의 실시예들에 따르면, 상기 실리사이데이션 공정에 따라 티타늄 실리사이드, 텅스텐 실리사이드, 코발트 실리사이드, 니켈 실리사이드 등과 같은 니어-노를 금속 실리사이드 및 내화 금속 실리사이드를 포함하는 전이 금속의 실리사이드가 생성될 수 있다. 이러한 금속 실리사이드는 높은 내부식성, 내산화성, 우수한 접착성, 실리콘 산화물(SiO_x)에 대한 낮은 계면 스트레스 등의 특성을 가져올 수 있다.

[0052] 본 발명의 실시예들에 따르면, 제1 보호층 패턴(160)이 그 상부에 형성되어 있기 때문에 금속 실리사이드층들은 제2 영역(II)의 결과물들 상에는 형성되지 않는다.

[0053] 도 10을 참조하면, 제1 및 제2 영역(I, II)을 포함하는 상기 기판 상에 형성된 결과물들을 덮도록 예비 제1 절연층(도시되지 않음)이 형성된다. 상기 예비 제1 절연층은, 예를 들면, USG, SOG, PSG, BPSG, FOX, TOSZ, TEOS, PE-TEOS, HDP-CVD 산화물 등과 같은 산화물을 사용하여 형성될 수 있다.

[0054] 상기 예비 제1 절연층을 부분적으로 식각하여 상기 기판 상에 제1 절연층(180)을 형성한다. 제1 절연층(180)은 제1 상부들(75) 상에 형성되어 제1 영역(I)의 제3 스페이서들(130)의 대부분을 노출시키며, 제2 영역(II)에서는 제2 상부들(80)의 일부들 상에 형성되어 제4 스페이서들(135)의 상부들을 노출시킨다. 실리콘층(60)이 제2 영역(II)에 남아있기 때문에, 제1 영역(I)에 위치하는 제1 절연층(180)의 제1 부분은 제2 영역(II)에 위치하는 제1 절연층(180)의 제2 부분에 비하여 실질적으로 낮은 높이를 가질 수 있다. 예를 들면, 제1 절연층(180)의 제1 부분과 제1 절연층(180)의 제2 부분의 차이는 약 300Å 이하가 될 수 있다.

[0055] 도 11을 참조하면, 제1 영역(I)의 제1 상부들(75)로부터 제1 및 제3 스페이서들(100, 130)을 선택적으로 제거하고, 제2 영역(II)의 제2 상부들(80)로부터 제2 및 제4 스페이서들(105, 135)의 노출된 부분들을 선택적으로 제거한다. 제1 영역(I)에서 제3 스페이서들(130)의 하부들은 제1 측벽 산화물층 패턴들(138)과 제1 절연층(180) 사이에 잔류함으로써, 금속 실리사이드층들(170) 상에 보호 패턴들(138)이 형성된다. 따라서, 보호 패턴들(138)과 제1 측벽 산화물층 패턴들(120)에 의해 금속 실리사이드층들(170)은 후술하는 워드 라인들로부터 효과적으로 격리되어 상기 제1 트랜지스터들의 전기적인 특성을 보다 향상시킬 수 있다.

[0056] 제1 절연층(180), 보호막 패턴들(138) 및 제1 측벽 산화물층 패턴들(120) 상에 도전층(195)을 형성한다. 제1 영역(I)에서 상기 제1 트랜지스터들의 수직 필라 영역들에 연결되는 게이트 전극들뿐만 아니라 복수의 접촉 도전성 구조물들로 사용될 수 있는 도전층(195)은 상기 매립 비트 라인 오프셋들에는 접촉되지만, 제1 측벽 산화물층들(120)과 잔류하는 제3 스페이서들(130)로부터 유래되는 보호 패턴들(138)이 개재되기 때문에 상기 매립 비트 라인들을 구성하는 금속 실리사이드층들(170)로부터는 이격된다. 상기 도전층(195)은 불순물들이 도핑된 폴리실리콘, 금속 및/또는 금속 화합물을 포함할 수 있다. 낮은 농도로 도핑된 매립 비트 라인 오프셋(제1 불순물 영역들(110))은 금속 실리사이드층(170)으로부터 누설 전류가 흐르는 것을 방지하는 침식 베피의 기능을 수행할 수 있다. 본 발명의 실시예들에 따르면, 도전층(195)은 화학 기계적 연마(CMP) 공정 및/또는 에치백 공정을 통하여 평탄화될 수 있다.

[0057] 도 12를 참조하면, 제1 영역(I)에 있어서, 도전층(195)을 부분적으로 식각하여 각기 제2 방향을 따라 연장되는 사각형 형상의 도전체들을 형성한다. 상기 도전체들은 복수의 워드 라인들(200)(예를 들면, 도 1의 도면 부호 35 참조) 가운데 하나를 각기 형성하도록 상기 제1 트랜지스터들의 제1 상부들(75)을 부분적으로 감쌀 수 있다. 상기 제2 방향은 상기 매립 비트 라인들의 배열 방향인 상기 제1 방향과 실질적으로 직교할 수 있다. 제2 영역(II)에서 도전층(195)은 모두 식각되어 제1 절연층(180)으로부터 완전히 제거된다.

[0058] 제2 영역(II)의 결과물들을 덮으면서 제1 절연층(180)과 워드 라인들(200) 상에 마스크(205)를 형성한다. 제1 상부들(75)에 부분적으로 제3 불순물들을 도핑하여 제3 불순물 영역들(210)을 형성한다. 상기 제3 불순물들은 제3 불순물 영역들(210)이 각 제1 트랜지스터의 드레인 영역(노드)(또는 소스 영역(노드))으로 기능하도록 충분한 농도로 도핑될 수 있다. 상기 제3 불순물들은 소정의 각도로 제1 상부들(75)에 도핑될 수 있다. 즉, 상기 제3 불순물들은 경사 이온 주입 공정을 이용하여 도핑될 수 있다. 상기 제3 불순물들은 인, 비소, 안티몬 등을 포함할 수 있다. 제3 불순물 영역들(210)은 각기 약 1×10^{13} atoms/cm² 정도의 상태적으로 낮은 불순물 농도를 가질 수 있다.

[0059] 본 발명의 실시예들에 있어서, 상기 제1 트랜지스터들(수직 필라 트랜지스터들)은 제3 불순물 영역들(210)과 대응되는 제1 불순물 영역들(110)을 구비하기 때문에 상기 제1 트랜지스터들의 채널 영역들은 워드 라인들(200)에 연결되는 제1 불순물 영역들(110)과 제3 불순물 영역들(210) 사이에 개재된 제1 상부들(75)의 측벽들을 따라 수직하게 정렬될 수 있다. 상기 매립 비트 라인 오프셋들(제1 불순물 영역들(110))은 제1 하부들(145) 내에 형성

된 제2 불순물 영역들(155)과 함께 워드 라인들(200) 아래에 접촉될 수 있다. 제1 하부들(145)은 금속 실리사이드층들(170)로 커버될 수 있다.

[0060] 도 13을 참조하면, 제1 및 제2 마스크(65, 70)를 제거한 다음, 워드 라인들(200)과 제1 절연층(180) 상에 예비 제2 절연층(도시되지 않음)을 형성한다. 제1 및 제2 상부들(75, 80)의 상면이 노출될 때까지 상기 예비 제2 절연층을 식각함으로써, 제1 영역(I)과 제2 영역(II)에서 워드 라인들(200)과 제1 절연층(180) 상에 제2 절연층(215)을 형성한다.

[0061] 제2 영역(II)에 있어서, 제2 상부들(80)에 제4 불순물들을 도핑하여 제4 불순물 영역들(220)을 형성한다.

[0062] 도 14를 참조하면, 제2 영역(II)에 제4 불순물 영역들(220)에 인접하는 추가 게이트 구조물을 형성한다. 상기 추가 게이트 구조물은 추가 게이트 전극(225), 추가 게이트 마스크(230) 및 추가 게이트 스페이서(235)를 포함한다. 상기 추가 게이트 구조물들을 덮으면서 제2 절연층(215) 상에 제2 보호층(240)을 형성한다. 제2 보호층(240)은 질화물 또는 산질화물을 포함할 수 있다.

[0063] 도 15를 참조하면, 제2 절연층(240) 상에 제3 절연층(245)을 형성한 다음, 제3 절연층(245)을 부분적으로 식각하고, 제3 절연층(245) 내에 콘택들 또는 플러그들(250, 265, 280)을 형성한다. 플러그들(250, 265, 280) 상에 각기 복수의 도전 라인들(255, 270, 285)을 형성하고, 도전 라인들(255, 270, 285) 상에 각기 마스크들(260, 275, 290)을 형성한다.

[0064] 도 16을 참조하면, 제3 절연층(245) 상에 제4 절연층(295)과 몰드층(300)을 순차적으로 형성한다. 몰드층(300), 제4 절연층(295) 및 제3 절연층(245)에 개구들을 형성한 후, 상기 개구들 내에 제1 영역(I)에 하부 전극들(305)을 형성하도록 도전 패턴들과 희생막 패턴들(303)을 형성한다.

[0065] 도 17을 참조하면, 하부 전극들(305)로부터 희생막 패턴들(303)을 제거한 후, 하부 전극들(305) 상에 유전층(310)과 상부 전극들(315)을 형성한다. 상부 전극들(315)과 하부 전극들(305)은 각기 제1 영역(I)의 대응되는 제1 트랜지스터에 전기적으로 연결되는 각 커패시터들의 전극을 구성한다.

[0066] 본 발명의 실시예들에 있어서, 복수의 제1 트랜지스터들(수직 필라 트랜지스터들)과 제2 트랜지스터들(수평 트랜지스터들)을 구비하는 반도체 메모리 장치를 형성할 수 있다. 상기 반도체 장치의 제1 영역에 형성되는 수직 필라 트랜지스터들은 데이터를 저장하기 위한 커패시터들에 각기 전기적으로 연결되는 메모리 셀들로 이용될 수 있다. 상기 반도체 메모리 장치의 제2 영역에 위치하는 수평 트랜지스터들은 주변 회로 및 중폭 회로로 이용될 수 있다.

[0067] 상술한 본 발명의 실시예들에 따르면, 상기 반도체 장치의 수직 필라 트랜지스터들은 기판 상에 제1 방향으로 연장되어 형성된 매립 비트 라인들에 연결되는 하부들과 제2 방향으로 연장되는 워드 라인들에 연결되는 상부들을 구비한다. 여기서, 상기 제1 방향과 상기 제2 방향은 서로 실질적으로 직교할 수 있다. 상기 매립 비트 라인들의 적어도 표면들에 금속 실리사이드가 형성되기 때문에, 상기 매립 비트 라인들의 콘택 저항을 크게 감소시킬 수 있다. 상기 금속 실리사이드는 실리콘 산화물에 대하여 낮은 계면 스트레스와 우수한 접착성을 가져올 수 있다. 상기 매립 비트 라인 오프셋들은 상기 금속 실리사이드의 베퍼로서 기능하며 그로부터 누설 전류가 흐르는 현상을 방지할 수 있다.

[0068] 도 18 및 도 19는 본 발명의 다른 실시예들에 따른 수직 필라 트랜지스터들을 구비하는 반도체 장치의 제조 방법을 설명하기 위한 단면도들이다. 도 18 및 도 19에 도시한 반도체 장치의 제조 방법에 있어서, 도 2 내지 도 6을 참조하여 설명한 공정들과 실질적으로 동일하거나 실질적으로 유사한 공정들을 이용하여 하부 반도체층(350), 절연층(355) 및 상부 반도체층을 가지는 기판을 형성하고, 상기 기판의 제1 영역(III)에 필라 형상의 제1 상부들(370), 제2 불순물 영역들(435)을 가지는 제1 하부들(425), 매립 비트 라인 오프셋들(400) 및 측벽 산화물층(405)을 구비하는 수직 필라 트랜지스터들을 형성한다. 또한, 상기 기판의 제2 영역(IV)에 제2 하부들(430)과 제2 상부들(375)을 포함하는 수평 트랜지스터들을 형성한다. 제1 및 제3 스페이서들(415, 490)은 제1 산화물층 패턴들(380)을 가지는 제1 상부들(370)의 측벽들 상에 형성된다. 제2 및 제4 스페이서들(395, 420)은 제2 산화물층 패턴들(385)을 갖는 제2 상부들(375)의 측벽들 상에 형성된다. 제1 및 제2 마스크(360, 390)는 각기 제1 상부들(370)과 제2 상부들(375) 상에 잔류한다.

[0069] 도 18을 참조하면, 실리사이데이션 공정을 위하여 제1 및 제2 영역(III, IV)의 상기 결과물들 상에 금속층(440)을 형성한다. 금속층(440)은 티타늄, 텉스텐, 코발트, 니켈 또는 이들의 혼합물과 같은 실리사이데이션 공정에 적합한 금속을 포함할 수 있다. 본 발명의 실시예들에 따르면, 제2 영역(IV)에 미리 보호막을 형성하지 않고

직접 금속층(440)을 형성할 수 있다.

[0070] 도 19를 참조하면, 금속층(440)에 대해 실리사이데이션 공정을 수행하여 제1 영역(III)에 제1 금속 실리사이드 층들(445)을 형성하고, 제2 영역(IV)에 제2 금속실리사이드층들(450)을 형성한다. 상기 실리사이데이션 공정을 수행하는 동안, 금속실리사이드층들이 금속층(440) 아래의 절화물이나 산화물과 같은 절연 물질을 포함하는 구조물의 일부와는 반응하지 않고 금속층(440) 아래의 실리콘이나 도핑된 폴리실리콘을 포함하는 구조물들의 일부와의 반응을 통해 형성되는 점에 유의한다. 반응하지 않은 부분의 금속층(44)은 제거된다. 본 발명의 실시예들에 따르면, 금속층(440) 아래의 실리콘 또는 도핑된 폴리실리콘을 포함하는 상기 수직 필라 트랜지스터들의 하부와 상기 수평 트랜지스터들의 하부 상에는 금속 실리사이드층들(445, 450)이 각기 형성된다. 따라서, 본 발명의 실시예들에 따른 반도체 장치는 수직 필라 트랜지스터 내부에 형성되는 금속 실리사이드(예를 들면, 매립 비트 라인들(425)을 감싼다)와 제2 영역(IV)의 수평 트랜지스터 주위에 형성되는 금속 실리사이드를 포함한다.

[0071] 도 20 내지 및 도 22는 본 발명의 또 다른 실시예들에 따른 수직 필라 트랜지스터들을 구비하는 반도체 장치의 제조 방법을 설명하기 위한 단면도들이다. 도 20 내지 도 22에 도시한 반도체 장치의 제조 방법에 있어서, 도 2 내지 도 6을 참조하여 설명한 공정들과 실질적으로 동일하거나 실질적으로 유사한 공정들을 이용하여 하부 반도체층(480), 절연층(485) 및 상부 반도체층을 갖는 기판을 형성하고, 상기 기판의 제1 영역(V)에 제1 상부들(500), 제2 불순물 영역들(555)을 가지는 제1 하부들(425)(매립 비트 라인들), 매립 비트 라인 오프셋들(530) 및 측벽 산화물층(535)을 구비하는 수직 필라 트랜지스터들을 형성한다. 또한, 상기 기판의 제2 영역(VI)에 제2 하부들(430)과 제2 상부들(505)을 포함하는 수평 트랜지스터들을 형성한다. 제1 및 제3 스페이서들(520, 545)은 제1 산화물층 패턴들(510)을 가지는 제1 상부들(500)의 측벽들 상에 형성된다. 제2 및 제4 스페이서들(525, 550)은 제2 산화물층 패턴들(515)을 갖는 제2 상부들(505)의 측벽들 상에 형성된다. 제1 및 제2 마스크(400, 495)는 각기 제1 상부들(500)과 제2 상부들(505) 상에 잔류한다.

[0072] 도 20 내지 도 22를 참조하면, 제2 영역(VI)에 위치하는 상기 수평 트랜지스터들은 절연층(485)이 노출될 때까지 상기 기판의 상부 반도체층을 완전히 식각함에 따라 서로 이격된다. 금속층(560)은 제2 영역(VI)에 보호층을 형성하지 않고 제1 및 제2 영역(V, VI)의 결과물을 상에 형성된다.

[0073] 금속층(560)에 대해 실리사이데이션 공정을 수행하여 제1 영역(V)에 제1 금속 실리사이드층들(565)을 형성하고, 제2 영역(VI)에 제2 금속실리사이드층들(570)을 형성한다. 이에 따라, 상기 반도체 장치는 수직 필라 트랜지스터 내부에 형성되는 금속 실리사이드(예를 들면, 매립 비트 라인들(425)을 감싼다)와 제2 영역(VI)의 수평 트랜지스터 주위에 형성되는 금속 실리사이드를 포함하며, SOI 기판 상의 제2 영역(VI)에서 인접하는 수평 트랜지스터들을 보다 멀리 이격되도록 할 수 있다.

[0074] 도 23은 본 발명의 다른 실시예들에 따라 수직 필라 트랜지스터를 포함하는 반도체 장치를 설명하기 위한 사시도이다.

[0075] 도 23을 참조하면, 상기 반도체 장치의 수직 필라 트랜지스터들은 절연층(1005)과 실리콘층을 포함할 수 있는 SOI 기판 상에 제공된다. 상기 수직 필라 트랜지스터들은 각기 하부(1000)와 상부(1020)를 가지는 몸체를 포함한다. 상기 수직 필라 트랜지스터의 하부(1000)와 상부(1020)는 상기 기판의 실리콘층을 식각하여 형성될 수 있다. 상기 수직 필라 트랜지스터들의 하부들(1020)은 각기 사각형의 형상으로 연장되는 구조를 가질 수 있다. 본 발명의 실시예들에 따르면, 하부들(1020)의 표면상에 도전층을 적층하여 매립 비트 라인(BBL)(1010)을 형성할 수 있다. 상기 도전층은 전이 금속 실리사이드를 이용하는 실리사이데이션 공정을 통해 형성될 수 있다. 이러한 금속 실리사이드에 의해 높은 내부식성, 내산화성, 실리콘 산화물에 대한 낮은 계면 스트레스, 낮은 반응성, 우수한 접착력 등의 특성들이 제공될 수 있다. 상기 금속 실리사이드는 스팍터링 공정, 화학 기상 증착 공정, 원자층 적층 공정 등을 통해 상기 도전층을 형성한 후, 실리사이데이션 공정을 수행함으로써 수득될 수 있다.

[0076] 매립 비트 라인(1010)은 제1 방향으로 연장되어 복수의 수직 필라 트랜지스터들을 지지할 수 있다. 상기 수직 필라 트랜지스터들의 각 상부(1020)는 필라와 같은 형상을 가질 수 있으며, 하부(1000) 상에 위치하는 부분이 실린더형의 구조를 가질 수 있다. 워드 라인(1030)은 상기 제1 방향에 대하여 실질적으로 직교하는 제2 방향을 따라 연장되어 복수의 수직 필라 트랜지스터들의 상부들(1020)을 부분적으로 감싸도록 형성될 수 있다. 워드 라인들(300)은 각기 매립 비트 라인 오프셋(1015)에 의해 매립 비트 라인들(1010)로부터 이격될 수 있다. 즉, 각 매립 비트 라인(1010)은 매립 비트 라인 오프셋(1015)에 대응되는 간격으로 워드 라인(1030)으로부터 이격될 수 있다.

[0077] 본 발명의 실시예들에 따르면, 매립 비트 라인들(1010)은 각기 불순물 영역과 금속 실리사이드층을 포함할 수

있다. 매립 비트 라인(1010)의 불순물 영역은 하부(1000)의 표면에 위치할 수 있으며, 상기 금속 실리사이드층은 이러한 불순물 영역을 덮을 수 있다. 본 발명의 다른 실시예들에 있어서, 상기 금속 실리사이드층은 상기 수직 필라 트랜지스터의 하부(1000)의 측벽을 추가적으로 덮을 수 있다.

[0078] 이하, 본 발명의 다른 실시예들에 따른 수직 필라 트랜지스터들을 포함하는 반도체 장치의 제조 방법에 대하여 설명한다. 도 24 내지 도 33은 본 발명의 다른 실시예들에 따른 수직 필라 트랜지스터들을 구비하는 반도체 장치의 제조 방법을 설명하기 위한 단면도들이다.

[0079] 도 24를 참조하면, 제1 패드 산화막 패턴들, 제2 패드 산화막 패턴들, 제1 마스크들(1065) 및 제2 마스크들(1070)이 기판의 상부 반도체층(1055) 상에 제공된다. 상기 기판은 하부 반도체층, 절연층(1050) 및 상부 반도체층(1055)을 구비한다. 예를 들면, 상기 기판은 SOI 기판, GOI 기판 등을 포함할 수 있다. 상기 제1 패드 산화막 패턴들 및 제1 마스크들(1065)은 상기 기판의 제1 영역(VII)에 위치한다. 상기 제1 패드 산화막 패턴들 및 제2 마스크들(1070)은 상기 기판의 제2 영역(VIII)에 형성된다. 제1 및 제2 마스크들(1065, 1070)은 각기 상기 기판의 상부 반도체층(1055)에 대해 식각 선택비를 갖는 물질을 포함할 수 있다.

[0080] 제1 및 제2 마스크들(1065, 1070)을 식각 마스크들로 이용하여 상부 반도체층(1055)을 부분적으로 식각함으로써, 제1 영역(VII)에 수직 필라 트랜지스터들인 제1 트랜지스터들의 제1 상부들(1075)을 형성하고, 제2 영역(VIII)에 수평 트랜지스터들인 제2 트랜지스터들의 제2 상부들(1080)을 형성한다. 제1 상부들(1075)은 각기 사각형, 원형, 타원형 등의 다양한 기하학적 형상으로 형성될 수 있다. 본 발명의 일 실시예에 있어서, 제1 상부들(1075)은 타원형의 단면을 가지고 수직하게 연장되는 필라의 형상을 가질 수 있는 반면, 제2 상부들(1080)을 포함하는 제2 영역(VIII)의 상기 제2 트랜지스터들은 상부 반도체층(1055) 상에서 보다 넓은 종횡비와 면적을 차지할 수 있다. 제2 상부들(1080)은 각기 제1 상부들(1075)에 비하여 실질적으로 넓게 형성될 수 있다.

[0081] 제1 및 제2 상부들(1075, 1080)을 형성한 후, 제1 및 제2 영역(VII, VIII)에서 각기 제1 상부들(1075)과 제2 상부들(1080)의 외측 표면들을 덮는 제1 및 제2 산화막 패턴들(1085, 1090)을 형성한다. 제1 및 제2 산화막 패턴들(1085, 1090)은 열 산화 공정, 라디칼 산화 공정 등을 이용하여 형성될 수 있다. 제1 및 제2 산화막 패턴들(1085, 1090)을 형성함으로써 제1 및 제2 상부들(1075, 1080)에 발생된 식각 손상을 치유할 수 있다.

[0082] 도 25를 참조하면, 제1 및 제2 영역(VII, VIII)에서 제1 및 제2 산화막 패턴들(1085, 1090)을 둘러싸도록 제1 질화물층을 형성한다. 상기 제1 질화물층은 제1 및 제2 상부들(1075, 1080)의 프로파일들을 따라 균일하게 형성될 수 있다. 상기 제1 질화물층을 식각하여 제1 영역(VII)에 제1 스페이서들(1095)을 형성하고 제2 영역(VIII)에 제2 스페이서들(1100)을 형성한다. 제1 및 제2 영역(VII, VIII)에 있어서, 제1 스페이서들(1095)과 제2 스페이서들(1100)은 상부 반도체층(1055)의 하부를 제외하고 실질적으로 제1 및 제2 상부들(1075, 1080)의 전체 측벽들을 감쌀 수 있다.

[0083] 제1 영역(VII)에서, 상부 반도체층(1055)의 부분들 내에 제1 불순물들을 주입하여 인접하는 제1 상부들(1075) 사이에 예비 제1 불순물 영역들(1110)을 형성한다. 제2 영역(VIII)에서는, 예비 제1 불순물 영역들(1110)을 형성하는 동안 제2 상부들(1080)과 상부 반도체층(1055)을 이온 주입 마스크(1105)로 보호한다.

[0084] 제2 영역(VIII)으로부터 이온 주입 마스크(1105)를 제거한다. 이온 주입 마스크(1105)가 포토레지스트와 같은 유기 물질을 포함하는 경우에는, 이온 주입 마스크(1105)는 애싱 공정 및/또는 스트리핑 공정을 이용하여 제거될 수 있다.

[0085] 도 26을 참조하면, 제1 영역(VII)에서 제1 스페이서들(2095)을 식각 마스크들로 이용하여 제1 스페이서들(1095)의 하부들과 예비 제1 불순물 영역들(1110) 사이의 상부 반도체층(1055)을 부분적으로 식각함으로써, 제1 트랜지스터들의 제1 불순물 영역들(1115)을 형성한다. 또한, 제2 영역(VIII)에서 제2 스페이서들(1100)을 식각 마스크들로 이용하여 제2 스페이서들(1100)의 인접하는 하부들 사이의 상부 반도체층(1055)을 부분적으로 식각한다.

[0086] 제1 영역(VII)에서, 상부 반도체층(1055)의 부분들에 제2 불순물들을 도일시켜 인접하는 제1 불순물 영역들(1115) 사이에 예비 제2 불순물 영역들(1200)을 형성한다.

[0087] 제1 불순물 영역들(1115)은 제1 매립 비트 라인 오프셋들로 언급될 수 있다. 본 발명의 실시예들에 따르면, 상기 제1 매립 비트 라인 오프셋들은 제1 불순물 영역들(1115)과 실질적으로 동일하거나 실질적으로 유사한 두께나 높이를 가질 수 있다. 따라서 상기 제1 매립 비트 라인 오프셋들은 제1 상부들(1075)의 하부로부터 실질적으로 동일한 방향으로 돌출될 수 있다.

- [0088] 도 27을 참조하면, 상부 반도체층(1055) 상에 제1 및 제2 영역(VII, VIII)의 결과물들을 덮는 제2 질화물층을 형성한다. 예를 들면, 상기 제2 질화물층은 실리콘 질화물을 포함할 수 있다. 상기 제2 질화물층을 식각하여 제1 스페이서들(1095)과 제2 스페이서들(1100) 상에 제3 스페이서들(1205) 및 제4 스페이서들(1210)을 각기 형성한다.
- [0089] 제3 스페이서들은(1205)은 제1 영역(VII)에서 제1 불순물 영역들(1115), 제1 스페이서들(1095) 및 예비 제2 불순물 영역들(1200)를 일부를 커버한다. 제4 스페이서들(1210)은 제2 영역(VIII)에서 제2 스페이서들(1100)과 상부 반도체층(1055)의 일부를 커버한다. 제3 스페이서들(1205)과 제4 스페이서들(1210)은 후술하는 바와 같이 금속 실리사이데이션 공정이 수행될 때 커버된 부분들 상에 금속 실리사이드가 형성되는 것을 방지한다.
- [0090] 제1 영역(VII)에 있어서, 제3 스페이서들(1205)을 식각 마스크들로 이용하여 인접하는 제3 스페이서들(1205) 사이의 상부 반도체층(1055)을 부분적으로 식각함으로써, 제2 불순물 영역들(1215)을 형성한다. 또한, 제2 영역(VIII)에서도 제4 스페이서들(1210)을 식각 마스크들로 이용하여 상부 반도체층(1055)을 부분적으로 식각한다.
- [0091] 제1 영역(VII)에 있어서, 제2 불순물 영역들(1215)의 일부들은 제2 매립 비트 오프셋들에 해당될 수 있다. 이러한 제1 매립 비트 라인 오프셋들은 각기 제2 불순물 영역(1215)의 높이나 두께와 실질적으로 동일하거나 실질적으로 유사한 높이나 두께를 가질 수 있다. 상기 제1 매립 비트 라인 오프셋들도 제1 상부들(1075)의 하부로부터 실질적으로 동일한 방향으로 돌출될 수 있다.
- [0092] 도 28을 참조하면, 제2 영역(VIII)의 결과물들을 덮도록 산화물 보호층 패턴(1220)을 형성한다. 산화물 보호층 패턴(1220)은 제2 영역(VIII)의 결과물들 상에 금속층이 형성되는 것을 방지하는 역할을 수행한다. 그러나 상기 반도체 장치가 도 18 및 도 19 또는 도 20 및 도 21을 참조하여 설명한 공정들과 실질적으로 동일하거나 실질적으로 유사한 공정들을 통해 제조되는 경우에는 산화물 보호층 패턴(1220)을 생략할 수 있다.
- [0093] 도 29를 참조하면, 제2 불순물 영역들(1212)과 제3 스페이서들(1205)을 포함하는 제1 영역(VII)에 형성된 결과물들 및 제2 영역(VIII)에 형성된 결과물들 상에 금속층(1230)을 형성한다. 제2 영역(VIII)에서 금속 실리사이드가 형성을 방지하도록 금속층(1230)은 산화물 보호층 패턴(1220) 상에 형성된다.
- [0094] 도 30을 참조하면, 금속층(1230)에 대해 실리사이데이션 공정을 수행하여 제2 불순물 영역들(1215) 상에 금속 실리사이드층(1235)을 형성한다. 본 발명의 실시예들에 있어서, 상기 실리사이데이션 공정은 티타늄 실리사이드, 텅스텐 실리사이드, 코발트 실리사이드, 나켈 실리사이드 등의 나이-노블 및 내화 금속 실리사이드를 포함하는 전이 금속 실리사이드를 사용하여 수행될 수 있다. 금속층(1230)은 스파터링 공정, 화학 기상 증착 공정 등을 이용하여 형성될 수 있다. 금속층(1230)을 가열함으로써, 금속층(1230)에 포함된 금속과 금속층(1230) 아래의 실리콘층 또는 도핑된 폴리실리콘층의 반응에 따라 제2 불순물 영역들(1215) 상에 금속 실리사이드층들(1235)이 형성될 수 있다. 그 아래에 질화물 또는 산화물 등의 절연 물질을 포함하는 층이 위치하는 반응하지 않은 부분의 금속층(1230)은 제거된다.
- [0095] 도 31을 참조하면, 제2 영역(VIII)에서 산화물 보호층 패턴(1220)을 제거한 후, 제1 및 제2 영역(VII, VIII)의 결과물들 상에 제1 라이너층(1240)과 제2 라이너층(1245)을 형성한다. 예를 들면, 제1 및 제2 라이너층(1240, 1245)은 각기 실리콘 산화물을 포함할 수 있다. 제1 라이너층(1240)은 제1 영역(VII)에서 제3 스페이서들(1205) 및 금속 실리사이드층들(1235)을 커버한다. 제2 라이너층(1245)은 제2 영역(VIII)에서 인접하는 제4 스페이서들(1210) 사이에 노출되는 상부 반도체층(1055)과 제4 스페이서들(1210)을 커버한다.
- [0096] 제1 및 제2 영역(VII, VIII)의 라이너층들(1240, 1245)을 포함하는 결과물들 상에 절연층(1250)을 형성한다. 예를 들면, 화학 기계적 연마 공정 및/또는 에치백 공정을 이용하여 제1 및 제2 마스크들(1265, 1270)이 노출될 때까지 절연층(1250)의 표면을 평탄화시킨다.
- [0097] 도 32를 참조하면, 제1 영역(VIII)에 대응되는 부분은 슬릿들(1248) 또는 좁은 트렌치들을 포함하고 제2 영역(VIII)에 대응되는 부분은 슬릿들을 포함하지 않는 마스크층(1255)을 절연층(1250) 상에 형성한다. 상부 반도체층(1055)과 제1 라이너층(1240)을 부분적으로 식각하여 인접하는 제1 트랜지스터들 사이의 기판의 저면까지 연장되는 슬릿들을 형성한다. 이에 따라, 제1 영역(VII)에 제1 하부들(1260)과 금속 실리사이드층 패턴들(1265)이 형성된다. 또한, 제3 스페이서들(1205) 상에 제5 스페이서들(1246)이 형성된다. 금속 실리사이드층 패턴들(1265)은 상기 제1 트랜지스터들의 제1 하부들(1260)의 표면상에 위치한다. 본 발명의 실시예들에 있어서, 매립 비트 라인(BBL)들은 제2 불순물 영역들(1215)과 금속 실리사이드층 패턴들(1265)을 포함한다. 상기 매립 비트 라인들은 전술한 바와 같이 제1 및 제2 매립 비트 라인 오프셋들에 의해 워드 라인들로부터 확실하게 이격된다.

- [0098] 도 33을 참조하면, 제2 영역(VIII)의 제2 라이너층(1245)을 제거한 다음, 도 11 내지 도 17을 참조하여 설명한 공정들과 실질적으로 동일하거나 실질적으로 유사한 공정들을 수행하여 상기 기판 상에 형성된 제1 트랜지스터들 및 제2 트랜지스터들을 포함하는 반도체 장치를 제조한다. 본 발명의 실시예들에 있어서, 상기 워드 라인들은 제1 매립 비트 라인 오프셋들(제1 불순물 영역들(1115))과 제2 매립 비트 라인 오프셋들(제2 불순물 영역들(1212))에 의해 금속 실리사이드층 패턴들(1265)을 포함하는 매립 비트 라인들로부터 이격될 수 있다. 제1 및 제2 매립 비트라인 오프셋들(1115, 1215)은 함께 금속 실리사이드를 포함하는 매립 비트 라인으로부터 누설 전류가 흐르는 것을 방지하는 역할을 할 수 있다.
- [0099] 도 34는 본 발명의 실시예들에 따른 다중 레벨 반도체 장치를 설명하기 위한 단면도들이다.
- [0100] 도 34를 참조하면, 소자 분리막 패턴들(610)을 갖는 제1 기판(600) 상에 제1 수평 트랜지스터들(705)이 배치되어, 절연층(700)을 구비하는 제2 기판 상에 수직 필라 트랜지스터들(715)과 제2 수평 트랜지스터들(710, 770)이 형성된다. 수직 필라 트랜지스터들(710)과 제2 수평 트랜지스터들(770)은 전술한 수직 필라 트랜지스터들 및 수평 트랜지스터들을 형성하는 공정들과 실질적으로 동일하거나 실질적으로 유사한 공정들을 통해 형성될 수 있다. 상부 절연층(775)을 관통하여 복수의 상부 배선들(780, 785, 790, 795)들이 형성되어 워드 라인을 제2 수평 트랜지스터들(710, 770)에 각기 전기적으로 연결시킨다.
- [0101] 제1 수평 트랜지스터들(705)은 각기 소스/드레인 영역들(소스/드레인 노드들)(635, 640), 게이트 전극(645), 게이트 마스크(650) 및 게이트 스페이서(655)를 포함한다. 제1 수평 트랜지스터들(705)은 MOS 트랜지스터들에 해당될 수 있다. 게이트 마스크(650)와 게이트 스페이서(655) 상에는 보호층(660)이 배치된다. 보호층(660)은 각 제1 수평 트랜지스터(705)를 보호할 수 있다. 하부 배선들(665, 675, 685)은 소자 분리막 패턴들(610) 상에 배치된다. 하부 배선들(665, 675, 685)은 각기 제1 수평 트랜지스터들(705)의 소스/드레인 영역들(635, 640)에 접속된다.
- [0102] 마스크들(670, 680, 690)은 각기 하부 배선들(665, 675, 685) 상에 배치된다. 마스크들(670, 680, 690)은 제1 기판(600)과 상기 제2 기판을 결합시키는 공정 동안 하부 배선들(665, 675, 685)이 손상을 입는 것을 방지할 수 있다. 하부 절연층(695)은 제1 기판(600) 상에 형성되어, 제1 수평 트랜지스터들(705)을 포함하는 결과물을 보호할 수 있다. 본 발명의 실시예들에 있어서, 상기 제2 기판의 절연층(700)은 제1 기판(600)의 하부 절연층(695)과 결합될 수 있다.
- [0103] 도 35는 본 발명의 다른 실시예들에 따른 다중 레벨 반도체 장치를 설명하기 위한 단면도들이다.
- [0104] 도 35에 도시한 바와 같이, 수직 필라 트랜지스터들(905)과 수평 트랜지스터들(805)은 서로 상이한 레벨들로 배치된다. 수평 트랜지스터들(805)은 상부에 소자 분리막 패턴들(810)이 형성된 제1 기판(800) 상에 배치된다. 수직 필라 트랜지스터들(905)은 절연층(900)과 반도체층을 가지는 제2 기판 상에 위치한다. 수평 트랜지스터들(805)은 각기 소스/드레인 영역들(835, 840), 게이트 전극(845), 게이트 마스크(850) 그리고 게이트 스페이서(855)를 포함한다. 수평 트랜지스터들(805)을 보호하기 위한 보호층(860)이 게이트 마스크(850)와 게이트 스페이서(855)를 덮도록 형성된다. 하부 배선들(865, 885, 895)은 소자 분리막 패턴들(810) 상에 배치된다. 하부 배선들(865, 885, 895)은 각기 수평 트랜지스터들(805)의 소스/드레인 영역들(835, 840)에 전기적으로 연결된다. 마스크들(870, 880, 890)은 각기 하부 배선들(865, 885, 895) 상에 형성되어 제1 기판(800)과 상기 제2 기판을 결합시키는 동안 하부 배선들(865, 885, 895)을 보호한다. 수평 트랜지스터들(805)을 포함하는 제1 기판(800) 상의 결과물을 덮도록 하부 절연층(875)이 제1 기판(800) 상부에 형성된다. 상기 제2 기판의 절연층(900)은 제1 기판(800) 상에 형성된 하부 절연층(875)과 결합될 수 있다.
- [0105] 상부 절연층(975)은 상기 제2 기판 상에 형성되며, 상부 절연층(975)을 관통하여 상부 배선(980)이 형성된다. 상부 배선(980)은 수직 필라 트랜지스터들(905)의 워드 라인에 전기적으로 연결될 수 있다. 본 발명의 실시예들에 따르면, 제1 플러그(995)가 상부 배선(980)을 상기 워드 라인에 전기적으로 연결시킬 수 있으며, 제2 플러그(995)는 상부 배선(995)을 하부 배선들(865, 885, 895) 가운데 어느 하나에 전기적으로 연결시킬 수 있다. 상부 배선(980) 상에는 마스크(985)가 배치된다.
- [0106] 이하, 본 발명의 실시예들에 따른 다양한 기기들에 대하여 첨부된 도면들을 참조하여 설명한다. 이러한 기기들은 본 발명의 다양한 실시예들에 따른 반도체 장치들 가운데 적어도 하나를 포함할 수 있다.
- [0107] 도 36은 본 발명의 실시예들에 따른 메모리 장치를 포함하는 메모리 시스템을 설명하기 위한 블록도이다.
- [0108] 도 36을 참조하면, 메모리 시스템(1300)은 메모리 컨트롤러(1320)와 전술한 실시예들에 따른 다양한 소자들과

커패시터들 중 적어도 하나를 포함하는 메모리 장치(1310)를 구비한다. 메모리 컨트롤러(1320)는 호스트(1330)의 독취 및 기록 요구에 대응하여 메모리 장치(1310)로부터 데이터를 독취하거나 메모리 장치(1310) 내로 데이터를 기록하는 동작을 조절할 수 있다. 메모리 컨트롤러(1320)는 호스트(1330)(예를 들면, 휴대용 장치 또는 컴퓨터 시스템)로부터 제공되는 어드레스를 메모리 장치(1310)의 물리적인 어드레스로 맵핑(mapping)하는 어드레스 맵핑 테이블을 포함할 수 있다.

[0109] 도 37은 본 발명의 실시예들에 따른 메모리 장치를 포함하는 전자 기기를 설명하기 위한 블록도이다.

[0110] 도 37을 참조하면, 전자 기기(1400)는 무선 통신 장치(예를 들면, 개인용 컴퓨터(PC), 개인용 디지털 보조 장치(PDA), 앱피쓰리(MP3) 플레이어, 디지털 음향 레코더, 펜형 컴퓨터, 디지털 카메라, 비디오 레코더, 휴대용 통신 장치, 이동 전화, 무선 디지털 음향 기기 등) 또는 무선 환경에서 정보를 송신 및 수신 할 수 있는 기타 장치d[사용될 수 있다.

[0111] 전자 기기(1400)는 컨트롤러(1410), 입력/출력(I/O) 장치(1420)(예를 들면, 키보드, 키패드, 디스플레이 장치 등), 상술한 실시예들에 따른 다양한 소자들과 커패시터들 중 적어도 하나를 포함하는 메모리 장치(1430), 그리고 무선 인터페이스(1440)를 구비할 수 있다. 컨트롤러(1410)는 마이크로프로세서, 디지털 신호 처리기 또는 유사한 처리 장치들 중에서 적어도 하나를 포함할 수 있다. 메모리 장치(1430)는 컨트롤러(1410)에 의해 수행되는 명령들을 저장할 수 있다. 메모리 장치(1430)는 사용자 데이터를 저장할 수 있다. 메모리 장치(1430)는 상술한 구성을 가지는 반도체 장치들 중 적어도 하나를 포함할 수 있다. 전자 기기(1400)는 무선 인터페이스(1440)를 이용하여 무선 통신 네트워크를 통해 데이터를 전송 및 수신할 수 있다. 예를 들면, 무선 인터페이스(1440)는 안테나 및/또는 무선 송수신기를 포함할 수 있다. 본 발명의 실시예들에 따른 전자 기기(1400)는, 예를 들면 코드 분할 다중 접속(CDMA), 세계 무선 통신 시스템(GSM), 북미 디지털 무선 통신(NADC), 확장-시간 분할 다중 접속(E-TDMA), 광대역 코드 분할 다중 접속(WCDMA), 코드 분할 다중 접속 2000(CDMA 2000) 등의 3세대 통신 시스템의 통신 인터페이스 프로토콜에 사용될 수 있다.

[0112] 도 38은 본 발명의 실시예들에 따른 메모리 장치를 포함하는 메모리 모듈을 설명하기 위한 블록도이다.

[0113] 도 38을 참조하면, 메모리 모듈(1500)은 인쇄 회로 기판(1520)을 포함할 수 있다. 인쇄 회로 기판(1520)은 메모리 모듈(1500)의 외측 표면들 가운데 하나를 형성할 수 있다. 인쇄 회로 기판(1520)은 메모리 유닛(1530), 소자 인터페이스 유닛(1540) 및 전기적 커넥터(1510)를 포함할 수 있다.

[0114] 전술한 실시예들에 따른 다양한 소자들과 커패시터들 중 적어도 하나를 구비하는 메모리 유닛(1530)은 3차원 메모리 어레이를 포함할 수 있으며, 메모리 어레이 컨트롤러에 연결될 수 있다. 이러한 메모리 어레이에는 인쇄 회로 기판(1520) 상에 3차원 격자 방식으로 배열된 메모리 셀들을 적절하게 포함할 수 있다. 소자 인터페이스 유닛(1540)은 별도의 기판 상에 형성되어 인쇄 회로 기판(1520)을 통해 메모리 유닛(1530)과 전기적 커넥터(1510)에 소자 인터페이스 유닛(1540)이 전기적으로 연결될 수 있다. 또한, 메모리 유닛(1530)과 소자 인터페이스 유닛(1540)은 인쇄 회로 기판(1520) 상에 직접 장착될 수 있다. 소자 인터페이스 유닛(1540)은 전압, 클락 주파수, 프로토콜 로직 등을 생성하기 위하여 필요한 요소들을 포함할 수 있다.

[0115] 본 발명의 실시예들에 있어서, 전술한 바와 같이 높은 집적도와 축적 용량을 확보하면서 요구되는 수준의 전기적 특성을 구비하는 메모리 장치(555)가 메모리 시스템(550)에 적용됨으로써, 메모리 시스템(550)의 성능을 개선시킬 수 있다.

[0116] 상술한 바에서는 본 발명의 예시적인 실시예들을 참조하여 설명하였지만 해당 기술 분야에서 통상의 지식을 가진 자라면 하기의 특허 청구 범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

부호의 설명

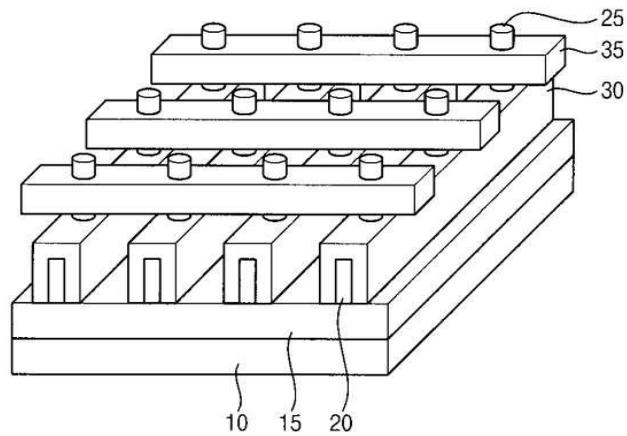
[0117] 20, 1000 : 몸체의 하부 25, 1020 : 몸체의 상부

30, 1010 : 매립 비트 라인 35, 1030 : 워드 라인

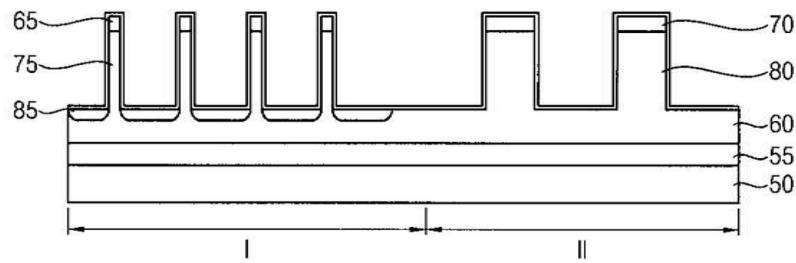
110, 1115 : 제1 불순물 영역 155, 1215 : 제2 불순물 영역

도면

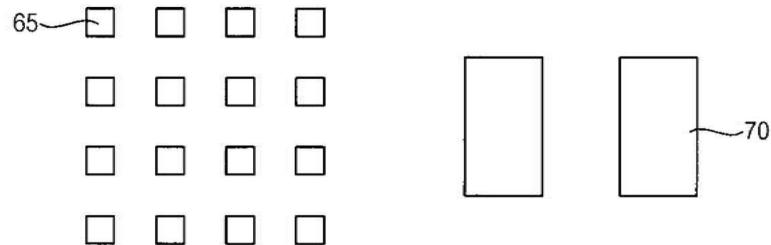
도면1



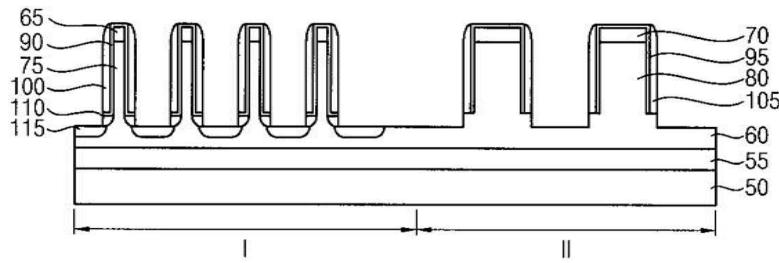
도면2



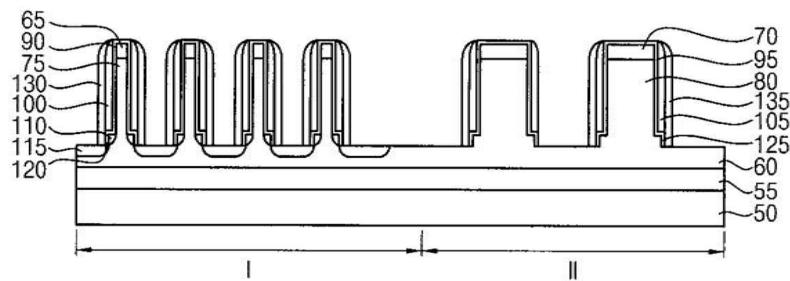
도면3



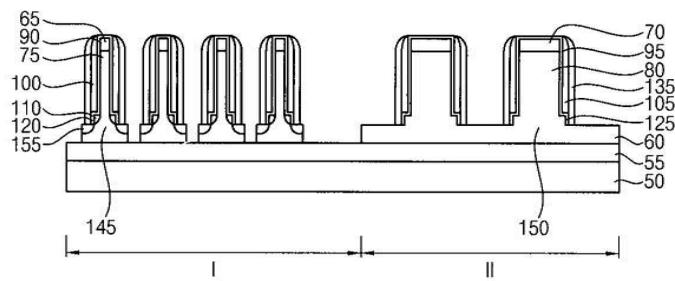
도면4



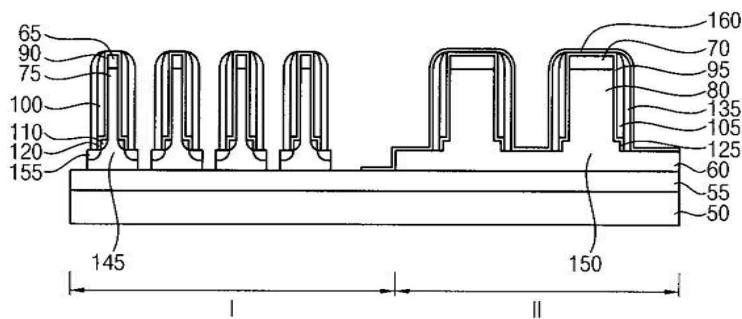
도면5



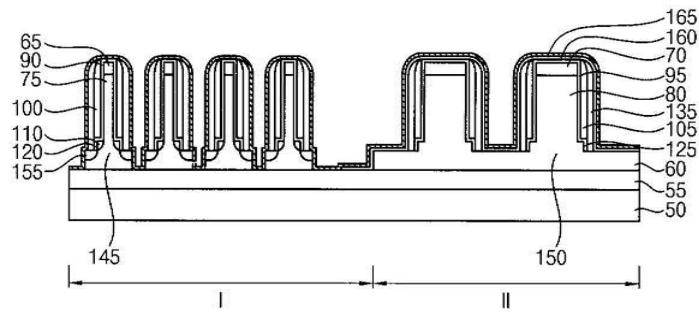
도면6



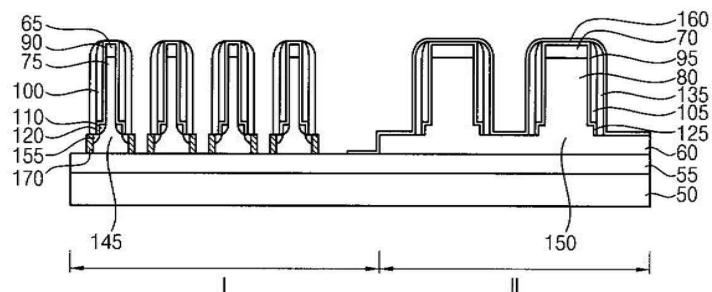
도면7



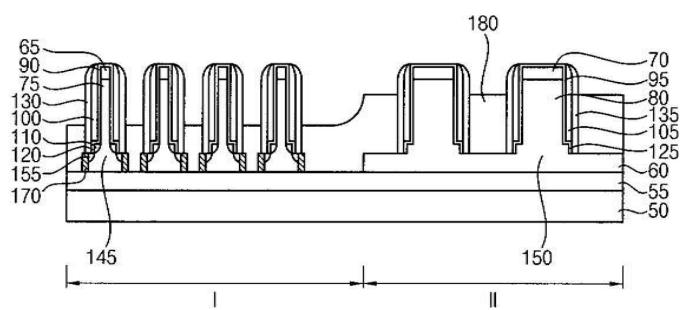
도면8



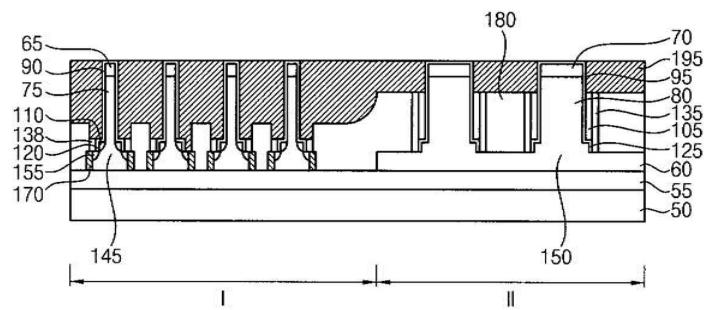
도면9



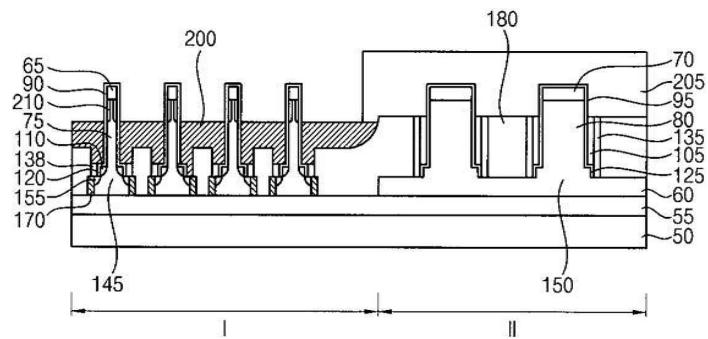
도면10



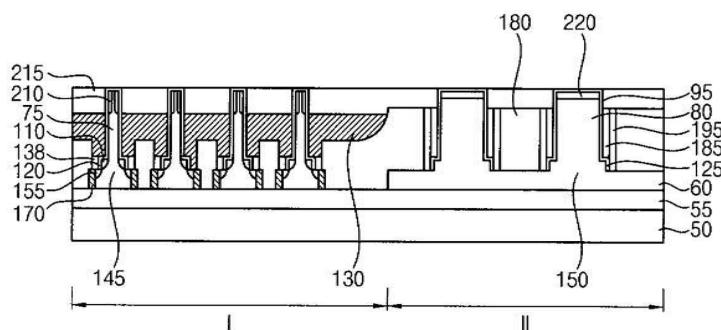
도면11



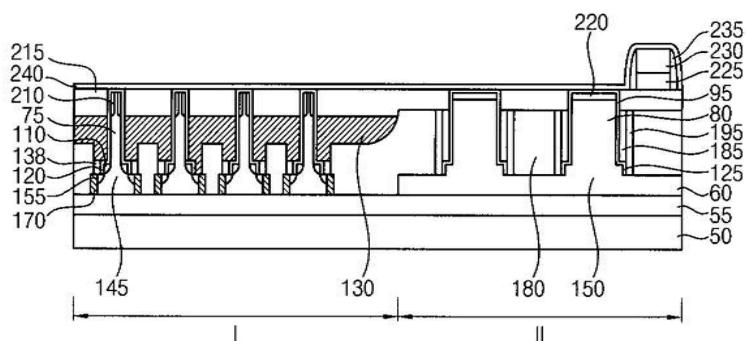
도면12



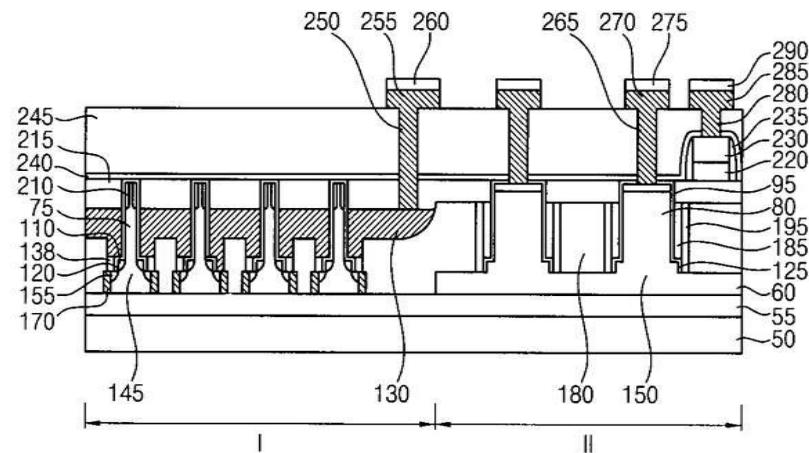
도면13



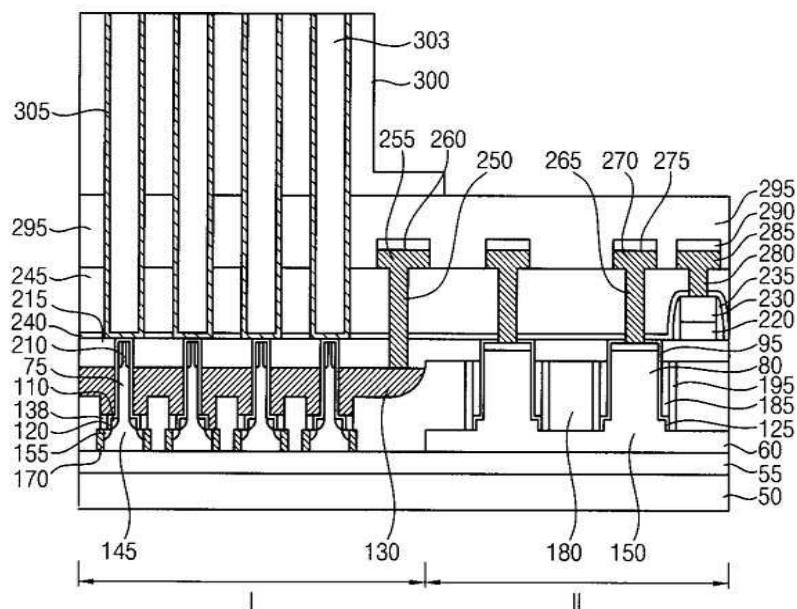
도면14



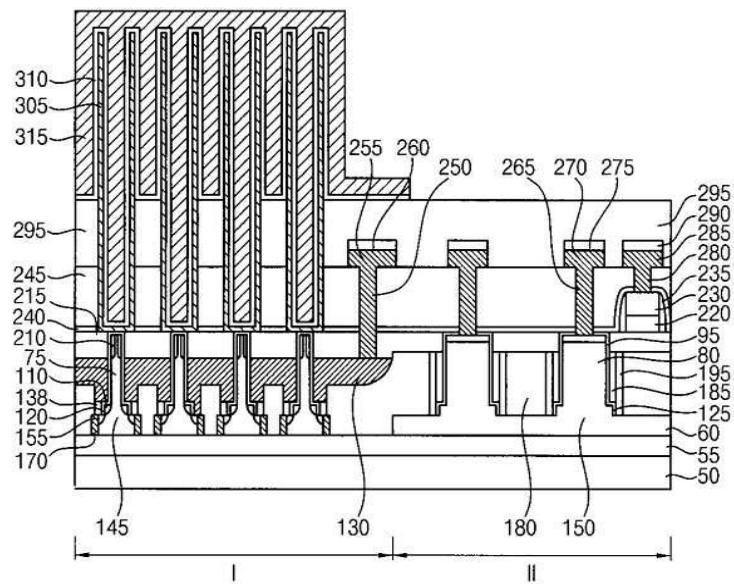
도면15



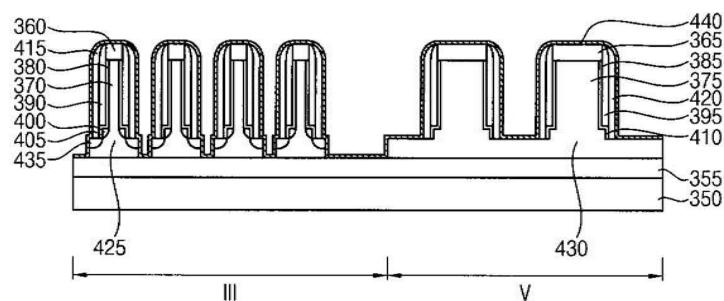
도면16



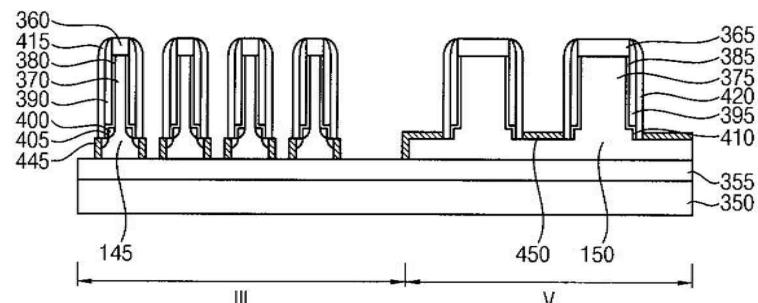
도면17



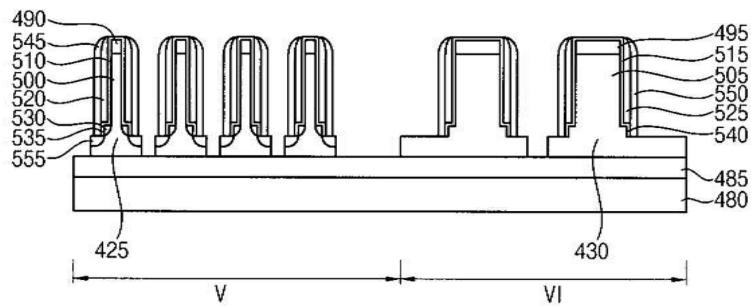
도면18



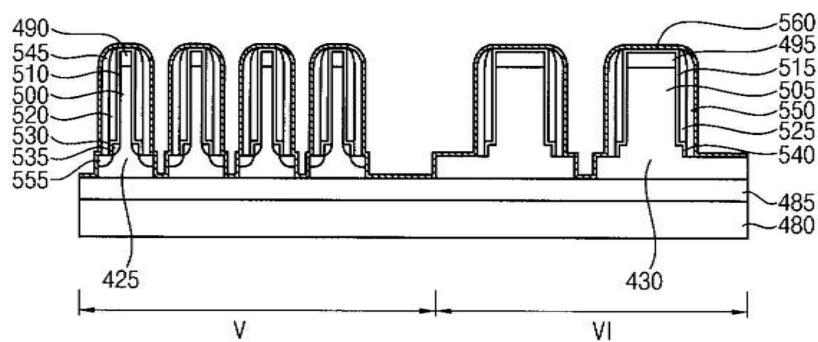
도면19



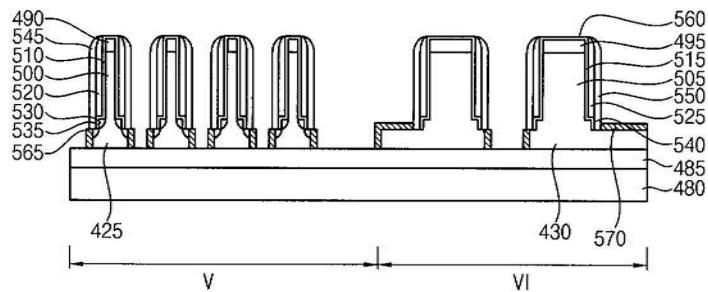
도면20



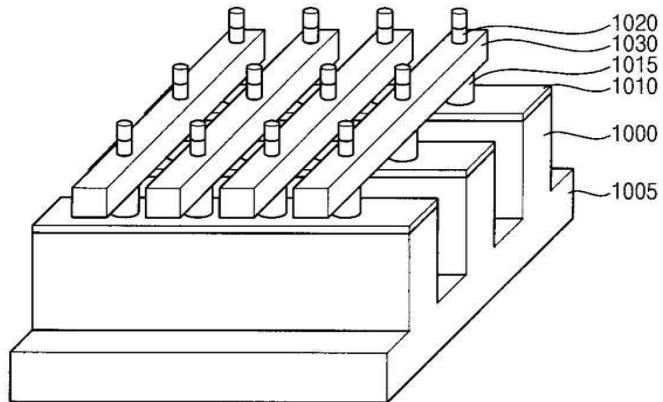
도면21



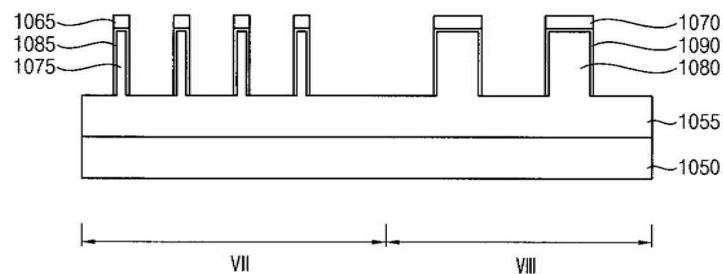
도면22



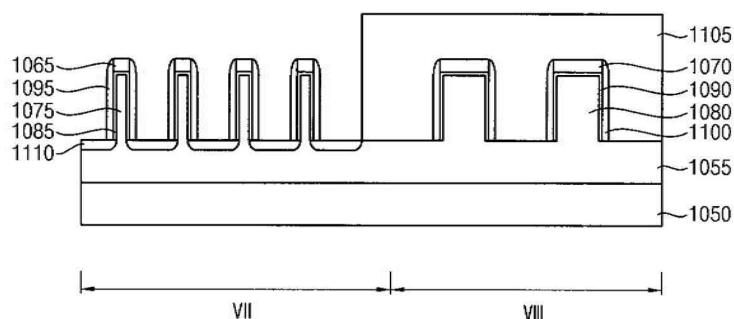
도면23



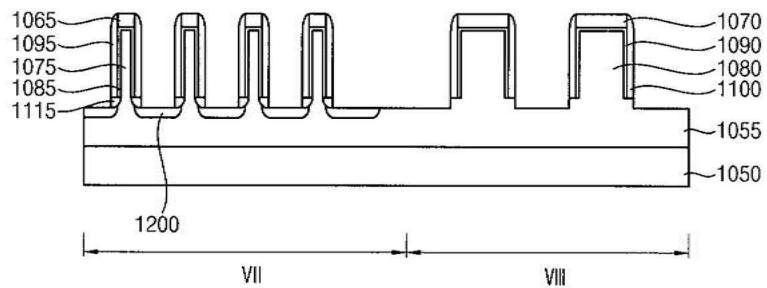
도면24



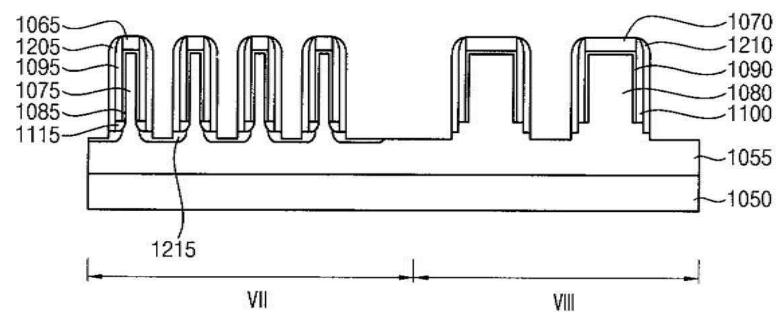
도면25



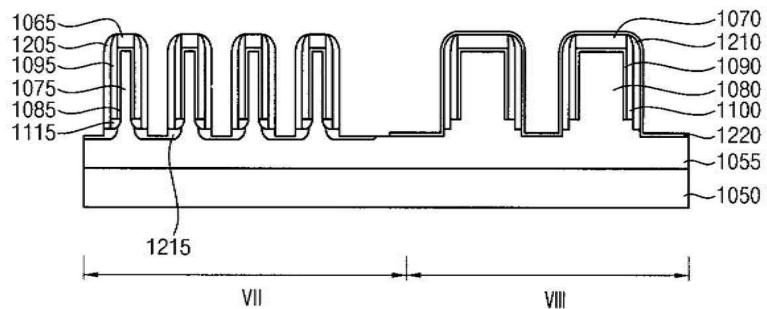
도면26



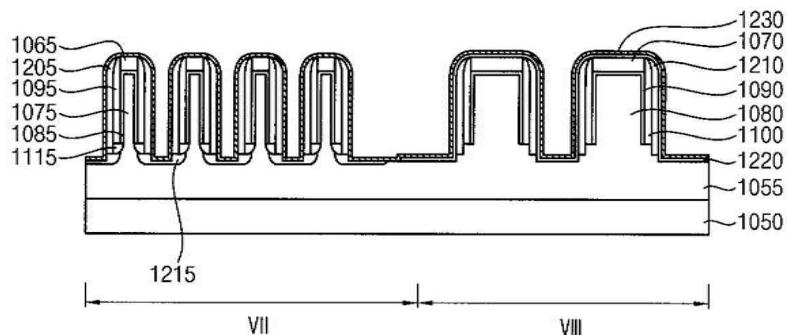
도면27



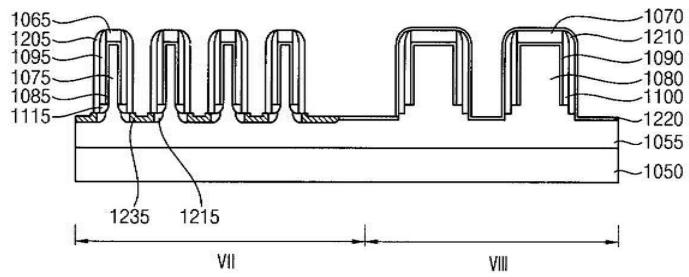
도면28



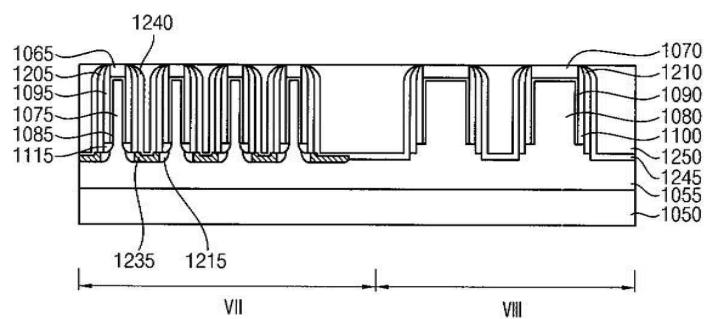
도면29



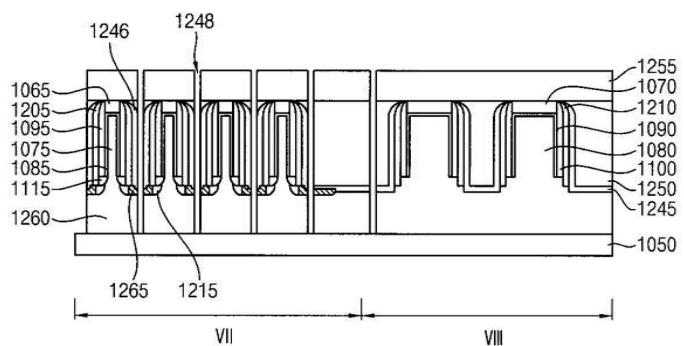
도면30



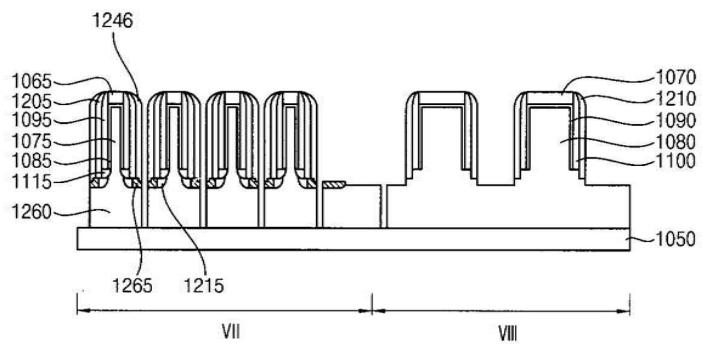
도면31



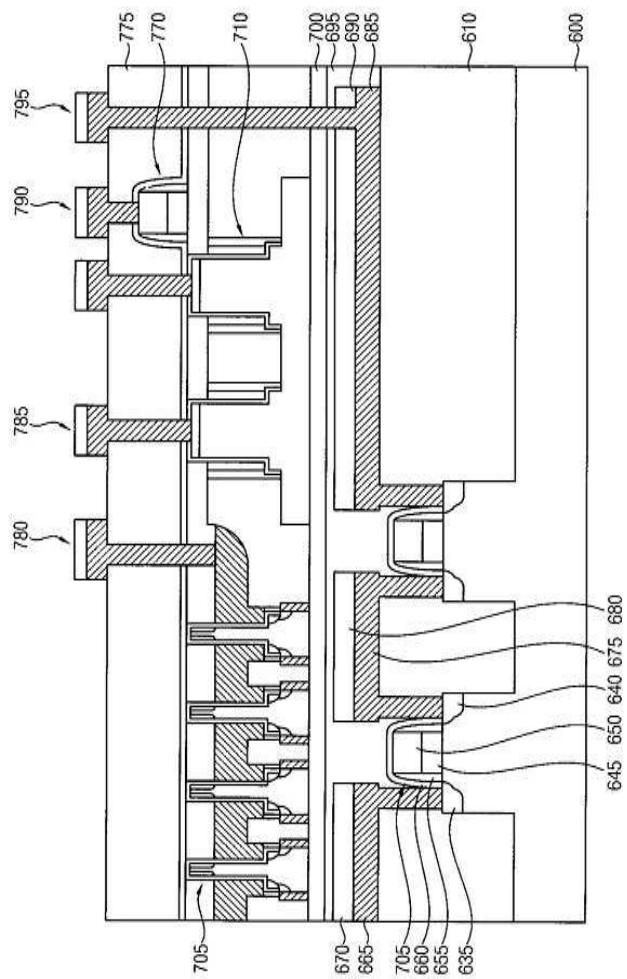
도면32



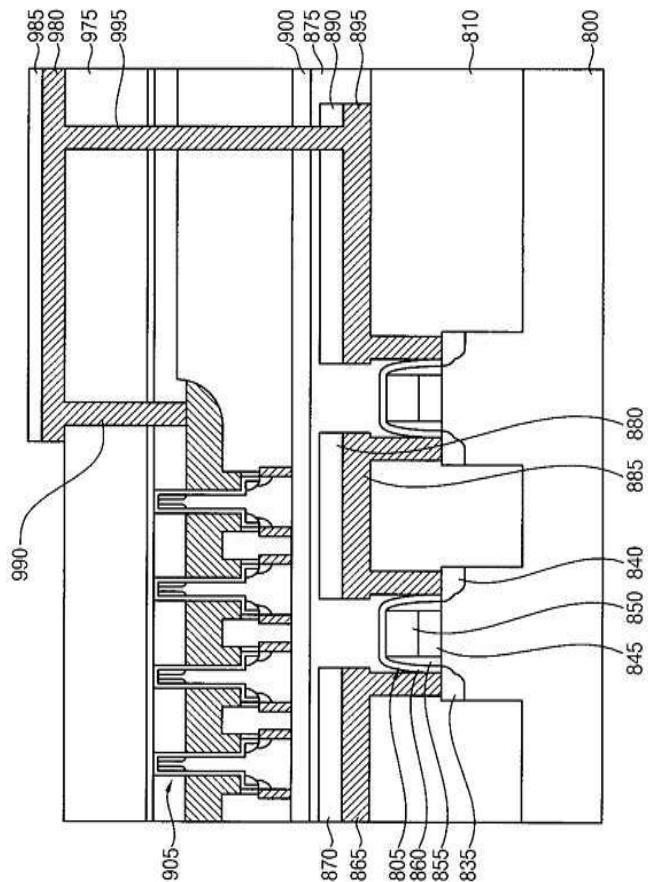
도면33



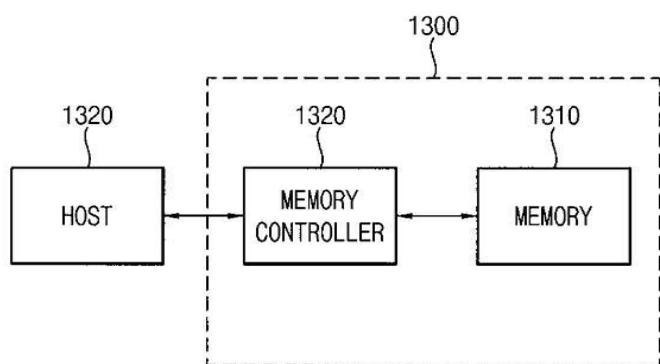
도면34



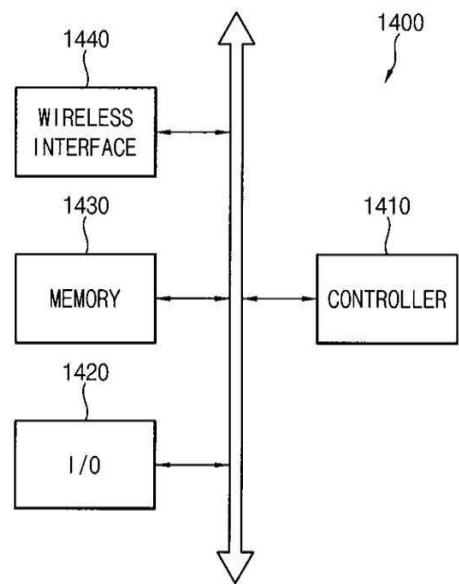
도면35



도면36



도면37



도면38

