



(19)中華民國智慧財產局

(12)發明說明書公告本 (11)證書號數：TW I498970 B

(45)公告日：中華民國 104 (2015) 年 09 月 01 日

(21)申請案號：098127552

(22)申請日：中華民國 98 (2009) 年 08 月 17 日

(51)Int. Cl. : H01L21/316 (2006.01)

H01L21/324 (2006.01)

(30)優先權：2008/08/15 日本

2008-209277

(71)申請人：愛發科股份有限公司 (日本) ULVAC, INC. (JP)
日本

(72)發明人：赤松泰彥 AKAMATSU, YASUHIKO (JP)；武井應樹 TAKEI, MASAKI (JP)；清田淳也 KIYOTA, JUNYA (JP)；石橋曉 ISHIBASHI, SATORU (JP)；湯川富之 YUKAWA, TOMIYUKI (JP)；小林大士 KOBAYASHI, MOTOSHI (JP)；倉田敬臣 KURATA, TAKAOMI (JP)；新井真 ARAI, MAKOTO (JP)

(74)代理人：洪武雄；陳昭誠

(56)參考文獻：

EP 1933293A1

WO 2008/096768A1

審查人員：謝志偉

申請專利範圍項數：3 項 圖式數：8 共 27 頁

(54)名稱

場效型電晶體之製造方法

METHOD FOR MAKING A FIELD EFFECT TRANSISTOR

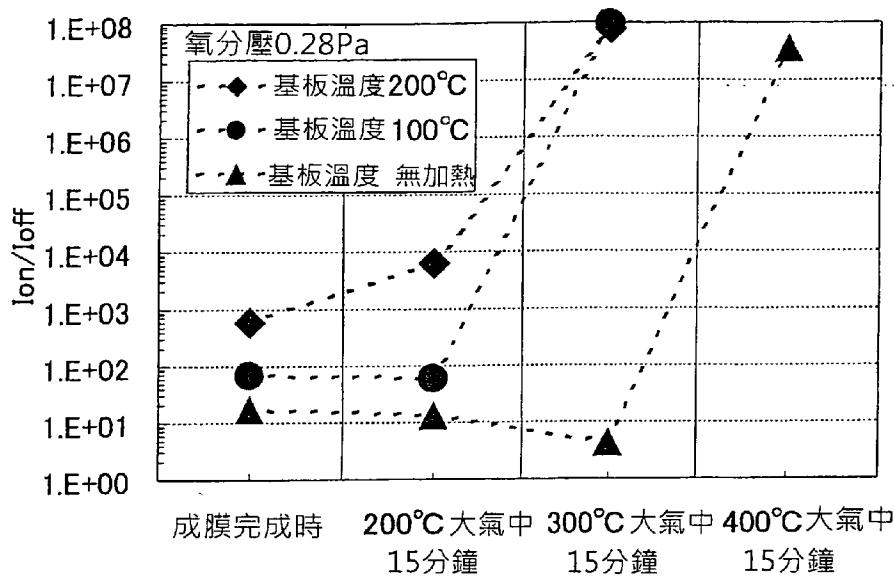
(57)摘要

本發明的目的在於提供一種不需高溫的退火處理即能夠謀求電晶體特性之提升的場效型電晶體之製造方法。

以 100°C 以上的成膜溫度濺鍍成膜構成活性層的 In-Gz-Zn-O 薄膜。之後，以 300°C 在大氣中進行退火處理。實施退火處理的目的在於謀求剛成膜完成時的活性層的電晶體特性之提升。相較於以無加熱的方式成膜的 In-Ga-Zn-O 薄膜，一邊加熱基材一邊藉由濺鍍法所成膜的 In-Ga-Zn-O 薄膜係較少內部應變與缺陷。是以，藉由將以加熱方式成膜的 In-Ga-Zn-O 薄膜形成為活性層，相較於以無加熱方式所成膜的同一材料之活性層，能夠提高退火效果。藉此，便能夠利用低溫的退火處理來形成具有優異電晶體特性的活性層。

This invention provides a method for making a field effect transistor, which method is capable of improving the transistor characteristics without requiring a high temperature annealing process. An In-Ga-Zn-O film which constitutes an active layer is formed by sputtering under a temperature of 100°C or higher. Thereafter, an annealing process in the atmosphere under 300°C is performed. The annealing process is performed for the purpose of improving the transistor characteristics of the active layer immediately after the film-formation. The In-Ga-Zn-O film, which is formed by a sputtering method while the substrate is heated, has less internal strain or defects in comparison with the In-Ga-Zn-O formed without heating. Therefore, the active layer formed by a In-Ga-Zn-O which is formed with heating is capable of enhancing the effectiveness of the annealing in comparison with the active layer of the same material formed without

heating. As a result, an active layer having excellent transistor characteristics can be formed under a low temperature annealing process.



第8圖

發明專利說明書

公告本

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號：98127552

※申請日：98.8.17 ※IPC分類：H01L 21/376 (2006.01)

一、發明名稱：(中文/英文)

H01L 21/324 (2006.01)

場效型電晶體之製造方法

METHOD FOR MAKING A FIELD EFFECT TRANSISTOR

二、中文發明摘要：

本發明的目的在於提供一種不需高溫的退火處理即能夠謀求電晶體特性之提升的場效型電晶體之製造方法。

以 100°C 以上的成膜溫度濺鍍成膜構成活性層的 In-Ga-Zn-O 薄膜。之後，以 300°C 在大氣中進行退火處理。實施退火處理的目的在於謀求剛成膜完成時的活性層的電晶體特性之提升。相較於以無加熱的方式成膜的 In-Ga-Zn-O 薄膜，一邊加熱基材一邊藉由濺鍍法所成膜的 In-Ga-Zn-O 薄膜係較少內部應變與缺陷。是以，藉由將以加熱方式成膜的 In-Ga-Zn-O 薄膜形成為活性層，相較於以無加熱方式所成膜的同一材料之活性層，能夠提高退火效果。藉此，便能夠利用低溫的退火處理來形成具有優異電晶體特性的活性層。

三、英文發明摘要：

This invention provides a method for making a field effect transistor, which method is capable of improving the transistor characteristics without requiring a high temperature annealing process. An In-Ga-Zn-O film which constitutes an active layer is formed by sputtering under a temperature of 100°C or higher. Thereafter, an annealing process in the atmosphere under 300°C is performed. The annealing process is performed for the purpose of improving the transistor characteristics of the active layer immediately after the film-formation. The In-Ga-Zn-O film, which is formed by a sputtering method while the substrate is heated, has less internal strain or defects in comparison with the In-Ga-Zn-O formed without heating. Therefore, the active layer formed by a In-Ga-Zn-O which is formed with heating is capable of enhancing the effectiveness of the annealing in comparison with the active layer of the same material formed without heating. As a result, an active layer having excellent transistor characteristics can be formed under a low temperature annealing process.

四、指定代表圖：

- (一)本案指定代表圖為：第（8）圖。
- (二)本代表圖之元件符號簡單說明：無。

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無。

六、發明說明：

【發明所屬之技術領域】

本發明係有關一種具有以 InGaZnO 系半導體氧化物所形成的活性層之場效型電晶體之製造方法。

【先前技術】

近年來，主動式矩陣型(active matrix)的液晶顯示器係廣泛地為人所使用。主動式矩陣型液晶顯示器係在每一像素具有場效型薄膜電晶體(TFT；Thin Film Transistor)來作為開關(switching)元件。

就薄膜電晶體而言，已知有活性層是以複晶矽(polysilicon)來構成的複晶矽型薄膜電晶體、以及活性層是以非晶矽(amorphous silicon)來構成的非晶矽型薄膜電晶體。

相較於複晶矽型薄膜電晶體，非晶矽型薄膜電晶體由於活性層的製作容易，因此具有能夠在較大面積的基板上均勻地成膜之優點。

另一方面，就能夠實現比非晶矽更高的載子(carrier電子、電洞)移動度的活性層材料而言，透明非晶氧化物薄膜的開發已在發展。例如，下述之專利文獻 1 中係記載有一種場效型電晶體，其係使用同系(homologous)化合物 $\text{InMO}_3(\text{ZnO})_m$ (M 為 In、Fe、Ga、或是 Al，m 為 1 以上且未滿 50 的整數)來作為活性層。此外，下述之專利文獻 2 中係記載有一種場效型電晶體之製造方法，其係使用由具有 $\text{InGaO}_3(\text{ZnO})_4$ 組成的多晶燒結體所構成的標靶(target

濺鍍靶)材料來進行濺鍍以形成 In-Ga-Zn-O 系的活性層。

先前技術文獻：

專利文獻 1：日本特開 2004-103957 號公報(段落 [0010])

專利文獻 2：日本特開 2006-165527 號公報(段落 [0103] 至 [0119])

【發明內容】

(發明所欲解決之課題)

具有 In-Ga-Zn-O 系組成的活性層由於在剛成膜完成時的狀態不具有實用的電晶體特性(導通(On)電流特性、關斷(Off)電流特性、導通/關斷電流比等)，因此在成膜後以適當之溫度進行退火處理。退火溫度愈高愈能夠獲得良好的電晶體特性。

然而，退火溫度的上限係受限於所使用之基材與活性層以外的其他功能膜(電極膜、絕緣膜)的耐熱溫度。是以，會有因為該些構造層的耐熱性導致因退火不足而無法獲得所期望的電晶體特性的情形。

有鑑於上述情事，本發明的目的在於提供一種不需高溫的退火處理即能夠謀求電晶體特性之提升的場效型電晶體之製造方法。

(解決課題的手段)

本發明的一形態的場效型電晶體之製造方法係包含有一邊加熱基材一邊在前述基材上藉由濺鍍法形成具有 In-Ga-Zn-O 系組成的活性層之步驟。前述所形成的活性層

係被施以退火。

【實施方式】

本發明的一實施形態的場效型電晶體之製造方法係包含有一邊加熱基材一邊在前述基材上藉由濺鍍法形成具有 In-Ga-Zn-O 系組成的活性層之步驟。前述所形成的活性層係被施以退火。

實施退火處理的目的在於謀求剛成膜完成時的活性層的電晶體特性之提升。相較於以無加熱的方式成膜的 In-Ga-Zn-O 薄膜，一邊加熱基材一邊藉由濺鍍法所成膜的 In-Ga-Zn-O 薄膜係較少內部應變與缺陷。是以，藉由將以加熱方式成膜的 In-Ga-Zn-O 薄膜形成為活性層，相較於以無加熱方式所成膜的同一材料之活性層，能夠提高退火效果。藉此，便能夠利用低溫的退火處理來形成具有優異電晶體特性的活性層。

基材典型而言係為玻璃基板。基材的大小並未特別限制。

前述活性層的成膜溫度係可設定為 100°C 以上。

藉此，相較於以無加熱方式成膜的活性層，便能夠使賦予預定的電晶體特性所必要的退火溫度予以低溫化。另外，成膜溫度並不限於 100°C，可依據成膜條件而進行適當變更。就加熱基材的加熱機構而言，可採用護套加熱器 (sheath heater) 或燈加熱器 (lamp heater) 等。

前述活性層的退火溫度係可設定為 300°C 以上。前述活性層的退火處理壓力可為大氣壓力，亦可為減壓環境。

處理環境可為空氣中，亦可為氧氣環境中。

依據本案的發明者們的實驗，藉由將以加熱方式成膜的活性層以 300°C 在大氣中進行退火，能夠獲得與將以無加熱方式成膜的活性層以 400°C 在大氣中進行退火時同等的導通關斷電流比(導通電流/關斷電流)。由此可知相較於以無加熱方式成膜的活性層，以加熱方式成膜的同一材料的活性層係能夠利用低溫的退火處理來形成具有優異電晶體特性的活性層。

形成前述活性層的步驟亦可包含有藉由與氧化性氣體(例如， O_2 、 O_3 、 H_2 等)之反應性濺鍍法來成膜前述活性層。

用以形成 In-Ga-Zn-O 薄膜的濺鍍靶材係可使用 In-Ga-Zn-O 的單一之靶材，亦可使用像是 In_2O_3 靶材、 Ga_2O_3 靶材及 ZnO 靶材的複數種靶材。氧氣環境中的濺鍍成膜係藉由控制所導入的氧之分壓(流量)而能夠容易地控制膜中的氧度濃度。

前述基材係含有閘極電極，且亦可在形成前述活性層前復形成覆蓋前述閘極電極的閘極絕緣膜。

藉此，能夠製作底閘極(bottom gate)型的場效型電晶體。閘極電極亦可為形成在基材上的電極膜，亦可以閘極電極來構成基材本身。

可形成被覆前述活性層的保護膜，並形成接觸於前述活性層的源極電極及汲極電極。前述保護膜係可藉由濺鍍法來形成。

以下，根據圖式說明本發明實施形態。

第 1 至 5 圖係顯示用以說明本發明一實施形態的場效型電晶體之製造方法的各步驟的主要部剖面圖。在本實施形態中係針對具有所謂的底閘極型的電晶體構造的場效型電晶體之製造方法進行說明。

首先，如第 1 圖(A)所示，在基材 10 的一表面形成閘極電極膜 11F。

基材 10 典型而言係為玻璃基板。閘極電極膜 11F 典型而言為以鉑與鉻、鋁等的金屬單層膜或金屬多膜層所構成，例如藉由濺鍍法來形成。閘極電極膜 11F 的厚度並未特別限定，例如為 300nm。

接著，如第 1 圖(B)至(D)所示，形成用以將閘極電極膜 11F 予以圖案化形成(patterning)為預定形狀的阻劑遮罩(resist mask)12。此步驟中係具有光阻(photo resist)膜 12F 的形成步驟(第 1 圖(B))、曝光步驟(第 1 圖(C))及顯影步驟(第 1 圖(D))。

光阻膜 12F 係藉由將液狀的感光性材料塗佈在閘極電極膜 11F 上後使其乾燥而形成。就光阻膜 12F 而言，亦可使用乾膜(dry film)阻劑。所形成的光阻膜 12F 係隔著遮罩(mask)13 進行曝光後而顯像。藉此，在閘極電極膜 11F 上形成阻劑遮罩 12。

接著，如第 1 圖(E)所示，以阻劑遮罩 12 作為遮罩來對閘極電極膜 11F 進行蝕刻(etching)。藉此，在基材 10 的表面形成閘極電極 11。

閘極電極膜 11F 的蝕刻方法並未特別限定，可為濕蝕刻法，亦可為乾蝕刻法。在蝕刻後，去除阻劑遮罩 12。阻劑遮罩 12 的去除方法可應用使用氧氣的電漿之灰化(ashing)法，但並不以此為限，亦可使用藥液予以溶解去除。

接著，如 2 圖(A)所示，在基材 10 的表面，以覆蓋閘極電極 11 的方式形成閘極絕緣膜 14。

閘極絕緣膜 14 典型而言係為以矽氧化膜(SiO_2)、矽氮化膜(SiN_x)等氧化膜或氮化膜來構成，例如藉由 CVD(Chemical Vapor Deposition；化學氣相沈積)法、濺鍍法等而形成。閘極電極膜 11F 的厚度並未有特別限定，例如為 200nm 至 500nm。

接著，如第 2 圖(B)所示，在閘極絕緣膜 14 上依序形成具有 In-Ga-Zn-O 系組成的薄膜(以下簡稱為「IGZO 膜」)15F 及停止(stopper)層形成膜 16F。

IGZO 膜 15F 及停止層形成膜 16F 係藉由濺鍍法而形成。IGZO 膜 15F 與停止層形成膜 16F 係可連續性地成膜。此情形中，亦可將成膜 IGZO 膜 15F 所用的濺鍍靶材與成膜停止層形成膜 16F 所用的濺鍍靶材配置在同一濺鍍腔室(chamber)內。藉由切換所使用的靶材，便能夠分別獨立地形成 IGZO 膜 15F 與停止層形成膜 16F。

IGZO 膜 15F 係在加熱基材 10 至預定溫度的狀態下成膜。基材 10 的加熱溫度係例如設定為 100°C 以上。在本實施形態中，係藉由於氧氣環境中濺射靶材使與氧的反應物沉積在基材 10 上的反應性濺鍍法來形成活性層 15(IGZO

膜 15F)。放電形式可為 DC 放電、AC 放電、RF 放電中的任一者。此外，亦可採用在靶材的背面側配置永久磁鐵的磁控(magnetron)放電方法。

IGZO 膜 15F 及停止層形成膜 16F 的各者的膜厚並未有特別限定，例如，IGZO 膜 15F 的膜厚為 50nm 至 200nm，停止層形成膜 16F 的膜厚為 30nm 至 300nm。

IGZO 膜 15F 係構成電晶體的活性層(載子層)15。停止層形成膜 16F 係在構成後述源極電極及汲極電極的金屬膜的圖案化形成步驟、及蝕刻去除 IGZO 膜 15F 的不需要區域的步驟中，作為保護 IGZO 膜的通道區域不會受到蝕刻劑(etchant)作用的蝕刻保護層而發揮功能。停止層形成膜 16F 係例如以 SiO_2 構成。

接著，如第 2 圖(C)及(D)所示，在形成用以將停止層形成膜 16F 予以圖案化形成為預定形狀的阻劑遮罩 27 後，隔著該阻劑遮罩 27 對停止層形成膜 16F 進行蝕刻。藉此，形成隔著閘極絕緣膜 14 與 IGZO 膜 15F 而與閘極電極 11 相對向的停止層 16。

在去除阻劑遮罩 27 後，如第 2 圖(E)所示，以覆蓋 IGZO 膜 15F 及停止層 16 的方式形成金屬膜 17F。

金屬膜 17F 典型而言係為以鉑與鎵、鋁等的金屬單層膜或金屬多膜層所構成，例如藉由濺鍍法來形成。金屬膜 17F 的厚度並未特別限定，例如為 100nm 至 500nm。

接著，如第 3 圖(A)至(B)所示，對金屬膜 17F 進行圖案化形成。

金屬膜 17F 的圖案化形成步驟中係具有阻劑遮罩 18 的形成步驟(第 3 圖(A))、及金屬膜 17F 的蝕刻步驟(第 3 圖(B))。阻劑遮罩 18 級具有使停止層 16 的正上方區域及各個電晶體的周邊區域形成開口的遮罩圖案。在形成阻劑遮罩 18 後，藉由濕蝕刻法蝕刻金屬膜 17F。藉此，金屬膜 17F 便分離成源極電極 17S 與汲極電極 17D。另外，在接下來的說明中亦有將該些源極電極 17S 與汲極電極 17D 總稱為源極/汲極電極 17。

在源極/汲極電極 17 的形成步驟中，停止層 16 級作為金屬膜 17 的蝕刻停止層而發揮功能。停止層 16 級形成為覆蓋位於 IGZO 膜 15F 的源極電極 17S 與汲極電極 17D 之間的區域(以下稱為「通道區域」)。是以，IGZO 膜 15F 的通道區域不會受到金屬膜 17F 的蝕刻步驟影響。

接著，如第 3 圖(C)及(D)所示，以阻劑遮罩 18 作為遮罩來對 IGZO 膜 15F 進行蝕刻。

蝕刻方法並未特別限定，可為濕蝕刻法，亦可為乾蝕刻法。藉由該 IGZO 膜 15F 的蝕刻步驟，IGZO 膜 15F 便以元件單位而隔離，同時形成由 IGZO 膜 15 所構成的活性層 15。

此時，停止層 16 級作為位於通道區域的 IGZO 膜 15F 的蝕刻保護膜而發揮功能。藉此，活性層 15 的通道區域便不會受到 IGZO 膜 15F 的蝕刻步驟的影響。

在圖案化形成 IGZO 膜 15F 後，阻劑遮罩 18 級藉由灰化處理等而從源極/汲極電極 17 去除(第 3 圖(D))。

接著，如第 4 圖(A)所示，以覆蓋源極/汲極電極 17、停止層 16、活性層 15、閘極絕緣膜 14 的方式，在基材 10 的表面形成保護膜 19。

保護膜 19 乃為藉由將含有活性層 15 的電晶體元件隔絕於外部空氣而用以確保預定之電性特性及材料性特性者。就保護膜 19 而言，典型而言為以矽氧化膜(SiO_2)、矽氮化膜(SiN_x)等氧化膜或氮化膜來構成，例如藉由 CVD 法、濺鍍法等而形成。保護膜 19 的厚度並未有特別限定，例如為 200nm 至 500nm。

接著，如第 4 圖(B)至(D)所示，在保護膜 19 形成與源極/汲極電極 17 連通的接觸孔(contact hole)19a。此步驟中係具有在保護膜 19 上形成阻劑遮罩 20 的步驟(第 4 圖(B))、對自阻劑遮罩 20 的開口部 20a 露出的保護膜 19 進行蝕刻的步驟(第 4 圖(C))、及去除阻劑遮罩 20 的步驟。

接觸孔 19a 的形成係可採用乾蝕刻法，惟亦可採用濕蝕刻法。此外，雖然省略了圖示，但在任意之位置與源極電極 17S 連絡的接觸孔亦是同樣地形成。

接著，如第 5 圖(A)至(D)所示，形成經由接觸孔 19a 而連接至源極/汲極電極 17 的透明導電膜 21。此步驟中係具有形成透明導電膜 21F 的步驟(第 5 圖(A))、在透明導電膜 21F 上形成阻劑遮罩 22 的步驟(第 5 圖(B))、對未被阻劑遮罩 22 覆蓋的透明導電膜 21F 進行蝕刻的步驟(第 5 圖(C))、及去除阻劑遮罩 20 的步驟(第 5 圖(D))。

透明導電膜 21F 典型而言係為以 ITO (Indium Tin

Oxide；氧化銻錫)膜或 IZO (Indium Zinc Oxide；氧化銻鋅)膜來構成，例如藉由濺鍍法、CVD 法等而形成。透明導電膜 21F 的蝕刻雖可採用濕蝕刻法，但不並不限於此，亦可採用乾蝕刻法。

第 5 圖(D)所示之形成有透明導電膜 21 的電晶體元件 100 係於之後被實施以緩和活性層 15 的構造為目的之退火步驟。藉此，賦予活性層 15 所期望的電晶體特性。

以上述方法，即可製作場效型電晶體。

有本實施形態中，構成活性層 15 的 IGZO 膜 15F 係在加熱基材 10 至預定溫度的狀態下成膜。相較於以無加熱方式成膜的 IGZO 膜，如此以加熱方式成膜的 IGZO 膜 15F 係較少內部應變與膜中缺陷。藉由將以加熱方式成膜的 IGZO 膜 15F 作為活性層 15，相較於以無加熱方式成膜的 IGZO 膜，能夠獲得優異的電晶體特性(導通電流特性、關斷電流特性、導通/關斷電流比等)。

本案的發明者們係量測了以加熱溫度 100°C 而濺鍍成膜的活性層(試樣 1)、以加熱溫度 200°C 而濺鍍成膜的活性層(試樣 2)、及以無加熱方式濺鍍成膜的活性層(試樣 3)的各者的電流特性(導通電流值、關斷電流值)。第 6 圖顯示該實驗結果。其中，圖中的橫軸代表成膜時的氧分壓，縱軸代表電流值。此外，在圖中，「●」代表試樣 1 的導通電流值，「○」代表試樣 1 的關斷電流值，「◆」代表試樣 2 的導通電流值，「◇」代表試樣 2 的關斷電流值，「▲」代表試樣 3 的導通電流值，「△」代表試樣 3 的關斷電流

值。

試樣 1、試樣 2 及試樣 3 的成膜係僅活性層的成膜時基板溫度相異，試樣 1 為 100°C ，試樣 2 為 200°C ，試樣 3 為室溫。濺鍍陰極的電力係設定為 $0.6\text{kW}(\text{DC})$ ，活性層的成膜環境為 Ar 與氧的混合氣體，氬分壓固定為 0.74Pa (流量： 230sccm)。另外，基板溫度係根據安裝在基板的熱電偶之輸出而量測。

第 7 圖係示意性顯示試樣 1 至 3 的構成的剖面圖。試樣 1 至 3 的電晶體元件係由作為閘極電極 31 的 p 型矽基板、作為閘極絕緣膜 32 的矽氮化膜、作為活性層 33 的 IGZO 膜、及作為源極/汲極電極 34S、34D 的鋁膜之層疊構造所構成。閘極絕緣膜 32 係藉由 CVD 法來形成，其膜厚係形成為 50nm 。活性層 33 係以濺鍍法來形成，其膜厚係形成為 50nm 。

此種的電晶體元件係作為藉由控制施加在閘極電極 31 的電壓而控制流通在源極電極 34S 與汲極電極 34D 之間的電流(源極-汲極電流 Ids)之大小的開關元件而發揮功能。具體而言，由於其動作原理乃是以作用在閘極-源極間的電場之大小使活性層內的載子分佈變化，藉此而控制源極-汲極間的電流，故此種電晶體元件被稱作場效型電晶體。

第 6 圖顯示的實驗結果係活性層 33 的剛成膜完成時的電流特性，並未施行退火處理。此外，試樣 1、試樣 2 及試樣 3 的各者皆為同一元件尺寸，且電性特性的評價用

電路皆為同一構成。導通電流值係意指閘極電壓(V_{gs})為臨限值電壓(V_{th})以上時的源極-汲極電流(I_{ds})之大小。關斷電流值係意指閘極電壓(V_{gs})為臨限值電壓以下時的源極-汲極電流(I_{ds})之大小。一般來說，就電晶體特性而言，要求導通電流值高、關斷電流值低，或者是導通電流值/關斷電流值之比值要高。

如第 6 圖的結果所示，針對試樣 1、試樣 2 及試樣 3 確認到導通電流值及關斷電流值係依存於成膜環境中的氧分壓。具體而言，針對試樣 1 至試樣 3 的任一者皆確認到氧分壓愈低導通電流值及關斷電流值愈高之傾向。

比較試樣 1、試樣 2、試樣 3，具有以加熱方式成膜的活性層之試樣 1 及試樣 2 係比具有以無加熱方式成膜的活性層之試樣 3 提升了導通電流值。對此，可思考而得知此乃由於藉由以加熱方式來成膜活性層，能夠減少活性層中的應變及缺陷，結果便是能夠使載子(電子、電洞)的移動度提升之故。

此外，試樣 1 明顯地顯現出隨著氧分壓的增加，關斷電流值也跟著降低之傾向，尤甚者，確認到當氧分壓為 0.28Pa 時，關斷電流值降到了 $1.0 \times 10^{-14}(\text{A})$ 。對此，可思考而得知此乃由於隨著氧分壓的增加，活性層的絕緣性跟著提高，結果產生關斷電流值的降低。

此外，比較試樣 1 與試樣 2，確認到導通電流值及關斷電流值在氧分壓為 0.02Pa 時，試樣 1 比試樣 2 更高，在氧分壓為 0.03Pa 至 0.28Pa 時，則是試樣 2 比試樣 1 更高。

試樣 1 與試樣 2 之間的導通/關斷電流的大小之不同係由於成膜時的加熱溫度之不同。至少在所實驗的氧分壓的條件下(0.02Pa 以上 0.28Pa 以下)，依據試樣 1 及試樣 2 確認到相較於以無加熱方式成膜活性層的試樣 3，能夠改善電流特性及導通關斷電流。

如上所述，藉由以加熱方式形成具有 In-Ga-Zn-O 組成的活性層，相較於以無加熱方式成膜的情形，能夠使導通電流值提升。在此係以濺鍍時的成膜溫度為 100°C 及 200°C 的情形為例進行了說明。然而加熱溫度並不限於上述之例，例如亦可為未滿 100°C 的溫度、或者是超過 100°C 但未滿 200°C 的溫度、或者是超過 200°C 的溫度。亦即，可依據所要求的電晶體特性而適當地設定加熱溫度。

另一方面，藉由以加熱環境濺鍍成膜活性層 15，可在之後的退火步驟中獲得高度退火效果。實施退火處理的目的在於謀求剛成膜完成時的活性層的電晶體特性之提升。以加熱方式成膜的活性層 15 相較於以無加熱方式成膜的活性層，內部應變與缺陷較少，因此對施加自外部的熱顯現高敏感性，此係促進退火處理的低溫化。

第 8 圖係針對參照第 6 圖及第 7 圖而說明過的試樣 1、試樣 2 及試樣 3 量測各者在退火處理前後的導通關斷電流比之實驗結果。評價所用的試樣係使用以氧分壓 0.28Pa 濺鍍成膜有活性層的試樣。退火溫度係設定為 200°C、300°C、及 400°C，退火處理的環境係皆為大氣中且設定為 15 分鐘。在圖中，「●」代表試樣 1 的導通關斷電流比，「◆」

代表試樣 2 的導通關斷電流比，「▲」代表試樣 3 的導通關斷電流比。

關於以無加熱方式濺鍍成膜有活性層的試樣 3，在退火條件為 400°C 時，獲得了超過 7 位數的導通關斷電流比。相對於此，關於以 100°C 及 200°C 濣鍍成膜有活性層的試樣 1 及試樣 2，在退火條件為 300°C 時，獲得了達到 8 位數的導通關斷電流比。

由第 8 圖的實驗結果可知，在試樣 1 及試樣 2 的情形中，能夠將獲得與試樣 3 同等以上的導通關斷電流所必要的退火處理溫度降低為比試樣 3 更低了 100°C 以下之溫度。由此，以加熱方式成膜的活性層係由於在剛成膜完成時膜中較少應變與缺陷，從而原子對外部的熱負載以高追從性擴散。是以，即使是對比較低溫的熱負荷仍然可獲得良好的電晶體特性。

具體而言，依據試樣 1 及試樣 2，由於能夠以比試樣 3 更低溫的條件來獲得良好的電晶體特性，因此具有即使是在諸如退火處理溫度受限於基材與活性層以外的其他功能膜(電極膜、絕緣膜)的耐熱性的情形中仍然容易獲得目標電晶體特性之優點。

另外，在試樣 1 及試樣 2 中，能夠藉由以超過 300°C 的高溫進行退火處理來謀求導通關斷電流比的進一步提升。是以，鑑於元件的耐熱性等而以與無加熱方式成膜時的退火條件同等的條件進行退火處理，藉此能夠謀求更進一步的特性提升。例如，能夠將退火溫度設定為 300°C 以

上、未滿 400°C。此外，藉由將退火溫度的上限設定為 350 °C，能夠有效地抑制以鋁來形成閘極電極時成為問題的小丘(hillrock)，指形成於表面的細微突起)等缺陷的產生。

以上針對本發明實施形態進行了說明，但本發明當然並非限定於此，當可根據本發明的技術思想來發展各種變形。

例如在上述的實施形態中雖然是以將閘極電極形成在活性層的下層側的底閘極型的場效型電晶體之製造方法為例來進行說明，但並不限於此，本發明亦可適用於將閘極電極形成在活性層的上層側的頂閘極(top gate)型的場效型電晶體之製造方法。

此外，在上述的實施形態中雖然是將活性層 15(IGZO 膜 15F)的成膜溫度設定在 100°C 以上，將成膜後的退火溫度設定在 300°C，但並不限於此，可依據所要求的元件的電晶體特性而適當地變更成膜溫度及退火溫度。

【圖式簡單說明】

第 1 圖(A)至(F)係顯示用以說明本發明實施形態的場效型電晶體之製造方法的各步驟的主要部剖面圖。

第 2 圖(A)至(E)係顯示用以說明本發明實施形態的場效型電晶體之製造方法的各步驟的主要部剖面圖。

第 3 圖(A)至(D)係顯示用以說明本發明實施形態的場效型電晶體之製造方法的各步驟的主要部剖面圖。

第 4 圖(A)至(D)係顯示用以說明本發明實施形態的場效型電晶體之製造方法的各步驟的主要部剖面圖。

981-11-15
修正
103 11月 14日

第 5 圖(A)至(D)係顯示用以說明本發明實施形態的場效型電晶體之製造方法的各步驟的主要部剖面圖。

第 6 圖係顯示本發明實施形態中所說明之評價用試樣的導通電流特性及關斷電流特性的一實驗結果。

第 7 圖係本發明實施形態中所說明之評價用試樣的示意性剖面圖。

第 8 圖係顯示本發明實施形態中所說明之評價用試樣的退火條件與導通關斷電流比之關係的一實驗結果。

【主要元件符號說明】

| | | | |
|-----|--------|-----|---------|
| 10 | 基材 | 11 | 閘極電極 |
| 11F | 閘極電極膜 | 12 | 阻劑遮罩 |
| 12F | 光阻膜 | 13 | 遮罩 |
| 14 | 閘極絕緣膜 | 15 | 活性層 |
| 15F | IGZO 膜 | 16 | 停止層 |
| 16F | 停止層形成膜 | 17 | 源極/汲極電極 |
| 17D | 汲極電極 | 17F | 金屬膜 |
| 17S | 源極電極 | 18 | 阻劑遮罩 |
| 19 | 保護膜 | 19a | 接觸孔 |
| 21F | 透明導電膜 | 22 | 阻劑遮罩 |
| 27 | 阻劑遮罩 | 31 | 閘極電極 |
| 32 | 閘極絕緣膜 | 33 | 活性層 |
| 34S | 源極電極 | 34D | 汲極電極 |
| 100 | 電晶體元件 | | |

七、申請專利範圍：

1. 一種場效型電晶體之製造方法，係包含有下述步驟：

於將基材加熱至 100°C 以上未滿 200°C 的溫度的狀態下，在前述基材上藉由氧分壓大於 0.02Pa 且 0.28Pa 以下的反應性濺鍍法形成具有 In-Ga-Zn-O 系組成的活性層之步驟；及

藉由將前述基材加熱至 300°C 以上未滿 400°C 的溫度而對前述所形成的活性層進行退火之步驟。

2. 如申請專利範圍第 1 項之場效型電晶體之製造方法，其中，前述基材係包含閘極電極；

且包含有在形成前述活性層前，再形成覆蓋前述閘極電極的閘極絕緣膜之步驟。

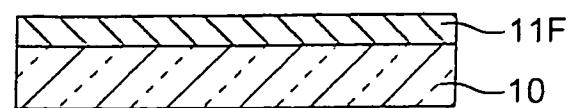
3. 如申請專利範圍第 2 項之場效型電晶體之製造方法，其中，又包含有下述步驟：

形成覆蓋前述活性層的保護膜之步驟；及

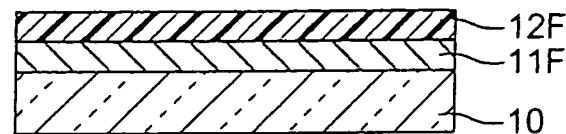
形成接觸於前述活性層的源極電極及汲極電極之步驟。

八、圖式：

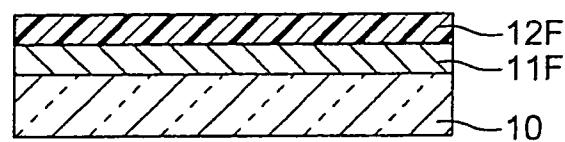
(A)



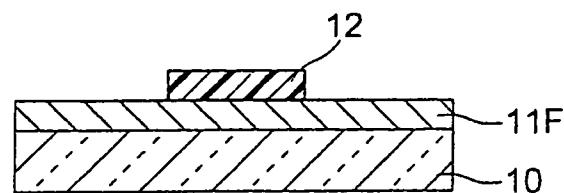
(B)



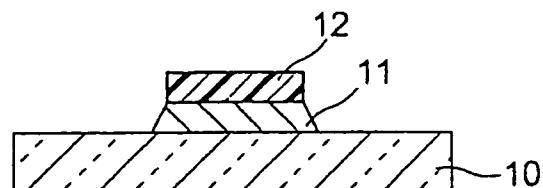
(C)



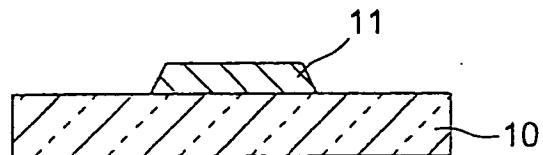
(D)



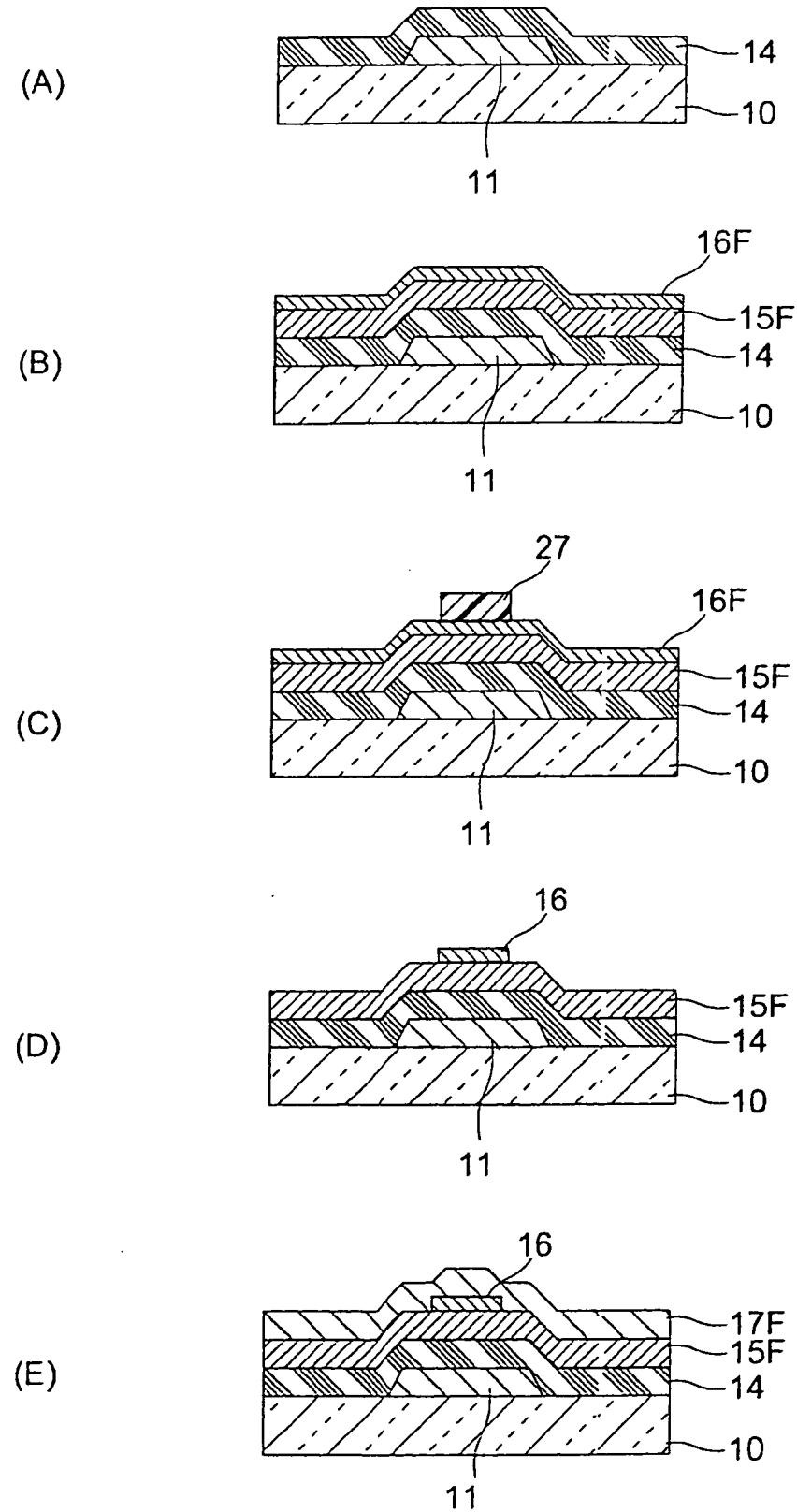
(E)



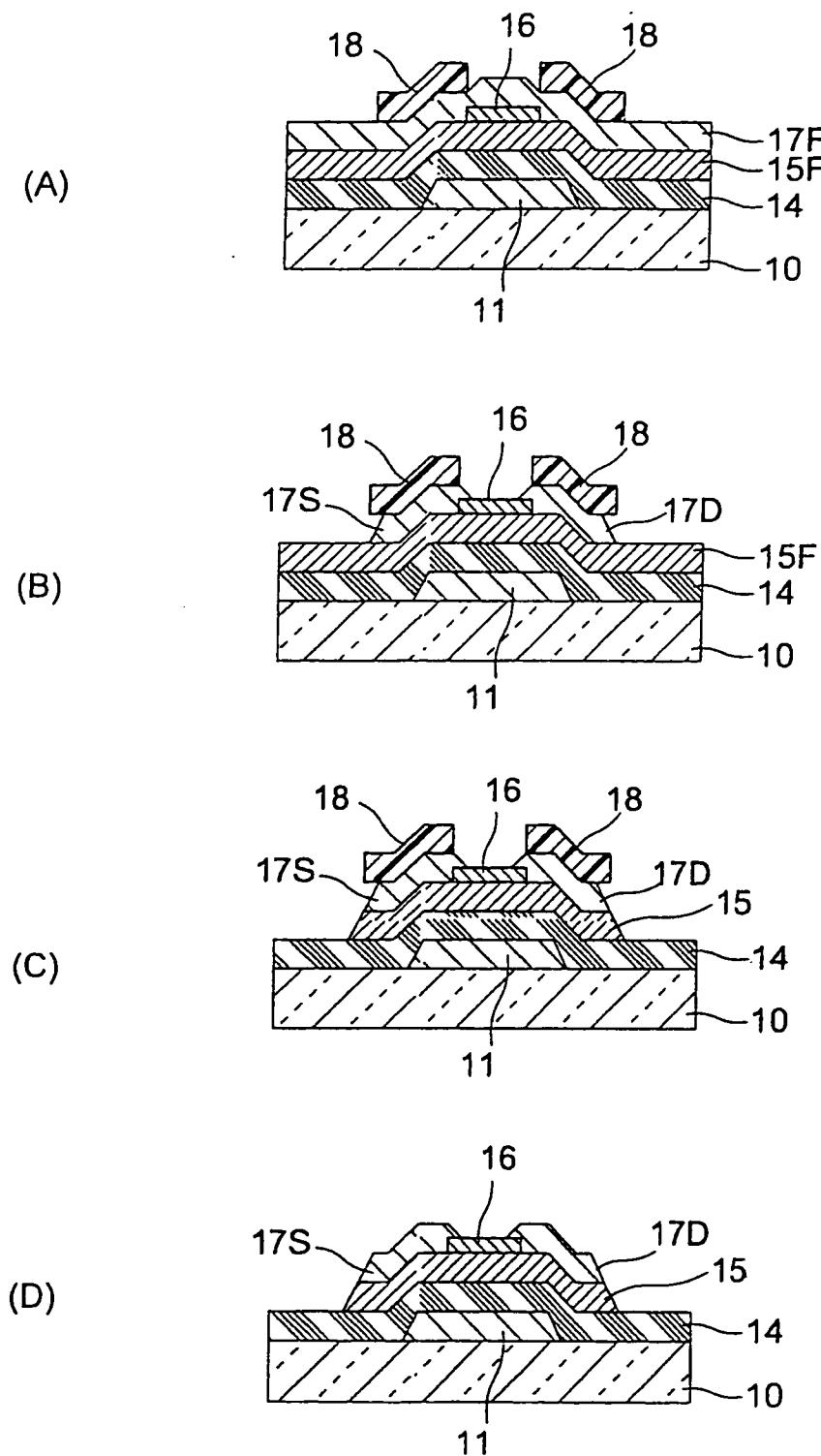
(F)



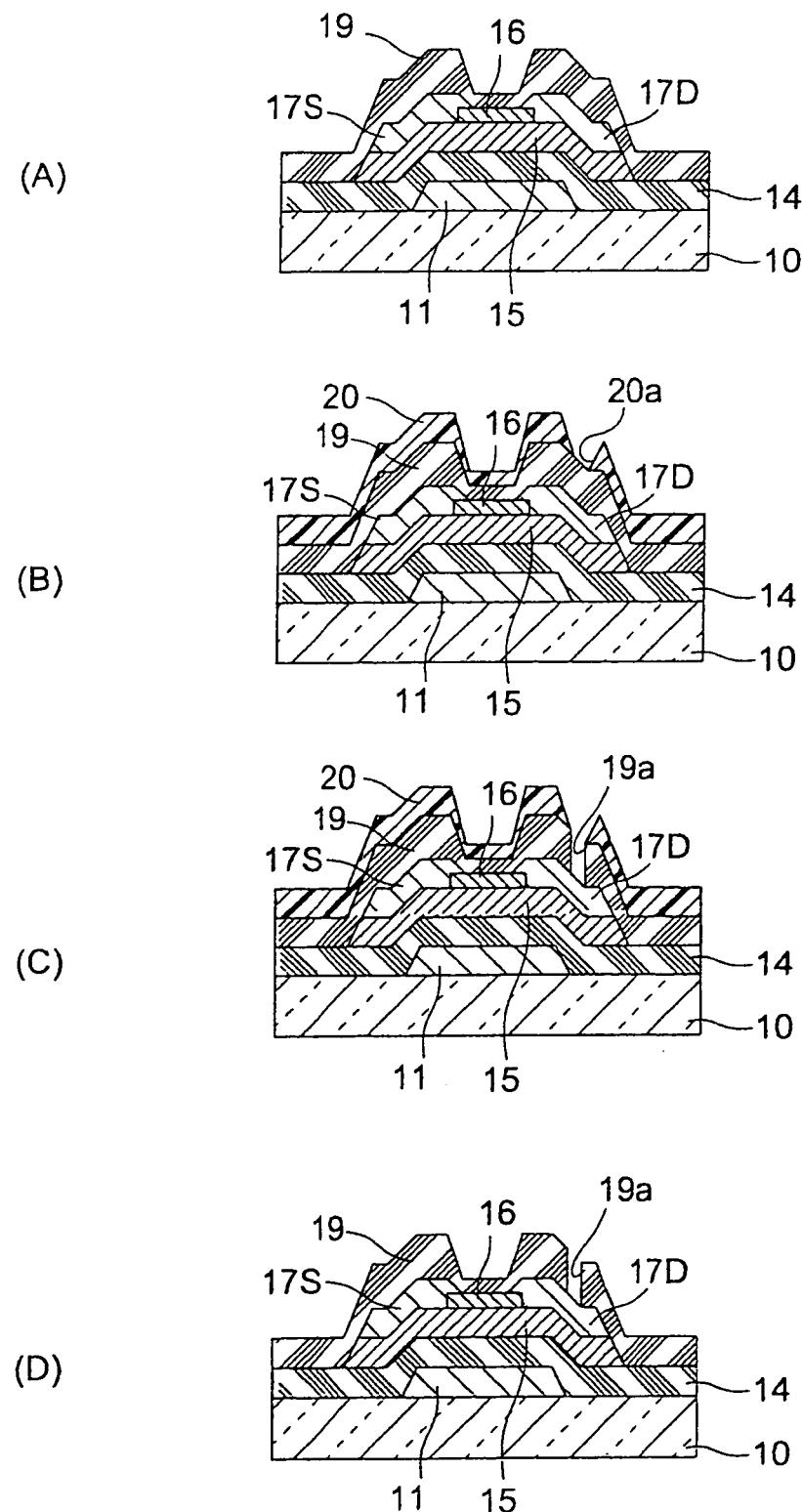
第1圖



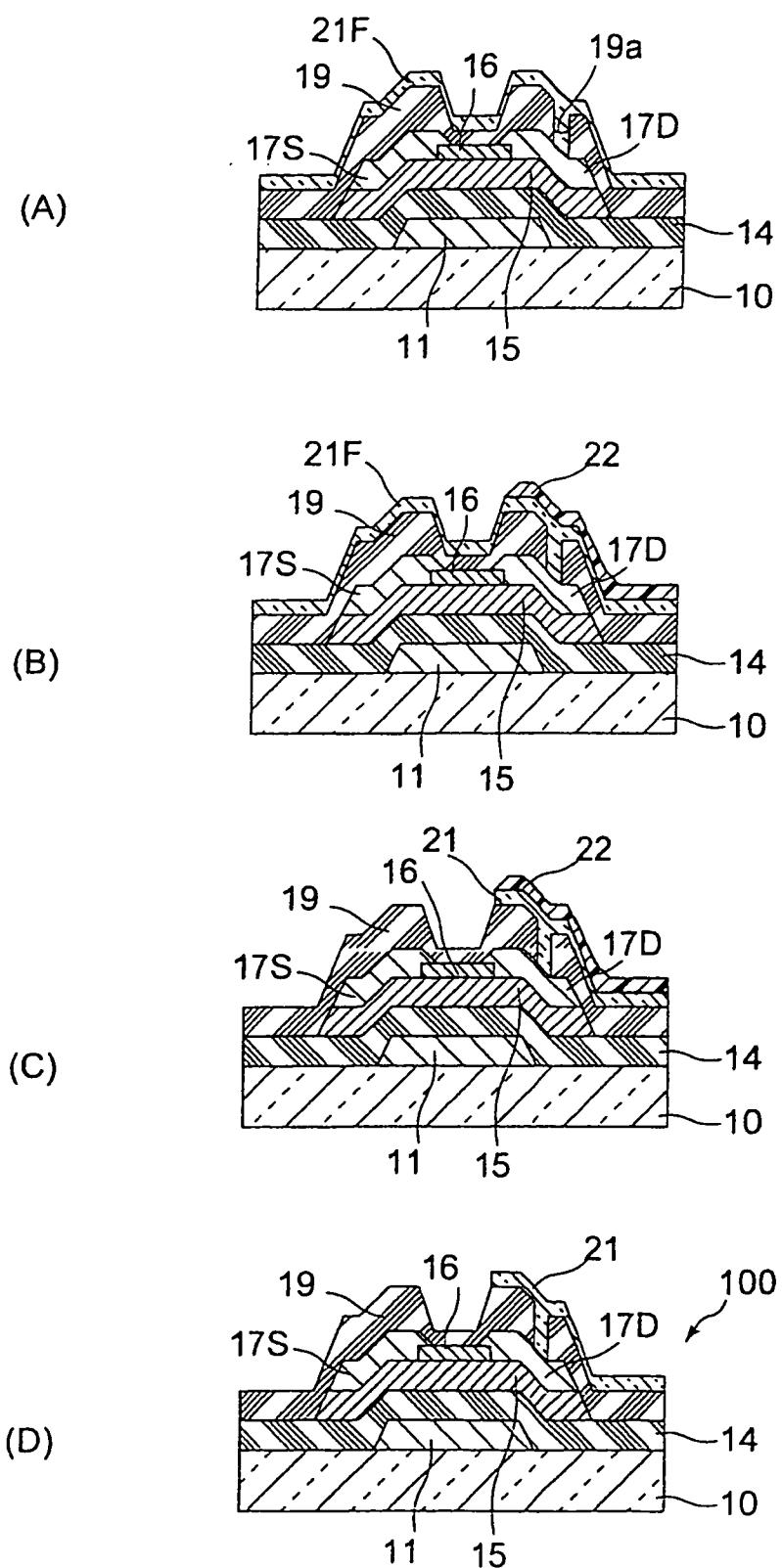
第2圖



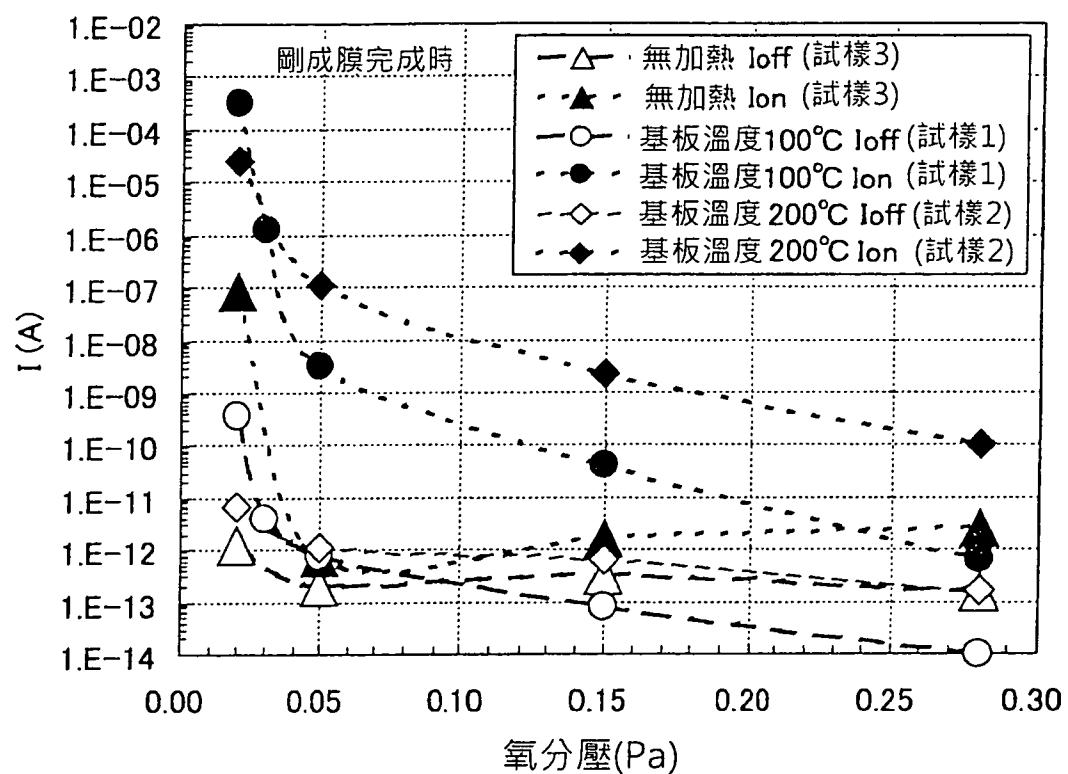
第3圖



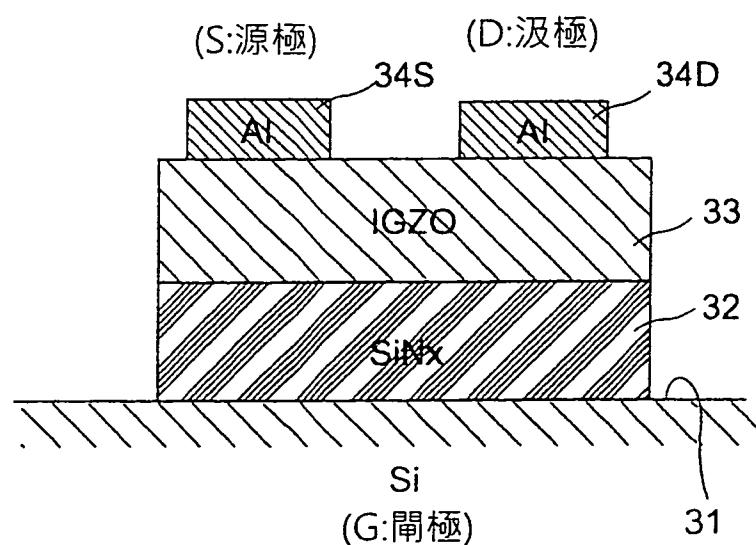
第4圖



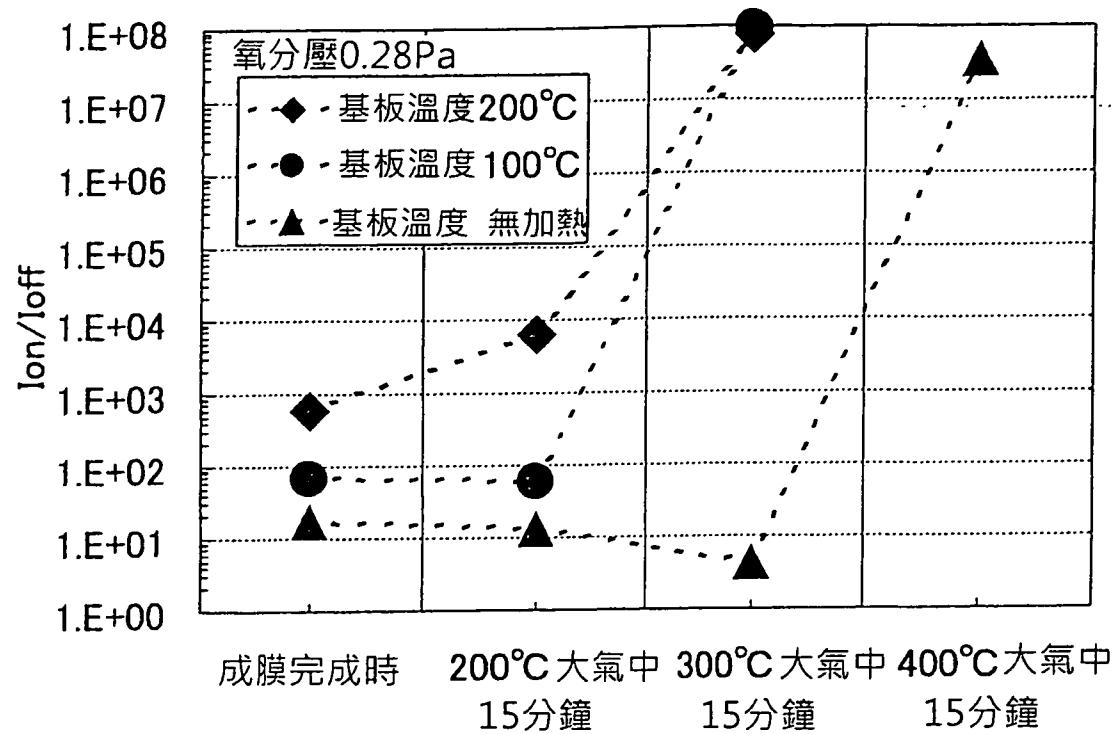
第5圖



第6圖



第7圖



第8圖