

(19) 日本国特許庁(JP)

## (12) 特許公報(B2)

(11) 特許番号

特許第3909580号  
(P3909580)

(45) 発行日 平成19年4月25日(2007.4.25)

(24) 登録日 平成19年2月2日(2007.2.2)

(51) Int.C1.

F 1

<b>G09G</b>	<b>3/36</b>	<b>(2006.01)</b>	<b>G09G</b>	<b>3/36</b>	
<b>G02F</b>	<b>1/133</b>	<b>(2006.01)</b>	<b>G02F</b>	<b>1/133</b>	<b>520</b>
<b>G02F</b>	<b>1/1368</b>	<b>(2006.01)</b>	<b>G02F</b>	<b>1/133</b>	<b>575</b>
<b>G09F</b>	<b>9/30</b>	<b>(2006.01)</b>	<b>G02F</b>	<b>1/1368</b>	
<b>G09G</b>	<b>3/20</b>	<b>(2006.01)</b>	<b>G09F</b>	<b>9/30</b>	<b>338</b>

請求項の数 5 (全 15 頁) 最終頁に続く

(21) 出願番号

特願2002-107969 (P2002-107969)

(22) 出願日

平成14年4月10日 (2002.4.10)

(65) 公開番号

特開2003-302946 (P2003-302946A)

(43) 公開日

平成15年10月24日 (2003.10.24)

審査請求日

平成17年2月3日 (2005.2.3)

(73) 特許権者 502356528

株式会社 日立ディスプレイズ  
千葉県茂原市早野3300番地

(74) 代理人 100093506

弁理士 小野寺 洋二

(72) 発明者 宮沢 敏夫

千葉県茂原市早野3300番地 株式会社  
日立製作所 ディスプレイグループ内

審査官 濱本 複広

最終頁に続く

(54) 【発明の名称】表示装置

## (57) 【特許請求の範囲】

## 【請求項 1】

複数の走査線と複数の信号線が交差する部分に対応して設けた画素を有し、  
 前記画素は画素電極と該画素電極を選択するスイッチング素子と前記画素電極と前記スイッチング素子の間に設けて前記画素電極に書き込むデータを記憶する記憶回路とを有し、  
 互いに逆相で変化する交番電圧を前記記憶回路に印加する一対の交番電圧電源線を備え、  
 前記記憶回路は前記一対の交番電圧電源線を橋絡して直列接続したN M O SトランジスタとP M O Sトランジスタの第1のトランジスタ対と、該第1のトランジスタ対に対して並列に、前記一対の交番電圧電源線を橋絡して直列接続したN M O SトランジスタとP M O Sトランジスタの第2のトランジスタ対を有し、  
 前記第1のトランジスタ対の制御電極の共通接続点を前記第2のトランジスタ対の直列接続中間点に接続し、前記第2のトランジスタ対の制御電極の共通接続点を前記第1のトランジスタ対の直列接続中間点に接続してなり、  
 前記スイッチング素子の出力点は前記第1のトランジスタ対の直列接続中間点に接続され、  
 前記第2のトランジスタ対の直列接続中間点は前記画素電極に接続され、  
 前記第2のトランジスタ対の制御電極の共通接続点と前記第2のトランジスタ対の直列接続中間点との間に接続した容量を有することを特徴とする表示装置。

10

20

## 【請求項 2】

前記第1のトランジスタ対の前記一対の交番電圧電源線の夫々の間に接続した抵抗素子を有することを特徴とする請求項1に記載の表示装置。

## 【請求項 3】

前記画素を1色の単位画素として複数の前記単位画素を1カラー画素としたことを特徴とする請求項1または2に記載の表示装置。

## 【請求項 4】

前記1カラー画素を構成する各単位画素の画素電極を面積が異なる複数の電極で構成したことを特徴とする請求項3に記載の表示装置。

## 【請求項 5】

前記複数の電極が2ビット以上の階調表示に対応して前記スイッチング素子により選択されることを特徴とする請求項4に記載の表示装置。

## 【発明の詳細な説明】

## 【0001】

## 【発明の属する技術分野】

本発明は、アクティブマトリックス形表示装置に係り、特に高開口率で高精細な画素メモリ方式の多階調表示装置に関する。

## 【0002】

## 【従来の技術】

ノート型コンピュータやディスプレイメニター用の高精細かつカラー表示が可能な表示装置として液晶パネルを用いた表示装置やエレクトロルミネッセンス(特に、有機EL)等を用いた様々な方式の表示装置が実用化または実用化のための研究がなされている。現在最も広く用いられているのが液晶表示装置であり、ここでは表示装置の典型例として所謂アクティブマトリックス型の液晶表示装置を例として説明する。

## 【0003】

アクティブマトリックス型液晶表示装置として代表的な薄膜トランジスタ(TFT)型は、画素毎に設けた薄膜トランジスタTFTをスイッチング素子として画素電極に信号電圧(映像信号電圧:階調電圧)を印加するものであるため、画素間のクロストークがなく、高精細で多階調表示が可能である。

## 【0004】

一方、この種の液晶表示装置を携帯型の情報端末など、電源にバッテリーを用いる電子装置に実装した場合、その表示に伴う消費電力の低減化が必要になる。そのために、液晶表示装置の各画素にメモリ機能を持たせようというアイデアが従来より多くの提案がなされている。

## 【0005】

図11は各画素に1ビットのスタティックラムを内蔵した低温ポリシリコン薄膜トランジスタ方式の液晶表示装置を構成する液晶パネルの構成例を説明する模式図である。液晶パネルは第1基板と第2基板の対向間隙に液晶を挟持して構成される。図中、参照符号PNLは液晶パネルであり、平面の大部分を占める画素部(表示領域)ARの周辺に垂直走査回路GDRと水平走査回路DDRを第1基板に有する。画素部(画素アレー)ARの各画素は1ビット(bit)の画像メモリ(スタティックラム:SRAM)を有する。この液晶パネルPNLは、その水平走査回路DDRに4bit程度のデジタル-アナログ変換回路(DAC)を内蔵しているが、必須ではない。

## 【0006】

図12は図11における1ビットSRAM画像メモリの概要を説明する回路図である。図中、GLはゲート線(走査線)、DLはドレイン線(信号線)、LCは液晶、VCOMはコモン電圧である。参照符号PIXは画素(単位画素)を示す。画素PIXは外部からの4ビット~6ビットの階調アナログ電圧をそのまま液晶駆動用電極に供給する通常のサンプリング機能と、外部1ビットデータを一旦SRAMに格納し、その1ビットデータに準じた交番電圧p、nを液晶駆動用電極に出力する画像メモリ機能とを有する。

10

20

30

40

50

## 【0007】

サンプリング機能と画像メモリ機能の動作選択は外部から制御される。なお、交番電圧  $p$  と  $n$  は液晶交番電圧周期に同期し互いに逆極性で交番する交流信号であり、 $n$  は  $p$  の反転波形で示される。この画素構成を採用することで、例えば携帯電話機の待ち受け時等に S R A M に格納されている 1 ビットデータを表示することでデータ書き込み等の消費電力の低減が可能となる。

## 【0008】

## 【発明が解決しようとする課題】

図 13 は本出願人の既提案にかかる画像メモリ回路を有する液晶表示装置の 1 画素の構成を説明する回路図である。第 1 基板において、多数のドレイン線 D L を構成するドレイン線 D L 1 は画素に映像信号を供給する配線を構成し、選択信号線 H A D L 1 と V A D L は映像信号を印加する画素を選択するための配線である。参照符号 V C O M は固定電圧であるコモン電圧で、所謂 T N 型液晶パネルでは第 2 基板側に有する。画素は、次に選択されて書き換えるまでの間印加された映像信号を保持する機能を持つ。なお、液晶 L C をエレクトロルミネッセンス素子に置き換えれば、エレクトロルミネッセンス形表示装置になる。

10

## 【0009】

固定電圧 V C O M は固定電圧線 V C O M - L に印加される。固定電圧 V C O M は液晶 L C を挟む第 2 基板に形成した電極に接続されている。交番電圧 P B P ( 図 12 における  $p$  に相当 ) と P B N ( 同  $n$  に相当 ) は、交番電圧線 P B P - L と P B N - L に印加される。

20

## 【0010】

画素への映像信号の書き込みは、選択信号線 H A D L を構成する選択信号線 H A D L 1 と選択信号線 V A D L に印加される各選択信号で 2 つの N M O S トランジスタ V A D S W 1 と H A D S W 1 がオン状態となることにより行われる。

## 【0011】

書き込まれた映像信号電位を入力ゲート ( 電圧ノード N 8 ) 電位とし、一対の p 型電界効果トランジスタ P L T F 1 と n 型電界効果トランジスタ N L T F 1 の各々のソースあるいはドレインとなる電極もしくは拡散領域が電気的に接続されて出力部 ( 電圧ノード N 9 ) を形成する第 1 のインバータを構成する。以下、電圧ノードを、単にノードと称する。

30

## 【0012】

第 1 のインバータを構成する一対の p 型電界効果トランジスタ P L T F 1 と n 型電界効果トランジスタ N L T F 1 の各々のソースまたはドレインとなる電極もしくは拡散領域が電気的に接続された出力部 ( ノード N 9 ) の電位を入力ゲート電位とする一対の p 型電界効果トランジスタ P L T R 1 と n 型電界効果トランジスタ N L T R 1 で第 2 のインバータを構成する。

## 【0013】

第 2 のインバータを構成する一対の p 型電界効果トランジスタ P L T R 1 と n 型電界効果トランジスタ N L T R 1 の各々のソースまたはドレインとなる電極もしくは拡散領域が電気的に接続された出力部 ( ノード N 8 ) の電位を入力ゲート電位とする一対の p 型電界効果トランジスタ P P V S 1 と n 型電界効果トランジスタ N P V S 1 で第 3 のインバータを構成する。

40

## 【0014】

そして、第 2 のインバータを構成する一対の p 型電界効果トランジスタ P L T R 1 と n 型電界効果トランジスタ N L T R 1 の出力部 ( ノード N 8 ) は、同時に第 1 のインバータの入力ゲート ( ノード N 8 ) と電気的に接続される。第 1 と第 2 のインバータを構成する n 型電界効果トランジスタ N L T F 1 と N L T R 1 の、インバータの出力でないソースあるいはドレインもしくは拡散領域 ( ノード N 6 ) が前記一対の交番電圧線の一方 ( P B N ) に接続される。

## 【0015】

50

さらに、第1と第2のインバータを構成するp型電界効果トランジスタPLTF1とPLTR1の、インバータの出力でないソースあるいはドレインもしくは拡散領域（ノードN4）が前記第1および第2のインバータのn型電界効果トランジスタのインバータ出力でないソースとなる電極あるいはドレインもしくは拡散領域が接続された交番電圧線（ノードN6）と対をなす電圧の交番電圧線PBPに接続される。

【0016】

第3のインバータを構成する一対のp型電界効果トランジスタPPVS1とn型電界効果トランジスタNPVS1のインバータ出力部（ノードN10）でない各々のソースあるいはドレインとなる電極（ノードN6およびN10）もしくは拡散領域の一方（ノードN6）は、前記交番電圧線のいずれか一方（PBN）に接続され、他方は固定電圧線VCOMに接続される。

10

【0017】

1ビットSRAMで実現できる色数はR、G、B各色について2であり、合計で $2 \times 2 \times 2 = 8$ 色であるが、カラー表示としては色数が少なすぎ、前記したような携帯電話機の待ち受け時等、SRAMに格納された1ビットデータを表示することでデータの書き込み電力の低減という利用方法に限定される。

【0018】

図14は図13で説明した単位画素を組合せて面積階調画素の構成例の説明図である。この例では、各単位画素を構成する画素電極の面積を面積が異なるセルCL-A、セルCL-B、セルCL-Cの3種の組合せとしたものである。これらの面積が異なるセルを選択的に組み合わせて3ビット8階調表示を可能としている。これを各色（R, G, B）について構成しさらに多色表示を可能とした1カラー画素とすることができる。

20

【0019】

しかし、前記図13で説明した画素メモリ方式ではその配線数、トランジスタ数が多くなり回路規模が大きいため、消費電力低減には限界があると共に開口率の向上が難しい。また、図14で説明した形式では、回路構成や画素電極の構成が複雑になり、製造コストを低減することが難しい。

【0020】

本発明の目的は、回路構成を簡略化して多色化を可能とし、また画素電極を単純化して面積階調を実現した高開口率かつ多階調のカラー表示を可能とした表示装置を提供することにある。

30

【0021】

【課題を解決するための手段】

上記目的を達成するために、本発明は、映像信号を保持するCMOSトランジスタ対を画素電極への出力回路に兼ねさせ、また画素電極に容量を接続してSRAMへの書き込み状態を上記容量に蓄積された電荷を利用して制御する構成とした。本発明の代表的な構成を記述すれば次のとおりである。

（1）、複数の走査線と複数の信号線が交差する部分に対応して設けた画素を有し、前記画素は画素電極と該画素電極を選択するスイッチング素子と前記画素電極と前記スイッチング素子の間に設けて前記画素電極に書き込むデータを記憶する記憶回路とで構成され、

40

前記記憶回路に互いに逆極性で変化する交流電圧を印加する一対の交番電圧電源線を備え、

前記記憶回路は前記一対の交番電圧電源線を橋絡して直列接続したNMOStранジスタとPMOSトランジスタの第1のトランジスタ対と、該第1のトランジスタ対に対して前記一対の交番電圧電源線を橋絡して直列接続したNMOStранジスタとPMOSトランジスタの第2のトランジスタ対を有し、

前記第1のトランジスタ対の制御電極の共通接続点を前記第2のトランジスタ対の直列接続中間点に接続し、前記第2のトランジスタ対の制御電極の共通接続点を前記第1のトランジスタ対の直列接続中間点に接続してなり、

50

前記スイッチング素子の出力点は前記第1のトランジスタ対の接続点に接続され、前記第2のトランジスタ対の直列接続中間点は前記画素電極に接続され、前記第2のトランジスタ対の制御電極の共通接続点と直列接続中間点の間に接続した容量を有することを特徴とする。

【0022】

(2)、(1)において、前記第1のトランジスタ対の前記一対の交番電圧電源線の夫々の間に接続した抵抗素子を有することを特徴とする。

【0023】

(3)、(1)または(2)において、前記画素を1色の単位画素として複数の前記単位画素を1カラー画素としたことを特徴とする。 10

【0024】

(4)、(3)において、前記1カラー画素を構成する各単位画素の画素電極を面積が異なる複数の電極で構成したことを特徴とする。

【0025】

(5)、(4)において、前記複数の電極が2ビット以上の階調表示に対応して前記スイッチング素子により選択されることを特徴とする。

【0026】

上記各構成により、配線数およびトランジスタ数が低減されると共に、開口率の低下が防止され、多階調かつ高精細の画像表示を得ることができる。

【0027】

なお、本発明は上記の構成および後述する実施例の構成に限定されるものではなく、本発明の技術思想を逸脱することなく種々の変更が可能である。 20

【0028】

【発明の実施の形態】

以下、本発明の実施の形態について、実施例の図面を参照して詳細に説明する。図1は本発明の表示装置としての液晶表示装置を構成する液晶パネルの回路構成の一実施例を説明する模式図である。図中、参照符号PNLは薄膜トランジスタパネルであり、平面の大部分を占める画素部(表示領域)ARの周辺に垂直走査回路GDRと水平走査回路DDRを第1基板に有する。第2基板にはコモン電極を有する。映像信号線であるドレイン線DLと走査線であるゲート線は説明の簡略化のため各一本のみ示してある。 30

【0029】

ドレイン線DLは、実際には画素数に応じて8本(256色)、12本(4096色)等を有し、垂直走査回路GDRから延びるゲート線GLに順次接続されている。ドレイン線DLから供給される映像信号(データ信号)は水平走査回路DDRから延びるゲート線の選択に応じて画素PXに書き込まれる。ここで画素PXは単位画素を示す。R, G, B3色カラー表示の場合は3つの単位画素で1カラー画素を構成する。

【0030】

図2は図1における1ビット分の画像メモリの回路図である。基本的な動作は図13と同様であるが、本実施例では、データ保持用のCMOSトランジスタ対が画素電極PXへの出力回路を兼ねている。画像メモリ(記憶回路)は一対の電源線p, nを橋絡して直列接続したNMOSトランジスタNM2とPMOSトランジスタPM2からなる第1のトランジスタ対と、該第1のトランジスタ対に対して前記一対の電源線p, nを橋絡して直列接続したNMOSトランジスタNM3とPMOSトランジスタPM3の第2のトランジスタ対を有している。 40

【0031】

一対の電源線p, nには互いに逆極性で変化する交流電圧が供給される。メモリ回路の第1のトランジスタ対を構成するNMOSトランジスタNM2とPMOSトランジスタPM2の制御電極の共通接続点は第2のトランジスタ対を構成するNMOSトランジスタNM3とPMOSトランジスタPM3の直列接続中間点(ノード)N2に接続されている。また、第2のトランジスタ対を構成するNMOSトランジスタNM3とPMOSトラン 50

ジスタPM3の制御電極の共通接続点は第1のトランジスタ対を構成するNMOSトランジスタNM2とPMOSトランジスタPM2の直列接続中間点(ノード)N1に接続されている。

【0032】

参照符号NM1はスイッチング素子(トランジスタ)である。このスイッチング素子NM1はゲート線GLで選択され、ドレイン線DLから供給される映像信号(データ)を第1のトランジスタ対を構成するNMOSトランジスタNM2とPMOSトランジスタPM2のノードN1に接続されている。スイッチング素子NM1の出力点は第1のトランジスタ対を構成するNMOSトランジスタNM2とPMOSトランジスタPM2のノードN1に接続され、第2のトランジスタ対を構成するNMOSトランジスタNM3とPMOSトランジスタPM3のノードN2は単位画素PXの画素電極に接続されている。そして、第2のトランジスタ対を構成するNMOSトランジスタNM3とPMOSトランジスタPM3のノードN2と制御電極の共通接続点の間にブートストラップ容量CBが挿入されている。なお、参照符号CSは浮遊容量を示す。

【0033】

図3は図2における各配線に印加される信号あるいは電圧で示す動作波形図である。図中、p、n、GL、DL、N1、N2は図3の同一参照符号で示した点に印加される信号あるいは電圧に対応する。p、nは液晶駆動用交番電圧であり、互いに逆相で、所謂1フレーム周期でハイ(High)Hとロー(Low)Lを繰り返す。

【0034】

図3で、時刻t0での画像メモリの状態、すなわちノードN1がローであったとする。図2の回路において、N1がローなのでp型の薄膜トランジスタであるトランジスタPM3がオン状態にあるため、ノードN2はnに接続されている。したがって、時刻t0におけるノードN2の電位状態はハイである。ノードN2がハイであるのでn型の薄膜トランジスタであるNM2もオン状態にあり、ノードN1はpに接続しており、ノードN1のロー状態の再書き込み状態にある。

【0035】

時刻t1で一対の交番電圧p、nは、その電位状態を逆転する。ノードN2の電位変化がノードN1のそれより早くなるように設計されていれば、ノードN2はトランジスタPM3を通してnと接続しているのでノードN2の電位はnの電位変動に従い、ハイ状態からロー状態に変化する。このノードN2の電位のハイ状態からロー状態への変化は、ブートストラップ容量CBを通してノードN1に伝わり、 $V = (V_{High} - V_{Low}) \times (CB / (CB + CS))$ だけ、瞬間的に(すなわち、ノードN1が再書き込みされる迄)ノードN1の電圧が下がる。なお、CSはCB以外のノードN1の容量を示す。

【0036】

このVをトランジスタPM3の閾値電圧 $V_{th}$ (PM3)より大きくなるように設計すれば( Vの絶対値 $V_{th}$ (PM3)の絶対値)、トランジスタPM3の閾値電圧の効果を無視して、ノードN2をnのロー電位と同じにすることができます。ノードN2のローへの変化に伴い、トランジスタPM2がオフ状態になり、トランジスタPM2はオン状態になる。これにより、ノードN1はトランジスタPM2を通してnと接続され、ノードN1のロー状態の再書き込み状態になる。

【0037】

時刻t2でゲート線GLがハイ状態になってトランジスタNM1がオン状態になると、そのときのドレイン線DLのハイ状態のデータがノードN1に書き込まれることになる。ノードN2の電位変化がノードN1のそれより早くなるように設計されていれば、すなわちp、nとノードN1の接続が弱く(高抵抗接続)設計されていれば、ゲート線GLがハイ状態の期間はノードN1の状態をドレイン線DLの状態で支配できるので、ノードN1の状態はハイとなる。

【0038】

これにより、トランジスタPM3はオン状態からオフ状態に、トランジスタNM3はオフ

10

20

30

40

50

状態からオン状態に変化し、ノードN 2は p と接続され、 p のハイ状態に変化する。これに伴い、トランジスタPM 2はオフ状態になりトランジスタNM 2はオン状態になるので、ノードN 1はトランジスタNM 2を通して p に接続されることになる。これは、入力状態ハイの保持状態となる。

#### 【0039】

時刻 t 3 で一対の交番電圧 p、 n は再度その電位状態を逆転する。ノードN 2はトランジスタNM 3を通して p と接続しているので、ノードN 2の電位は p の電位変動に従い、ハイ状態からロー状態に変化する。このノードN 2の電位のハイ状態からロー状態への変化は、ブートストラップ容量CBを通してノードN 1に伝わり、  $V = (V_{High} - V_{Low}) \times (CB / (CB + CS))$  だけ、瞬間的に（すなわち、ノードN 1が再書き込みされる迄）ノードN 1の電圧が下がる。なお、 CS は CB 以外のノードN 1の容量を示す。

#### 【0040】

トランジスタNM 3は放電モードにあるので、ハイ（ p ） - V  $V_{th}(NM 3)$  が満たされれば、ノードN 2を p のロー状態に引き落とすことが可能であるノードN 2がロー状態に変化したのに伴い、トランジスタNM 2がオフ状態となりトランジスタPM 2がオン状態になる。ノードN 1はトランジスタPM 2を通して n と接続されることになる。これは、入力状態がハイになる再書き込み状態となり、メモリ状態を保持する。

#### 【0041】

時刻 t 4 で一対の交番電源 p、 n は再度その電位状態を逆転する。ノードN 2はトランジスタNM 3を通して p と接続しているので、ノードN 2の電位は p の電位変動に従い、ロー状態からハイ状態に変化する。このノードN 2の電位のロー状態からハイ状態への変化は、ブートストラップ容量CBを通してノードN 1に伝わり、  $V = (V_{High} - V_{Low}) \times (CB / (CB + CS))$  だけ、瞬間的に（すなわち、ノードN 1が再書き込みされる迄）ノードN 1の電圧が上がる。なお、 CS は CB 以外のノードN 1の容量を示す。

#### 【0042】

この V をトランジスタPM 3の閾値電圧  $V_{th}(PM 3)$  より大きくなるように設計すれば（ V の絶対値  $V_{th}(PM 3)$  の絶対値）、トランジスタPM 3の閾値電圧の効果を無視して、ノードN 2を p のハイ電位と同じにできる。ノードN 2のハイへの変化に伴い、トランジスタPM 2がオフ状態になり、トランジスタPM 2はオン状態になる。これにより、ノードN 1はトランジスタPM 2がオフ状態になり、トランジスタNM 2がオン状態になる。これにより、ノードN 1はトランジスタNM 2を通して p と接続され、ノードN 1のハイ状態の再書き込み状態になる。

#### 【0043】

時刻 t 5 では時刻 t 3と同じことが起こる。時刻 t 6 ではゲート線の印加電圧がハイ状態になり、トランジスタNM 1がオン状態になると、そのときのドレイン線の状態ローがノードN 1に書き込まれることになる。前記した時刻 t 3 と同様に、今度はノードN 1がロー状態になり、トランジスタPM 3がオン状態になるため、ノードN 2は n と接続する。そのときの n の状態ハイにより、トランジスタNM 3がオン状態になり、メモリ保持設定がロー保持設定に変わる。以下、上記の時刻 t 0 ないし t 6 の動作およびその組合せ動作を繰り返す。

#### 【0044】

上記の説明から、ノードN 1は入力状態を保持する様に交番電源線と断続を繰り返し、ノードN 2はノードN 1の状態に従って p か n と接続されることが分かる。ここで、ノードN 2を液晶駆動電極（画素電極）の一方に接続し、他方の駆動電極（コモン電極）を n に接続すると、ノードN 1がハイ状態の時はハイ - ローの交番電圧を液晶LCに印加することができ、ノードN 1ロー状態の時は液晶LCへの印加電圧を0とするように動作することが分かる。

#### 【0045】

10

20

30

40

50

上記した時刻  $t_1$  での動作で説明したように、ノード N 2 の電位変化がノード N 1 のそれより早くなるように設計することが本実施例の回路構成における重要な要件である。これを実現するための手法は多々あるが、その一例を次に説明する。

【 0 0 4 6 】

図 4 は図 2 に示した画像メモリの回路においてノード N 2 の電位変化がノード N 1 のそれより早くなるようにする構成例の回路図である。この回路において、第 1 のトランジスタ対を構成するトランジスタ N M 2 と  $p$  の交番電源線の間、およびトランジスタ P M 2 と  $n$  の交番電源線の間にそれぞれ抵抗 R 1、R 2 を挿入している。

【 0 0 4 7 】

ノード N 1 へのフィードバック回路要素であるトランジスタ N M 2、P M 2 はノード N 1 のリーク等によるデータ電位変動を補償することが目的であるため、交番電源線  $p$  と  $n$  への接続は時定数の大きい状態、すなわち高抵抗接続でよい。したがって、上記の要件を実現するためには単純に図 4 に示したような抵抗 R 1、R 2 を第 1 のトランジスタ対と直列に接続すればよい。この抵抗は、本回路を製造する際に用いる露光マスクの開口パターン（交番電源線  $p$ 、 $n$  とトランジスタ N M 2、P M 2 の接続パターンの形成パターン）を制御することで容易に形成できる。また、抵抗に代えてトランジスタ N M 2、P M 2 のオン抵抗を大きくすることで代用することも可能であり、ダイオードでもよい。

【 0 0 4 8 】

次に、本発明の単位画素を用いた多色化画素のレイアウトについて説明する。図 5 はカラー表示の階調を R が 3 ビット、G が 3 ビット、B が 2 ビットのデータとして 256 色表示とした場合のカラー 1 画素の表示領域におけるレイアウトの一例を説明する平面図である。図中、参照符号 C X はカラー 1 画素、R 1, R 2, R 3 および G 1, G 2, G 3 は 3 ビットデータのそれぞれに対応して面積階調で制御される赤 (R) と緑 (G) の分割単位画素電極、B 1, B 2 は 2 ビットデータのそれぞれに対応して面積階調で制御される青 (B) の分割単位画素電極を示す。分割単位画素電極 R 1, R 2, R 3 で R の単位画素を、分割単位画素電極 G 1, G 2, G 3 で G の単位画素を、そして分割単位画素電極 B 1, B 2 で B の単位画素を構成する。分割単位画素電極は前記した液晶駆動電極である。

【 0 0 4 9 】

R および G の単位画素はゲート線 G L と 3 ビットデータを供給する 3 本のドレイン線 D L (R 1), (R 2), (R 3) および D L (G 1), (G 2), (G 3) にそれぞれ接続したスイッチング素子 N M 1 で選択される。各単位画素には各スイッチング素子 N M 1 で制御されるビット数に対応した数の画像メモリ S R A M を持ち、画像メモリ S R A M の出力は、図 5 に示したように、分割単位画素電極にコンタクトホール C T H で電気的に接続されている。

【 0 0 5 0 】

R、G、B の各単位画素はゲート線 G L の延在方向のサイズが同じで、R、G の各単位画素はドレイン線 D L の延在方向に「3」、「6」、「12」の比率で分割単位画素に分割され、B の単位画素は「7」、「14」の比率で分割単位画素に分割されている。この分割によって 256 色の面積階調を実現している。

【 0 0 5 1 】

図 5 に示したレイアウトのカラー画素により、R : 3 ビット、G : 3 ビット、B : 2 ビットの計 8 ビットデータで 256 色のカラー表示を実現でき、変化の無い表示データはメモリに格納されたデータを表示することでフレーム毎のデータ転送を必要としないことで消費電力を低減できる。

【 0 0 5 2 】

図 6 はカラー表示の階調を R、G、B が各 8 ビットのデータとして 4096 色表示とした場合のカラー 1 画素の表示領域におけるレイアウトの一例を説明する平面図である。図中、前記各図と同一の参照符号は同一機能部分に対応する。図 6 では画像メモリ S R A M やスイッチング素子、ドレイン線、ゲート線等は図示を省略してある。

【 0 0 5 3 】

10

20

30

40

50

そして、分割単位画素 R 1 ~ R 4、G 1 ~ G 4、B 1 ~ B 4 は、図中に 1, 2, 4, 8 で示したように、各ビットデータに対応してオン／オフされるスイッチング素子で制御される。このレイアウトにより 4096 色のカラー表示を実現でき、変化の無い表示データはメモリに格納されたデータを表示することでフレーム毎のデータ転送を必要としないことで消費電力を低減できる。

#### 【0054】

上記したように、画素自体にデータの保持機能（メモリ機能）を持たせたことで毎フレーム毎にデータを送り込む必要がなくなり、変化した部分のデータのみを書き換える。また、画素毎にメモリ機能を有することで表示領域の画素をランダムに読み出して表示を行うことが可能となる。ランダムアクセス表示を行う場合、次に説明するようなランダムアクセス回路を設ければよい。

10

#### 【0055】

図 7 は本発明の表示装置としての液晶表示装置を構成する液晶パネルの回路構成の他の実施例を説明する模式図である。また、図 8 は図 7 における 1 ビット分の画像メモリの回路図である。図 7 および図 8 中、図 1 および図 2 と同一の参照符号は同一機能部分に対応し、RAX は水平ランダムアクセス回路、RAY は垂直ランダムアクセス回路、NM11 は水平選択用トランジスタである。この実施例は図 1 に示した水平走査回路 DDR と垂直走査回路 GDR のそれぞれに水平ランダムアクセス回路 RAX、垂直ランダムアクセス回路 RAY を追加し、かつスイッチング素子 NM1 の出力点に水平選択用トランジスタ NM11 を追加したものである。

20

#### 【0056】

この構成により、図 1 で説明した通常の順次走査による表示モードとランダムアクセスによる表示モードの双方を実現できる。また、この実施例では水平走査回路 DDR と垂直走査回路 GDR のそれぞれに水平ランダムアクセス回路 RAX、垂直ランダムアクセス回路 RAY を追加してあるが、水平走査回路 DDR と垂直走査回路 GDR に代えて水平ランダムアクセス回路 RAX と垂直ランダムアクセス回路 RAY のみとすることもできることは言うまでもない。

#### 【0057】

図 9 は本発明による画素メモリの表示パネル上の具体的な配置例の説明図であり、図 7 および図 8 で説明したランダムアクセス表示モードを可能とした水平選択用トランジスタ NM11 を有し、図 5 で説明した 3 ビットメモリを例としたものである。図中の参照符号は前記実施例における同一参照符号を付したものと同一機能部分を示す。図 9 の横方向はゲート線の延在方向、縦方向はドレイン線の延在方向である。表示パネル上に形成される各トランジスタ NM1、NM11、NM2、NM3、PM2、PM3、およびブートストラップ容量 CB の配置を示している。

30

#### 【0058】

図 10 は本発明による表示装置を実装した電子機器の一例としての携帯型情報端末の構成例を説明する斜視図である。この携帯型情報端末（PDA）はホストコンピュータ HOST やバッテリー BAT を収納し、表面にキーボード KB を備えた本体部 MB と、表示装置に液晶表示装置 LCD を用いバックライト用のインバータ INV を実装した表示部 DP で構成されている。本体部 MB には接続ケーブル L2 を介して携帯電話機 PTP が接続できるようになっており、遠隔地との間で通信が可能となっている。

40

#### 【0059】

表示部 DP の液晶表示装置 LCD とホストコンピュータ HOST との間はインターフェースケーブル L1 で接続されている。液晶表示装置 LCD は画像記憶機能を有するので、ホストコンピュータ HOST が表示装置 LCD に送るデータは、前回の表示フレームと異なる部分だけで良く、表示に変化がない時は、データを送る必要がないので、ホストコンピュータ HOST の負担が極めて軽くなる。従って、本発明の表示装置を用いた情報処理装置は低消費電力で、また小型化が容易であり、かつ高速化、多機能化が可能である。

#### 【0060】

50

なお、この携帯型情報端末の表示部 D P の一部にはペンホルダ P N H が設けてあり、ここに入力ペン P N が収納される。液晶表示装置は、キーボード K B を使用した情報の入力と入力ペン P N でタッチパネルの表面を押圧操作したり、なぞり、あるいは記入で種々の情報を入力し、あるいは液晶表示素子 P N L に表示された情報の選択、処理機能の選択、その他の各種操作を可能としてある。

#### 【0061】

なお、この種の携帯型情報端末（P D A）の形状や構造は図示したものに限るものではなく、この他に多様な形状、構造および機能を具備したもののが考えられる。また、図10の携帯電話機 P T P の表示部に使われる表示装置 L C D 2 に本発明の表示装置を用いることにより、表示素子 L C D 2 に送る表示データの情報量を少なく出来るので、電波や通信回線で送る画像データを少なくすることが出来、携帯電話機の表示部分に多階調かつ高精細の文字や図形、写真表示、さらには動画表示を行うことが出来る。

10

#### 【0062】

さらに、本発明の表示装置は、図10で説明した携帯型情報端末や携帯電話機のみならず、ディスクトップ型パソコン、ノート型パソコン、投射型液晶表示装置、その他の情報端末のモニター機器に用いることができることは言うまでもない。

20

#### 【0063】

そして、本発明の表示装置は、液晶表示装置に限るものではなく、有機 E L 表示装置やプラズマディスプレイ等のように、マトリックス形の表示装置であればどのようなものにも応用出来る。

#### 【0064】

#### 【発明の効果】

以上説明したように、本発明によれば、回路構成の簡略化と多色化が容易で、また画素電極を単純化して面積階調を実現した高開口率かつ少ない配線数で多階調のカラー表示を実現した表示装置を提供することができる。

#### 【図面の簡単な説明】

【図1】本発明の表示装置としての液晶表示装置を構成する液晶パネルの回路構成の一実施例を説明する模式図である。

【図2】図1における1ビット分の画像メモリの回路図である。

30

【図3】図2における各配線に印加される信号あるいは電圧で示す動作波形図である。

【図4】図2に示した画像メモリの回路においてノード N 2 の電位変化がノード N 1 のそれより早くなるようにする構成例の回路図である。

【図5】図5はカラー表示の階調を R が3ビット、G が3ビット、B が2ビットのデータとして256色表示とした場合のカラー1画素の表示領域におけるレイアウトの一例を説明する平面図である。

【図6】カラー表示の階調を R、G、B が各8ビットのデータとして4096色表示とした場合のカラー1画素の表示領域におけるレイアウトの一例を説明する平面図である。

【図7】本発明の表示装置としての液晶表示装置を構成する液晶パネルの回路構成の他の実施例を説明する模式図である。

【図8】図7における1ビット分の画像メモリの回路図である。

40

【図9】本発明による画素メモリの表示パネル上の具体的な配置例の説明図である。

【図10】本発明による表示装置を実装した電子機器の一例としての携帯型情報端末の構成例を説明する斜視図である。

【図11】各画素に1ビットのスタティックラムを内蔵した低温ポリシリコン薄膜トランジスタ方式の液晶表示装置を構成する液晶パネルの構成例を説明する模式図である。

【図12】図11における1ビット S R A M 画像メモリの概要を説明する回路図である。

【図13】本出願人の既提案にかかる画像メモリ回路を有する液晶表示装置の1画素の構成を説明する回路図である。

【図14】図13で説明した単位画素を組合せて面積階調画素の構成例の説明図である。

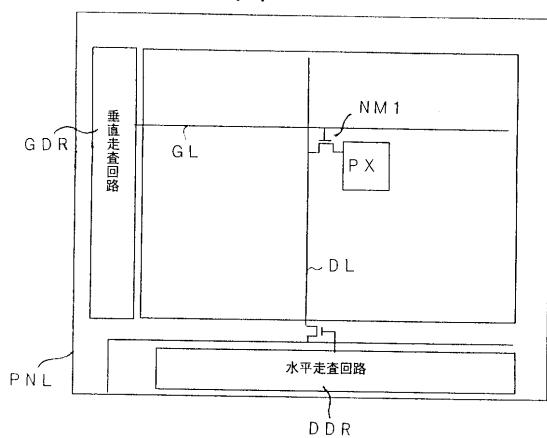
#### 【符号の説明】

50

P X . . . 単位画素（画素電極）、C X . . . カラー画素、D L . . . データ線（ドレイン線、映像信号線）、V C O M . . . コモン電、P N L . . . 薄膜トランジスタパネル（第1基板）、A R . . . 画素部（表示領域）、G D R . . . 垂直走査回路、D D R . . . 水平走査回路、R A X . . . 水平ランダムアクセス回路、R A Y . . . 垂直ランダムアクセス回路。

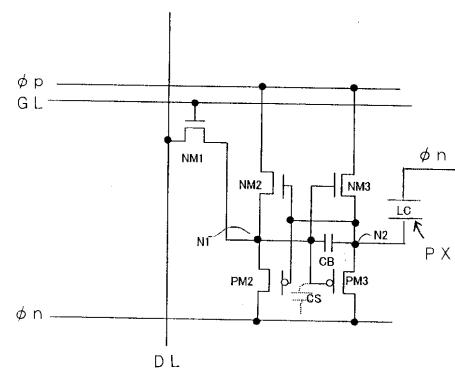
【 四 1 】

1

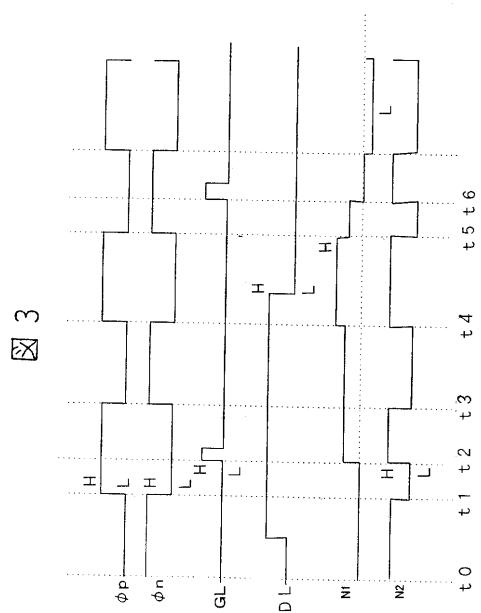


【 図 2 】

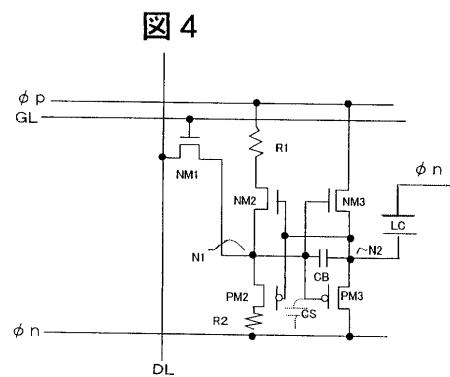
2



【図3】

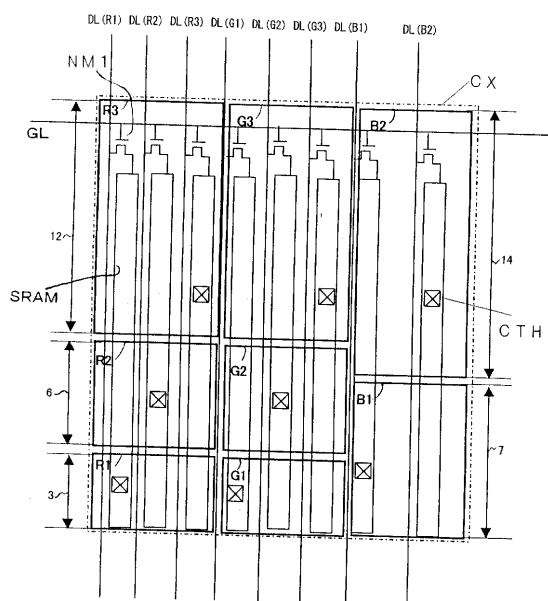


【図4】



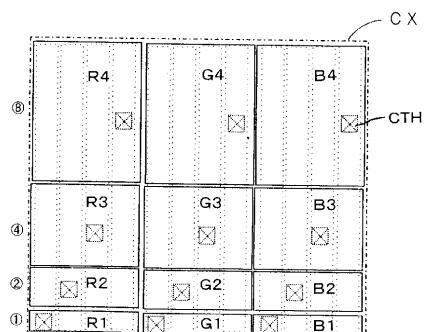
【図5】

図5

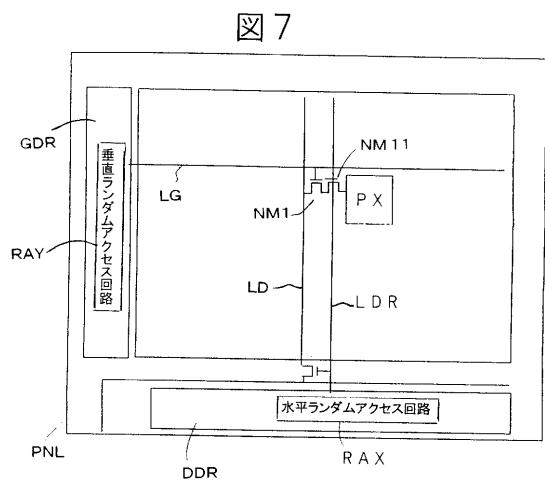


【図6】

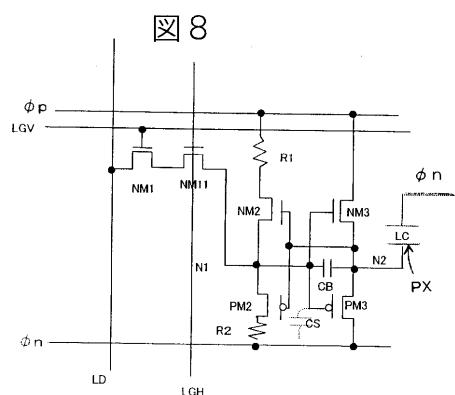
図6



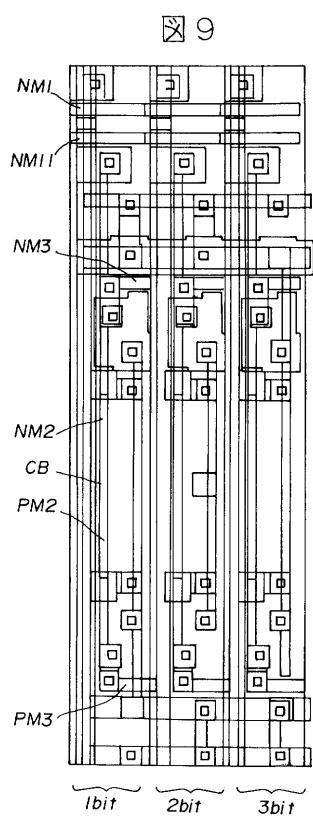
【図7】



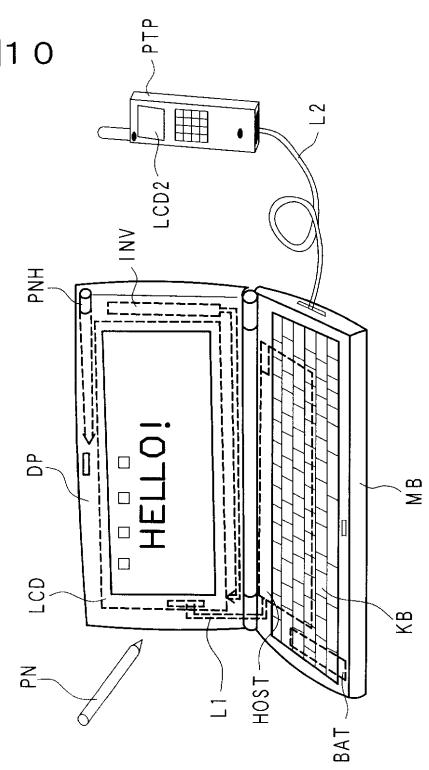
【図8】



【図9】

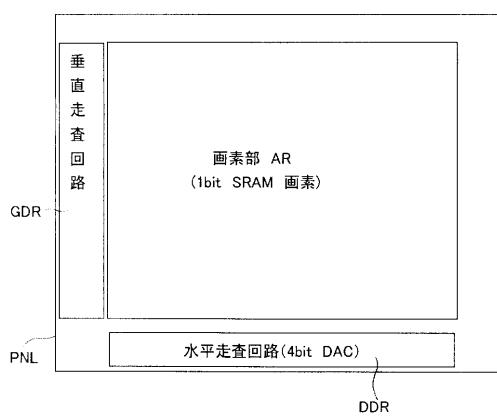


【図10】



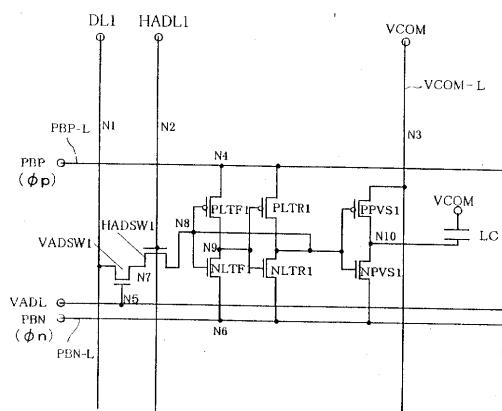
【図11】

図11



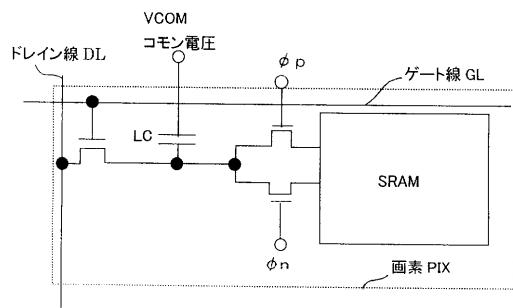
【図13】

図13



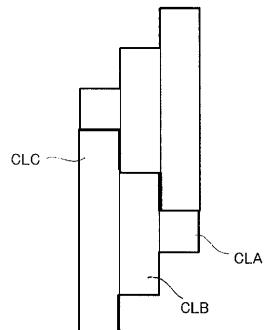
【図12】

図12



【図14】

図14



---

フロントページの続き

(51)Int.Cl.

F I

G 0 9 G	3/20	6 1 1 A
G 0 9 G	3/20	6 2 1 B
G 0 9 G	3/20	6 2 4 B
G 0 9 G	3/20	6 4 1 G

(56)参考文献 特開2001-033760(JP,A)

特開2001-356743(JP,A)

特開平07-181451(JP,A)

(58)調査した分野(Int.Cl., DB名)

G09G 3/00-3/38

G02F 1/133