(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2024-0087952
(43) 공개일자 2024년06월20일

(51) 국제특허분류(Int. Cl.)
H03F 1/56 (2006.01) *H03F 1/42* (2006.01)
H03F 3/45 (2006.01) *H03F 3/60* (2006.01)
(52) CPC특허분류
H03F 1/565 (2013.01)
H03F 1/42 (2013.01)
(21) 출원번호 10-2022-0173225
(22) 출원일자 2022년12월13일
심사청구일자 2022년12월13일

(71) 출원인
고려대학교 산학협력단
서울특별시 성북구 안암로 145, 고려대학교 (안암동5가)
(72) 발명자
이재성
서울특별시 강남구 삼성로51길 37, 111동 2505호 (대치동, 래미안 대치 팰리스(1단지))
금우용
서울특별시 동대문구 제기로4길 45, 105호(제기동, 더리빙플러스)
김도윤
경기도 수원시 영통구 매영로 366, 727동 801호 (영통동, 현대아파트)
(74) 대리인
송인호, 윤형근, 최관락

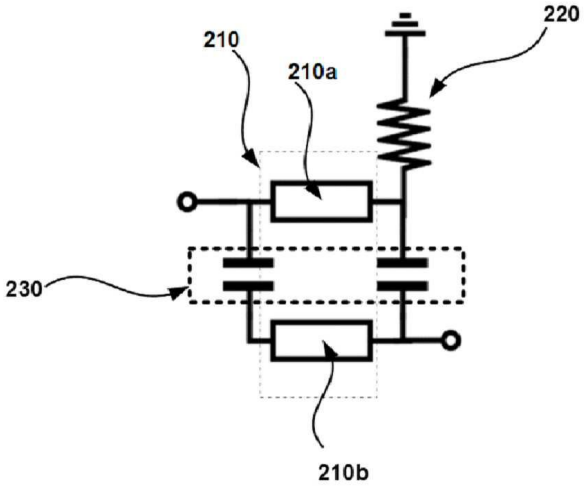
전체 청구항 수 : 총 6 항

(54) 발명의 명칭 **입출력 정합 회로 장치 및 이를 포함하는 광대역 증폭기**

(57) 요 약

입출력 정합 회로 장치 및 이를 포함하는 광대역 증폭기가 개시된다. 증폭기의 입력 단자와 출력 단자에 각각 연결되는 정합 회로 장치에 있어서, 4-포트 구조를 가지는 커플드 라인으로 구성된 커플드 라인 회로부-상기 커플드 라인은 제1 메탈 라인과 제2 메탈 라인을 포함함; 및 상기 커플드 라인의 상기 4-포트 중 통과 포트(through port)와 연결되며, 저주파수 대역에서 우수모드 임피던스를 제한하는 제1 임피던스 제한 회로부를 포함한다.

대 표 도 - 도2



(52) CPC특허분류
H03F 3/45085 (2013.01)
H03F 3/605 (2013.01)

이 발명을 지원한 국가연구개발사업

과제고유번호	1711134511
과제번호	2021-0-00938-001
부처명	과학기술정보통신부
과제관리(전문)기관명	정보통신기획평가원
연구사업명	6G핵심기술개발(R&D)
연구과제명	THz 대역 RF 핵심 부품 개발
기 여 율	1/1
과제수행기관명	한국전자통신연구원
연구기간	2022.01.01 ~ 2022.12.31

명 세 서

청구범위

청구항 1

증폭기의 입력 단자와 출력 단자에 각각 연결되는 정합 회로 장치에 있어서,

4-포트 구조를 가지는 커플드 라인으로 구성된 커플드 라인 회로부-상기 커플드 라인은 제1 메탈 라인과 제2 메탈 라인을 포함함; 및

상기 커플드 라인의 상기 4-포트 중 통과 포트(through port)와 연결되며, 저주파수 대역에서 우수모드 임피던스를 제한하는 제1 임피던스 제한 회로부를 포함하는 정합 회로 장치.

청구항 2

제1 항에 있어서,

상기 제1 임피던스 제한 회로부는 저항을 포함하되,

상기 저항은 상기 통과 포트에 연결되는 것을 특징으로 하는 정합 회로 장치.

청구항 3

제1 항에 있어서,

상기 커플드 라인 사이에 위치되며, 기수모드 임피던스를 제한하는 제2 임피던스 제한 회로부를 더 포함하는 정합 회로 장치.

청구항 4

제3 항에 있어서,

상기 제2 임피던스 제한 회로부는, 제1 커패시터와 제2 커패시터를 포함하되,

상기 제1 커패시터는 상기 4-포트 중 입력 포트와 이웃한 다른 포트 사이에 위치되며,

상기 제2 커패시터는 상기 4-포트 중 출력 포트와 이웃한 다른 포트 사이에 위치되는 것을 특징으로 하는 정합 회로 장치.

청구항 5

차동 구조를 가지는 두개의 입력 단자;

상기 두개의 입력 단자의 신호를 증폭하는 증폭 회로부;

상기 증폭 회로부에서 증폭된 신호를 출력하는 적어도 하나의 출력 단자;

4-포트 구조를 가지는 커플드 라인으로 구성되며, 상기 두개의 입력 단자와 상기 출력 단자 각각에 연결되어 입출력 임피던스를 제한하는 복수의 정합 회로부를 포함하되,

상기 복수의 정합 회로부는 각각,

상기 커플드 라인의 상기 4-포트 중 통과 포트(through port)에 연결된 저항과 상기 커플드 라인 사이에 위치되는 커패시터를 포함하는 것을 특징으로 하는 차동 증폭기.

청구항 6

제5 항에 있어서, 상기 커패시터는 각각 상기 4-포트 중 입력 포트와 이웃한 다른 포트, 출력 포트와 이웃한 다른 포트 사이에 각각 연결되는 것을 특징으로 하는 증폭기.

발명의 설명

기 술 분 야

[0001] 본 발명은 낮은 저항 특성을 갖는 커플드 라인을 가지는 입출력 정합 회로 장치 및 이를 포함하는 광대역 증폭기에 관한 것이다.

배 경 기 술

[0003] 최근 통신 시스템에서 키워드는 초고속 대용량 데이터 전송이다. 5G 통신 및 6G 통신과 같은 초고주파 통신 시스템은 넓은 대역폭을 사용하여 데이터 전송률을 높일 수 있다는 장점이 있지만, 그에 따라 넓은 동작 대역폭을 갖는 회로를 설계해야 한다는 어려움이 따른다.

[0004] 이를 모놀리식 마이크로웨이브 집적회로(MMIC, 이하 MMIC로 칭하기로 함)로 구현하기 위해서는 넓은 동작 대역폭이 필수적이다. MMIC 기반 시스템에 필요한 다양한 블록들 중에서 증폭기는 시스템의 전체 작동 대역폭을 결정하는 핵심 블록이다. 이는 일반적으로 송신기와 수신기 모두에 대해 최전방 회로이기 때문이다.

[0005] 전통적으로 분배 증폭기(DA: Distributed Amplifier) 토폴로지는 평탄한 이득과 적절한 정합 속성으로 인해 다양한 광대역 시스템 응용 분야에서 널리 사용되고 있다.

[0006] 그러나, 분배 증폭기 구조는 일반적으로 긴 전송 라인(transmission line)과 광범위한 트랜지스터 스테이지에 대한 요구 사항으로 인해 크기가 크고 전력 소모가 많기 때문에 소형 및 저전력 응용 분야에서는 적용이 어려운 단점이 있다.

[0007] 따라서 동작 대역폭을 확장하기 위한 대안으로 다양한 접근이 제안되었으나 협대역 입출력 정합 특성으로 인해 이들 기법으로 달성한 대역폭은 분배 증폭기에 미치지 못하였다.

발명의 내용

해결하려는 과제

[0009] 본 발명은 낮은 저항 특성을 갖는 커플드 라인을 가지는 입출력 정합 회로 장치 및 이를 포함하는 광대역 증폭기를 제공하기 위한 것이다.

[0010] 또한, 본 발명은 커플드 라인을 이용하여 넓은 주파수 대역에서 특성 저항을 낮추는 광대역 정합 장치 및 이를 포함하는 증폭기를 제공하기 위한 것이다.

과제의 해결 수단

[0012] 본 발명의 일 측면에 따르면 낮은 저항 특성을 갖는 커플드 라인을 가지는 입출력 정합 회로 장치 및 이를 포함하는 광대역 증폭기가 제공된다.

[0013] 본 발명의 일 실시예에 따르면, 증폭기의 입력 단자와 출력 단자에 각각 연결되는 정합 회로 장치에 있어서, 4-포트 구조를 가지는 커플드 라인으로 구성된 커플드 라인 회로부-상기 커플드 라인은 제1 메탈 라인과 제2 메탈 라인을 포함함; 및 상기 커플드 라인의 상기 4-포트 중 통과 포트(through port)와 연결되며, 저주파수 대역에서 우수모드 임피던스를 제한하는 제1 임피던스 제한 회로부를 포함하는 정합 회로 장치가 제공될 수 있다.

[0014] 상기 제1 임피던스 제한 회로부는 저항을 포함하되, 상기 저항은 상기 통과 포트에 연결될 수 있다.

[0015] 상기 커플드 라인 사이에 위치되며, 기수모드 임피던스를 제한하는 제2 임피던스 제한 회로부를 더 포함할 수 있다.

[0016] 상기 제2 임피던스 제한 회로부는, 제1 커패시터와 제2 커패시터를 포함하되, 상기 제1 커패시터는 상기 4-포트 중 입력 포트와 이웃한 다른 포트 사이에 위치되며, 상기 제2 커패시터는 상기 4-포트 중 출력 포트와 이웃한 다른 포트 사이에 위치될 수 있다.

[0018] 본 발명의 다른 실시예에 따르면, 차동 증폭기에 있어서, 차동 구조를 가지는 두개의 입력 단자; 상기 두개의 입력 단자의 신호를 증폭하는 증폭 회로부; 상기 증폭 회로부에서 증폭된 신호를 출력하는 적어도 하나의 출력 단자; 및 4-포트 구조를 가지는 커플드 라인으로 구성되며, 상기 두개의 입력 단자와 상기 출력 단자 각각에 연결되어 입출력 임피던스를 제한하는 복수의 정합 회로부를 포함하되, 상기 복수의 정합 회로부는 각각, 상기 커플드 라인의 상기 4-포트 중 통과 포트(through port)에 연결된 저항과 상기 커플드 라인 사이에 위치되는 커패시터를 포함하는 것을 특징으로 하는 차동 증폭기가 제공될 수 있다.

[0019] 상기 커패시터는 각각 상기 4-포트 중 입력 포트와 이웃한 다른 포트, 출력 포트와 이웃한 다른 포트 사이에 각각 연결될 수 있다.

발명의 효과

[0021] 본 발명의 일 실시예에 따른 낮은 저항 특성을 갖는 커플드 라인을 가지는 입출력 정합 회로 장치 및 이를 포함하는 광대역 증폭기를 제공함으로써, 넓은 주파수 대역에서 특성 저항을 낮출 수 있는 이점이 있다.

도면의 간단한 설명

[0023] 도 1은 본 발명의 일 실시예에 따른 낮은 저항 특성을 갖는 커플드 라인을 가지는 광대역 증폭기를 도시한 회로도.

도 2는 본 발명의 일 실시예에 따른 정합 회로부의 상세 구성을 도시한 도면.

도 3은 본 발명의 일 실시예에 따른 커플드 라인에 저항을 연결한 경우 임피던스 변화를 도시한 도면.

도 4는 본 발명의 일 실시예에 따른 커플드 라인에 커패시터를 연결한 경우 임피던스 변화를 도시한 도면.

도 5는 본 발명의 일 실시예에 따른 정합 회로부에 따른 임피던스 변화를 도시한 도면.

도 6은 본 발명의 일 실시예에 따른 실제 구현한 증폭기 칩을 도시한 도면.

도 7은 본 발명의 일 실시예에 따른 증폭기 측정 결과를 도시한 도면.

발명을 실시하기 위한 구체적인 내용

[0024] 본 명세서에서 사용되는 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다. 본 명세서에서, "구성된다" 또는 "포함한다" 등의 용어는 명세서상에 기재된 여러 구성 요소들, 또는 여러 단계들을 반드시 모두 포함하는 것으로 해석되지 않아야 하며, 그 중 일부 구성 요소들 또는 일부 단계들은 포함되지 않을 수도 있고, 또는 추가적인 구성 요소 또는 단계들을 더 포함할 수 있는 것으로 해석되어야 한다. 또한, 명세서에 기재된 "...부", "모듈" 등의 용어는 적어도 하나의 기능이나 동작을 처리하는 단위를 의미하며, 이는 하드웨어 또는 소프트웨어로 구현되거나 하드웨어와 소프트웨어의 결합으로 구현될 수 있다.

[0025] 이하, 첨부된 도면들을 참조하여 본 발명의 실시예를 상세히 설명한다.

[0027] 도 1은 본 발명의 일 실시예에 따른 낮은 저항 특성을 갖는 커플드 라인을 가지는 광대역 증폭기를 도시한 회로도이고, 도 2는 본 발명의 일 실시예에 따른 정합 회로부의 상세 구성을 도시한 도면이고, 도 3은 본 발명의 일

실시예에 따른 커플드 라인에 저항을 연결한 경우 임피던스 변화를 도시한 도면이고, 도 4는 본 발명의 일 실시예에 따른 커플드 라인에 커패시터를 연결한 경우 임피던스 변화를 도시한 도면이며, 도 5는 본 발명의 일 실시예에 따른 정합 회로부에 따른 임피던스 변화를 도시한 도면이고, 도 6은 본 발명의 일 실시예에 따른 실제 구현한 증폭기 칩을 도시한 도면이고, 도 7은 본 발명의 일 실시예에 따른 증폭기 측정 결과를 도시한 도면이다.

[0028] 도 1을 참조하면, 본 발명의 일 실시예에 따른 광대역 증폭기(100)는 입력 정합부(110), 증폭부(120) 및 출력 정합부(130)를 포함하여 구성된다.

[0029] 도 1에 도시된 바와 같이, 본 발명의 일 실시예에 따른 광대역 증폭기(100)는 차동 증폭기일 수 있다.

[0030] 입력 정합부(110)는 차동 증폭기 구조를 가지는 광대역 증폭기(100)의 두개의 입력 단자에 연결되어 입력 정합을 수행한다.

[0031] 증폭기(100)가 차동 증폭기 구조를 가지기 때문에, 입력 정합부(110)는 제1 입력 정합 회로부(110a)와 제2 입력 정합 회로부(110b)로 구성될 수 있다. 여기서, 제1 입력 정합 회로부(110a)는 차동 증폭기의 두개의 입력 단자 중 어느 하나와 연결되며, 제2 입력 정합 회로부(110b)는 차동 증폭기의 두개의 입력 단자 중 하나 하나와 연결된다.

[0032] 도 1에 도시된 바와 같이, 제1 입력 정합 회로부(110a)의 출력 포트는 제1 입력 단자와 연결되며, 제2 입력 정합 회로부(110b)의 출력 포트는 제2 입력 단자와 연결될 수 있다.

[0033] 제1 입력 정합 회로부(110a)와 제2 입력 정합 회로부(110b)의 구성은 동일하다. 따라서, 도 2를 참조하여 정합 회로부의 구성에 대해 상세히 설명하기로 한다.

[0034] 제1 및 제2 입력 정합 회로부(110a, 110b)는 4-포트 구조를 가지는 커플드 라인을 포함하는 커플드 라인 회로부(210), 제1 임피던스 제한 회로부(220) 및 제2 임피던스 제한 회로부(230)를 포함하여 구성된다.

[0035] 커플드 라인 회로부(210)는 4-포트 구조를 가지는 커플드 라인으로 구성된다. 즉, 커플드 라인은 메탈 라인일 수 있으며, 제1 라인(210a)과 제2 라인(210b)으로 칭하여 설명하기로 한다.

[0036] 제1 라인(210a)의 일단은 입력 포트가 연결되고, 제1 라인(210a)의 타단은 통과 포트(though port)가 연결된다.

[0037] 또한, 제1 라인(210a)과 커플링된 제2 라인(210b)의 일단은 격리 포트가 연결되고, 제2 라인(210b)의 타단은 출력 포트가 연결된다.

[0038] 따라서, 입력 신호는 제1 라인(210a)의 입력 포트를 통해 입력되어 임피던스 매칭된 후 출력 포트를 통해 증폭기의 입력 단자로 출력된다.

[0039] 제1 임피던스 제한 회로부(220)는 제1 라인(210a)의 타단에 연결된 통과 포트에 연결된다.

[0040] 여기서, 제1 임피던스 제한 회로부(220)는 저항으로 구성될 수 있다. 즉, 커플드 라인(210a, 210b)의 통과 포트에 저항이 연결될 수 있다.

[0041] 이러한, 제1 임피던스 제한 회로부(220)는 낮은 주파수 대역에서 저항성 정합(resistive matching)의 역할을 수행한다. 이로 인해, 우수모드 임피던스가 통과 포트에 연결된 저항의 2배 값으로 제한되는 효과를 가지게 된다.

[0042] 커플드 라인의 특성 저항은 수학식 1과 같이 우수모드(even mode) 임피던스와 기수모드(odd mode) 임피던스의 기하 평균을 통해 도출될 수 있다.

수학식 1

[0043] $$Z_{0coupler}(f) = \sqrt{Z_{0even}(f)Z_{0odd}(f)}$$

수학식 2

[0044] $$Z_{even} = \sqrt{\frac{L_s + L_m}{C_s}}$$

[0045] $$Z_{odd} = \sqrt{\frac{L_s - L_m}{C_s + 2C_m}}$$

[0046] 여기서, L_S 와 C_S 는 각각 커플드 라인 구조에서 단일 트랜스미션 라인의 단위 길이 인덕턴스와 커패시턴스를 나타내고, L_m 와 C_m 은 각각 두 트랜스미션 라인 사이의 상호 인덕턴스와 커패시턴스를 나타낸다.

[0047] 제1 임피던스 제한 회로부(220)와 같이 커플드 라인(210a, 210b)의 통과 포트에 저항을 연결함으로써 몇 GHz에서 수십 GHz 범위의 낮은 주파수 대역에서 저항성 정합 역할을 수행하여 저항값의 두배는 우수모드 임피던스의 상한선으로 작용할 수 있다.

[0048] 커플드 라인과 커플드 라인의 통과 포트에 저항을 연결한 경우 커플드 라인으로만 구성된 도 3의 (a)와 비교하여 도 3의 (b)에 도시된 바와 같이, 주파수 의존성이 적은 우수모드 임피던스의 주파수 의존성을 크게 낮을 수 있다.

[0049] 제2 임피던스 제한 회로부(230)는 커플드 라인 사이에 연결된다.

[0050] 보다 상세하게, 도 2에 도시된 바와 같이, 4-포트 구조의 커플드 라인에서 각 입력 포트/출력 포트와 이웃한 다른 포트 사이에 각각 커패시터를 위치시킬 수 있다. 즉, 입력 포트와 이웃한 다른 포트를 제1 커패시터로 연결하고, 출력 포트와 이웃한 다른 포트를 제2 커패시터로 각각 연결할 수 있다.

[0051] 제1 라인(210a)의 입력 포트와 이웃한 제2 라인(210b)의 격리 포트를 제1 커패시터로 연결하고, 제1 라인(210a)의 통과 포트와 이웃한 제2 라인(210b)의 출력 포트를 제2 커패시터로 연결할 수 있다.

[0052] 수학식 2에서 보여지는 바와 같이, C_m 값을 조정하면 우수모드 임피던스에 영향을 주지 않고, 기수모드 임피던스를 제어할 수 있다. C_m 값을 높이는 기본적인 방법은 커플드 라인을 서로 가깝게 만드는 것이나, 이는 제조 업체의 설계 규칙에 의해 제한되며 기수모드 임피던스를 거의 몇 또는 수십 옴으로 낮추기에 충분한 C_m 값을 제공하지 않는다.

[0053] 따라서, 본 발명의 일 실시예에서는 제2 임피던스 제한 회로부(230)와 같이, 커플드 라인의 입력 포트와 출력 포트 각각에 서로 이웃하는 다른 포트와의 사이에 커패시터를 연결하였다. 이와 같이, 연결된 커패시터는 커플드 라인의 커플링 커패시터 C_m 를 증가시키는 효과를 가진다. 따라서 우수모드 임피던스에 영향을 주지 않으며, 기수모드 임피던스를 낮출 수 있는 이점이 있다.

[0054] 도 4에 도시된 바와 같이, 커플드 라인 사이에 커패시터를 연결하여 광대역한 범위에서 기수모드 임피던스를 수십 옴에 가깝게 낮출 수 있다.

[0055] 도 5는 커플드 라인의 통과 포트에 저항을 연결하고, 커플드 라인 사이에 커패시터를 각각 연결하여 우수모드 임피던스와 기수모드 임피던스를 낮춤으로써 더 넓은 정합 특성을 얻을 수 있는 이점이 있다.

[0056] 다시 정리하면, 본 발명의 일 실시예에 따르면, 입력 정합부(110)는 차동 구조의 광대역 증폭기(100)의 두개의

입력 단자 각각에 연결되되, 4-포트 커플드 라인으로 구성되며, 커플드 라인의 4-포트 중 통과 포트에 저항을 연결하고, 커플드 라인 사이에 각각 커패시터를 연결하여 넓은 주파수 대역에서 커플드 라인의 특성 저항을 50 옴 정합시킬 수 있다.

[0057] 증폭부(120)는 입력 정합부(110)를 통과한 입력 신호를 증폭하여 출력 단자로 출력하기 위한 수단이다. 본 발명의 일 실시예에서는 증폭기가 4단으로 구성된 것을 가정하여 이를 중심으로 도시하였으나, 증폭기 구조가 반드시 4단으로 제한되는 것은 아니다.

[0058] 또한, 증폭부(120)의 일반적인 구성 및 기능은 본 발명의 주요 논지와는 무관하므로 이에 대한 상세한 설명은 생략하기로 한다.

[0059] 출력 정합부(130)는 증폭부(120)의 출력 단자에 연결되며 출력 임피던스를 정합하기 위한 수단이다. 이러한 출력 정합부(130)의 기본 구조는 입력 정합부(110)와 동일하다.

[0060] 출력 정합부(130) 또한 4-포트 구조 커플드 라인 회로부, 제1 임피던스 제한 회로부 및 제2 임피던스 제한 회로부를 가지는 점에서 동일하나, 입력 정합부(110)와 달리 출력 정합부(130)는 증폭부(120)에서 출력되는 신호를 정합시키기 위한 것으로, 출력 단자와 출력 정합부(130)의 입력 포트가 연결되는 점에서 차이가 있다.

[0061] 기본적인 구조 및 동작은 입력 정합부(110)와 동일하므로 중복되는 설명은 생략하기로 한다.

[0062] 도 6은 실제 구현한 증폭기 칩을 도시한 도면이고, 도 7은 증폭기의 측정 결과를 도시한 도면이다.

[0063] 도 7에서 보이는 바와 같이, 광대역한 정합 특성과 이득 특성을 보이는 것을 확인할 수 있다.

[0065] 이제까지 본 발명에 대하여 그 실시 예들을 중심으로 살펴보았다. 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자는 본 발명이 본 발명의 본질적인 특성에서 벗어나지 않는 범위에서 변형된 형태로 구현될 수 있음을 이해할 수 있을 것이다. 그러므로 개시된 실시 예들은 한정적인 관점이 아니라 설명적인 관점에서 고려되어야 한다. 본 발명의 범위는 전술한 설명이 아니라 특허청구범위에 나타나 있으며, 그와 동등한 범위 내에 있는 모든 차이점은 본 발명에 포함된 것으로 해석되어야 할 것이다.

부호의 설명

[0067] 100: 광대역 증폭기

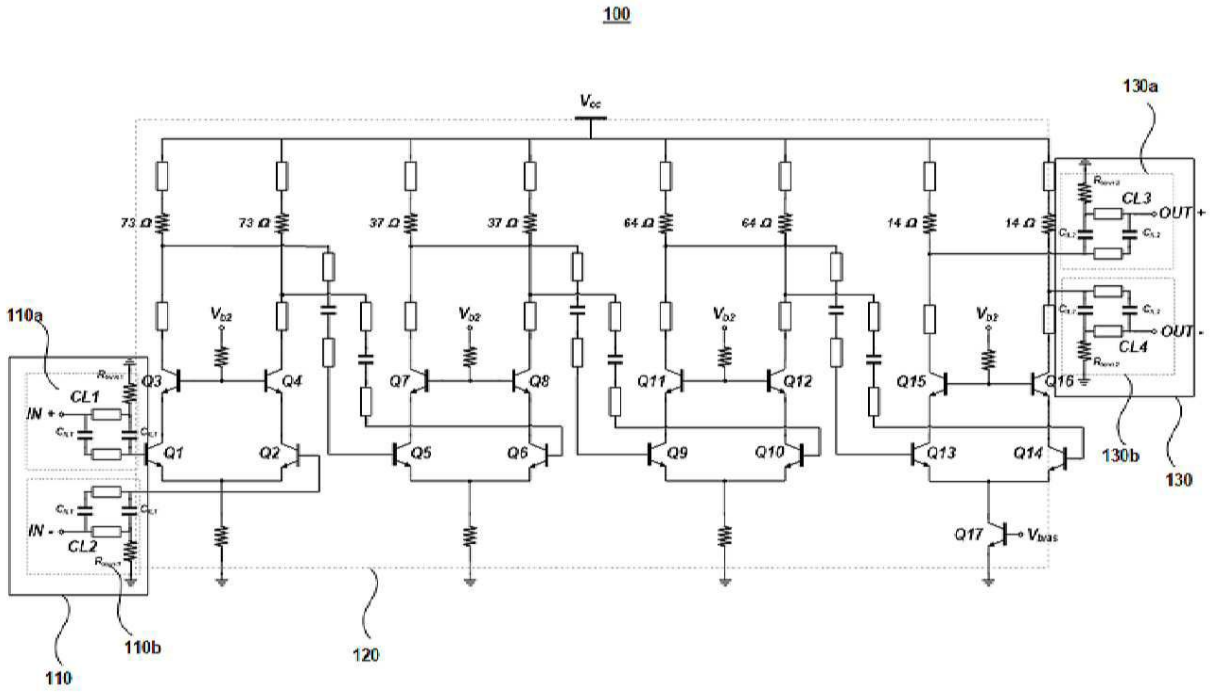
110: 입력 정합부

120: 증폭부

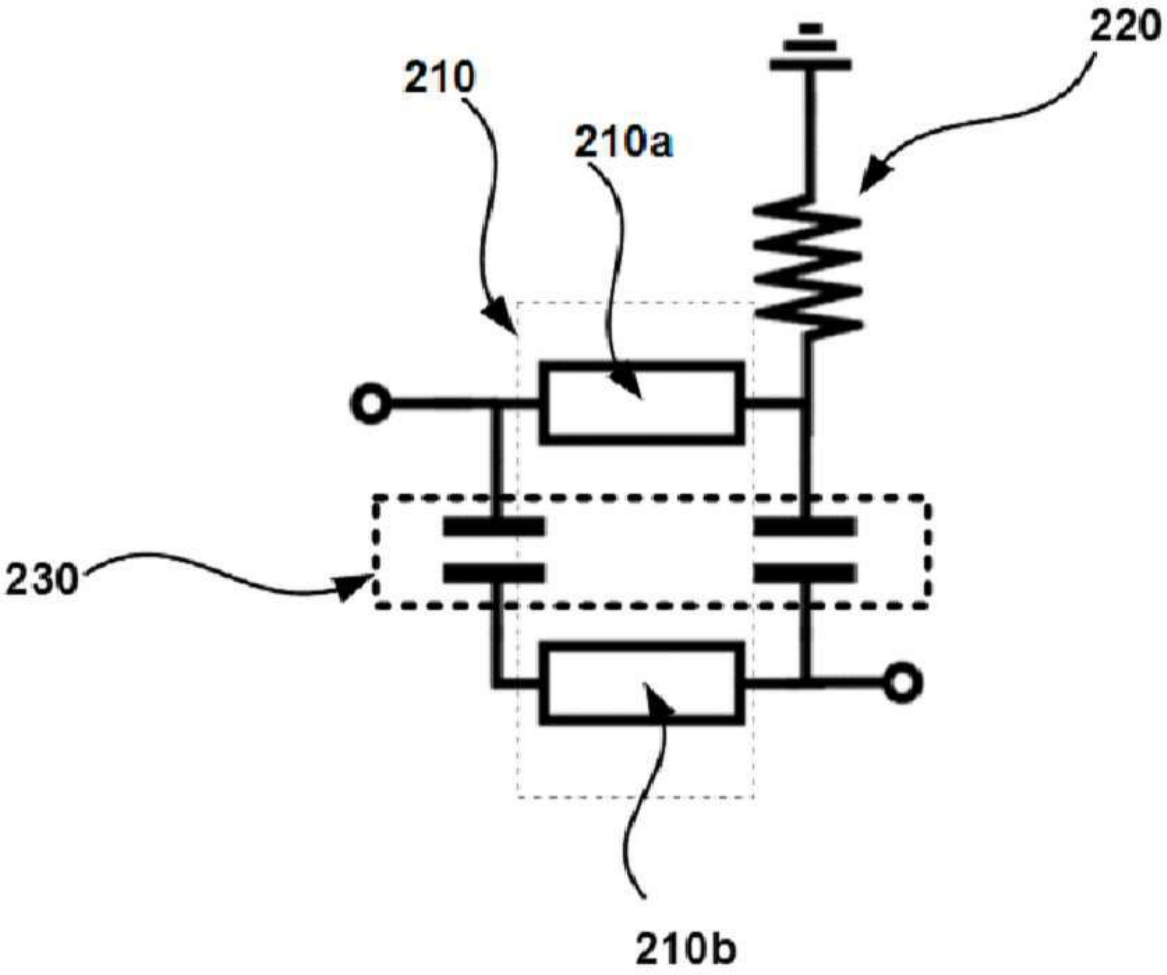
130: 출력 정합부

도면

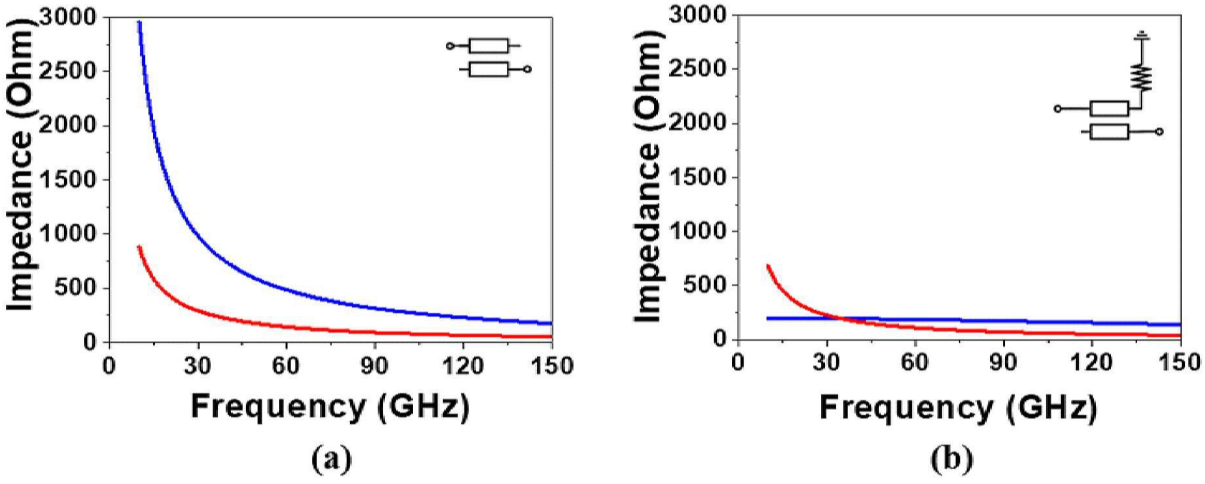
도면1


100
Vcc
130a
73 Ω
73 Ω
37 Ω
37 Ω
64 Ω
64 Ω
14 Ω
14 Ω
CL3
OUT+
CL4
OUT-
VD2
110a
CL1
IN+
CL2
IN-
Q1
Q2
Q3
Q4
Q5
Q6
Q7
Q8
Q9
Q10
Q11
Q12
Q13
Q14
Q15
Q16
Q17
Vbias
130b
130
110
110b
120

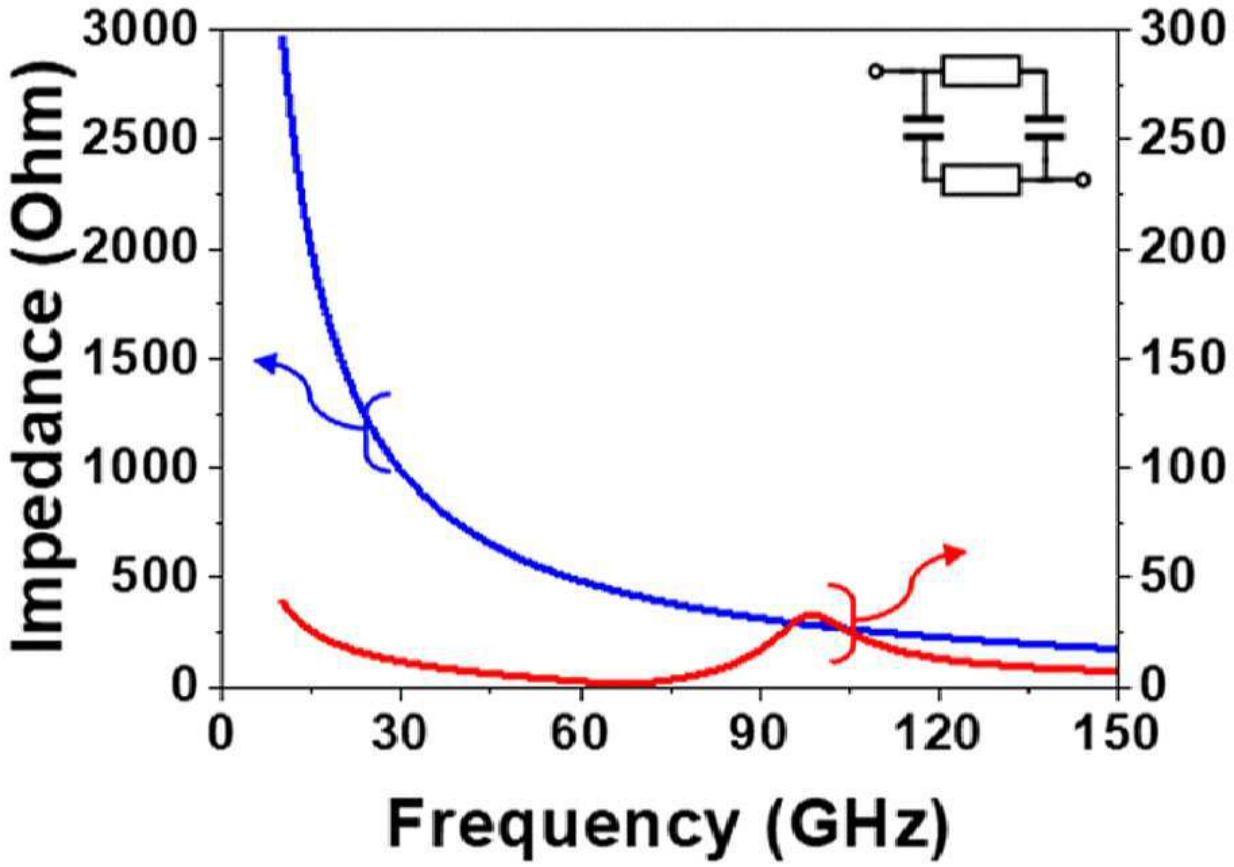
도면2


220
210
210a
230
210b

도면3

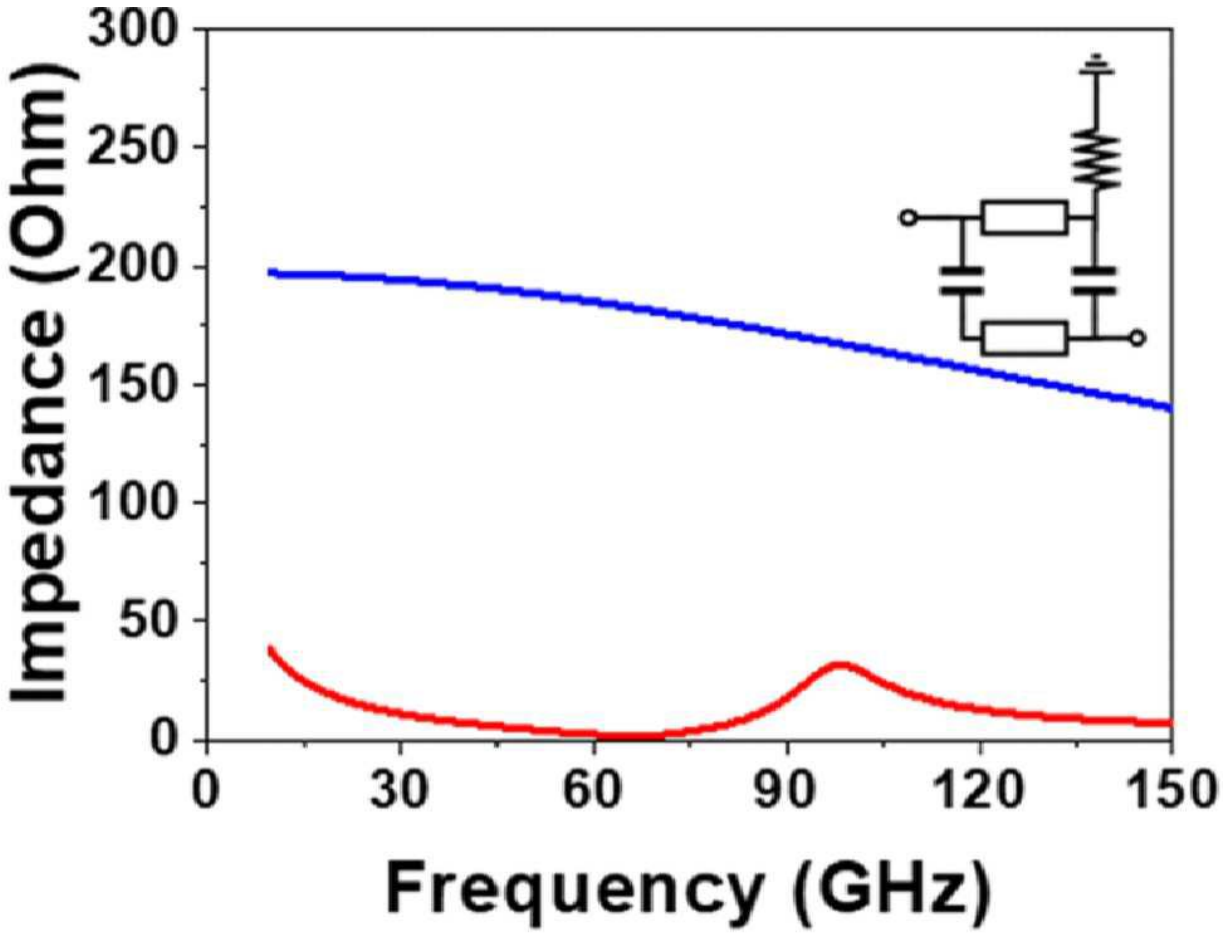

Impedance (Ohm)
3000
2500
2000
1500
1000
500
0
0
30
60
90
120
150
Frequency (GHz)
(a)
Impedance (Ohm)
3000
2500
2000
1500
1000
500
0
0
30
60
90
120
150
Frequency (GHz)
(b)

도면4

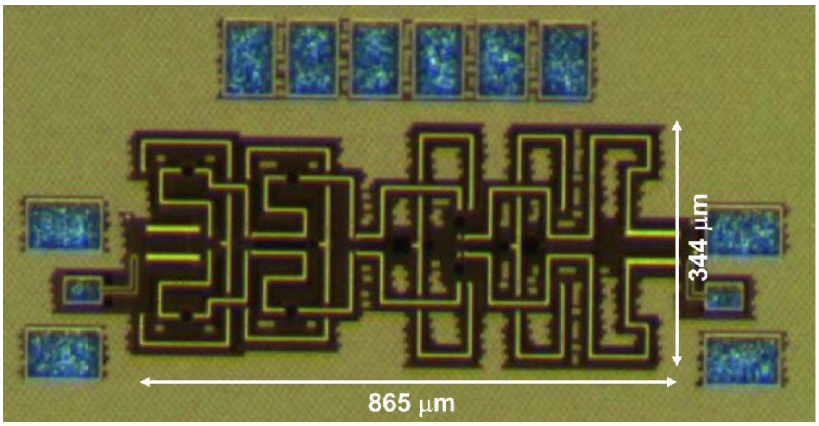

Impedance (Ohm)
3000
2500
2000
1500
1000
500
0
300
250
200
150
100
50
0
0
30
60
90
120
150
Frequency (GHz)

(c)

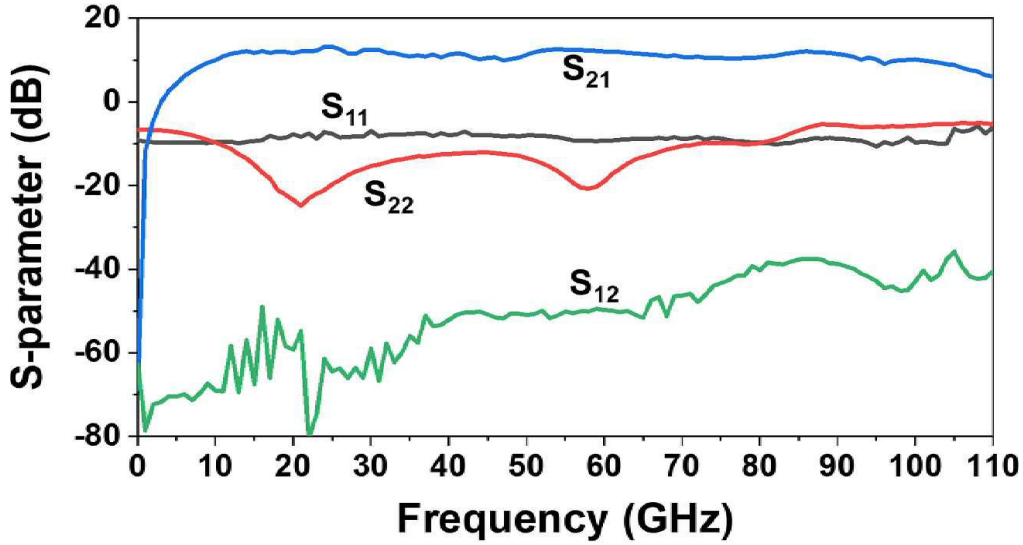
도면5


Impedance (Ohm)
300
250
200
150
100
50
0
0
30
60
90
120
150
Frequency (GHz)

도면6


344 μm
865 μm

도면7


S-parameter (dB)
Frequency (GHz)
S21
S11
S22
S12
20
0
-20
-40
-60
-80
0
10
20
30
40
50
60
70
80
90
100
110