



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2010-0080819
(43) 공개일자 2010년07월12일

- | | |
|--|--|
| <p>(51) Int. Cl.
<i>H01L 33/02</i> (2010.01)</p> <p>(21) 출원번호 10-2010-7009324</p> <p>(22) 출원일자(국제출원일자) 2008년08월27일
심사청구일자 없음</p> <p>(85) 번역문제출일자 2010년04월28일</p> <p>(86) 국제출원번호 PCT/DE2008/001424</p> <p>(87) 국제공개번호 WO 2009/039812
국제공개일자 2009년04월02일</p> <p>(30) 우선권주장
10 2007 049 772.7 2007년09월28일 독일(DE)
10 2008 021 403.5 2008년04월29일 독일(DE)</p> | <p>(71) 출원인
오스람 옵토 세미컨덕터스 게엠베하
독일 레겐스부르크 라이브니츠슈트라쎄 4 (우:93055)</p> <p>(72) 발명자
로드, 페트릭
독일, 93051 레겐스버그, 멀켈슈트라쎄 24
잉글, 칼
독일, 93051 레겐스버그, 겔트루드-본-레-포트-슈트라쎄 5
(뒷면에 계속)</p> <p>(74) 대리인
허용복</p> |
|--|--|

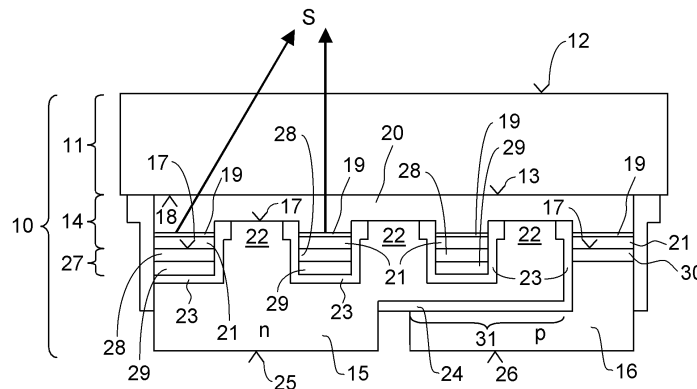
전체 청구항 수 : 총 15 항

(54) 광전 반도체 몸체

(57) 요약

광전 반도체 몸체(10)는 전자기 복사(S)의 방출을 위한 전방측(12)을 가진 기판(11)을 포함한다. 상기 광전 반도체 몸체(10)는 상기 기판(11)의 후방측(13)에 배치되며, 전자기 복사(S)의 생성에 적합한 활성층(19)을 구비한 반도체 층 시퀀스(14)를 포함한다. 또한, 광전 반도체 몸체(10)는 상기 기판(11)과 반대 방향에 위치한 상기 반도체 층 시퀀스(14)의 제1면(17)에 배치된 제 1 및 제 2 전기연결층(15, 16)을 더 포함한다.

대표도 - 도1a



(72) 발명자

슈트라스버그, 마틴

독일, 93105 테건하임, 루터슈트라쎄 1

호펠, 루츠

독일 93087 알테그로프쉬엠, 레쎅슈트라쎄 1

사바틸, 매티아스

독일, 93059 레겐스버그, 암 프로트젠베이하 21 베

특허청구의 범위

청구항 1

전자기 복사(S)를 방출하기 위한 전방측(12)을 구비한 기관(11);

상기 기관(11)의 후방측(13)에 배치되고, 상기 전자기 복사(S)를 생성하기 위한 활성층(19)을 구비하는 반도체 층 시퀀스(14); 및

상기 기관(11)과 반대 방향에 위치한 상기 반도체 층 시퀀스(14)의 제 1면(17)에 배치된 제 1 및 제 2 전기연결 층(15, 16);

을 포함하는 광전 반도체 몸체.

청구항 2

제 1항에 있어서,

상기 기관(11) 및 상기 반도체 층 시퀀스(14)는 질화물 화합물 반도체를 포함하는 광전 반도체 몸체.

청구항 3

제 2항에 있어서,

상기 기관(11)은 결정질 질화갈륨을 함유하는 광전 반도체 몸체.

청구항 4

제 1항에 있어서,

상기 기관(11')은 상기 기관(11')의 전방측에 배치된 보조 캐리어(40)를 포함하고, 상기 반도체 층 시퀀스(14)는 상기 기관(11')의 후방측(13)에 배치된 질화물 화합물 반도체를 포함하는 광전 반도체 몸체.

청구항 5

제 4항에 있어서,

상기 보조 캐리어(40)는 결정질 산화알루미늄을 함유하는 광전 반도체 몸체.

청구항 6

제 4항 또는 제 5항에 있어서,

상기 반도체 층 시퀀스(14)를 향한 상기 보조 캐리어(40)의 제 1 주요면(42)은 구조(structure)를 포함하는 광전 반도체 몸체.

청구항 7

제 4항 내지 제 6항 중 어느 한 항에 있어서,

상기 기관(11')은 상기 반도체 층 시퀀스(14)를 향한 상기 보조 캐리어(40)의 제 1 주요면(42)에 배치되는 핵생성층(70)을 포함하는 광전 반도체 몸체.

청구항 8

제 7항에 있어서,

상기 핵생성층(70)은 구조를 포함하는 광전 반도체 몸체.

청구항 9

제 4항 내지 제 8항 중 어느 한 항에 있어서,

상기 기관(11')은 상기 반도체 층 시퀀스(14)를 향한 상기 보조 캐리어(40)의 제 1 주요면(42)에 배치되거나 또는 상기 보조 캐리어(40)의 제 1 주요면(42)에 배치된 핵생성층(70)에 배치되는 버퍼층(41)을 포함하는 광전 반도체 몸체.

청구항 10

제 9항에 있어서,
상기 버퍼층(41)은 구조를 포함하는 광전 반도체 몸체.

청구항 11

제 1항 내지 제 10항 중 어느 한 항에 있어서,
상기 기관(11, 11')의 전방측(12)으로부터 방출되는 상기 전자기 복사(S)는 아웃커플링 구조(50)를 통과하여 방출되는 광전 반도체 몸체.

청구항 12

제 11항에 있어서,
상기 아웃커플링 구조(50, 50', 50'', 50''')는 마이크로렌즈(51), 회절 광학 소자(55), 광 결정(60) 또는 격자(grating)(65)를 포함하는 광전 반도체 몸체.

청구항 13

제 1항 내지 제 12항 중 어느 한 항에 있어서,
상기 활성층(19)에 의해 생성된 전자기 복사(S)의 일부를 반사하기 위해 상기 기관(11, 11')과 반대 방향에 위치한 상기 반도체 층 시퀀스(14)의 제 1 면(17)에 국부적으로 배치된 거울(27)을 포함하는 광전 반도체 몸체.

청구항 14

제 13항에 있어서,
상기 거울(27)은 적어도 하나의 리세스(22)를 구비하고, 상기 제 1 전기연결층(15)은 상기 적어도 하나의 리세스(22)에서 상기 반도체 층 시퀀스(14)에 대한 전기전도적 접촉부를 구비하는 광전 반도체 몸체.

청구항 15

제 13항 또는 제 14항에 있어서,
상기 거울(27)은 유전체층(28) 및 금속층(29)을 포함하는 광전 반도체 몸체.

명세서

기술분야

[0001] 본 발명은 광전 반도체 몸체에 관한 것이다.

[0002] 본 특허 출원은 독일 특허 출원 10 2007 049772.7 및 10 2008 021 403.5를 기초로 우선권을 주장하며, 이의 개시 내용은 참조로 포함된다.

배경기술

[0003] 일반적으로, 광전 반도체 몸체는 전자기 복사의 생성에 적합한 활성층을 포함한다. 전기 전압을 인가하기 위해, 광전 반도체 몸체는 2개의 연결부를 포함한다. 이 때, 제 1 연결부는 활성층의 제 1 측에, 제 2 연결부는 활성층의 제 2 측에 배치되는 경우가 많다. 따라서, 활성층의 제 1 측 및 제 2 측이 접촉된다.

발명의 내용

해결하려는 과제

[0004] 본 발명은 개선된 광전 반도체 몸체를 제공하는 것을 목적으로 한다.

과제의 해결 수단

[0005] 상기 목적은 특허 청구 범위 제 1항의 특징들을 가진 대상물에 의해 해결된다. 종속항은 그 개선 및 구현을 기술한다.

[0006] 일 실시예에서, 광전 반도체 몸체는 전방측 및 후방측이 있는 기관을 포함한다. 기관의 전방측은 전자기 복사를 방출하도록 제공된다. 또한, 광전 반도체 몸체는 제 1 및 제 2 전기연결층 뿐만 아니라 반도체 층 시퀀스를 더 포함한다. 반도체 층 시퀀스는 기관의 후방측에 배치된다. 반도체 층 시퀀스는 전자기 복사의 생성에 적합한 활성층을 포함한다. 제 1 및 제 2 전기연결층은 기관과 반대 방향에 위치한 반도체 층 시퀀스의 제1면에 배치된다.

[0007] 기관의 후방측은 기관의 하측일 수 있다. 기관의 하측은, 반도체 몸체의 실장 시 연결 리드를 향하는 기관의 측면일 수 있다. 기관의 전방측은 기관의 상측일 수 있다.

[0008] 반도체 층 시퀀스는 에피택시얼 방식으로 성장될 수 있다. 반도체 층 시퀀스는 기관상에 에피택시얼 방식으로 증착될 수 있다.

[0009] 두 개의 전기적 연결층들이 기관과 반대 방향인 반도체 층 시퀀스의 제1면에 위치하므로, 전자기 복사의 방출은 광전 반도체 몸체의 전방측을 통해 이루어지고, 활성층으로의 전기 에너지 공급은 광전 반도체 몸체의 후방측을 통해 이루어질 수 있다. 따라서, 두 개의 전기연결층들은 전방측을 통한 복사 아웃커플링을 방해하지 않아, 높은 아웃커플링 효율이 달성된다. 바람직하게, 기관의 전방측은 광전 반도체 몸체의 전방측을 형성한다. 그에 반해, 두 개의 전기 연결층들은 광전 반도체 몸체의 후방측을 형성할 수 있다.

[0010] 기관은 격자 정합된(lattice-matched) 기관일 수 있다. 이 때, 기관은 반도체 층 시퀀스의 결정 격자에 정합된다. 이는 기관상에서 반도체 층 시퀀스의 에피택시얼 증착을 간단하게 한다. 기관은, 특히 반도체 층 시퀀스의 제 1 층에 정합되며, 상기 제 1 층은 기관의 후방측에 증착된다.

[0011] 일 실시예에서, 반도체 몸체, 예컨대 기관 및/또는 반도체 층 시퀀스는 질화물 화합물 반도체를 포함한다. 질화물 화합물 반도체를 포함하는 것은, 반도체 몸체, 특히 기관 및/또는 반도체 층 시퀀스가 질화물-III-화합물 반도체 물질, 바람직하게 $Al_nGa_mIn_{1-n-m}N$ 을 포함하고, 이 때 $0 \leq n \leq 1$, $0 \leq m \leq 1$, $n+m \leq 1$ 임을 의미할 수 있다. 이 때, 상기 물질은 상기 수식에 따른 수학적으로 정확한 조성을 반드시 포함할 필요는 없다. 오히려, $Al_nGa_mIn_{1-n-m}N$ 물질의 특징적인 물리적 성질을 실질적으로 변경하지 않는 하나 이상의 도펀트 및 추가 구성성분을 포함할 수 있다. 그러나, 비록 이러한 구성성분이 미량의 다른 성분으로 일부 대체될 수 있다고 하더라도, 단순화를 위해 위 공식은 오직 상기 결정 격자의 필수 구성성분인 Al, Ga, In 및 N만을 포함한다.

[0012] 일 실시예에서, 기관은 제 1 질화물 화합물 반도체를 포함한다. 반도체 층 시퀀스는 제 2 질화물 화합물 반도체를 포함한다.

[0013] 일 실시예에서, 제 1 및 제 2 질화물 화합물 반도체는 서로 상이하다. 대안적인 실시예에서, 제 1 및 제 2 질화물 화합물 반도체는 동일하다. 기관과 반도체 층 시퀀스 둘 모두를 위해 질화물 화합물 반도체를 사용함으로써, 기관은 반도체 층 시퀀스에 우수하게 정합된다.

[0014] 기관은 결정질 질화갈륨(GaN)을 포함할 수 있다. 바람직하게, 기관은 질화갈륨-단결정으로 형성된다. 질화갈륨계 에피택시층이 질화갈륨을 함유한 기관에 증착됨으로써, 기관 및 반도체 층 시퀀스간의 굴절률의 비약적 변화가 낮게 유지되거나 방지될 수 있다. 기관의 후방측에서의 도파 효과(waveguide effect)는 감소되거나 방지될 수 있다. 호모에피택셜(homoepitaxial) 증착에 의해, 반도체 층 시퀀스에서 전위(dislocation)의 수가 최소화된다. 전위 밀도는 예컨대 10^7 dislocation/cm² 보다 현저히 작을 수 있다.

[0015] 대안적인 실시예에서, 기관은 보조 캐리어, 바람직하게는 결정질 보조 캐리어를 포함하고, 상기 캐리어는 기관의 전방측에, 특히 기관의 전방측에 접하여 배치된다. 반도체 층 시퀀스는 질화물 화합물 반도체를 함유한다. 바람직하게, 질화물 화합물 반도체는 상기 수식에 맞는 알루미늄인듐갈륨질화물 화합물 반도체로서 구현된다. 반도체 층 시퀀스는 기관의 후방측에 헤테로에피택셜 증착된다. 보조 캐리어는 결정질일 수 있다. 보조 캐리어는 성장 기관(growth substrate)으로 형성될 수 있다. 바람직하게, 보조 캐리어는 반도체 층 시퀀스의 질화물 화합물 반도체계 물질과 다른 물질을 함유할 수 있다. 보조 캐리어를 이용하면, 광전 반도체 몸체의 제조가 비

용 효과적일 수 있다.

- [0016] 일 실시예에서, 보조 캐리어는 결정질 산화알루미늄 Al_2O_3 을 포함한다. 바람직하게, 보조 캐리어는 산화알루미늄-단결정으로 구현된다. 산화알루미늄-단결정은 일반적으로 사파이어라고도 한다.
- [0017] 일 실시예에서, 기판의 후방측은, 보조 캐리어 및 반도체 층 시퀀스의 굴절률차에 따른 영향이 줄어들도록 구현된다. 이를 통해, 복사 수율이 더욱 증가한다.
- [0018] 일 실시예에서, 보조 캐리어의 제 1 주요면은 미리 구조화(pre-structured)된다. 보조 캐리어의 제 1 주요면은 반도체 층 시퀀스를 향하고, 기판의 전방측과 반대 방향에 있다. 이와 같이 PPS(Pre Patterned Substrate)는 반도체 층 시퀀스의 에피택셜 증착을 용이하게 할 수 있다.
- [0019] 일 실시예에서, 기판은 보조 캐리어의 제 1 주요면에 배치된, 특히 증착된 핵생성층(nucleation layer)을 포함할 수 있다. 핵생성층은 구조화된 핵생성층으로 형성될 수 있다. 구조화된 핵생성층은 5 nm 내지 10 nm의 구간에서 치수를 가진 래터럴 구조를 포함할 수 있다. 바람직하게, 구조화된 핵생성층은 5 nm 내지 10 nm의 구간에서 횡방향 및 수직방향 치수를 가진 구조를 포함한다. 상기 치수에 대한 통상적 값은 30 nm이다. 핵생성층은 금속을 함유할 수 있다. 핵생성층의 치수가 작으므로, 핵생성층에서 표면 플라즈몬(surface plasmon)이 발생할 수 있다.
- [0020] 일 실시예에서, 기판은 보조 캐리어의 제 1 주요면상에 배치, 및 특히 증착된 버퍼층을 포함한다. 버퍼층은 경우에 따라서 핵생성층상에 배치되며, 특히 증착될 수 있다. 버퍼층은 유전체층을 포함할 수 있다. 유전체층은 산화규소 또는 질화규소, 화학식으로 SiO_x 또는 SiN_x 를 함유할 수 있다. 대안적 또는 보완적으로, 버퍼층은 알루미늄갈륨질화물 및/또는 질화갈륨을 포함한다. 버퍼층은 알루미늄갈륨질화물-질화갈륨-접합, 약어로 AlGaIn-GaN-접합을 포함할 수 있다. AlGaIn-GaN 접합은 에피택시얼 증착될 수 있다. 버퍼층은 반도체 층 시퀀스에 정합된 기판의 후방측에 형성될 수 있어서, 반도체 층 시퀀스가 에피택시얼 증착될 수 있으며, 높은 복사 수율이 달성된다.
- [0021] 일 실시예에서, 버퍼층은 구조화된다. 버퍼층의 수직방향 및 횡방향 치수는 5 nm 내지 5 μ m의 구간에 있을 수 있다. 바람직하게, 버퍼층의 횡방향 및 수직방향 치수는 60 nm 내지 500 nm의 구간에 있다. 버퍼층은 거칠어진 구조를 포함할 수 있다. 거칠어진 구조는 불규칙적일 수 있다.
- [0022] 선택적으로, 버퍼층은 주기적 격자 구조로 구현된다.
- [0023] 일 실시예에서, 반도체 층 시퀀스 또는 상기 반도체 층 시퀀스의 제 1 층은 에피택시 구조화 방법을 이용하여 기판의 후방측에 증착된다. 이를 위해, 예컨대 보조 캐리어, 핵생성층 및/또는 버퍼층은 구조를 구비할 수 있다. 반도체 층 시퀀스의 제 1 층은 기판의 후방측에 배치된다. 제 1 층은 선택적으로 구조화될 수 있다. 에피택시 구조화를 이용하여, 5 nm 내지 5 μ m의 구간에서 횡방향 및 수직방향 치수를 가진 구조가 구현될 수 있다. 제 1 층은 거칠어진 구조 또는 주기적 격자 구조로 구현될 수 있다. 바람직하게, 구조의 횡방향 및/또는 수직방향 치수는 60 nm 내지 500 nm의 구간에 있다. 에피택시 구조화 방법은 구조화된 에피택시 방법 또는 선택적 에피택시 방법 또는 에피택시 과성장 방법일 수 있다. 에피택시 과성장 방법은 ELOG(Epitaxial Lateral OverGrowth)로도 알려져 있다. ELOG 방법의 경우, 기판상의 개별적인 위치에서 에피택시 증착이 시작된다. 초기에 섬(island)의 형태로 존재하는 에피택시층은 에피택시 공정이 진행되면서 하나의 단힌 에피택시층으로 구성되어, 제 1 층이 형성된다. 이 때, 에피택시층의 성장이 시작되는 위치들 간의 사이 공간이 과성장된다. 횡방향으로 과성장된 사이 공간은 구조화된 마스크층으로 형성될 수 있다. 따라서, 에피택시층은 적어도 기판측에 구조를 구비한다.
- [0024] 기판이 보조 캐리어를 포함하여 실시됨으로써, 보조 캐리어의 격자 및 반도체 층 시퀀스의 격자 간의 격자 정합이 달성된다. 따라서, 상기와 같이 이뤄지지 않은 경우 격자 정합 오류로 발생할 수 있는 전위 밀도의 레벨이 감소한다. 이와 같은 전위는 비복사성 재결합(non-radiating recombination)의 중심으로 동작할 수 있다. 전위가 방지됨으로써, 광전 반도체 몸체의 효율이 증가한다. 부가적으로, 보조 캐리어 및 반도체 층 시퀀스 사이의 굴절률차에 따른 영향이 줄어들 수 있다. 기판의 후방측은, 보조 캐리어의 굴절률이 반도체 층 시퀀스의 굴절률에 맞춰지도록 형성될 수 있다.
- [0025] 일 실시예에서, 광전 반도체 몸체는 아웃커플링 구조를 포함한다. 아웃커플링 구조는 기판의 전방측에 배치된다. 아웃커플링 구조는 기판의 전방측에 배치된 층들을 포함할 수 있다.
- [0026] 일 실시예에서, 기판은 아웃커플링 구조를 포함한다. 상기 실시예에 따르면, 아웃커플링 구조는 기판에서 구현

된다. 아웃커플링 구조에 의해 기관의 전방측으로부터 전자기 복사가 방출됨으로써, 전자기 복사의 세기의 각도 종속도(angle-dependency)가 조절될 수 있다.

- [0027] 바람직한 실시예에서, 아웃커플링 구조를 포함하는 기관을 위해 질화물 화합물 반도체, 특히 질화갈륨이 사용된다. 아웃커플링 구조를 위해 필요한 구조, 특히 리세스(recess)는 기관에서 식각될 수 있다. 질화물 화합물 반도체가 건식 화학적 식각 또는 습식 화학적 식각에 의해 간단히 구조화될 수 있으므로, 아웃커플링 구조는 기관에서 효율적으로 제조될 수 있다.
- [0028] 일 실시예에서, 광전 반도체 몸체는 거울, 특히 유전체 거울을 포함하고, 상기 거울은 기관과 반대 방향인 반도체 층 시퀀스의 제 1 면에 배치된다. 바람직하게, 거울은 반도체 층 시퀀스와 제 1 및/또는 제 2 전기연결층 사이에 적어도 국부적으로 배치된다. 상기 거울을 이용하면, 활성층으로부터 방출된 전자기 복사 비율은 기관의 전방측 방향으로 거울 반사된다. 따라서, 복사 아웃커플링이 증가한다.
- [0029] 일 실시예에서, 거울은 유전체층 및 금속층을 포함한다. 유전체층은 반도체 층 시퀀스상에 증착된다. 유전체층은 예컨대 산화규소 또는 질화규소, 화학식으로 SiO_x 또는 SiN_x 를 함유할 수 있다. 금속층은 반사체로 역할한다. 금속층은 알루미늄(Al), 은(Ag), 백금(Pt), 티타늄(Ti), 티타늄텅스텐(TiW), 질화티타늄텅스텐(TiWN) 또는 합금을 함유할 수 있다. 바람직하게는, 상기 열거한 금속 또는 금속 화합물의 합금을 함유한다.
- [0030] 일 실시예에서, 유전체층 및 금속층은 적어도 하나의 리세스를 포함하여, 제1 및/또는 제 2 전기연결층은 반도체 층 시퀀스의 층상에서 적어도 하나의 리세스에 배치된다. 따라서, 제 1 및/또는 제 2 전기연결층은 반도체 층 시퀀스에 전기 전도적으로 접촉된다. 이를 통해, 거울을 관통하는 관통 접속부가 생성된다.
- [0031] 거울의 금속층 및 유전체층 사이에 접착 촉진층(adhesion-promoting layer)이 배치될 수 있다. 접착 촉진층은 예컨대 백금, 티타늄, 티타늄텅스텐 또는 질화티타늄텅스텐과 같은 금속을 함유할 수 있다. 접착 촉진층의 두께는 5 nm이하, 바람직하게는 1 nm이하일 수 있다. 부가적으로, 티타늄텅스텐 및 질화티타늄텅스텐은 확산장벽(diffusion barrier)으로 사용될 수 있다. 백금은 반사체로도, 확산 장벽으로도 양호한 특성을 가진다.
- [0032] 일 실시예에서, 제 1 및/또는 제 2 전기연결층은 다층 구조를 포함한다.
- [0033] 일 실시예에서, 제 1 및/또는 제 2 전기연결층은 투명 전도 산화물을 포함한다. 투명 전도 산화물(TCO, Transparent Conductive Oxides) 일반적으로 산화금속과 같은 투명 전기 전도성 물질이며, 상기 산화금속은 예컨대 산화아연, 산화주석, 산화카드뮴, 산화티타늄, 산화인듐, 인듐아연산화물 또는 인듐주석산화물, 약어로 ITO가 있다. 예컨대, ZnO , SnO_2 또는 In_2O_3 과 같은 2성분 산화금속화합물 외에, 예컨대 Zn_2SnO_4 , $CdSnO_3$, $ZnSnO_3$, $MgIn_2O_4$, $GaInO_3$, $Zn_2In_2O_5$ 또는 $In_4Sn_3O_{12}$ 와 같은 3성분 산화금속화합물 또는 서로 다른 투명 전도성 산화물의 혼합물이 TCO군에 속한다. 또한, TCO는 화학량론적(stoichiometric) 조성에 반드시 부합하지 않고, p형 또는 n형 도핑될 수 있다. 바람직하게, 상기와 같은 투명 전도성 산화물은 인듐주석산화물 또는 인듐아연산화물을 포함할 수 있다. 투명 전도성 산화물을 이용하여, 제 1 및/또는 제 2 전기 연결층의 전류 확산이 달성된다.
- [0034] 광전 반도체 몸체는 발광 다이오드, 특히 박막 발광다이오드칩으로 구현될 수 있으며, 전자기 복사는 특히 가시 광일 수 있다.
- [0035] 일 실시예에서, 광전 반도체 몸체의 제조 방법은 전자기 복사의 방출을 위한 전방측, 및 후방측을 구비한 기관을 준비하는 단계를 포함한다. 반도체 층 시퀀스는 기관의 후방측에 에피택시얼 증착된다. 반도체 층 시퀀스는 전자기 복사의 생성에 적합한 활성층을 포함한다. 제1 및 제2전기 연결층은 기관과 반대 방향에 위치한 반도체 층 시퀀스의 제1면에 증착된다.
- [0036] 바람직하게는, 광전 반도체 몸체는 일 측에서 접촉될 수 있는 광전 반도체 몸체로 구현된다. 광전 반도체 몸체의 후방측으로부터 접촉되므로, 광전 반도체 몸체의 전방측에서 복사 아웃커플링이 매우 효율적이다. 광전 반도체 몸체는 플립칩(flipchip) 기술로 캐리어 몸체, 예컨대 도체판 또는 하우징 상에 배치될 수 있다.
- [0037] 이하, 본 발명은 도면에 의거한 여러 실시예들로 설명된다. 기능이나 역할이 동일한 층들, 영역들 및 구조들은 동일한 참조 번호를 가진다. 층들, 영역들 또는 구조들이 기능면에서 부합하는 한, 이후 도면의 각 해당 요소에 대해 반복 설명하지 않는다.

도면의 간단한 설명

- [0038] 도 1A 및 1B는 본 명세서에 제안된 실시예에 따른 광전 반도체 몸체의 실시예이다.
- 도 2A 내지 2D는 본 명세서에 제안된 실시예에 따른 아웃커플링 구조를 포함한 광전 반도체 몸체의 다른 실시예이다.
- 도 3A 내지 3C는 본 명세서에 제안된 실시예에 따른 구조화된 핵생성층을 포함한 광전 반도체 몸체의 실시예이다.
- 도 4A 내지 4C는 본 명세서에 제안된 실시예에 따른 구조화된 버퍼층을 포함한 광전 반도체 몸체의 실시예이다.
- 도 5A 내지 5C는 본 명세서에 제안된 실시예에 따른 구조화된 기관을 포함한 광전 반도체 몸체의 다른 실시예이다.

발명을 실시하기 위한 구체적인 내용

- [0039] 도 1A는 본 명세서에 제안된 원칙에 따른 광전 반도체 몸체의 실시예를 도시한다. 광전 반도체 몸체(10)는 전방층(12) 및 후방층(13)을 구비한 기관(11)을 포함한다. 또한, 광전 반도체 몸체(10)는 반도체 층 시퀀스(14) 뿐만 아니라 제 1 및 제 2 전기연결층(15, 16)을 포함한다. 반도체 층 시퀀스(14)는 기관(11)의 후방층(13)상에 배치된다. 반도체 층 시퀀스(14)는 제 1 및 제 2 면(17, 18)을 포함한다. 반도체 층 시퀀스(14)의 제 1 면(17)은 기관(11)과 반대 방향에 위치한다. 그에 반해, 반도체 층 시퀀스(14)의 제 2 면(18)은 기관(11)의 후방층(13)상에 배치된다. 제 1 및 제 2 전기연결층(15, 16)은 반도체 층 시퀀스(14)의 제 1 면(17)에 배치된다. 또한, 반도체 층 시퀀스(14)는 활성층(19), 적어도 하나의 n-타입 층(20) 및 적어도 하나의 p-타입 층(21)을 포함한다. 이 때, 적어도 하나의 n-타입 층(20)은 활성층(19) 및 기관(11) 사이에, 또는 활성층(19) 및 반도체 층 시퀀스(14)의 제 2 면(18) 사이에 배치된다. 적어도 하나의 p-타입 층(21)은 활성층(19) 및 반도체 층 시퀀스(14)의 제 1 면(17) 사이에 배치된다.
- [0040] 기관(11)의 후방층(13)은 기관(11)의 하측일 수 있다. 기관(11)의 하측은 반도체 몸체(10)의 실장 시 연결 리드를 향하는 기관(11)의 측일 수 있다. 기관(11)의 전방층(12)은 기관(11)의 상측일 수 있다.
- [0041] p-타입 층(21) 및 활성층(19)은 복수의 리세스들(22)을 포함한다. 리세스들(22)은 제 1 연결층(15)을 n-타입 층(20)에 연결하기 위해 고려된다. 제 1 연결층(15)은 n-타입 층(20)에 대한 복수 개의 전기 전도 접촉부들을 포함한다. 도 1A에는 n-타입 층(20)에 대한 제 1 전기연결층(15)의 3개의 접촉부들이 도시되어 있다. 또한, 제 2 전기연결층(16)은 p-타입 층(21)에 대한 접촉부를 포함한다. 리세스(22)의 측벽에, 그리고 p-타입 층(21)상의 일부에 제 1 절연층(23)이 배치된다. 제 1 전기연결층(15)은 n-타입 층(20)상에서 리세스(22)에, 그리고 제 1 절연층(23)상에 증착된다. 국부적으로, 제 1 전기연결층(15)상에 제 2 절연층(24)이 배치된다. 제 2 전기 연결층(16)은 국부적으로 제 2 절연층(24)상에, 그리고 p-타입 층(21)상에 배치된다. 제 1 연결층(15)은 반도체 층 시퀀스(14) 및 제 2 연결층(16)사이에서 영역(31)에 배치된다. 영역(31)에서 제 1 연결층(15)은 제 2 절연층(24)에 의해 제 2 연결층(16)으로부터 전기적으로 절연된다.
- [0042] 제 1 및 제 2 전기연결층(15, 16)은 제 1 및 제 2 연결면(25, 26)을 포함한다. 제 1 및 제 2 연결면(25, 26)은 대략 하나의 평면에 배치된다. 두 연결면들(25, 26)은 반도체 층 시퀀스(14)의 제 2 면(18)보다 제 1 면(17)에 더 근접 배치된다. p-타입 층(21)과 제 1 절연층(23) 사이에 거울(27)이 배치된다. 거울(27)은 유전체층(28) 및 금속층(29)을 포함한다. 유전체층(28)은 반도체 층 시퀀스(14)의 제 1 면(17)상에 국부적으로 증착된다. 금속층(29)은 다시 유전체층(28)상에 배치된다. 제 2 전기 연결층(16)은 상기 연결층이 p-타입 층(21)상에 배치된 영역에서 투명 전도성 산화물(30)을 함유한다. 투명 전도성 산화물(30)은 층으로 형성된다. 기관(11)은 결정질 질화갈륨을 함유한다. 기관(11)은 질화갈륨-단결정으로 구현된다. 반도체 층 시퀀스(14)는 질화물 화합물 반도체를 포함한다. 반도체 층 시퀀스(14)는 질화갈륨-화합물 반도체 또는 인듐갈륨질화물-화합물 반도체를 포함한다.
- [0043] 제 1 및 제 2 전기 연결층(15, 16)은 광전 반도체 몸체(10)의 후방층으로부터 접촉될 수 있다. 제 1 전기 연결층(15) 및 n-타입 층(20)뿐만 아니라, 제 2 전기 연결층(16) 및 p-타입 층(21)을 이용하여, 전기 전압이 활성층(19)에 인가된다. 활성층(19)을 경유하여 감소하는 전압은, 제 1 비율이 n-타입 층(20) 및 기관(11)을 투과하여, 기관(11)의 전방층(12)에서 방출되는 전자기 복사(S)를 생성한다. 전자기 복사의 제 2 비율은 활성층(19)으로부터 반도체 층 시퀀스(14)의 제 1 면(17)의 방향으로 방출된다. 전자기 복사의 제 2 비율의 일부는 거울(27)에 의해 반사되어, 상기 부분이 기관(11)의 전방층(12)에서 출사된다.
- [0044] n-타입 층(20)은 복수 개의 리세스들(22)을 통해 크게 증가하여 접촉되어, n-타입 층(20)에 대해 제 1 연결면(25)이 낮은 오믹값으로 연결된다. p-타입 층(21)을 관통한 관통접속부를 이용하면, 제 1 및 제 2 연결면(25,

26)은 기관(11)에 반대 방향인 광전 반도체 몸체(10)의 후방측상에 배치되어, 상기 연결면이 예컨대 하우스징과 같은 미도시된 캐리어상에 간단히 안착될 수 있다. 따라서, 복사는 하우스징을 구비한 광전 반도체 몸체(10)의 임의의 전기적 접촉에 의한 장애 없이 전방측(12)상에서 복사가 출사될 수 있으므로, 복사 수율이 증가하고, 광전 반도체 몸체(10)는 비용 효과적으로 하우스징될 수 있다. 거울(27)을 이용하여 복사 수율이 더욱 개선된다.

- [0045] 도 1B는 본 명세서에 제안된 원칙에 따른 광전 반도체 몸체의 다른 실시예를 도시한다. 반도체 층 시퀀스(14), 제 1 및 제 2 전기 연결층(15, 16), 제 1 및 제 2 절연층(23, 24), 거울(27) 및 투명 전도성 산화물(30)은 도 1A에 도시된 경우와 같이 구현된다. 도 1A에 도시된 실시예와 달리, 도 1B에 따른 광전 반도체 몸체(10)의 기관(11')은 보조 캐리어(40)를 포함한다. 보조 캐리어(40)는 기관(11)의 전방측(12)상에 배치된다. 보조 캐리어(40)는 결정질 보조 캐리어로 형성된다. 보조 캐리어(40)는 결정질 산화알루미늄을 함유한다. 또한, 기관(11')은 보조 캐리어(40) 및 기관(11')의 후방측(13) 사이에 배치된 버퍼층(41)을 포함한다. 버퍼층(41)은 아웃커플링층으로 구현될 수 있다. 버퍼층(41)은 알루미늄갈륨질화물 또는 질화갈륨을 함유한다. 버퍼층(41)은 보조 캐리어(40)의 제 1 주요면(42)상에 배치된다. 제 1 주요면(42)은 반도체 층 시퀀스(14)를 향한 보조 캐리어(40)의 주요면이다.
- [0046] 기관(11') 및 보조 캐리어(40)는 전자기 복사(S)에 대해 투명하다. 버퍼층(41)을 이용하면, 기관(11')은 반도체 층 시퀀스(14)에 정합(matched)된다. 따라서, 반도체 층 시퀀스(14) 및 기관(11') 사이의 굴절률의 비약적 변화에 따른 영향이 감소하여, 전방측(12)에서의 복사 수율이 높다. 또한, 버퍼층(41)을 이용하면 보조 캐리어(40)의 결정 격자 상수가 반도체 층 시퀀스(14)의 결정 격자 상수에 정합됨으로써, 전위 밀도(dislocation density)가 낮아지고, 이와 마찬가지로 복사 수율이 증가한다.
- [0047] 바람직하게, 보조 캐리어(40)는 산화알루미늄-단결정으로 형성된다.
- [0048] 대안적 실시예에서, 버퍼층(41)은 유전체층을 포함한다. 유전체층은 예컨대 산화규소 또는 질화규소를 함유할 수 있다.
- [0049] 도시되지 않은 대안적 실시예에서, 제 1 주요면(42)상에 버퍼층(41) 대신 핵생성층(nucleation layer)이 배치될 수 있다. 이 때, 핵생성층은 제 1 단결정면을 형성할 수 있다.
- [0050] 도시되지 않은 대안적 실시예에서, 핵생성층은 보조 캐리어(40) 및 버퍼층(41) 사이에 배치될 수 있다. 버퍼층(41)은 반도체 층 시퀀스(14)에 대한 핵생성층의 격자 정합을 용이하게 할 수 있다.
- [0051] 도 2A 내지 2D는 본 명세서에 제안된 원칙에 따른 서로 다른 아웃커플링 구조를 가진 광전 반도체 몸체에 대한 총 4 개의 실시예를 도시한다. 도 2A 내지 2D에 도시된 실시예는 도 1A 및 1B에 도시된 실시예의 개선된 형태이다. 도 2A 내지 2D에 도시된 실시예의 반도체 층 시퀀스(14), 제 1 및 제 2 전기연결층(15, 16), 제 1 및 제 2 절연층(23, 24), 거울(27) 및 투명 전도성 산화물은 도 1A 및 1B의 해당층들에 상응하여, 이하에서 상세히 설명하지 않는다.
- [0052] 도 2A 내지 2D에는, 단면도 및 기관(11)의 전방측(12) 평면도가 각각 도시되어 있다. 기관(11)은 평면도 상에서 직사각형으로 형성된다. 도 2A 내지 2D에 따르면, 기관(11)은 각각 아웃커플링 구조(50)를 포함한다. 아웃커플링 구조(50)는 기관(11)에서 형성된다.
- [0053] 도 2A에 따르면, 아웃커플링 구조(50)는 마이크로렌즈(51)로 구현된다. 마이크로렌즈(51)는 동심원선(52)에 의해 한정된다. 동심원선(52)의 직경(D)은 기관(11)의 직사각형의 제 1 측 길이(SL1)보다 작고, 제 2 측 길이(SL2)보다 작다.
- [0054] 마이크로렌즈(51)는 전자기 복사(S)를 결속시켜, 상기 전자기 복사가 높은 세기로 상기 기관(11)의 전방측(12)에 대한 수직 방향으로 출사된다. 기관(11)은 예컨대 질화물 화합물 반도체를 함유하는데, 상기과 같은 화합물 반도체에서 마이크로렌즈(51)가 낮은 기술적 소모로 식각될 수 있기 때문이다. 식각을 위해 건식 식각법이 사용된다.
- [0055] 도 2B에 따르면, 아웃커플링 구조(50')는 회절 광학 소자(DOE, Diffractive Optical Element)(55)를 포함한다. 회절 광학 소자(55)는 기관(11)에서 구현된다. 회절 광학 소자(55)는 마이크로렌즈(56)를 포함하고, 상기 마이크로렌즈 둘레에 복수 개의 선들(57)이 배치된다. 마이크로렌즈(56)는 타원형 테두리(58)를 포함한다. 그에 상응하여, 선들(57)은 마이크로렌즈(56)의 둘레에 타원형으로 구현된다. 선들(57)은 삼각형 단면을 가진다.
- [0056] 회절 광학 소자(55)를 이용하면, 실질적으로 평평한 구조가 구현되며, 상기 평면 구조는 전자기 복사(S)를 기관

(11)에 대한 수직 방향으로 결속시킨다.

- [0057] 도 2C에 따르면, 아웃커플링 구조(50'')는 광 결정(PhC, Photonic Crystal)(60)으로 구현된다. 광 결정(60)은 기관(11)에서 형성된다. 이를 위해, 전방측(12)에서 리세스들(61)이 기관(11)안으로 식각된다. 리세스들(61)은 평면도상에서 동심원형으로 형성된다. 리세스들(61)은 규칙적으로 배치된다. 도 2C에 도시된 실시예에 따르면, 광 결정은 4×4 리세스들(61)의 배열을 포함한다.
- [0058] 도 2D에 따르면, 아웃커플링 구조(50''')는 격자(65)로 구현된다. 이를 위해, 스트립형 리세스들(66)이 기관(11)안으로 식각된다. 스트립형 리세스(66)는 평면도 상에서 직사각형으로 형성된다. 스트립형 리세스(66)는 서로 평행하게 배치된다. 격자(65)는 기관(11)에서 형성된다.
- [0059] 따라서, 격자(65)를 이용하면, 전자기 복사(S)의 방향 종속성(direction-dependency)이 발생할 수 있다.
- [0060] 또는, 기관은 각각의 아웃커플링 구조(50)를 가진 보조 캐리어(40)를 포함할 수 있다. 상기 실시예에 따르면, 아웃커플링 구조(50)는 보조 캐리어(40)에서 형성된다.
- [0061] 도 3A 내지 3C, 4A 내지 4C, 5A 내지 5C는 본 명세서에 제안된 원칙에 따른 에피택시 구조화된 광전 반도체 몸체의 여러 실시예를 도시한다. 도면에 도시된 실시예는 도 1B에 도시된 실시예의 개선된 형태이다. 기관(11')은 보조 캐리어(40)를 포함한다. 또한, 광전 반도체 몸체(10)는 도 1A 및 1B에 상응하는 반도체 층 시퀀스(14), 제 1 및 제 2 전기연결층(15, 16), 거울(27), 제 1 및 제 2 절연층(23, 24) 및 투명 전도성 산화물(30)을 포함한다. 제 1 및 제 2 전기연결층(15, 16), 거울(27), 제 1 및 제 2 절연층(23, 24), 및 투명 전도성 산화물(30)은 개관적인 이유로 도 3A 내지 3C, 4A 내지 4C, 5A 내지 5C에 도시되지 않으며, 이미 도 1A에 의거하여 상세히 설명된 바 있다.
- [0062] 도 3A는 본 명세서에 제안된 실시예에 따른 광전 반도체 몸체의 실시예를 도시하며, 기관(11')은 핵생성층(70)을 포함한다. 핵생성층(70)은 보조 캐리어(40)의 제 1 주요면(42)상에 배치된다. 따라서, 핵생성층(70)은 보조 캐리어(40) 및 반도체 층 시퀀스(14) 사이에 배치된다. 핵생성층(70)은 리세스(71)로 형성된 구조를 포함한다. 리세스(71)는 핵생성층(70)의 구조화를 달성하고, 구조화된 에피택시를 수행하기 위해 역할한다. 반도체 층 시퀀스(14)는 핵생성층(70)상에, 그리고 상기 핵생성층(70)이 제거된 보조 캐리어(40)상의 위치에 증착된다. 핵생성층(70)의 두께는 1 nm 내지 1 μm 이다. 핵생성층(70)의 통상적 두께는 25 nm이다. 핵생성층(70)은 증식층(accretion layer)이라고도 할 수 있다. 핵생성층(70)은 화합물 반도체를 포함한다. 화합물 반도체는 질화물 화합물 반도체이다. 화합물 반도체는 예컨대 질화갈륨 또는 질화알루미늄일 수 있다. 핵생성층(70)은 거친 표면을 포함할 수 있다.
- [0063] 도 3A에 도시된 단면을 형성하기 위해, 핵생성층(70)은 보조 캐리어(40)상에 증착된다. 이어서, 포토리소그라피 단계 및 식각 단계에서 핵생성층(70)이 구조화된다. 이후, 반도체 층 시퀀스(14)의 에피택시얼 증착이 이루어진다. 핵생성층(70)은 보조 캐리어(40)상에서의 반도체 층 시퀀스(14) 성장을 용이하게 한다.
- [0064] 도 3B는 광전 반도체 몸체의 대안적 실시예이다. 도 3A와 달리, 기관(11')은 부가적으로 버퍼층(41)을 포함한다. 버퍼층(41)은 도 3A에 도시된 구조화된 핵생성층(70)상에서 또는 핵생성층(70)이 제거된 보조 캐리어(40)상의 위치에 증착된다. 반도체 층 시퀀스(14)가 다시 버퍼층(41)상에 배치된다. 상기 실시예에 따르면, 구조화된 핵생성층(70) 및 버퍼층(41)은 보조 캐리어(40) 및 반도체 층 시퀀스(14) 사이의 격자 정합 역할을 한다. 핵생성층(70)의 구조화에 의해, 반도체 층 시퀀스(14) 및 보조 캐리어(40)사이의 접합에서 도파 효과가 감소한다.
- [0065] 도 3B에 도시된 단면을 형성하기 위해, 핵생성층(70)은 보조 캐리어(40)상에 증착된다. 이어서, 포토리소그라피 단계 및 식각 단계에서, 핵생성층(70)이 구조화된다. 이후, 버퍼층(41) 및 그 이후 반도체 층 시퀀스(14)가 에피택시얼 증착된다.
- [0066] 도 3C는 도 3A 및 3B에 도시된 광전 반도체 몸체의 단면에 대한 실시예이다. 도 3C에는, 핵생성층(70)의 단면도가 도시되어 있다. 핵생성층(70)은 동심원형 리세스(71)를 포함한다. 리세스(71)의 직경(D')은 10 nm 내지 3 μm 이다. 리세스(71)의 통상적 직경(D')은 2 μm이다. 리세스(71)로부터 그 다음 순서의 리세스(71)로의 간격(A')는 20 nm 내지 10 μm의 값을 가질 수 있다. 통상적 간격값(A')은 5 μm이다. 리세스(71)의 테두리와 인접한 리세스(71)의 인접 테두리간의 간격은 간격(pitch)(A')라고 한다.
- [0067] 대안적 실시예에서, 리세스(71)는 육각 구조 또는 다른 기하학적 구조를 포함한다.
- [0068] 도 4A는 구조화된 버퍼층(41)을 포함하며 본 명세서에 제안된 원칙에 따른 광전 반도체 몸체의 실시예이다. 버

퍼층(41)은 보조 캐리어(40)의 제 1 주요면(42)상에 배치된다. 버퍼층(41)은 리세스(72)로 형성된 구조를 포함한다. 리세스(72)는 버퍼층(41)의 구조화를 달성하고, 구조화된 에피택시를 수행하기 위한 역할을 한다. 반도체 층 시퀀스(14)는 버퍼층(41)상에, 그리고 상기 버퍼층(41)이 제거된 보조 캐리어(40)상의 위치에 증착된다.

- [0069] 도 4A에 도시된 단면을 형성하기 위해, 버퍼층(41)은 보조 캐리어(40)상에 증착된다. 포토리소그래피- 및 식각 단계에서, 버퍼층(41)은 리세스(72)가 형성되도록 구조화된다. 이어서, 반도체 층 시퀀스(14)가 에피택시얼 증착된다. 버퍼층(41)의 두께는 0.5 μm 내지 8 μm 의 값을 가진다. 버퍼층(41)의 통상적 두께값은 3 μm 이다.
- [0070] 도 4B는 광전 반도체 몸체의 실시예로, 도 4A에 도시된 실시예의 발전형이다. 도 4B에 따르면, 기관(11')은 핵생성층(70)을 더 포함한다. 핵생성층(70)은 보조 캐리어(40)의 제 1 주요면(42)상에 증착된다. 따라서, 핵생성층(70)은 보조 캐리어(40) 및 버퍼층(41) 사이에 위치한다. 반도체 층 시퀀스(14)는 다시 버퍼층(41)상에 또는 상기 버퍼층(41)이 제거된 핵생성층(70)상의 위치에 증착된다.
- [0071] 도 4B에 도시된 단면을 구현하기 위해, 핵생성층(70)은 보조 캐리어(40)상에 증착되고, 이후 버퍼층(41)이 상기 핵생성층(70)상에 증착된다. 버퍼층(41)의 증착 공정은 에피택시얼로 이루어진다. 이어서, 버퍼층(41)은 포토리소그래피 단계 및 식각 단계에서 리세스(72)가 제조되도록 구조화된다. 이후, 반도체 층 시퀀스(14)가 에피택시얼 증착된다.
- [0072] 도 4C는 도 4A 또는 도 4B에 도시된 광전 반도체 몸체의 단면을 도시한다. 도 4C에는 버퍼층(41)의 단면도가 도시되어 있다. 버퍼층(41)은 동심원형 리세스(72)를 포함한다. 리세스(72)의 직경(D'')은 80 nm 내지 3 μm 의 값을 가진다. 통상적 직경값(D'')은 2 μm 이다. 2개의 리세스들 사이의 간격(A'')은 120 nm 내지 10 μm 의 값을 가진다. 통상적인 간격값(A'')은 5 μm 이다.
- [0073] 도 5A는 구조화된 기관을 포함하며 본 명세서에 제안된 원칙에 따른 광전 반도체 몸체의 실시예이다. 이 때, 기관(11')의 보조 캐리어(40)는 리세스(73)로 형성된 구조를 포함한다. 보조 캐리어(40)는 제1주요면(42)에서 리세스(73)를 포함한다. 리세스(73)의 깊이는 10 nm 내지 2 μm 이다. 리세스(73)의 통상적인 깊이 값은 500 nm이다. 리세스(73)는 보조 캐리어(40)의 구조화를 달성하고, 그로 인해 구조화된 에피택시를 수행하는 역할을 한다. 보조 캐리어(40)상에 반도체 층 시퀀스(14)가 증착된다. 도 5A에 도시된 단면을 형성하기 위해, 보조 캐리어(41)는 포토리소그래피 단계 및 식각 단계에서 구조화된다. 이후, 반도체 층 시퀀스(14)가 증착된다.
- [0074] 도 5B는 광전 반도체 몸체의 대안적 실시예로, 도 5A에 도시된 실시예의 발전형이다. 도 5B에 따르면, 기관(11')은 구조화된 보조 캐리어(40), 핵생성층(70), 및 버퍼층(41)을 포함한다. 이 때, 보조 캐리어(40)상에 핵생성층(70)이, 상기 핵생성층(70)상에 버퍼층이 배치된다.
- [0075] 도 5B에 도시된 단면을 구현하기 위해, 보조 캐리어(40)는 포토리소그래피 단계 및 식각 단계를 이용하여 리세스(73)가 제조되도록 구조화된다. 이어서, 핵생성층(70)은 에피택시 설비에서 보조 캐리어(40)상에 증착된다. 이후, 버퍼층(41)은 핵생성층(70)상에, 그리고 상기 버퍼층(41)상에 반도체 층 시퀀스(14)가 에피택시얼 증착된다. 위 방법의 실시예에서, 진공 상태가 중단되지 않고, 핵생성층(70), 버퍼층(41), 반도체 층 시퀀스(14)의 증착이 이루어질 수 있어서, 층들의 품질이 높게 얻어진다.
- [0076] 미도시된 대안적 실시예에서, 핵생성층(70)이 생략될 수 있어서 버퍼층(41)은 보조 캐리어(40)상에 직접 증착된다.
- [0077] 도 5C는 도 5A 또는 5B에 도시된 광전 반도체 몸체의 단면 실시예이다. 보조 캐리어(40)의 단면도가 도시되어 있다. 보조 캐리어(40)는 동심원형 리세스(73)를 포함한다. 리세스(73)의 직경(D''')은 80 nm 내지 3 μm 이다. 통상적 직경값(D''')은 2 μm 이다. 2개의 리세스(73)사이의 간격(A''')은 120 nm 내지 10 μm 의 값을 가진다. 통상적인 간격값(A''')은 5 μm 이다.
- [0078] 대안적 실시예에서, 리세스(73)는 육각 구조 또는 다른 기하학적 구조를 포함한다.
- [0079] 도 3A 내지 3C, 4A 내지 4C, 5A 내지 5C에 따르면, 핵생성층(70) 또는 버퍼층(41) 또는 보조 캐리어(40)의 구조화에 의해 상기 보조 캐리어(40) 및 반도체 층 시퀀스(14)간의 도파 효과가 감소된다. 핵생성층(70) 및/또는 버퍼층(41)은 보조 캐리어(40) 및 반도체 층 시퀀스(14)간의 격자 맞춤을 용이하게 한다. 핵생성층(70)의 리세스(71) 또는 버퍼층(41)의 리세스(72) 또는 보조 캐리어(40)의 리세스는 반도체 층 시퀀스(14)로부터 에피택시얼 과성장된다.
- [0080] 핵생성층(70)의 증착은 에피택시 설비에서 수행될 수 있다. 마찬가지로, 버퍼층(41)의 증착도 에피택시 설비에

서 수행될 수 있다.

[0081] 핵생성층(70), 버퍼층(41) 또는 보조 캐리어(40)의 구조화를 이용하여, 광 결정 효과가 얻어질 수 있다.

[0082] 본 발명은 상술한 실시예들의 기재에 의해 한정되지 않는다. 오히려, 본 발명은 각각의 새로운 특징 및 특징들의 각 조합을 포함하고, 이는 비록 이러한 조합 또는 이러한 조합이 그 자체로 명백하게 특허 청구 범위 또는 실시예들에 제공되지 않더라도, 특히 특허 청구범위에서의 특징들의 각 조합을 포함한다.

부호의 설명

[0083] 10: 광전 반도체 몸체

11: 기판

14: 반도체 층 시퀀스

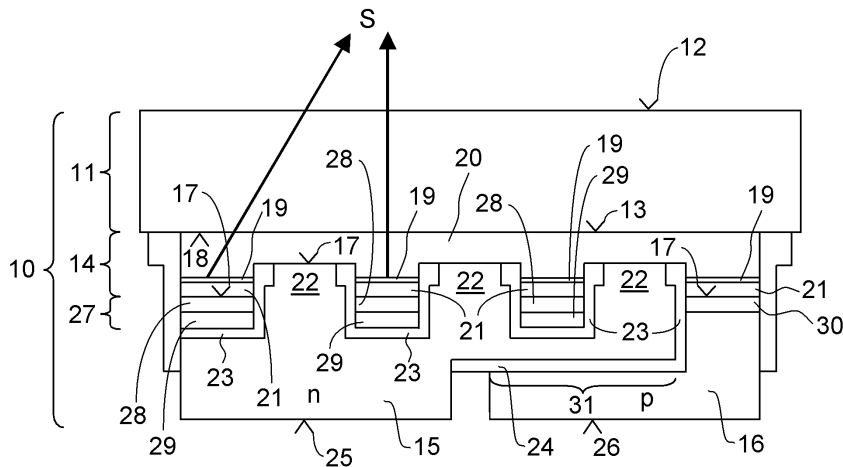
15, 16: 제 1 및 제 2 전기연결층

19: 활성층

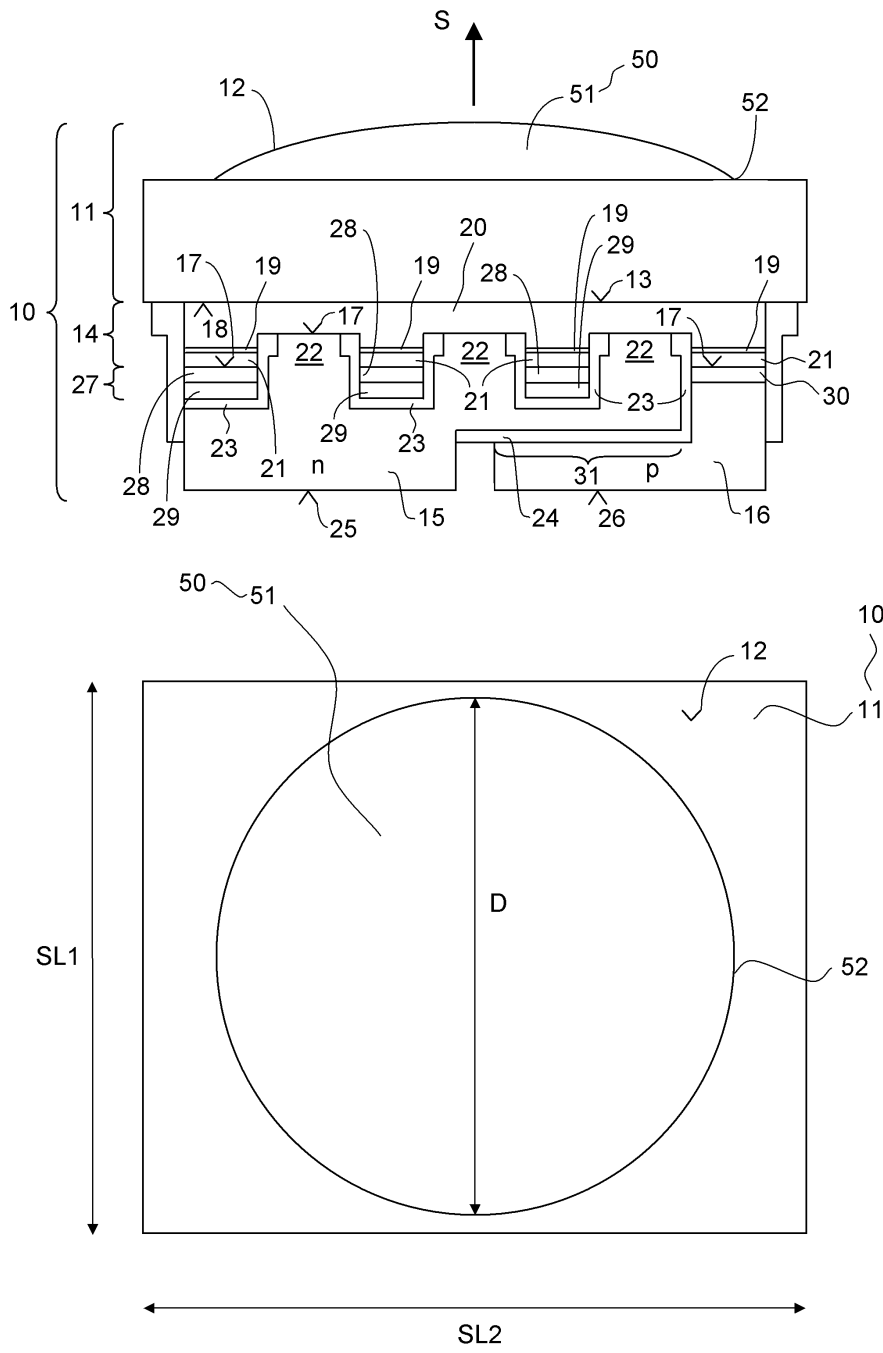
S: 전자기 복사

도면

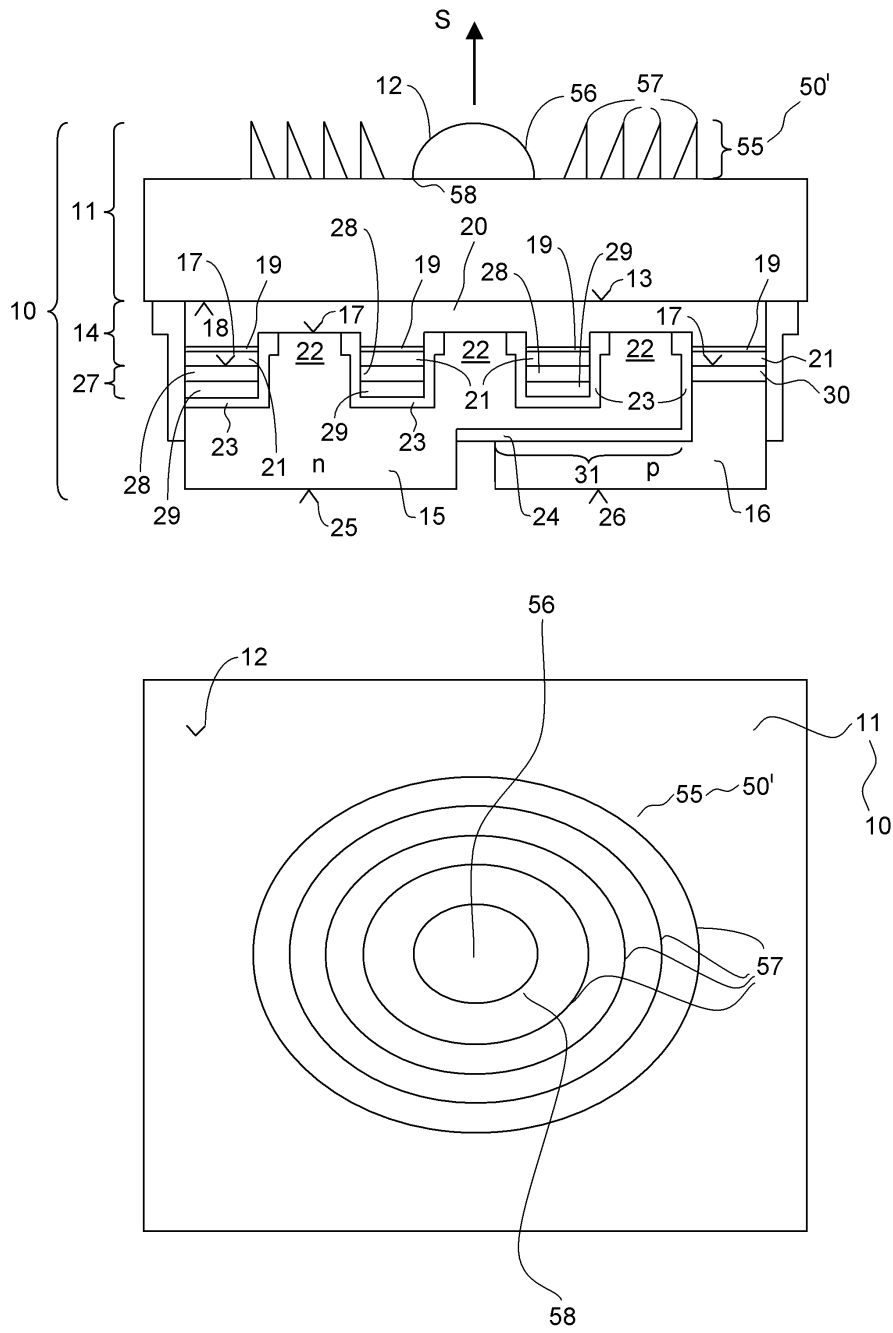
도면1a



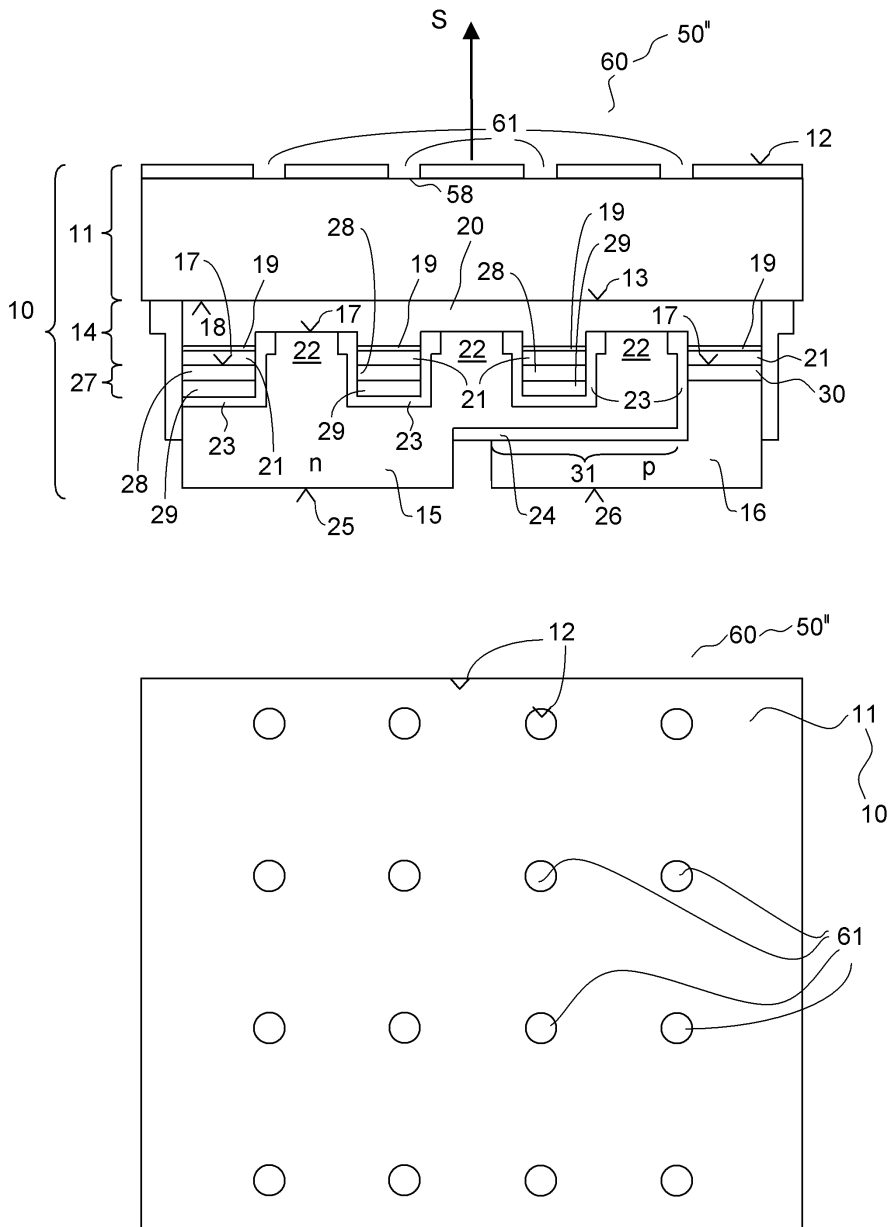
도면2a



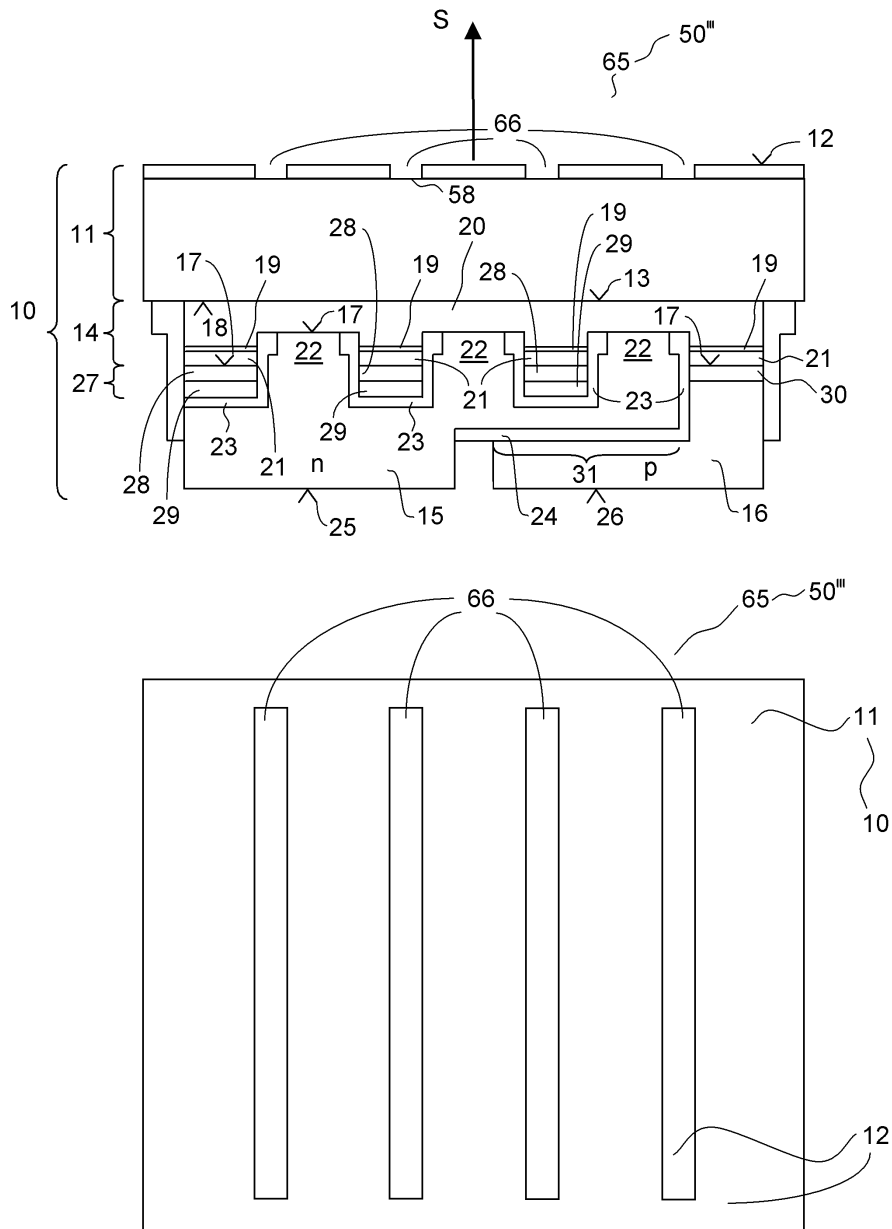
도면2b



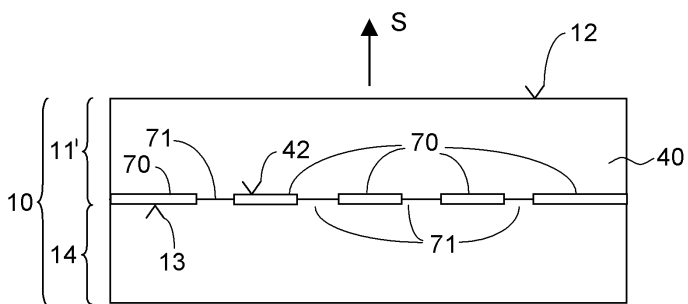
도면2c



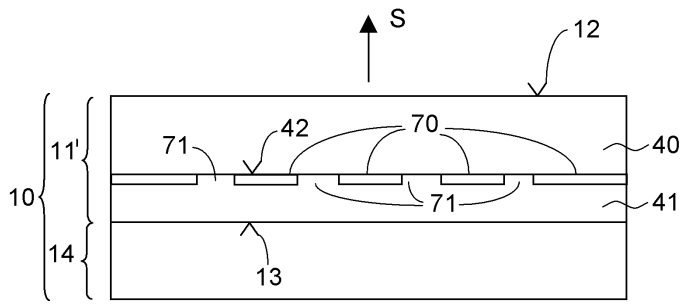
도면2d



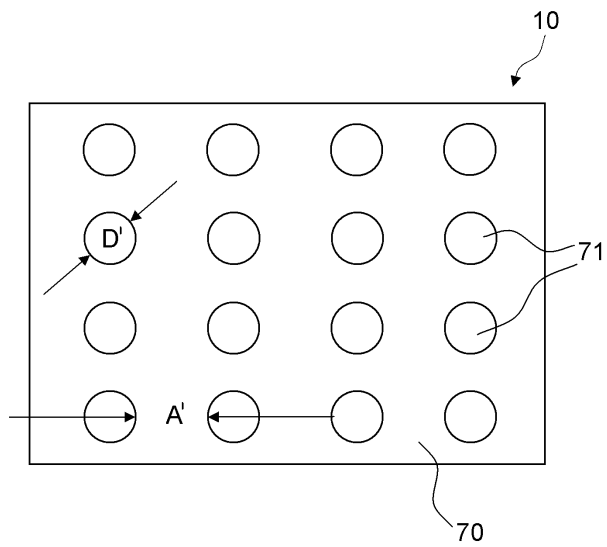
도면3a



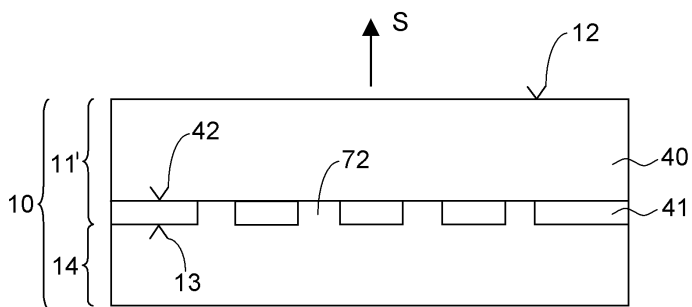
도면3b



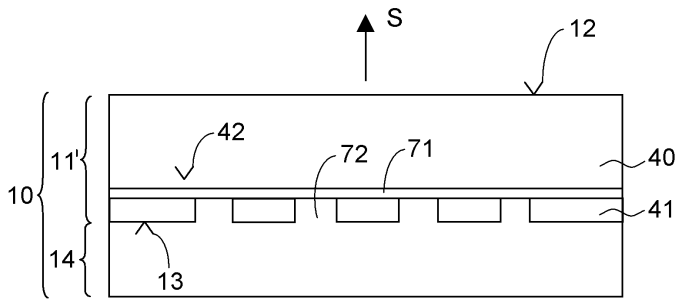
도면3c



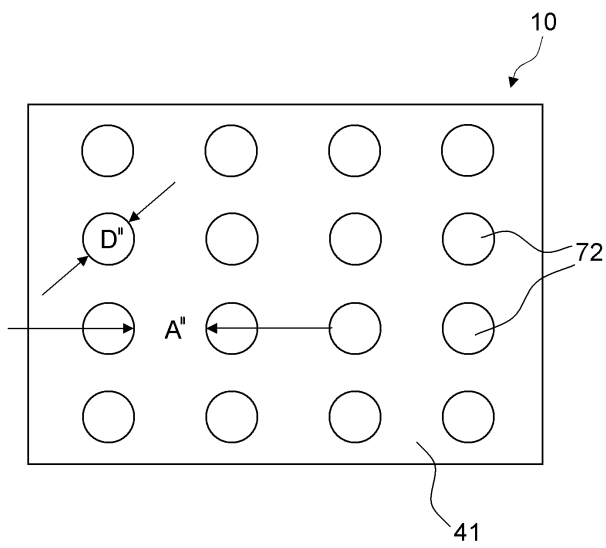
도면4a



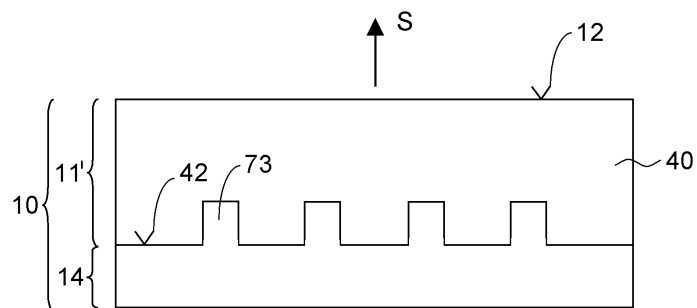
도면4b



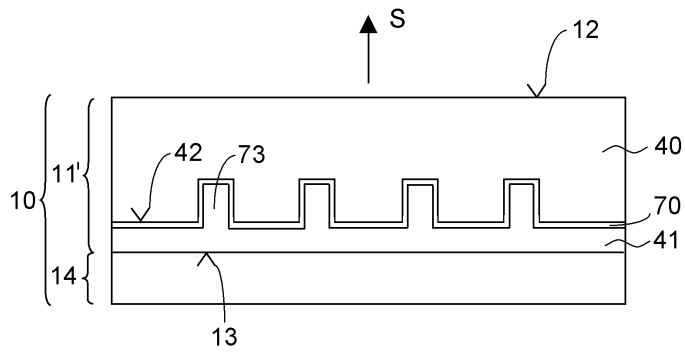
도면4c



도면5a



도면5b



도면5c

