



(19) RU⁽¹¹⁾ 2 062 511⁽¹³⁾ C1
(51) МПК⁶ G 11 C 19/00, 29/00

РОССИЙСКОЕ АГЕНТСТВО
ПО ПАТЕНТАМ И ТОВАРНЫМ ЗНАКАМ

(12) ОПИСАНИЕ ИЗОБРЕТЕНИЯ К ПАТЕНТУ РОССИЙСКОЙ ФЕДЕРАЦИИ

(21), (22) Заявка: 4904732/09, 22.01.1991

(46) Дата публикации: 20.06.1996

(56) Ссылки: Авторское свидетельство СССР
N1332381, кл. G 11 C 19/00, 1987.
Микропроцессорные средства и системы.- N3,
1986, с. 10 - 11.

(71) Заявитель:

Научно-производственное объединение
"Интеграл" (ВУ)

(72) Изобретатель: Подрубный Олег

Владимирович[ВУ],
Лозицкий Юрий Андреевич[ВУ], Семашко
Александр Николаевич[ВУ], Чернуха Борис
Николаевич[ВУ]

(73) Патентообладатель:

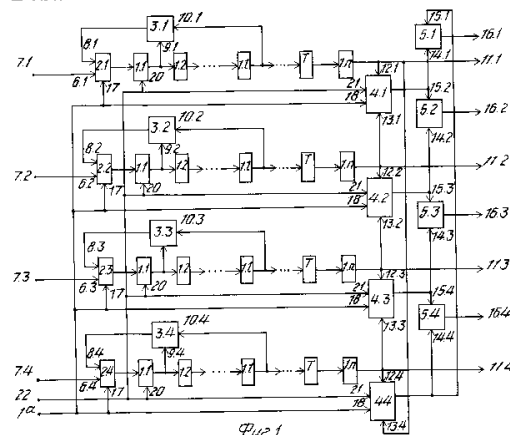
Конструкторско-технологическое бюро
"Белмикросистемы" Научно-производственного
объединения "Интеграл" (ВУ)

(54) ОРТОГОНАЛЬНАЯ МАТРИЦА РЕГИСТРОВ СДВИГА

(57) Реферат:

Использование: в цифровом
вычислительной технике для построения
самотестируемых и самоконтролируемых
устройств обработки данных, например,
буферной памяти, использующих
запоминающие устройства типа FIFO на
сдвиговых регистрах, например, в системах
обработки изображений для хранения строк
телевизионных сигналов. Сущность
изобретения: для обеспечения возможности
самотестирования и самодиагностики
матрицы сдвиговых регистров в устройство
введены цепи обратной связи,
обеспечивающие работу сдвиговых регистров
матрицы в режиме генерации
псевдослучайных последовательностей,
блоки сравнения и элементы И. 2 з. п. ф-лы,

2 ил.





(19) **RU** ⁽¹¹⁾ **2 062 511** ⁽¹³⁾ **C1**
(51) Int. Cl.⁶ **G 11 C 19/00, 29/00**

RUSSIAN AGENCY
FOR PATENTS AND TRADEMARKS

(12) **ABSTRACT OF INVENTION**

(21), (22) Application: 4904732/09, 22.01.1991

(46) Date of publication: 20.06.1996

(71) Applicant:
Nauchno-proizvodstvennoe ob"edinenie
"Integral" (BY)

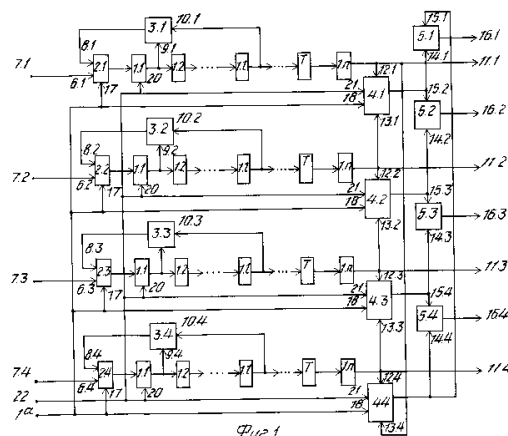
(72) Inventor: Podrubnyj Oleg Vladimirovich[BY],
Lozitskij Jurij Andreevich[BY], Semashko
Aleksandr Nikolaevich[BY], Chernukha Boris
Nikolaevich[BY]

(73) Proprietor:
Konstruktorsko-tehnologicheskoe bjuro
"Belmikrosistemy" Nauchno-proizvodstvennogo
ob"edinenija "Integral" (BY)

(54) **ORTHOGONAL MATRIX OF SHIFT REGISTERS**

(57) Abstract:

FIELD: digital computer engineering.
SUBSTANCE: feedback circuits, comparison
units, AND gates are introduced to
accomplish the goal of invention. Feedback
circuits are used in mode of generation of
random sequences. Device may be used in
design of self-testing devices for data
processing, for example buffer memory units
which uses queue memory units in shift
registers. EFFECT: increased functional
capabilities. 3 cl, 2 dwg



Изобретение относится к области цифровой вычислительной техники и предназначено для построения самотестируемых и самоконтролируемых устройств обработки информации, использующих запоминающие устройства типа FIFO на сдвиговых регистрах. Изобретение может быть использовано в качестве самотестируемой буферной памяти в системах обработки изображений для хранения строк телевизионных сигналов.

Известен сдвиговый регистр с самоконтролем [1] который содержит контролируемый регистр, элемент свертки по mod 2, триггер, элемент И и элемент ИСКЛЮЧАЮЩЕЕ ИЛИ. Недостатком этого устройства являются большие аппаратные затраты на реализацию самоконтроля при обработке многоразрядных слов.

Прототипом изобретения является ортогональная матрица регистров сдвига [2] состоящая из m строк по $n > 4$ последовательно соединенных триггеров в каждой строке (память типа FIFO на сдвиговых регистрах). Вариант такого устройства для $m=4$, $n=8$ реализован в виде микросхемы K1815IP1 [3]. Недостатком прототипа является необходимость использования внешнего (относительно матрицы регистров) оборудования для определения ее исправности в целом и для локализации отказавших разрядов (диагностики).

В основу изобретения положена задача обеспечения возможности самотестирования и самодиагностики матрицы регистров сдвига.

Сущность изобретения заключается в том, что в ортогональную матрицу регистров сдвига, состоящую из $m > 2$ регистров сдвига, каждый из которых содержит последовательно соединенные коммутатор и $n > 4$ триггеров, входы синхронизации всех триггеров в регистре соединены со входом синхронизации матрицы, первые информационные входы коммутаторов являются соответствующими входами матрицы, управляющие входы коммутаторов объединены и являются управляющим входом матрицы, выход последнего триггера каждого регистра сдвига является соответствующим информационным выходом матрицы, дополнительно в каждый регистр сдвига введены сумматор по mod 2, блок сравнения и элемент И, причем в каждом регистре сдвига второй информационный вход коммутатора соединен с выходом соответствующего сумматора по mod 2, первый и второй входы которого соединены с выходами k -го ($k=1$ или $k=3$) и l -го ($l=\max(4,7,15) < n$ для $k=1$ или $l=\max(10,20,31) < n$ для $k=3$) триггеров этого регистра, выход i -го регистра сдвига соединен с первым входом i -го блока сравнения и со вторым входом $(i-1)$ -го блока сравнения (при $i=1$ выход регистра сдвига соединен с первым входом первого блока сравнения и со вторым входом m -го блока сравнения), выход i -го блока сравнения ($i=1, m-1$) соединен с первым входом i -го элемента И и со вторым входом $(i+1)$ -го элемента И, выход m -го блока сравнения соединен с первым входом m -го элемента И и со вторым входом l -го элемента И, выход i -го элемента И является выходом диагностики i -го регистра сдвига, входы

управления всех блоков сравнения соединены со входом управления матрицы сдвиговых регистров, входы установки первых триггеров в каждом регистре и входы установки блоков сравнения соединены со входом установки матрицы, входы синхронизации блоков сравнения соединены со входом синхронизации матрицы. Каждый блок сравнения содержит сумматор по mod 2, элемент И, элемент ИЛИ и триггер-фиксатор, причем входы сумматора по mod 2 соединены с первым и вторым входами блока сравнения, выход сумматора по mod 2 соединен с первым входом элемента ИЛИ, второй вход которого соединен с выходом триггера-фиксатора и с выходом блока сравнения, вход синхронизации блока сравнения соединен с первым входом элемента И, второй вход которого является входом управления блока сравнения, выход элемента И соединен со входом синхронизации триггера-фиксатора, вход установки которого является входом установки блока сравнения.

Сущность предлагаемого изобретения состоит в том, что в режиме диагностики каждый регистр сдвига превращается в генератор псевдослучайных последовательностей (ГПСЧ) за счет подключения на вход первого триггера регистра цепи обратной связи, образованной сумматором по mod 2, входы которого соединены с выходами определенных триггеров внутри регистра. В случае, когда все регистры матрицы исправны, то, установленные в одинаковое начальное состояние все они должны формировать в режиме генерации одинаковые последовательности на своих выходах, что определяется соответствующими блоками сравнения. В случае неисправности какого-либо из регистров последовательность, формируемая на соответствующем выходе, будет существенно отличаться от последовательностей, формируемых на выходах исправных регистров, что позволяет легко выявить отказавший регистр на фоне исправных путем сравнения их выходных сигналов в режиме ГПСЧ.

Новым признаком в предложенном устройстве является наличие цепи обратной связи в каждом сдвиговом регистре, подключенной на второй информационный вход коммутатора. Указанные элементы обеспечивают перевод регистра в режим ГПСЧ. Другим новым признаком является наличие блоков сравнения обеспечивающих сравнение формируемых в режиме ГПСЧ выходных сигналов каждого регистра с выходными сигналами соседнего регистра и фиксацию совпадения или несовпадения указанных сигналов в процессе самотестирования. Третьим новым признаком является наличие элементов И, подключенных к выходам блоков сравнения. Указанные элементы И обеспечивают поразрядную диагностику матрицы регистров на основе выходных сигналов блоков сравнения.

Структурная схема матрицы для случая $m=4$ представлена на фиг. 1. На фиг. 2 представлена схема блока сравнения.

Матрица содержит четыре сдвиговых регистра по n последовательно соединенных

триггеров Т 1.1-1.п в каждом, коммутаторы К 2. 1-2. 4, сумматоры по mod 2 3.1-3.4, блоки сравнения 4.1-4.4 и элементы И 5.1-5.4. При этом в каждом i-ом регистре (i=1,2,3,4) первый вход 6.i коммутатора К 2.i соединен с i-м входом матрицы 7. i, второй вход 8.i коммутатора К соединен с выходом сумматора 3. i по mod 2, выход коммутатора К 2.i соединен со входом первого триггера Т 1.1 i-го регистра, первый вход 9.i сумматора 3.i по mod 2 соединен с выходом первого триггера Т 1.1 соответствующего регистра (в данном случае k 1), второй вход 10.i сумматора 3.i соединен с выходом l-го триггера Т 1.1 соответствующего регистра, выход n-го триггера Т 1.n i-го регистра является i-м выходом 11.i матрицы и соединен с первым входом 12.i блока сравнения 4.i и со вторым входом 13.(i-1) блока сравнения 4.(i-1) Выход триггера Т 1. п первого регистра соединен со вторым входом 13.4 четвертого блока сравнения 4.4 и с первым входом 12.1 первого блока сравнения 4. 1. Выход i-го блока сравнения 4.1 соединен с первым входом 14.i i-го элемента И 5.i и со вторым входом 15. (i+1) (i+1)-го элемента И 5.(i+1). Выход 4-го блока сравнения 4.4 соединен с первым входом 14.4 4-го элемента И 5.4 и со вторым входом 15.1 первого элемента И 5.1. Выход i-го элемента И 5.1 является выходом диагностики 16.i i-го регистра (разряда) матрицы. Входы управления 17 и 18 всех коммутаторов 2.i и блоков сравнения 4.i соединены со входом управления 19 матрицы, входы установки 20 первых триггеров 1.1 в каждом регистре и входы установки 21 блоков сравнения 4.i соединены со входом установки 22 матрицы. Входы синхронизации всех триггеров и входы синхронизации блоков сравнения соединены со входом синхронизации матрицы (на фиг.1 разводка цепей синхронизации не показана).

Каждый блок сравнения 4.i (см. фиг. 2) содержит сумматор 23 по mod 2, элемент И 24 элемент ИЛИ 25 и триггер-фиксатор 26, причем входы сумматора 23 по mod 2 соединены с первым 12.i и вторым 13.i входами блока сравнения, выход сумматора 23 по mod 2 соединен с первым входом элемента ИЛИ 26, второй вход которого соединен с выходом триггера-фиксатора 26 и с выходом 27 блока сравнения, вход синхронизации 28 блока сравнения соединен с первым входом элемента И 24, второй вход которого является входом управления 18 блока сравнения, выход элемента И 24 соединен со входом синхронизации триггера-фиксатора 26, вход установки которого являются входом установки 21 блока сравнения.

Матрица работает следующим образом. В режиме диагностики производится предварительная установка всех триггеров матрицы в начальное единичное состояние, для чего на вход установки 22 матрицы подается в течение n тактов сигнал начальной установки, который обеспечивает установку первых триггеров 1.1 в каждом регистре в состояние "1". Остальные триггеры в регистре устанавливаются в "1" путем последовательной перезаписи в течение n тактов "1", установленной в первом триггере регистра. Такая организация установки матрицы в начальное состояние требует n

тактов для выполнения начальной установки, но позволяет сократить аппаратные затраты по сравнению со случаем, когда все триггеры матрицы имеют установочные входы. Одновременно с начальной установкой триггеров регистров производится начальная установка в "0" триггеров-фиксаторов 26 в блоках сравнения 4. i. После завершения начальной установки на вход 19 матрицы подается высокий уровень, который обеспечивает через коммутаторы К 2.i подключение цепей обратной связи, образованных сумматорами по mod 2 3.i, на входы первых триггеров 1.1 в каждом сдвиговом регистре. В результате этого в каждом сдвиговом регистре первые l триггеров вместе с сумматорами по mod 2 образуют ГПСП, который описывается полиномом $x^l \oplus x^k \oplus 1$. Конкретные значения l и k выбираются на основе таблицы неприводимых полиномов (см. например [4]) исходя из соображений минимальных дополнительных аппаратных затрат на реализацию цепи обратной связи, с одной стороны, и обеспечения максимального периода повторения генерируемой псевдослучайной последовательности, с другой стороны. Например, при k 1, l 15, ГПСП описывается полиномом $x^{15} \oplus x \oplus 1$ и период формируемой последовательности равен $2^{15}-1 \approx 32000$ тактов. Остальные n-l триггеров в каждой регистре (не входящие в ГПСП) обеспечивают передачу псевдослучайных последовательностей на выход n-го триггера регистра и на выход матрицы. Высокий уровень на входе 19 одновременно с включением ГПСП проходит на входы 18 управления блоков сравнения 4.i и открывает элементы И 24, в результате чего на триггеры-фиксаторы 26 начинает поступать синхросигнал, то есть блоки сравнения переводятся в рабочее состояние. На входы 12.i и 13.i сумматора по mod 2 в каждом блоке сравнения поступают сигналы с выходов триггеров 1.n двух сдвиговых регистров. В случае если оба регистра, подключенные к данному блоку сравнения, полностью исправны, сигналы на их выходах (на выходах триггеров 1.n) все время должны быть одинаковыми, поскольку начальное состояние и конфигурация цепи обратной связи в ГПСП обоих регистров обеспечены одинаковыми. В этом случае на выходе сумматора по mod 2 23 все время будет низкий уровень, который пройдет на вход элемента ИЛИ 25. На втором входе этого элемента также будет низкий уровень (триггер 26 при начальной установке установлен в "0"), поэтому в каждом такте триггер 26 будет подтверждать свое начальное состояние "0". Таким образом, низкий уровень на выходе блока сравнения означает исправность обеих строк, подключенных к его входам. В случае неисправности одного из регистров, сигналы на входах 12.i и 13.i сумматора по mod 2 в блоке сравнения 4.i будут в общем случае неодинаковы, то есть найдется по крайней мере один момент времени, когда на одном из этих входов будет "0", на другом "1". Тогда на выходе сумматора по mod 2 появится высокий уровень, который через элемент ИЛИ 25 пройдет на вход триггера 26, в результате чего последний переключится в "1". Указанная "1" с выхода триггера 26 поступит на вход

элемента ИЛИ 25, что обеспечит фиксацию триггера 26 в состоянии "1", то есть триггер будет сохранять это состояние независимо от изменений сигналов на входах 12.i, 13.i. Таким образом, высокий уровень на выходе блока сравнения означает, что в процессе генерации псевдослучайных последовательностей двумя регистрами, подключенными к данному блоку сравнения, произошло несовпадение сигналов на выходах этих регистров, т.е. по крайней мере один из них неисправен. В случае, если неисправны оба регистра, подключенные к данному блоку сравнения, вероятность того, что оба этих регистра будут иметь абсолютно одинаковые неисправности, пренебрежимо мала, в связи с чем можно ожидать, что на выходе блока сравнения в этой ситуации также появится высокий уровень. Для того, чтобы определить какой же из двух регистров, подключенных к данному блоку сравнения, неисправен, используется сравнение сигнала на выходе каждого регистра с сигналами на выходах двух других регистров. Например, выход второго регистра подключен к блокам сравнения 4.1 и 4.2 и сравнивается таким образом с сигналами на выходах первого и третьего регистров. Если второй регистр неисправен, то на выходах блоков 4.1 и 4.2 сформируются высокие уровни которые, поступят на входы элемента И 5.2 и переключат выход этого элемента, который является выходом диагностики 16.2, в высокий уровень. При этом исправность первого регистра может быть подтверждена низким уровнем на выходе блока 4.4 (обеспечивающим сравнение первого регистра с 4-м), который поступит на вход 15.1 элемента И 5.1 и сформирует низкий уровень на выходе диагностики 16.1. Аналогично определяется исправность третьего регистра путем сравнения сигнала на его выходе с сигналом на выходе четвертого регистра посредством блока сравнения 4.3. Таким образом, низкий уровень на выходе диагностики 16.i означает исправность i-го регистра, высокий уровень на выходе диагностики 16.1 означает неисправность i-го регистра.

После окончания диагностики на вход 19 матрицы поступает низкий уровень, в результате чего входы синхронизации триггеров-фиксаторов 26 блокируются посредством элементов И 24 (то есть триггеры 26 в дальнейшем хранят информацию о результатах тестирования и диагностики) и на входы первых триггеров всех регистров вместо цепей обратной связи подключаются информационные входы 7. i матрицы, то есть матрица переводится в рабочий режим и начинает выполнять функции многоразрядной памяти типа FIFO. При этом сигналы на выходах диагностики 16.i указывают исправности/неисправности соответствующих регистров матрицы и могут быть использованы внешним управляющим устройством для принятия решения об исправности/неисправности матрицы в целом, сигнализации оператору об наличии отказов в системе, коммутации данных на входах матрицы для обхода отказавших разрядов и т.д.

На основании вышеизложенного можно сделать вывод о том, что введенные в матрицу цепи обратной связи, блоки

сравнения и элементы И обеспечивают самотестирование и самодиагностику матрицы.

Кроме того, использование предложенного устройства в составе систем обработки данных позволяет организовать самотестирование таких систем. В этом случае предложенная матрица сдвиговых регистров может быть источником входных тестовых воздействий для системы в целом или для отдельных блоков системы.

Предложенное техническое решение эффективно реализуется в виде интегральной микросхемы. При этом экономия может возникнуть за счет устранения необходимости использовать дорогостоящее оборудование для функционального контроля таких микросхем в процессе их производства. При использовании предложенного устройства в составе систем обработки данных экономия может возникнуть за счет сокращения времени и трудовых затрат на поиск и устранение неисправностей в аппаратуре.

Формула изобретения:

1. Ортогональная матрица регистров сдвига, содержащая m регистров сдвига (где $m > 2$), каждый из которых выполнен на последовательно соединенных коммутаторе и n триггерах (где $n \geq 4$), входы синхронизации последних из которых объединены и являются входом синхронизации матрицы, первые информационные входы коммутаторов являются соответствующими информационными входами матрицы, управляющие входы коммутаторов объединены и являются управляющими входами матрицы, выход последнего триггера каждого регистра сдвига является соответствующим информационным выходом матрицы, отличающаяся тем, что в нее введены по количеству регистров сдвига сумматоры по модулю два, блоки сравнения и элементы И, причем второй информационный вход коммутатора каждого регистра сдвига соединен с выходом соответствующего сумматора по модулю два, первый и второй входы которого соединены с выходами k -го и l -го триггеров соответствующего регистра сдвига (где $k \leq n$, $l \leq n$, $k \neq l$), первый вход первого блока сравнения и второй вход последнего блока сравнения объединены и подключены к выходу последнего триггера первого регистра сдвига, первый вход i -го блока сравнения (где $1 \leq i \leq m$) и второй вход $(i-1)$ -го блока сравнения объединены и подключены к выходу последнего триггера соответствующего регистра сдвига, первый вход j -го элемента И (где $1 \leq j \leq m-1$) и второй вход $(j+1)$ -го элемента И объединены и подключены к выходу j -го блока сравнения, первый вход m -го элемента И и второй вход первого элемента И объединены и подключены к выходу m -го блока сравнения, выходы элементов И являются соответствующими выходами диагностики матрицы, управляющие входы блоков сравнения объединены и подключены к управляющему входу матрицы, установочные входы блоков сравнения и первых триггеров регистров сдвига объединены являются установочным входом матрицы, входы синхронизации блоков сравнения объединены и подключены к входу синхронизации матрицы.

2. Матрица по п.1, отличающаяся тем, что

блок сравнения содержит сумматор по модулю два, элемент И, элемент ИЛИ и триггер-фиксатор, причем первый и второй входы сумматора по модулю два являются первым и вторым входами блока, выход сумматора по модулю два соединен с первым входом элемента ИЛИ, второй вход которого соединен с выходом триггера-фиксатора и является выходом блока, вход синхронизации и управляющий вход которого соединены с первым и вторым входами соответственно элемента И, выход которого соединен с синхровходом триггера-фиксатора, информационный и установочный входы

которого соединены с выходом элемента ИЛИ и входом установки блока соответственно.

3. Матрица по п.1, отличающаяся тем, что для $n > 4$ к 1, l 4.

5 4. Матрица по п.1, отличающаяся тем, что для $n > 7$ к 1, l 7.

5. Матрица по п.1, отличающаяся тем, что для $n > 15$ к 1, l 15.

6. Матрица по п.1, отличающаяся тем, что для $n > 10$ к 3, l 10.

10 7. Матрица по п.1, отличающаяся тем, что для $n > 20$ к 3, l 20.

8. Матрица по п.1, отличающаяся тем, что для $n > 31$ к 3, l 31.

15

20

25

30

35

40

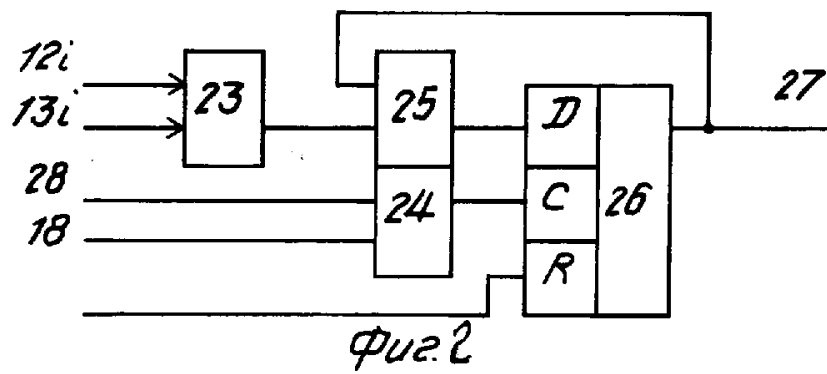
45

50

55

60

RU 2062511 C1



RU 2062511 C1