

(19) 日本国特許庁(JP)

## (12) 公開特許公報(A)

(11) 特許出願公開番号

特開2011-71279

(P2011-71279A)

(43) 公開日 平成23年4月7日(2011.4.7)

(51) Int.Cl.	F 1		テーマコード (参考)
<b>H01L 21/3065 (2006.01)</b>	H01L 21/302	1 O 5 A	4 M 1 O 4
<b>H01L 21/28 (2006.01)</b>	H01L 21/28	E	5 F 0 O 4
<b>H01L 27/115 (2006.01)</b>	H01L 27/10	4 3 4	5 F 0 3 3
<b>H01L 21/8247 (2006.01)</b>	H01L 29/78	3 7 1	5 F 0 4 6
<b>H01L 29/792 (2006.01)</b>	H01L 21/30	5 7 0	5 F 0 8 3

審査請求 未請求 請求項の数 5 O L (全 8 頁) 最終頁に続く

(21) 出願番号	特願2009-220508 (P2009-220508)	(71) 出願人	000003078 株式会社東芝 東京都港区芝浦一丁目1番1号
(22) 出願日	平成21年9月25日 (2009. 9. 25)	(74) 代理人	100117787 弁理士 勝沼 宏仁
		(74) 代理人	100082991 弁理士 佐藤 泰和
		(74) 代理人	100103263 弁理士 川崎 康
		(74) 代理人	100107582 弁理士 関根 豊
		(74) 代理人	100118843 弁理士 赤岡 明
		(74) 代理人	100108785 弁理士 箱崎 幸雄

最終頁に続く

(54) 【発明の名称】半導体装置の製造方法

## (57) 【要約】

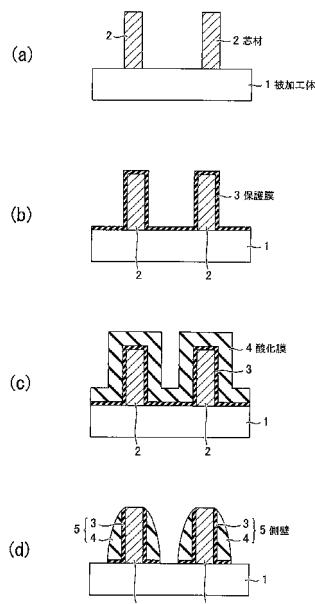
【課題】微細なパターンを精度良く形成することのできる半導体装置の製造方法を提供する。

【解決手段】本発明の一態様に係る半導体装置の製造方法は、被加工体1上にCを含む材料からなる芯材2を選択的に形成する工程と、芯材2の上面および側面を覆うように、酸素を含まない材料からなる保護膜3を形成する工程と、保護膜3を介して芯材2と被加工体1を覆うように酸化膜4を形成する工程と、芯材2の側方に少なくとも酸化膜4からなる側壁5を加工形成する工程と、少なくとも芯材2を除去した後、側壁5をマスクとして用いて被加工体1をエッチングし、側壁5のパターンを転写する工程と、を含む。

【選択図】図1A

図1A

(第1の実施の形態)



**【特許請求の範囲】****【請求項 1】**

被加工体上に C を含む材料からなる芯材を選択的に形成する工程と、  
 前記芯材の上面および側面を覆うように、酸素を含まない材料からなる保護膜を形成する工程と、  
 前記保護膜を介して前記芯材と前記被加工体を覆うように酸化膜を形成する工程と、  
 前記芯材の側方に少なくとも前記酸化膜からなる側壁を加工形成する工程と、  
 少なくとも前記芯材を除去した後、前記側壁をマスクとして用いて前記被加工体をエッティングし、前記側壁のパターンを転写する工程と、  
 を含む半導体装置の製造方法。

10

**【請求項 2】**

前記側壁のパターンを転写する工程は、前記芯材を除去した後、前記保護膜と前記酸化膜からなる側壁をマスクとして用いて前記被加工体をエッティングする、  
 請求項 1 に記載の半導体装置の製造方法。

**【請求項 3】**

前記側壁のパターンを転写する工程は、前記芯材と前記保護膜を除去した後、前記酸化膜からなる側壁をマスクとして用いて前記被加工体をエッティングする、  
 請求項 1 に記載の半導体装置の製造方法。

**【請求項 4】**

前記芯材は、レジスト材からなる、  
 請求項 1 ~ 3 のうちのいずれか 1 つに記載の半導体装置の製造方法。

20

**【請求項 5】**

前記保護膜は、SiCN、SiN、SiC、BN、SiH、SiF の少なくともいずれか 1 つを含む材料からなる、

請求項 1 ~ 4 のうちのいずれか 1 つに記載の半導体装置の製造方法。

**【発明の詳細な説明】****【技術分野】****【0001】**

本発明は、半導体装置の製造方法に関する。

**【背景技術】****【0002】**

近年、半導体素子の微細化に伴い、リソグラフィーの露光解像限界未満の寸法を有するパターンを形成する方法が求められている。その 1 つの方法として、ダミーパターンである芯材の側面に側壁パターンを形成し、その側壁パターンをマスクとして被加工体のエッティングを行う側壁転写プロセスが知られている（例えば、特許文献 1 参照）。

30

**【0003】**

特許文献 1 の方法では、有機材料からなる芯材を用いている。芯材に有機材料を用いる場合、無機材料を用いる場合と比較して、製造工程数や製造コストを低減することができる。

**【0004】**

一方、近年、側壁パターンの材料として、有機材料からなる芯材に対する高いエッティング選択比を確保することができ、かつ被覆性のよい酸化膜の使用が検討されている。

40

**【0005】**

しかし、側壁パターンを酸化膜等の酸素を含む材料から形成する場合、側壁パターン形成時に使用されるガスに含まれる酸素成分により、有機材料からなる芯材がダメージを受け、その幅の減少や変形（例えば、肩が落ちることによる凸型形状への変形）などが生じるおそれがある。この場合、芯材の側面に形成される側壁の形状が崩れ、その結果、精度の高い微細なパターンを被加工体に転写することができない。

**【先行技術文献】****【特許文献】**

50

**【0006】**

【特許文献1】特開2009-152243号公報

**【発明の概要】****【発明が解決しようとする課題】****【0007】**

本発明の目的は、微細なパターンを精度良く形成することができる半導体装置の製造方法を提供することにある。

**【課題を解決するための手段】****【0008】**

本発明の一態様は、被加工体上にCを含む材料からなる芯材を選択的に形成する工程と、前記芯材の上面および側面を覆うように、酸素を含まない材料からなる保護膜を形成する工程と、前記保護膜を介して前記芯材と前記被加工体を覆うように酸化膜を形成する工程と、前記芯材の側方に少なくとも前記酸化膜からなる側壁を加工形成する工程と、少なくとも前記芯材を除去した後、前記側壁をマスクとして用いて前記被加工体をエッチングし、前記側壁のパターンを転写する工程と、を含む半導体装置の製造方法を提供する。10

**【発明の効果】****【0009】**

本発明によれば、微細なパターンを精度良く形成することができる半導体装置の製造方法を提供することができる。20

**【図面の簡単な説明】****【0010】**

【図1A】(a)～(d)は、本発明の第1の実施の形態に係る半導体装置の製造工程を示す断面図。

【図1B】(e)、(f)は、本発明の第1の実施の形態に係る半導体装置の製造工程を示す断面図。

【図2】(a)～(d)は、本発明の第2の実施の形態に係る半導体装置の製造工程を示す断面図。

**【発明を実施するための形態】****【0011】****【第1の実施の形態】**

図1A(a)～(d)、図1B(e)、(f)は、本発明の第1の実施の形態に係る半導体装置の製造工程を示す断面図である。30

**【0012】**

まず、図1A(a)に示すように、例えば、図示しない半導体基板上に形成された被加工体1上に、ラインアンドスペースパターン等のパターンを有する芯材2を選択的に形成する。

**【0013】**

被加工体1は、例えば、ゲート材料膜や、加工対象上のハードマスクである。また、被加工体1は、複数の層からなる膜でもよく、例えば、フラッシュメモリのスタックゲート構造を構成するコントロール電極膜、電極間絶縁膜、フローティングゲート電極膜であってもよい。さらに、半導体基板が被加工体1であってもよい。40

**【0014】**

また、芯材2は、レジスト材等のCを含む材料(有機材料)からなる材料膜をパターニングすることにより形成される。芯材に有機材料を用いる場合、無機材料を用いる場合と比較して、製造工程数や製造コストを低減することができる。芯材2の幅は、後の工程において被加工体1に形成されるラインアンドスペースパターンのスペースの幅に相当する。

**【0015】**

芯材2材料膜はCVD(Chemical Vapor Deposition)法等により形成される。材料膜のパターニングは、例えば、フォトリソグラフィとRIE(Reactive Ion Etching)によ50

り行われる。さらに、パターニングした芯材2の幅をスリミング処理により細めてもよい。

【0016】

次に、図1A(b)に示すように、CVD法等により、芯材2の上面および側面をコンフォーマルに覆うように保護膜3を形成する。

【0017】

保護膜3は、SiCN、SiN、SiC、BN、SiH、SiF等の、酸素を含まず、耐酸化性を有する材料からなる。保護膜3は、1~5nmの厚さに形成されることが好ましい。1nmよりも薄い場合は、後述する酸素成分から芯材2を保護する機能が不十分となる。一方、5nmよりも厚い場合は、芯材2の表面にコンフォーマルに形成することが困難になり、膜厚の均一性が低下するおそれがある。

10

【0018】

以下に、保護膜3の具体的な形成方法の一例を示す。まず、図示しない反応容器内で10Torr以下の圧力条件下で半導体基板を加熱する。このとき、芯材2がレジスト材からなる場合は、レジスト材が100程度の温度で分解を始めるため、加熱温度は100

以下に設定される。反応容器は、その上部と下部に平行平板電極を有し、半導体基板はそれらの電極の間に置かれる。下部の電極は、半導体基板を加熱するヒーターを兼ねている。

20

【0019】

次に、反応容器内に保護膜3のソースガスを流入し、圧力を一定に維持した状態で高周波電力を供給してプラズマ領域を形成する。例えば、保護膜3としてSiCN膜を形成する場合は、トリメチルシラン、アンモニア、およびHeの混合ガスをソースガスとして用いる。その結果、保護膜3が形成される。

【0020】

次に、図1A(c)に示すように、CVD法等により、保護膜3上に酸化シリコンからなる酸化膜4を形成する。保護膜3の厚さと酸化膜4の厚さの合計は、後の工程において被加工体1に形成されるラインアンドスペースパターンのラインの幅に相当する。

30

【0021】

酸化膜4は、Cを含む材料からなる芯材2に対する高いエッチング選択比を確保することができる。また、酸化膜4は被覆性が高いため、後述する側壁5に加工するために十分な厚さ(例えば24nm)で、保護膜3の表面をコンフォーマルに覆うように形成することができる。

【0022】

なお、保護膜3の材料であるSiCN、SiN、SiC、BN、SiH、SiF等の、酸素を含まず、耐酸化性を有する材料は被覆性が悪いか、被覆性よく厚い膜を形成するには高温プロセスが必要となってしまうため、保護膜3よりも厚い側壁の主たる材料として形成することは難しい。

【0023】

以下に、酸化膜4の具体的な形成方法の一例を示す。まず、図示しない反応容器内で10Torr以下の圧力条件下で半導体基板を加熱する。このとき、芯材2がレジスト材からなる場合は、レジスト材が100程度の温度で分解を始めるため、加熱温度は100以下に設定される。

40

【0024】

次に、反応容器内に酸化膜4のソースガスを流入し、圧力を一定に維持した状態で高周波電力を供給してプラズマ領域を形成する。酸化膜4のソースガスとしては、例えば、有機シランガス、およびO<sub>2</sub>、He、Arの混合ガスが用いられる。このとき、始めに基になる膜が有機シランガスから形成され、その膜がO<sub>2</sub>プラズマにより処理される。このプロセスを繰り返すことにより、緻密でコンフォーマルな酸化膜4が形成される。

【0025】

ここで、酸化膜4の形成に用いられるガスには酸素成分が含まれるが、芯材2の表面は

50

保護膜3に覆われているため、Cを含む材料からなる芯材2への酸素成分によるダメージを抑えることができる。このため、芯材2の幅の減少や、変形を抑えることができる。

#### 【0026】

次に、図1A(d)に示すように、RIE法等により、保護膜3および酸化膜4を芯材12の側面の側壁形状に加工し、芯材12の側方に側壁5を形成する。ここで、側壁5は、保護膜3および酸化膜4から構成される。このとき、芯材2に幅の減少や変形が生じていないため、精度の高いパターンを有する側壁5を形成することができる。

#### 【0027】

次に、図1B(e)に示すように、芯材2を除去する。芯材2の除去には、例えば、O<sub>2</sub>アッシングやSH(硫酸および過酸化水素の水溶液)処理、またはこれらの組み合わせが用いられる。

#### 【0028】

次に、図1B(f)に示すように、側壁5をマスクとして用いて被加工体1にエッチングを施し、側壁5のパターンを転写する。なお、被加工体1に転写されたパターンがリングパターンである場合は、リングパターンの端部をリソグラフィー法とRIE法等により除去することにより、ラインアンドスペースパターンを得ることができる。

#### 【0029】

##### (第1の実施の形態の効果)

この第1の実施の形態によれば、酸化膜4を形成する前に芯材2の表面を保護膜3で覆うことにより、Cを含む材料からなる芯材2への酸素成分によるダメージを抑えることができる。このため、芯材2の幅の減少や、変形を抑えて、精度の高いパターンを有する側壁5を形成し、その結果、精度の高い微細なパターンを被加工体1に転写することができる。

#### 【0030】

以下に、保護膜3による芯材2の保護効果を実証するために行った実験の結果について述べる。第1に、CVD法により400で形成したカーボン膜上に、200で厚さ24nmの酸化膜を形成したところ、カーボン膜の上部の厚さ300nmの領域が、酸化膜に侵食されて酸化シリコンに変化した(酸化シリコンに変化する領域の厚さは、それぞれの膜の成膜条件により変化する)。第2に、400で形成したカーボン膜上に、350で形成した厚さ8nmのSiCN膜を介して、200で厚さ24nmの酸化膜を形成したところ、酸化膜の形成後もカーボン膜にほとんど変化は現れなかった。

#### 【0031】

この結果は、SiCN膜がカーボン膜の保護膜として働いたことを示している。なお、SiCN膜の代わりにSiN、SiC、BN、SiH、SiF等の、酸素を含まず、耐酸化性を有する材料を用いた場合も、同様の効果が得られると考えられる。

#### 【0032】

##### (第2の実施の形態)

第2の実施の形態は、側壁の構成において、第1の実施の形態と異なる。なお、第1の実施の形態と同様の点については、説明を省略または簡略化する。

#### 【0033】

図2(a)～(d)は、本発明の第2の実施の形態に係る半導体装置の製造工程を示す断面図である。

#### 【0034】

まず、図2(a)に示すように、第1の実施の形態の芯材2、保護膜3、および酸化膜4と同様の方法により、芯材12、保護膜13、および酸化膜14を被加工体1上に形成する。保護膜13は、芯材12をエッチングにより除去する際に、同時に除去することができる材料からなる。

#### 【0035】

ここで、芯材12の幅と保護膜13の厚さの合計は、後の工程において被加工体1に形成されるラインアンドスペースパターンのスペースの幅に相当する。また、酸化膜14の

厚さは、ラインアンドスペースパターンのラインの幅に相当する。

【0036】

次に、図2(b)に示すように、RIE法等により、酸化膜14および保護膜13を芯材12の側面の側壁形状に加工する。

【0037】

次に、図2(c)に示すように、芯材12を除去する。このとき、芯材12の側面の保護膜13も同時に除去される。これにより、実質的に酸化膜14から構成される側壁15が得られる。

【0038】

なお、酸化膜14のみを芯材12の側面の側壁形状に加工して芯材12の側方に側壁15を形成した後、保護膜13の酸化膜14下以外の部分および芯材12を同時に除去することで、図2(c)に示す構造としてもよい。いずれの場合も、少なくとも酸化膜14が側壁形状に加工された後、保護膜13の酸化膜14下以外の部分および芯材12が除去される。

【0039】

次に、図2(d)に示すように、側壁15をマスクとして用いて被加工体1にエッティングを施し、側壁15のパターンを転写する。

【0040】

なお、被加工体1が保護膜3と同様に、酸素を含まず、耐酸化性を有する材料からなる場合は、保護膜3を被加工体1と同じ材料から形成することができる。この場合、芯材12とその側面の保護膜3の除去と、被加工体1への側壁15のパターンの転写を一括して行うことができる。

【0041】

(第2の実施の形態の効果)

この第2の実施の形態によれば、第1の実施の形態と異なるプロセスで側壁を形成し、第1の実施の形態と同様の効果を得ることができる。

【0042】

(他の実施の形態)

本発明は、上記各実施の形態に限定されず、発明の主旨を逸脱しない範囲内において種々変形実施が可能である。

【0043】

また、発明の主旨を逸脱しない範囲内において上記各実施の形態の構成要素を任意に組み合わせることができる。

【符号の説明】

【0044】

1 被加工体、 2、 12 芯材、 3、 13 保護膜、 4、 14 酸化膜、 5、  
15 側壁

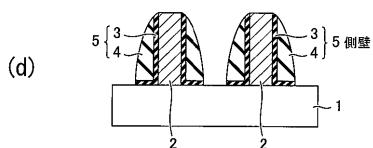
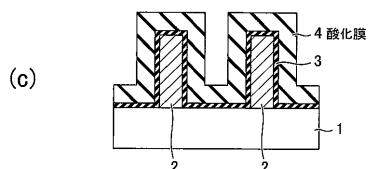
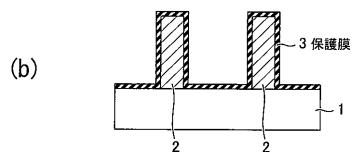
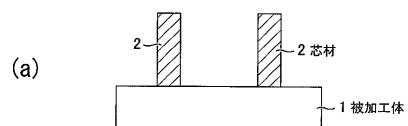
10

20

30

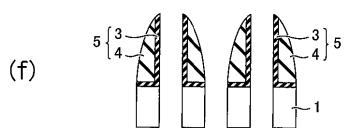
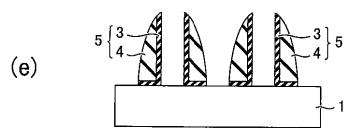
## 【図1A】

図1A  
(第1の実施の形態)



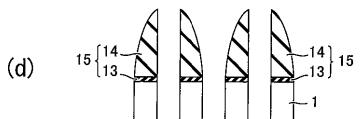
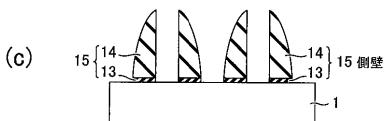
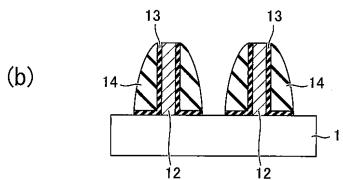
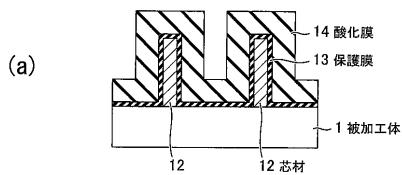
## 【図1B】

図1B  
(第1の実施の形態)



## 【図2】

図2  
(第2の実施の形態)



---

フロントページの続き

(51) Int.Cl.	F I	テーマコード(参考)
H 01 L 29/788 (2006.01)	H 01 L 21/88	D 5 F 1 0 1
H 01 L 21/027 (2006.01)		5 F 1 4 6
H 01 L 21/3213 (2006.01)		

(74)代理人 100137523  
弁理士 出口 智也  
(74)代理人 100124372  
弁理士 山ノ井 傑  
(74)代理人 100146123  
弁理士 木本 大介  
(74)代理人 100144967  
弁理士 重野 隆之  
(74)代理人 100071526  
弁理士 平田 忠雄  
(74)代理人 100099597  
弁理士 角田 賢二  
(74)代理人 100124235  
弁理士 中村 恵子  
(74)代理人 100124246  
弁理士 遠藤 和光  
(72)発明者 住岡 慶子

東京都港区芝浦一丁目1番1号 株式会社東芝内

F ターム(参考) 4M104 DD04 DD63 DD71 GG09 GG14 GG16 HH14  
5F004 AA04 EA03 EA06 EA07 EA11 EA16 EB01 EB02  
5F033 QQ07 QQ08 QQ09 QQ13 QQ19 QQ28 QQ29 QQ35 VV16 XX03  
5F046 LA18  
5F083 EP02 EP22 EP52 GA09 PR07 PR10  
5F101 BA01 BB02 BD02  
5F146 LA18