

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2010年3月4日(04.03.2010)

PCT

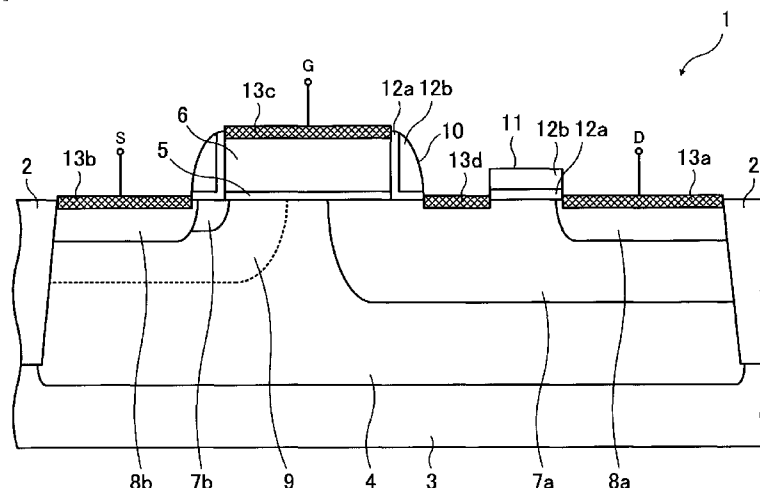
(10) 国際公開番号
WO 2010/023722 A1

- (51) 国際特許分類:
H01L 29/78 (2006.01) H01L 21/336 (2006.01)
- (21) 国際出願番号: PCT/JP2008/065179
- (22) 国際出願日: 2008年8月26日(26.08.2008)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (71) 出願人 (米国を除く全ての指定国について): 富士通マイクロエレクトロニクス株式会社 (FUJITSU MICROELECTRONICS LIMITED) [JP/JP]; 〒1630722 東京都新宿区西新宿二丁目7番1号 Tokyo (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 島 昌司 (SHIMA, Masashi) [JP/JP]; 〒2118588 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内 Kanagawa (JP).
- (74) 代理人: 服部 毅巖 (HATTORI, Kiyoshi); 〒1920082 東京都八王子市東町9番8号 八王子東町センタービル 服部特許事務所 Tokyo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MT, NL, NO, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).
- 添付公開書類:
— 国際調査報告 (条約第21条(3))

(54) Title: SEMICONDUCTOR DEVICE AND ITS MANUFACTURING METHOD

(54) 発明の名称: 半導体装置及びその製造方法

[図1]



(57) Abstract: A semiconductor device with higher withstand voltage, lower on-resistance, and improved frequency characteristic can be realized. A low-concentration impurity region (7a) overlapping with the end of a gate electrode (6) is formed in a non-self-aligned manner with respect to the gate electrode (6) on the drain side of an n-type MIS transistor (1), and a high-concentration impurity region (8a) is formed with an offset from the gate electrode (6) and a sidewall insulating film (10). Thus, it is possible to reduce the on-resistance while ensuring the drain withstand voltage. A silicide layer (13c) is formed on the surface of the gate electrode (6) to reduce the gate resistance and improve the high frequency characteristic.

(57) 要約:

[続葉有]

WO 2010/023722 A1



半導体装置の高耐圧化、低オン抵抗化、及び周波数特性の向上を図る。 n型MISトランジスタ（1）のドレイン側に、ゲート電極（6）に対して非自己整合的にゲート電極（6）端部にオーバーラップする低濃度不純物領域（7a）を形成し、さらに、ゲート電極（6）及び側壁絶縁膜（10）からオフセットを設けて高濃度不純物領域（8a）を形成する。これにより、ドレイン耐圧を確保しつつ、オン抵抗の低減を図る。また、ゲート電極（6）の表面にシリサイド層（13c）を形成し、ゲート抵抗の低減と高周波特性の向上を図る。

明 細 書

半導体装置及びその製造方法

技術分野

[0001] 本発明は、半導体装置及びその製造方法に関し、特に、高耐圧トランジスタを備える半導体装置及びその製造方法に関する。

背景技術

[0002] 高耐圧のMIS (Metal Insulator Semiconductor)トランジスタは、無線通信を行う携帯機器の送信モジュール等、比較的高い電圧を扱う様々な電子機器に広く利用されている。

[0003] 従来、MISトランジスタの高耐圧化のために、種々の構造が提案されている。例えば、ゲート電極を挟んだソース側とドレイン側にそれぞれ低濃度不純物領域と高濃度不純物領域を形成し、ドレイン側にはゲート電極との間に一定のオフセットを設けて高濃度不純物領域を形成した構造が提案されている(例えば、特許文献1, 2参照。)。また、ドレイン側に、ゲート電極近傍のドレイン端部と、そこから一定のオフセットを設けた領域とに、それぞれ高濃度不純物領域を形成した構造も提案されている(例えば、特許文献1参照。)。なお、これらの構造においては、オフセット部分の低濃度不純物領域を除いた高濃度不純物領域表面にシリサイド層を形成したり、高濃度不純物領域と低濃度不純物領域双方の表面に連続的にシリサイド層を形成したりすることが行われている。

[0004] また、従来、DEMOS (Drain Extended Metal Oxide Semiconductor)のような、拡張ドレインを形成したトランジスタ構造等も提案されている(例えば、特許文献3参照。)

特許文献1:特開2005-093458号公報

特許文献2:特開平08-064689号公報

特許文献3:特開2006-216947号公報

発明の開示

発明が解決しようとする課題

[0005] MISトランジスタにおいて、ドレイン側の高濃度不純物領域をゲート電極からオフセットを設けて形成すると、ドレイン耐圧を高めることが可能である一方、ソースドレイン間のオン抵抗は高くなってしまう。オン抵抗の低減のために、さらにゲート電極近傍のドレイン端部にも高濃度不純物領域を形成すると、ゲート絶縁膜の膜厚や動作環境等によって一定のドレイン耐圧を確保することができなくなる場合がある。

[0006] このように、これまでの高耐圧MISトランジスタには、高耐圧化したことによってオン抵抗が高くなってしまったり、オン抵抗を低減させるためにドレイン耐圧が不足してしまったりするという問題点があった。

[0007] また、MISトランジスタのゲート電極やソース及びドレインの不純物領域には、プラグとのコンタクト抵抗低減のため、シリサイド層を形成することが好ましい。しかし、シリサイド層の形成領域によっては、MISトランジスタに要求される所望の周波数特性やオン抵抗が得られなくなる場合もある。

[0008] このような点に鑑み、高耐圧かつ低オン抵抗で、良好な周波数特性を有する半導体装置及びその製造方法を提供することを目的とする。

課題を解決するための手段

[0009] 本発明の一観点によると、半導体装置は、半導体基板上に第1絶縁膜を介して形成されたゲート電極と、前記ゲート電極の側壁に形成された第2絶縁膜と、前記ゲート電極の一方側の前記半導体基板内に、前記ゲート電極の前記一方側の端部にオーバーラップして形成された第1導電型の第1不純物領域と、前記ゲート電極の他方側の前記半導体基板内に形成された第1導電型の第2不純物領域と、前記一方側の前記半導体基板内に、前記第1不純物領域に隣接し前記第2絶縁膜から離間して形成された、第1導電型で前記第1不純物領域より高い不純物濃度の第3不純物領域と、前記他方側の前記半導体基板内に前記第2不純物領域に隣接して形成された、第1導電型で前記第2不純物領域より高い不純物濃度の第4不純物領域と、前記ゲート電極及び前記第3、第4不純物領域表面に形成されたシリサイド層と、を有する。

発明の効果

[0010] 開示の半導体装置によれば、高耐圧化とオン抵抗低減との両立を図ると共に、周

波数特性の向上を図ることが可能になる。

本発明の上記および他の目的、特徴および利点は本発明の例として好ましい実施の形態を表す添付の図面と関連した以下の説明により明らかになるであろう。

図面の簡単な説明

[0011] [図1]第1の実施の形態の半導体装置の構成例を示す図である。

[図2]第1の実施の形態の素子分離領域及びウェル形成工程の要部断面模式図である。

[図3]第1の実施の形態のドレイン側低濃度不純物領域形成工程の要部断面模式図である。

[図4]第1の実施の形態のゲート絶縁膜及びゲート電極形成工程の要部断面模式図である。

[図5]第1の実施の形態のチャネル不純物領域及びソース側低濃度不純物領域形成工程の要部断面模式図である。

[図6]第1の実施の形態の側壁絶縁膜及びシリサイドブロック形成工程の要部断面模式図である。

[図7]第1の実施の形態のドレイン側及びソース側高濃度不純物領域形成工程の要部断面模式図である。

[図8]側壁絶縁膜及びシリサイドブロック形成工程の別の例の要部断面模式図である。

[図9]第2の実施の形態の半導体装置の構成例を示す図である。

[図10]第2の実施の形態のチャネル注入工程の要部断面模式図である。

[図11]第2の実施の形態のドレイン側低濃度不純物領域形成工程の要部断面模式図である。

[図12]第2の実施の形態のゲート絶縁膜及びゲート電極形成工程の要部断面模式図である。

[図13]第2の実施の形態のソース側低濃度不純物領域形成工程の要部断面模式図である。

[図14]第2の実施の形態の側壁絶縁膜及びシリサイドブロック形成工程の要部断面

模式図である。

[図15]第2の実施の形態のドレイン側及びソース側高濃度不純物領域形成工程の要部断面模式図である。

[図16]MISトランジスタの適用例の説明図であって、(A)は適用機器の概略図、(B)は入出力電力の説明図、(C)は電力増幅の説明図である。

発明を実施するための最良の形態

[0012] 以下、図面を参照して詳細に説明する。

まず、第1の実施の形態について説明する。

図1は第1の実施の形態の半導体装置の構成例を示す図である。

[0013] 図1に第1の実施の形態に係るn型のMISトランジスタ1を例示する。この図1に示すMISトランジスタ1は、素子分離領域2で画定された半導体基板3の素子領域にp型ウェル4が形成され、その上に、ゲート絶縁膜5を介してゲート電極6が形成されている。このゲート電極6に対し、一方側がドレインとして機能し、他方側がソースとして機能する。ドレイン側及びソース側にはそれぞれ、所定領域にn型の低濃度不純物領域7a、7b及び高濃度不純物領域8a、8bが形成されている。

[0014] ドレイン側の低濃度不純物領域7aは、ソース側の低濃度不純物領域7bに比べて深く、また、ゲート電極6に対して非自己整合的に、ゲート電極6に大きくオーバーラップして形成されている。ドレイン側の高濃度不純物領域8aは、ゲート電極6から所定のオフセットを設けて、低濃度不純物領域7aに隣接して形成されている。

[0015] ソース側の低濃度不純物領域7bは、ドレイン側の低濃度不純物領域7aに比べて浅く、また、ゲート電極6に対して自己整合的に形成されている。このソース側の低濃度不純物領域7bに隣接してソース側の高濃度不純物領域8bが形成されている。

[0016] 半導体基板3のp型ウェル4内には、ソース側の低濃度不純物領域7b及び高濃度不純物領域8bの周辺の、ゲート電極6の下方に至る領域に、MISトランジスタ1の閾値電圧調整用のp型チャンネル不純物を含むチャンネル不純物領域9が形成されている。チャンネル不純物領域9は、ゲート電極6下方の低濃度不純物領域7a、7b間の領域では、そのチャンネル不純物の濃度が、ソースの低濃度不純物領域7b側に比べて、ドレインの低濃度不純物領域7a側で低くなるように、形成されている。

- [0017] ゲート電極6の側壁には、側壁絶縁膜10が形成されている。また、このMISTランジスタ1のドレイン側には、側壁絶縁膜10と分離した状態で、シリサイドブロック11が形成されている。なお、ここでは、側壁絶縁膜10及びシリサイドブロック11を、いずれも第1、第2絶縁膜12a、12bを積層させて形成した場合を例示している。
- [0018] また、ドレイン側の高濃度不純物領域8aとソース側の高濃度不純物領域8b、及びゲート電極6の各表面には、シリサイド層13a、13b、13cが形成されている。これらのシリサイド層13a、13b、13cに、それぞれ図示しないプラグが接続され、動作時には、ドレイン(D)、ソース(S)及びゲート(G)に所定のバイアスが印加されるようになる。
- [0019] さらに、このMISTランジスタ1では、側壁絶縁膜10とシリサイドブロック11との間の低濃度不純物領域7aの表面に、シリサイド層13dが形成されている。この低濃度不純物領域7a表面のシリサイド層13dと、高濃度不純物領域8a表面のシリサイド層13aとは、シリサイドブロック11の存在により、電氣的に分離されて形成されるようになっている。
- [0020] このように、MISTランジスタ1では、まず、ドレイン側の高濃度不純物領域8aをゲート電極6から一定のオフセットを設けて形成している。これにより、高いドレイン耐圧を確保することが可能になる。
- [0021] さらに、このMISTランジスタ1では、ドレイン側の低濃度不純物領域7aをゲート電極6にオーバーラップするように形成している。このように低濃度不純物領域7aをゲート電極6にオーバーラップさせると、オーバーラップ部分の寄生抵抗が、MISTランジスタ1をオンするときにゲート電極6に印加されるバイアスによって変調され、電流経路が低抵抗化される。これにより、高濃度不純物領域8aをゲート電極6からオフセットを設けて形成したことによるオン抵抗の増加を相殺する、或いはオン抵抗のより一層の低減を図ることが可能になる。
- [0022] なお、このような低濃度不純物領域7aに替えて、ゲート電極6に対して自己整合的に低濃度不純物領域を形成し、そのゲート電極6近傍端部に高濃度不純物領域を形成し、ゲート電極6からオフセットを設けて高濃度不純物領域8aを形成した構造も知られている。この構造では、低濃度不純物領域のゲート電極6近傍端部に形成した高濃度不純物領域により、オン抵抗の低減が図られる。しかし、ゲート電極6近傍

端部に高濃度不純物領域が存在することで、一定以上のバイアスが印加された場合には、ドレイン耐圧が不足してしまう場合が起こり得る。特に、ロジック回路に用いられるI/Oトランジスタやコアトランジスタ(ロジックトランジスタ)と同程度の比較的薄い膜厚でゲート絶縁膜や側壁絶縁膜を形成しているような場合には、そのようなドレイン耐圧不足が起こりやすくなる。

[0023] MISトランジスタ1では、高濃度不純物領域8aをゲート電極6から一定のオフセットを設けて形成し、低濃度不純物領域7aをゲート電極6にオーバーラップさせて形成することにより、ドレイン耐圧を確保しつつ、オン抵抗の低減を図っている。例えば、MISトランジスタ1では、I/Oトランジスタと同じ膜厚でゲート絶縁膜5を形成した場合、ゲートソース間電圧が0Vで、ドレインソース間電圧が入力電圧の2倍程度になったとしても、十分なドレイン耐圧を確保することが可能である。

[0024] また、このMISトランジスタ1では、ドレイン側の高濃度不純物領域8aとソース側の高濃度不純物領域8b、及びゲート電極6の各表面にシリサイド層13a, 13b, 13cを形成している。これにより、プラグとのコンタクト抵抗を低減することが可能になる。

[0025] MISトランジスタ1では、低濃度不純物領域7a表面にもシリサイド層13dを形成するが、このシリサイド層13dは、高濃度不純物領域8a表面のシリサイド層13aとは電氣的に分離している。従って、ドレインバイアスがシリサイド層13a, 13dの双方に印加されることはない。

[0026] 仮に、高濃度不純物領域8a表面から低濃度不純物領域7a表面にまで延在するようなシリサイド層を形成すると、バイアス印加により、低濃度不純物領域7aのシリサイド層部分と半導体基板3との間に空乏層が広がってオン抵抗が増加する場合が起こり得る。シリサイド層13a, 13dを電氣的に分離して形成することにより、このような現象を回避することができる。

[0027] さらに、このMISトランジスタ1では、ゲート電極6の上面全体にシリサイド層13cを形成している。このようにゲート電極6の上面全体にシリサイド層13cを形成することにより、シリサイド層13cを形成しなかった場合や部分的に形成した場合に比べ、ゲート電極6の抵抗の低減、最高発振周波数(f_{max})等の高周波特性の向上に寄与することが可能になる。

[0028] また、このMISTランジスタ1では、ゲート電極6下方の低濃度不純物領域7a, 7b間におけるチャネル不純物濃度が、ソース側に比べてドレイン側で低くなるように、チャネル不純物領域9を形成している。このような濃度プロファイルでチャネル不純物領域9を形成すると、ドレイン端部の電界集中が緩和され、ホットキャリアの発生が抑えられて、MISTランジスタ1のホットキャリア寿命を向上させることが可能になる。さらに、ソースドレイン間の横方向(半導体基板3平面方向)について均一な濃度プロファイルのチャネル不純物領域を形成した場合に比べ、オン抵抗の低減を図ることができる。従って、ホットキャリア寿命の向上効果のほか、より一層のオン抵抗低減効果を得ることが可能になる。

[0029] 以上のように、上記図1に示したようなMISTランジスタ1により、ドレイン耐圧の確保とオン抵抗の低減との両立を図ることが可能になる。また、このような構成によれば、ゲート絶縁膜5や側壁絶縁膜10がロジックランジスタと同程度に比較的薄い場合でも、ドレイン耐圧を確保しつつ、オン抵抗の低減を図ることができる。従って、ロジックランジスタと集積する場合に、ゲート絶縁膜形成プロセスを共通化し、ロジックランジスタのゲート絶縁膜を厚くすることなく、高ドレイン耐圧と低オン抵抗を両立させたMISTランジスタ1を形成することができる。このMISTランジスタ1は、ロジックランジスタとの集積を、容易に、また低コストで、行うことができる構造であると言える。

[0030] 続いて、上記構成を有するMISTランジスタ1の形成方法の一例を、図2～図8を参照して順に説明する。

図2は第1の実施の形態の素子分離領域及びウェル形成工程の要部断面模式図である。

[0031] まず、シリコン(Si)基板等の半導体基板3に、STI(Shallow Trench Isolation)法により、素子分離領域2を形成する。そして、素子分離領域2で画定された素子領域に、p型不純物をイオン注入し、p型ウェル4を形成する。p型ウェル4は、例えば、ホウ素(B)を、加速電圧200keV、ドーズ量 $1 \times 10^{13} \text{cm}^{-2}$ の条件でイオン注入することにより形成することができる。

[0032] 図3は第1の実施の形態のドレイン側低濃度不純物領域形成工程の要部断面模式

図である。

素子分離領域2及びp型ウェル4の形成後は、ドレイン側の低濃度不純物領域7aを形成する領域を開口させたレジスト20を形成し、そのレジスト20をマスクにしてn型不純物をイオン注入し、LDD領域として機能する低濃度不純物領域7aを形成する。低濃度不純物領域7aの不純物濃度は、 $1 \times 10^{17} \text{cm}^{-3} \sim 1 \times 10^{18} \text{cm}^{-3}$ に調整することが好ましい。低濃度不純物領域7aは、例えば、リン(P)を、加速電圧200keV、ドーズ量 $1 \times 10^{13} \text{cm}^{-2}$ の条件でイオン注入することにより形成することができる。なお、n型不純物には、Pのほか、ヒ素(As)、アンチモン(Sb)等を用いることもできる。

[0033] 低濃度不純物領域7aの形成後は、レジスト20を除去した後、注入した不純物を拡散させるため、例えば、1000℃で10秒のアニールを行う。

図4は第1の実施の形態のゲート絶縁膜及びゲート電極形成工程の要部断面模式図である。

[0034] アニール後は、半導体基板3表面に、熱酸化法により、例えば膜厚約7nmの熱酸化膜を形成し、続いてその熱酸化膜の上に、CVD (Chemical Vapor Deposition) 法により、例えば膜厚100nmでポリシリコンを堆積する。その後、ゲート電極6を形成する領域を開口させたレジスト(図示せず。)を形成し、ドライエッチングを行ってポリシリコン及び熱酸化膜を加工して、ゲート電極6及びゲート絶縁膜5を形成する。

[0035] その際、ゲート電極6及びゲート絶縁膜5は、低濃度不純物領域7a端部と所定距離L1だけオーバーラップするように、加工する。例えば、ゲート長Lを500nmとする場合、オーバーラップの距離L1は、100nm～300nm程度とすることができる。この場合、オーバーラップの距離L1が100nmを下回ると、後に形成する高濃度不純物領域8aの形成位置等にもよるが、オン抵抗の十分な低減効果を得られない場合がある。また、オーバーラップの距離L1が300nmを上回ると、後に形成するソース側の低濃度不純物領域7bとの間隔を所定値に維持することができなくなる場合がある。

[0036] オーバーラップの距離L1は、形成するMISTランジスタ1のゲート長Lや、その他の構成、要求特性等に基づき、適宜設定すればよい。

図5は第1の実施の形態のチャネル不純物領域及びソース側低濃度不純物領域形成工程の要部断面模式図である。

[0037] ゲート電極6及びゲート絶縁膜5の形成後は、ソース側を開口させたレジスト21を形成し、半導体基板3表面に対して所定角度(例えば45度)傾けた方向からチャネル不純物であるp型不純物をイオン注入し、チャネル不純物領域9を形成する。チャネル不純物領域9は、例えば、Bを、加速電圧30keV、ドーズ量 $5 \times 10^{12} \text{cm}^{-2}$ の条件でイオン注入することにより形成することができる。

[0038] 続いて、同じくレジスト21をマスクにしてn型不純物を半導体基板3表面に対して法線方向からイオン注入し、ソース側のエクステンション領域として機能する低濃度不純物領域7bを自己整合的に形成する。低濃度不純物領域7bは、例えば、Pを、加速電圧30keV、ドーズ量 $1 \times 10^{13} \text{cm}^{-2}$ の条件でイオン注入することにより形成することができる。

[0039] 図6は第1の実施の形態の側壁絶縁膜及びシリサイドブロック形成工程の要部断面模式図である。

チャネル不純物領域9及び低濃度不純物領域7bの形成後は、まず、CVD法により、第1、第2絶縁膜12a、12bとして酸化シリコン膜(SiO)及び窒化シリコン(SiN)膜をこの順で半導体基板3全面に積層形成する。酸化シリコン膜は、例えば膜厚10nmで形成し、窒化シリコン膜は、例えば膜厚30nmで形成する。

[0040] 次いで、形成した酸化シリコン膜及び窒化シリコン膜の上に、シリサイドブロック11を形成する領域を被覆するレジスト22を形成する。その際、レジスト22は、ゲート電極6のドレイン側のエッジ6aから合わせ精度以上の距離L2以上離れた位置に形成する。合わせ精度は、レジスト22形成時のフォトリソグラフィプロセスにおける、露光マスクのゲート電極6に対する位置合わせの精度である。そして、レジスト22をマスクにしてドライエッチングを行い、ゲート電極6の側壁に側壁絶縁膜10を形成すると共に、シリサイドブロック11を形成する。

[0041] なお、側壁絶縁膜10とシリサイドブロック11とは、図6に示したように分離した状態で形成するほか、一体で形成することも可能である。この点については後述する(図8)。

[0042] 図7は第1の実施の形態のドレイン側及びソース側高濃度不純物領域形成工程の要部断面模式図である。

側壁絶縁膜10及びシリサイドブロック11の形成後は、まず、形成する高濃度不純物領域8aとゲート電極6との間に設けるオフセット部分を被覆するレジスト23を形成する。そして、そのレジスト23をマスクにしてn型不純物をイオン注入し、ドレイン側及びソース側に高濃度不純物領域8a, 8bを形成する。このイオン注入時には、同時にゲート電極6にもn型不純物がイオン注入される。高濃度不純物領域8a, 8bは、例えば、Pを、加速電圧10keV、ドーズ量 $5 \times 10^{15} \text{ cm}^{-2}$ の条件でイオン注入することにより形成することができる。

[0043] その後は、レジスト23を除去し、1000°Cで1秒のアニールを行い、注入した不純物の活性化を行う。

このように、ドレイン側の高濃度不純物領域8aは、レジスト23により、ゲート電極6のドレイン側エッジ6aから所定のオフセットが設けられて、半導体基板3内に形成される。また、ソース側の高濃度不純物領域8bは、ゲート電極6及び側壁絶縁膜10がマスクとなって自己整合的に、半導体基板3内の低濃度不純物領域7bの外側に形成される。

[0044] なお、レジスト23は、少なくとも、ドレイン側の側壁絶縁膜10とシリサイドブロック11との間に露出する低濃度不純物領域7aが被覆されるように形成されていればよい。但し、図7に示したように、側壁絶縁膜10とシリサイドブロック11との間の領域と共に、側壁絶縁膜10及びシリサイドブロック11、さらにはゲート電極6を部分的に被覆するように形成することもできる。このようにすると、レジスト23の形成時のフォトリソグラフィプロセスにおいて合わせずれが生じた場合にも、側壁絶縁膜10とシリサイドブロック11との間の領域を確実にレジスト23で被覆することができる。その結果、側壁絶縁膜10とシリサイドブロック11との間の領域に高濃度不純物領域が形成されるのを確実に防止することができる。

[0045] 但し、ゲート電極6上へのレジスト23の被覆量L3は、ゲート電極6に注入された不純物の、その後のアニールによる拡散長以下に設定することが望ましい。例えば、被覆量L3は、50nm程度に設定する。即ち、レジスト23で被覆されていなかったゲート電極6の部分に注入された不純物が、その後のアニールにより、レジスト23で被覆されていたゲート電極6の部分にも十分拡散できる長さ以下に被覆量L3を設定する。

このようにすると、注入した不純物がゲート電極6内に全体的に拡散するため、ゲート電極6の低抵抗化を図ることが可能になる。

[0046] なお、このようにゲート電極6の一部に不純物を注入し、それをその後のアニールによってゲート電極6全体に拡散させる場合には、ゲート電極6に注入する不純物としては、比較的拡散係数の大きいPを用いることが好ましい。この場合、上記手法によれば、ドレイン側及びソース側の高濃度不純物領域8a, 8bもPを用いて形成される。

[0047] また、図7には、シリサイドブロック11全体を被覆するようにレジスト23を形成する場合を例示したが、シリサイドブロック11を部分的に被覆するようなレジスト23を形成しても構わない。即ち、レジスト23によりシリサイドブロック11と側壁絶縁膜10との間の領域が被覆され、その領域に高濃度不純物領域が形成されないようにしていれば、レジスト23は、図7のような形成位置に限定されるものではない。

[0048] 図7に示したようにレジスト23を用いてドレイン側及びソース側に高濃度不純物領域8a, 8bを形成した後は、ニッケル(Ni)やコバルト(Co)等の金属を用い、シリサイド化を行う。即ち、所定金属の堆積後、アニールによってその金属をシリコンと反応させ、未反応の金属を除去する。このようにして高濃度不純物領域8a, 8b、ゲート電極6及び低濃度不純物領域7aの各表面にシリサイド層13a, 13b, 13c, 13dを形成することにより、上記図1に示したようなMISトランジスタ1が形成される。なお、シリサイドブロック11を形成しているため、ドレイン側のシリサイド層13a, 13dは、確実に電氣的に分離されて形成される。

[0049] ところで、上記図6に示した側壁絶縁膜10及びシリサイドブロック11の形成工程では、第1, 第2絶縁膜12a, 12bの形成後、ゲート電極6のドレイン側のエッジ6aから合わせ精度以上の距離L2以上離れた位置にレジスト22を形成するようにした。ここで、このレジスト22は、上記図6に示したように形成されるほか、次の図8に示すように形成されても構わない。

[0050] 図8は側壁絶縁膜及びシリサイドブロック形成工程の別の例の要部断面模式図である。

この図8の例では、レジスト22を、シリサイドブロック11を形成する領域からゲート電極6のエッジ6aにより近い領域まで形成する。そして、そのレジスト22をマスクにして

エッチングすることで、ドレイン側に側壁絶縁膜10とシリサイドブロック11とを一体化して形成している。このような一体化した側壁絶縁膜10及びシリサイドブロック11を形成した上で、上記図7の工程、さらにシリサイド化を行う。

[0051] この図8のような手法を用いると、以後に行う上記図7の工程では、MISトランジスタ1の形成領域についてはレジスト23を形成することなく、イオン注入を行うことができる。即ち、レジスト23を用いずに、低濃度不純物領域7aに高濃度不純物領域を形成することなく、高濃度不純物領域8a, 8bを形成するためのイオン注入、及びゲート電極6へのイオン注入を行うことができる。さらに、その後は、高濃度不純物領域8a, 8b表面及びゲート電極6全表面に選択的にシリサイド層13a, 13b, 13cを形成することができる。

[0052] このように、レジスト22は、シリサイドブロック11を形成する領域からゲート電極6のエッジ6aに近い領域まで形成することもできる。

但し、レジスト22は、ゲート電極6上方にまで延びるように形成することは避けた方が好ましい。そのようにレジスト22を形成すると、それに先立ってゲート電極6上面に形成されている第1, 第2絶縁膜12a, 12bが、レジスト22によりエッチングから保護され、ゲート電極6上面に残るようになる。その場合、高濃度不純物領域8a, 8bを形成するためのイオン注入、及びゲート電極6へのイオン注入を行った後、シリサイド化を行うと、ゲート電極6表面については部分的にしかシリサイド層13cが形成されなくなる。そのため、ゲート電極6の低抵抗化、及び高周波特性の向上が阻害されてしまう。

[0053] 従って、上記図5に示したようなチャンネル不純物領域9及び低濃度不純物領域7bの形成後、レジスト22を形成する際には、そのレジスト22をゲート電極6のエッジ6aよりもドレイン側の領域に形成することが好ましい。

[0054] 以上述べたような方法により、上記図1に示した、高ドレイン耐圧と低オン抵抗を両立させたn型のMISトランジスタ1を得ることができる。

次に、第2の実施の形態について説明する。

[0055] 図9は第2の実施の形態の半導体装置の構成例を示す図である。

図9に第2の実施の形態に係るn型のMISトランジスタ30を例示する。この図9に示

すMISTランジスタ30は、ソースドレイン間の横方向について略均一な濃度プロファイルのチャンネル不純物領域31を有している点で、上記第1の実施の形態のMISTランジスタ1と相違する。

[0056] このようなチャンネル不純物領域31は、後述のように、半導体基板3に対する通常の法線方向からのイオン注入により形成可能である。そのため、斜め方向からのイオン注入によって形成する場合に比べ、MISTランジスタ30の閾値電圧やドレイン耐圧の制御が行いやすく、異なるMISTランジスタ30間の性能ばらつきの発生を抑えることが可能になる。従って、性能ばらつきが抑えられたMISTランジスタ30を、より簡略化したプロセスにより、低コストで、歩留まり良く形成することが可能になる。

[0057] このようなMISTランジスタ30の形成方法の一例を、図10～図15を参照して順に説明する。なお、素子分離領域2及びp型ウェル4の形成は、上記第1の実施の形態と同様に行うことができるため(図2)、ここではそれ以後の工程について説明する。

[0058] 図10は第2の実施の形態のチャンネル注入工程の要部断面模式図である。

上記図2に示したような素子分離領域2及びp型ウェル4の形成後、図10に示すように、半導体基板3表面に対し、法線方向からチャンネル不純物であるp型不純物をイオン注入し、チャンネル不純物領域31を形成する。チャンネル不純物領域31は、例えば、Bを、加速電圧30keV、ドーズ量 $5 \times 10^{12} \text{cm}^{-2}$ の条件でイオン注入することにより形成することができる。

[0059] 図11は第2の実施の形態のドレイン側低濃度不純物領域形成工程の要部断面模式図である。

チャンネル不純物領域31の形成後は、ドレイン側の低濃度不純物領域7aを形成する領域を開口させたレジスト20を形成し、それをマスクにしてn型不純物をイオン注入し、低濃度不純物領域7aを形成する。低濃度不純物領域7aの形成後、レジスト20を除去し、例えば、1000℃で10秒のアニールを行う。

[0060] 図12は第2の実施の形態のゲート絶縁膜及びゲート電極形成工程の要部断面模式図である。

アニール後は、熱酸化膜の形成、及びポリシリコンの堆積を行い、それらをドライエッチングによって加工し、ゲート電極6及びゲート絶縁膜5を形成する。ゲート電極6

及びゲート絶縁膜5は、低濃度不純物領域7a端部と所定距離L1だけオーバーラップするように、加工する。

[0061] 図13は第2の実施の形態のソース側低濃度不純物領域形成工程の要部断面模式図である。

ゲート電極6及びゲート絶縁膜5の形成後は、ソース側を開口させたレジスト21を形成し、それをマスクにしてn型不純物をイオン注入し、ソース側の低濃度不純物領域7bを形成する。

[0062] 図14は第2の実施の形態の側壁絶縁膜及びシリサイドブロック形成工程の要部断面模式図である。

低濃度不純物領域7bの形成後は、半導体基板3全面に第1、第2絶縁膜12a, 12bを積層形成した後、その上に、シリサイドブロック11を形成する領域を被覆するレジスト22を形成する。レジスト22は、例えば、ゲート電極6のドレイン側のエッジ6aから合わせ精度以上の距離L2以上離れた位置に形成する。そして、このレジスト22をマスクにしてドライエッチングを行い、ゲート電極6の側壁に側壁絶縁膜10を形成すると共に、シリサイドブロック11を形成する。

[0063] 図15は第2の実施の形態のドレイン側及びソース側高濃度不純物領域形成工程の要部断面模式図である。

側壁絶縁膜10及びシリサイドブロック11の形成後は、まず、形成する高濃度不純物領域8aとゲート電極6との間に設けるオフセット部分を被覆するレジスト23を形成する。その際、レジスト23をゲート電極6上にも形成する場合には、その被覆量L3を、例えば、ゲート電極6に注入された不純物の、その後のアニールによる拡散長以下に設定する。

[0064] そして、レジスト23をマスクにしてn型不純物をイオン注入してドレイン側及びソース側に高濃度不純物領域8a, 8bを形成し、同時にゲート電極6にn型不純物をイオン注入する。その後は、レジスト23を除去し、1000℃で1秒のアニールを行う。

[0065] このように高濃度不純物領域8a, 8bを形成した後は、シリサイド化を行い、高濃度不純物領域8a, 8b、ゲート電極6及び低濃度不純物領域7aの各表面にシリサイド層13a, 13b, 13c, 13dを形成する。これにより、上記図9に示したようなMISトランジスタ

タ30が形成される。

[0066] なお、上記図14に示した側壁絶縁膜10及びシリサイドブロック11の形成時に用いるレジスト22は、上記図8の例に従い、シリサイドブロック11を形成する領域からゲート電極6のエッジ6aにより近い領域まで形成するようにしてもよい。これにより、上記図8で述べたのと同様に、以後に行う上記図15の工程において、レジスト23を用いることなく低濃度不純物領域7aへの高濃度不純物領域の形成を確実に防ぐことが可能になる。また、その後は、高濃度不純物領域8a, 8b表面及びゲート電極6全表面に選択的にシリサイド層13a, 13b, 13cを形成することが可能になる。

[0067] 以上、MISTランジスタ1, 30について説明したが、ここで、これらMISTランジスタ1, 30の適用例について述べる。

図16はMISTランジスタの適用例の説明図であって、(A)は適用機器の概略図、(B)は入出力電力の説明図、(C)は電力増幅の説明図である。

[0068] 図16(A)に示すように、無線通信を行う携帯機器40の送信モジュール41には、アンテナ42及び電力増幅のためのランジスタ(パワーアンプ)43が搭載されている。通常、パワーアンプ43では、図16(B)に示すように、入力されるRF電力に対し、バイアス点の2倍以上程度まで出力が振れ、図16(C)に示すように、入出力電力の増幅ゲインが得られる。パワーアンプ43は、ゲート電圧については、制御回路を構成するI/Oランジスタと同程度であるが、ドレイン電圧については、I/Oランジスタの2倍以上程度になる。このようなことから、パワーアンプ43には、大きなドレイン耐圧が要求される。

[0069] また、このような携帯機器40に搭載されるパワーアンプ43は、通常、数百MHz～数GHz帯で使用されるため、大きなドレイン耐圧に加え、高い高周波特性(高速性)も要求される。さらに、製造コストを抑えるためには、I/Oランジスタやコアトランジスタと集積しやすいことも望まれるところである。

[0070] MISTランジスタ1, 30は、上記のように、いずれもこれらの要求を満たすことが可能であり、従って、このようなパワーアンプ43として好適である。なお、MISTランジスタ1, 30は、勿論、このようなパワーアンプ43に限らず、様々な機器のランジスタとして広く利用可能である。

[0071] 上記については単に本発明の原理を示すものである。さらに、多数の変形、変更が当業者にとって可能であり、本発明は上記に示し、説明した正確な構成および応用例に限定されるものではなく、対応するすべての変形例および均等物は、添付の請求項およびその均等物による本発明の範囲とみなされる。

符号の説明

- [0072] 1, 30 MISトランジスタ
- 2 素子分離領域
- 3 半導体基板
- 4 p型ウェル
- 5 ゲート絶縁膜
- 6 ゲート電極
- 6a エッジ
- 7a, 7b 低濃度不純物領域
- 8a, 8b 高濃度不純物領域
- 9, 31 チャネル不純物領域
- 10 側壁絶縁膜
- 11 シリサイドブロック
- 12a, 12b 第1, 第2絶縁膜
- 13a, 13b, 13c, 13d シリサイド層
- 20, 21, 22, 23 レジスト
- 40 携帯機器
- 41 送信モジュール
- 42 アンテナ
- 43 パワーアンプ

請求の範囲

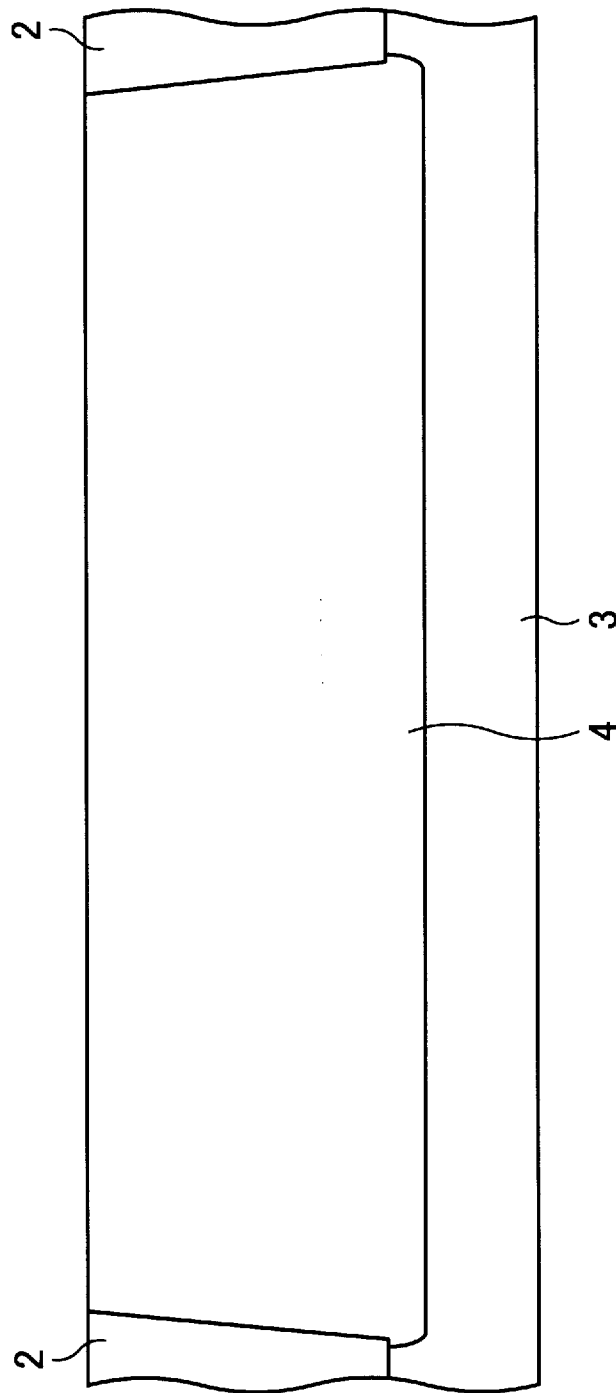
- [1] 半導体基板上に第1絶縁膜を介して形成されたゲート電極と、
前記ゲート電極の側壁に形成された第2絶縁膜と、
前記ゲート電極の一方側の前記半導体基板内に、前記ゲート電極の前記一方側の端部にオーバーラップして形成された第1導電型の第1不純物領域と、
前記ゲート電極の他方側の前記半導体基板内に形成された第1導電型の第2不純物領域と、
前記一方側の前記半導体基板内に、前記第1不純物領域に隣接し前記第2絶縁膜から離間して形成された、第1導電型で前記第1不純物領域より高い不純物濃度の第3不純物領域と、
前記他方側の前記半導体基板内に前記第2不純物領域に隣接して形成された、第1導電型で前記第2不純物領域より高い不純物濃度の第4不純物領域と、
前記ゲート電極及び前記第3、第4不純物領域の表面に形成されたシリサイド層と、
を有することを特徴とする半導体装置。
- [2] 前記半導体基板内の前記第1、第2不純物領域間に第2導電型の第5不純物領域を有し、前記第5不純物領域の不純物濃度が、前記第2不純物領域側に比べて前記第1不純物領域側で低いことを特徴とする請求の範囲第1項記載の半導体装置。
- [3] 前記半導体基板内の前記第1、第2不純物領域間に第2導電型の第5不純物領域を有し、前記第5不純物領域の不純物濃度が、前記第1、第2不純物領域間では前記半導体基板平面方向について均一であることを特徴とする請求の範囲第1項記載の半導体装置。
- [4] 前記ゲート電極の上面全体にシリサイド層が形成されていることを特徴とする請求の範囲第1項から第3項のいずれかに記載の半導体装置。
- [5] 前記第1不純物領域表面に形成されたシリサイド層を有し、前記第1不純物領域表面のシリサイド層と、前記第3不純物領域表面のシリサイド層とは、電気的に分離されていることを特徴とする請求の範囲第1項から第4項のいずれかに記載の半導体装置。
- [6] 前記第1不純物領域上に、前記第2絶縁膜と分離して形成された第3絶縁膜を有

- することを特徴とする請求の範囲第1項から第5項のいずれかに記載の半導体装置。
- [7] 前記第1不純物領域上に、前記第2絶縁膜と一体に形成された第3絶縁膜を有することを特徴とする請求の範囲第1項から第5項のいずれかに記載の半導体装置。
- [8] 前記第1不純物領域は、前記ゲート電極に対して非自己整合的に、前記ゲート電極の前記一方側の端部にオーバーラップして形成されていることを特徴とする請求の範囲第1項から第7項のいずれかに記載の半導体装置。
- [9] 前記第2不純物領域は、前記ゲート電極に対して自己整合的に形成されていることを特徴とする請求の範囲第1項から第8項のいずれかに記載の半導体装置。
- [10] 半導体基板の所定領域に第1導電型の第1不純物領域を形成する工程と、
前記半導体基板上に、前記第1不純物領域の端部とオーバーラップするように、第1絶縁膜を介してゲート電極を形成する工程と、
前記ゲート電極の他方側の前記半導体基板内に第1導電型の第2不純物領域を形成する工程と、
前記ゲート電極の側壁に第2絶縁膜を形成する工程と、
前記ゲート電極の一方側の前記第2絶縁膜から所定距離の前記第1不純物領域をマスクして、前記一方側及び前記他方側の前記半導体基板内にそれぞれ、前記第1、第2不純物領域に隣接する、第1導電型で前記第1、第2不純物領域より高い不純物濃度の第3、第4不純物領域を形成する工程と、
前記ゲート電極及び前記第3、第4不純物領域の表面にシリサイド層を形成する工程と、
を有することを特徴とする半導体装置の製造方法。
- [11] 前記他方側の前記半導体基板内に、第2導電型の第5不純物領域を形成した後、前記第2不純物領域を形成することを特徴とする請求の範囲第10項記載の半導体装置の製造方法。
- [12] 前記第1不純物領域の形成前に、前記半導体基板内に第2導電型の第5不純物領域を形成することを特徴とする請求の範囲第10項記載の半導体装置の製造方法。
- [13] 前記ゲート電極の上面全体にシリサイド層を形成することを特徴とする請求の範囲

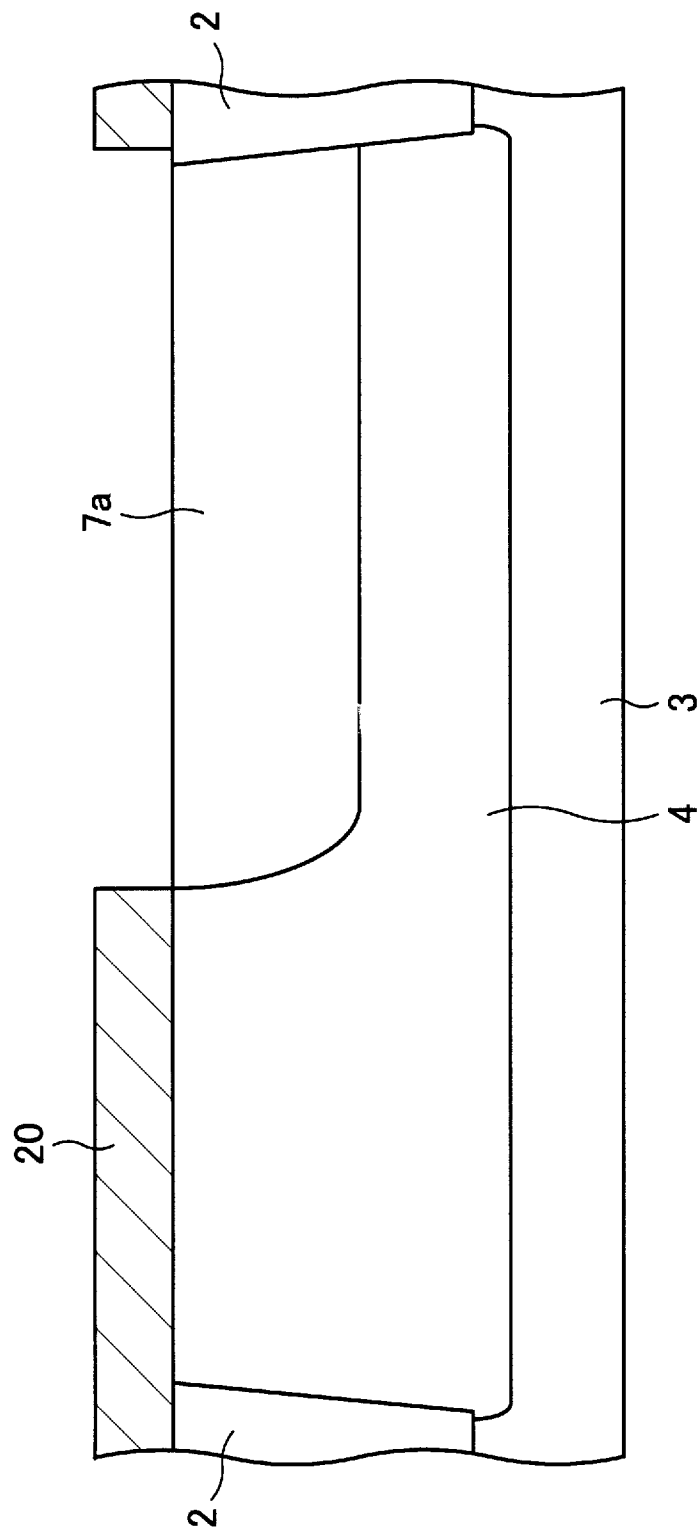
第10項から第12項のいずれかに記載の半導体装置の製造方法。

- [14] 前記一方側の前記第2絶縁膜から所定距離の前記第1不純物領域をマスクする際には、前記ゲート電極の前記一方側の端部を被覆し、前記一方側の端部から前記第1不純物領域を部分的に被覆するレジストを形成し、
前記レジストの前記ゲート電極の前記一方側の端部の被覆量は、前記第3, 第4不純物領域の形成時に前記ゲート電極の前記レジストで被覆されない領域に導入される不純物の拡散長以下に設定することを特徴とする請求の範囲第10項から第13項のいずれかに記載の半導体装置の製造方法。
- [15] 前記ゲート電極の側壁に前記第2絶縁膜を形成する際には、前記第2絶縁膜と共に、前記第1不純物領域上に前記第2絶縁膜と分離して第3絶縁膜を形成することを特徴とする請求の範囲第10項から第14項のいずれかに記載の半導体装置の製造方法。
- [16] 前記ゲート電極及び前記第3, 第4不純物領域表面にシリサイド層を形成すると共に、前記第2, 第3絶縁膜の間の前記第1不純物領域上に、前記第3不純物領域表面のシリサイド層と電気的に分離されたシリサイド層を形成することを特徴とする請求の範囲第15項記載の半導体装置の製造方法。
- [17] 前記ゲート電極の側壁に前記第2絶縁膜を形成する際には、前記第2絶縁膜と一体に、前記第2絶縁膜から所定距離の前記第1不純物領域上に延在する第3絶縁膜を形成することを特徴とする請求の範囲第10項から第13項のいずれかに記載の半導体装置の製造方法。
- [18] 前記第1不純物領域を、前記ゲート電極に対して非自己整合的に、前記ゲート電極の前記一方側の端部にオーバーラップするように形成することを特徴とする請求の範囲第10項から第17項のいずれかに記載の半導体装置の製造方法。
- [19] 前記第2不純物領域を、前記ゲート電極に対して自己整合的に形成することを特徴とする請求の範囲第10項から第18項のいずれかに記載の半導体装置の製造方法。

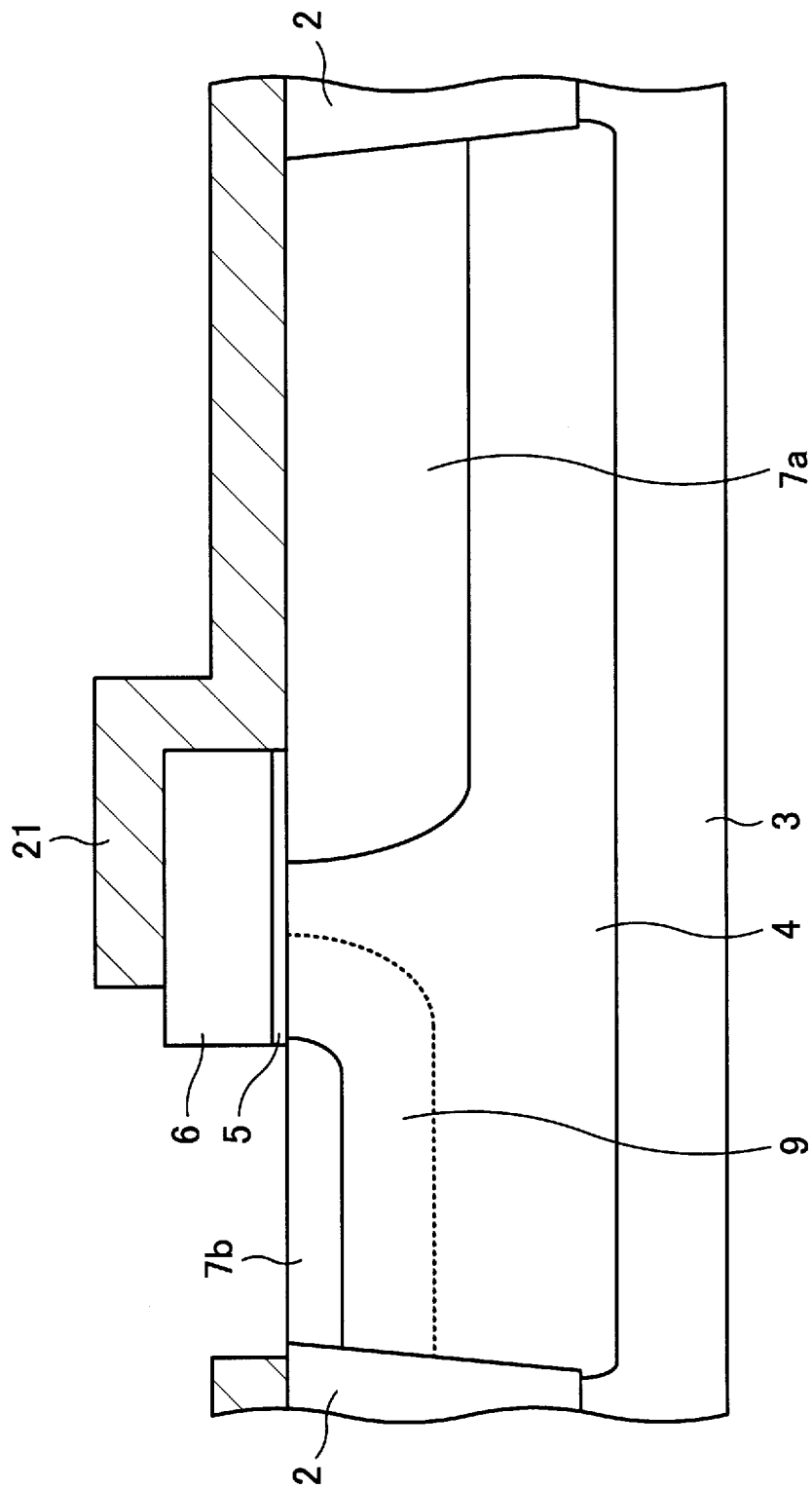
[図2]



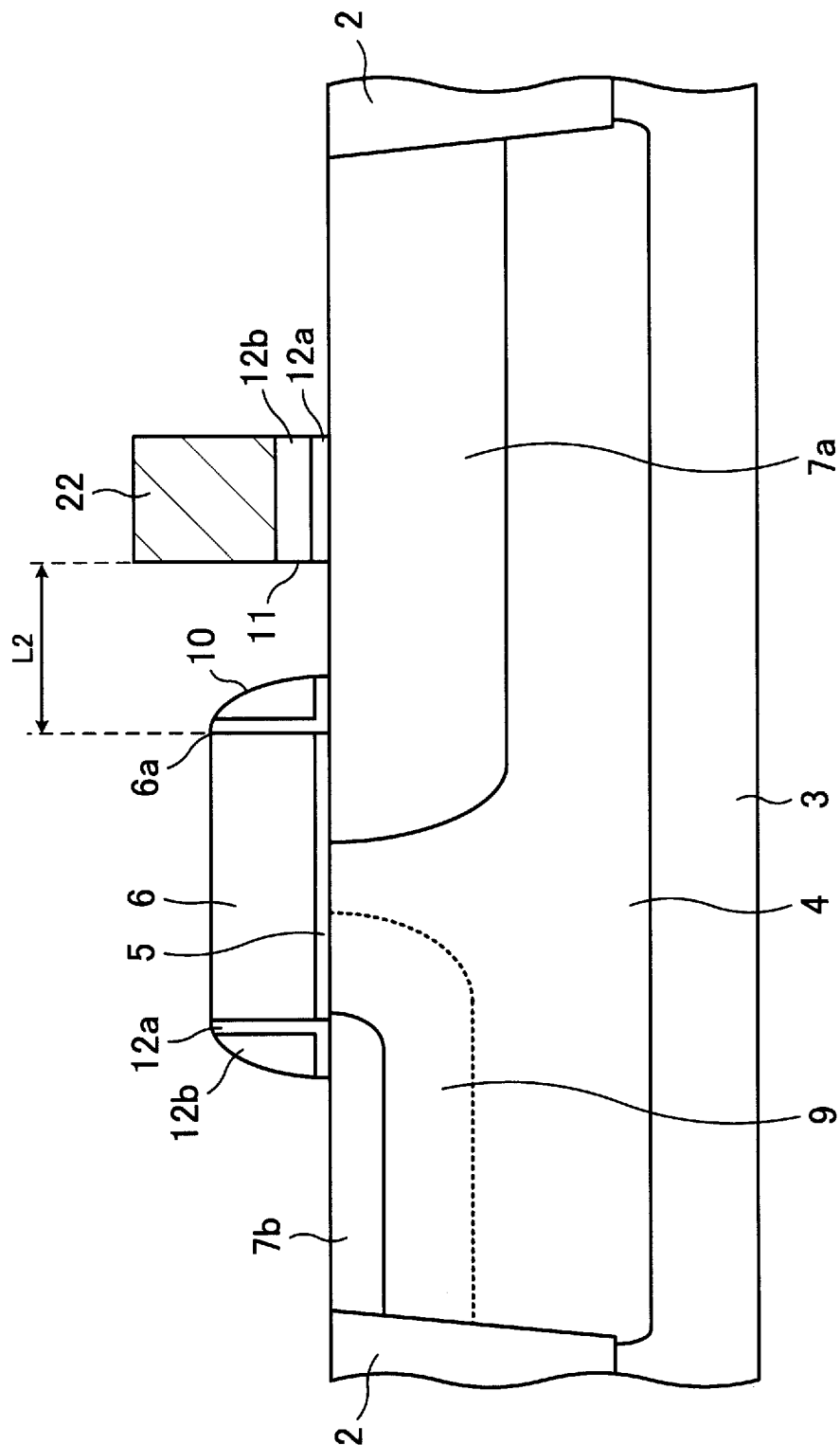
[図3]



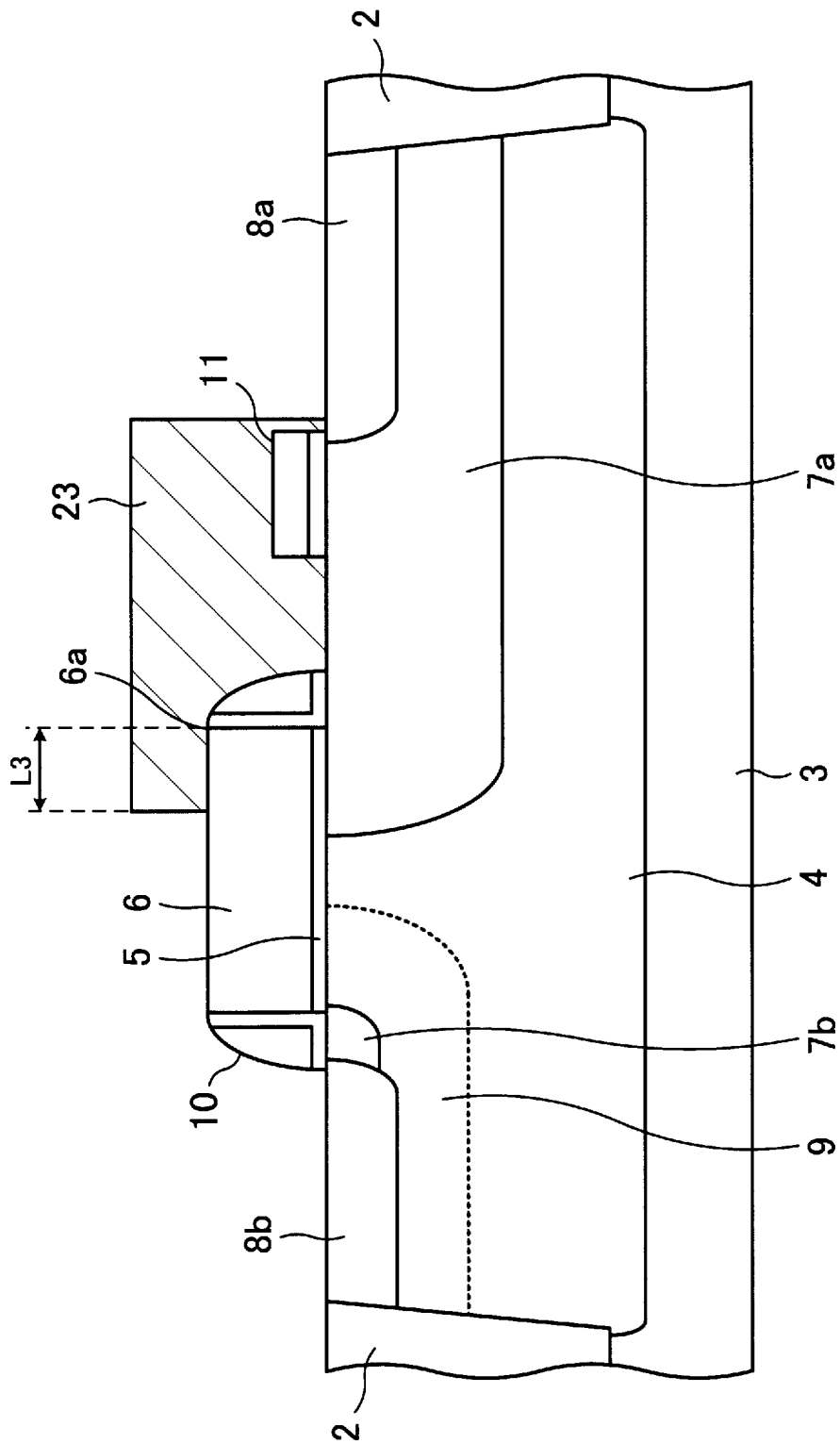
[図5]



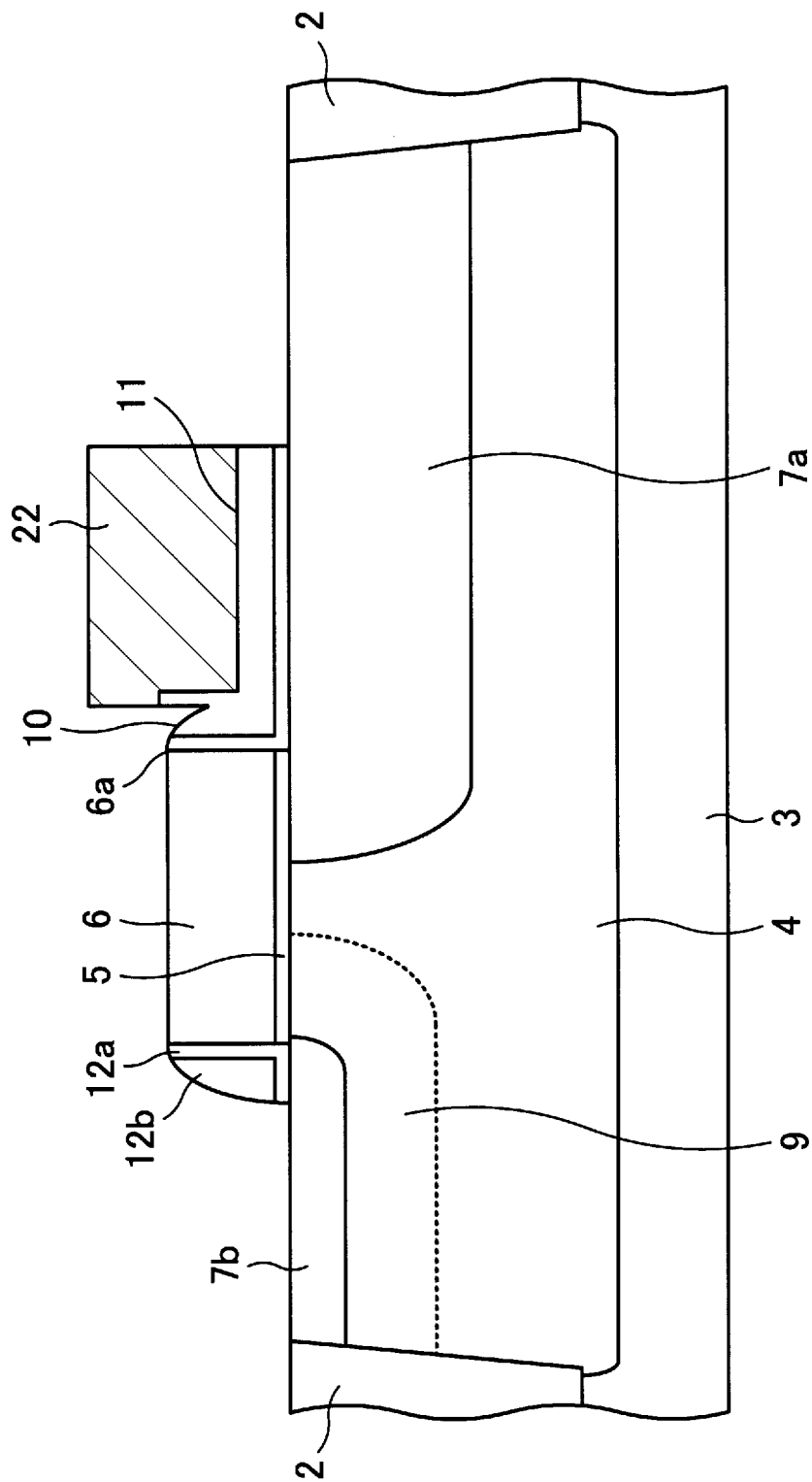
[図6]



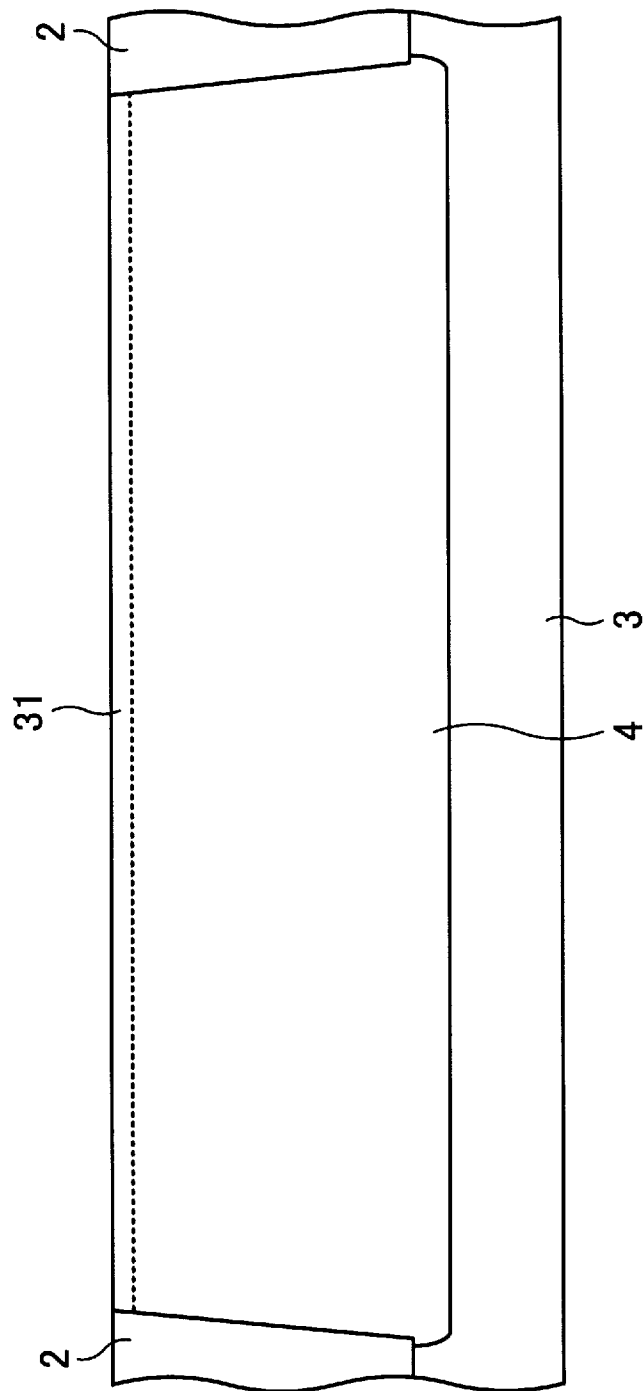
[図7]



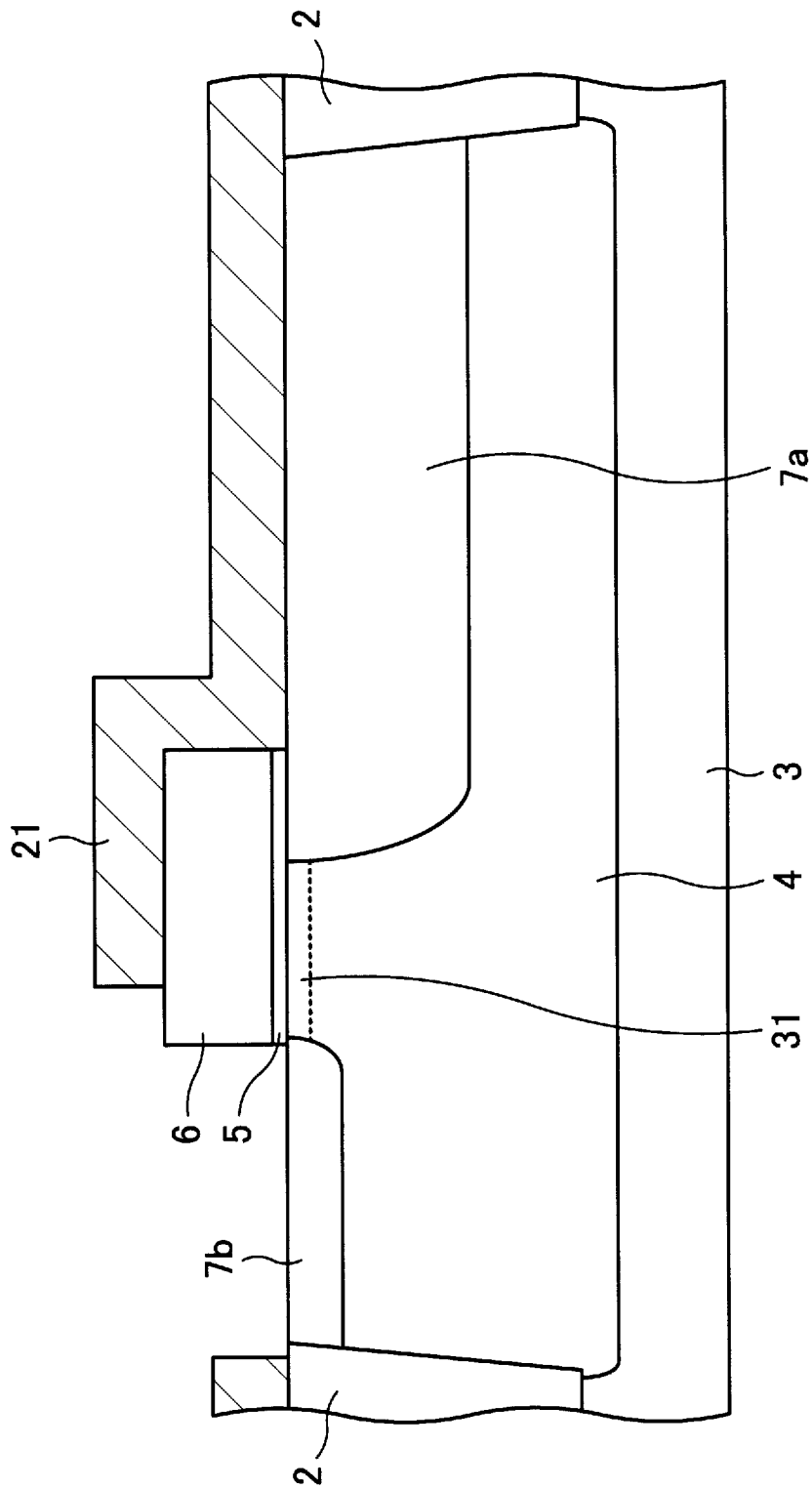
[図8]



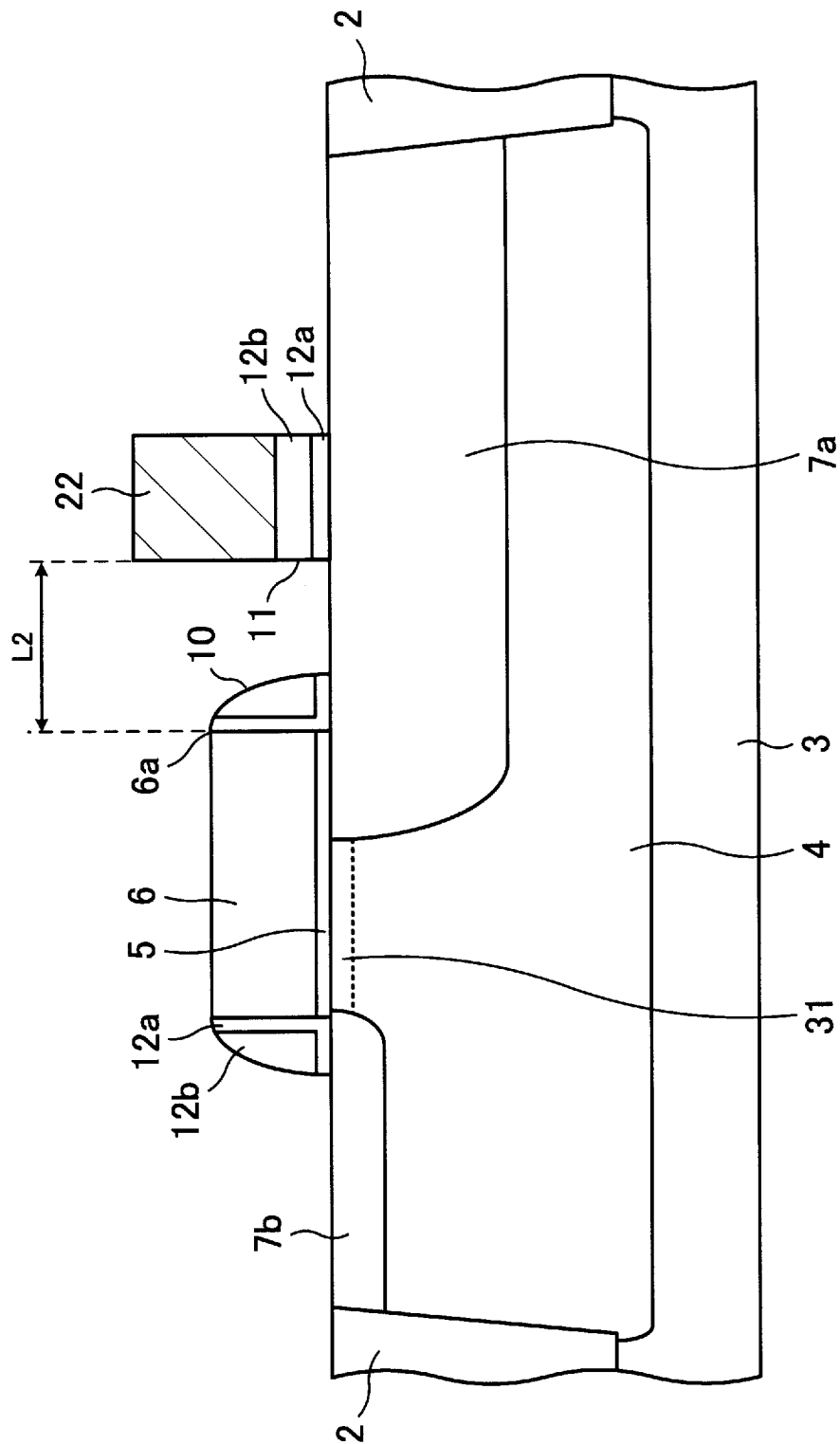
[図10]



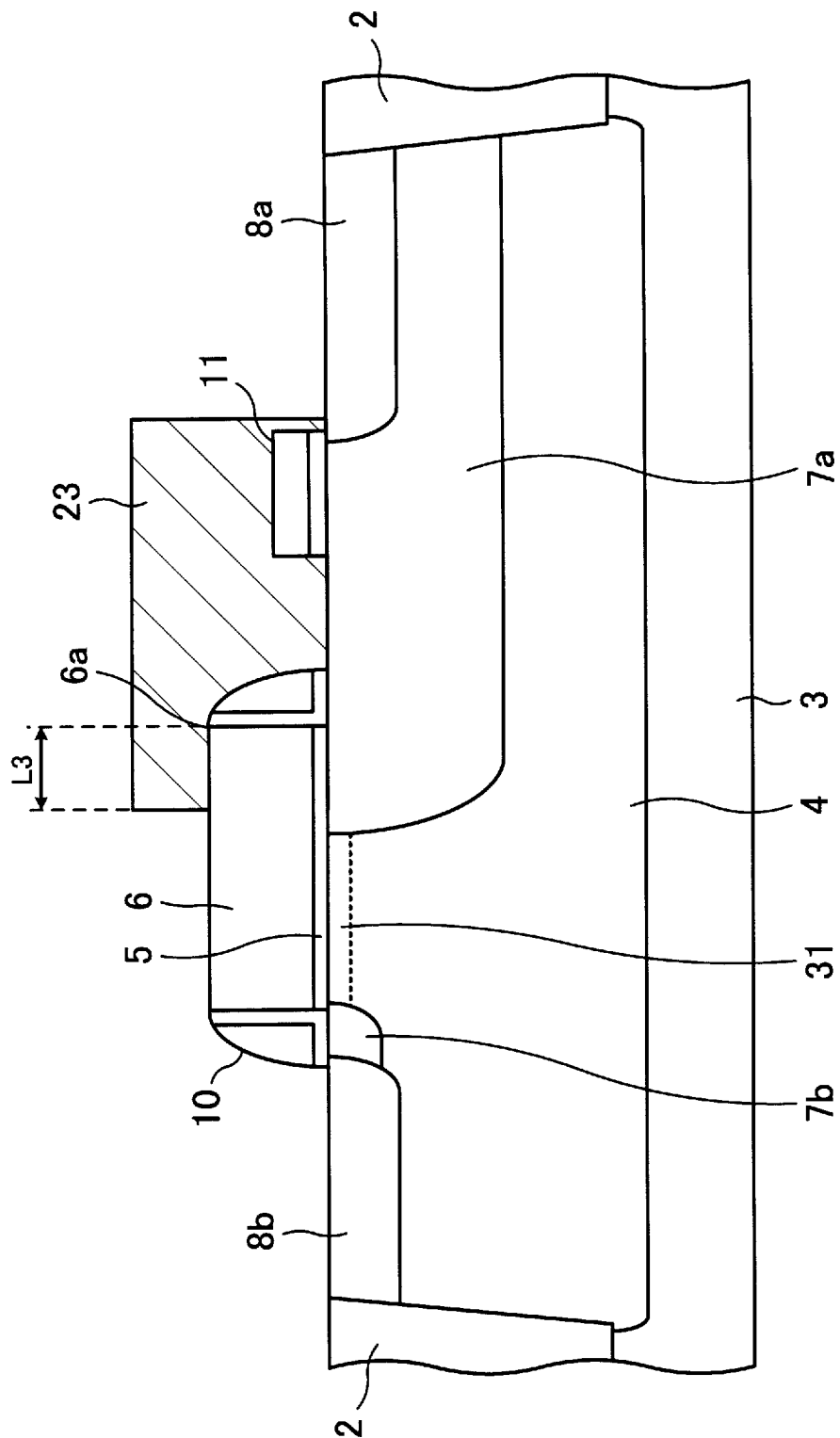
[図13]



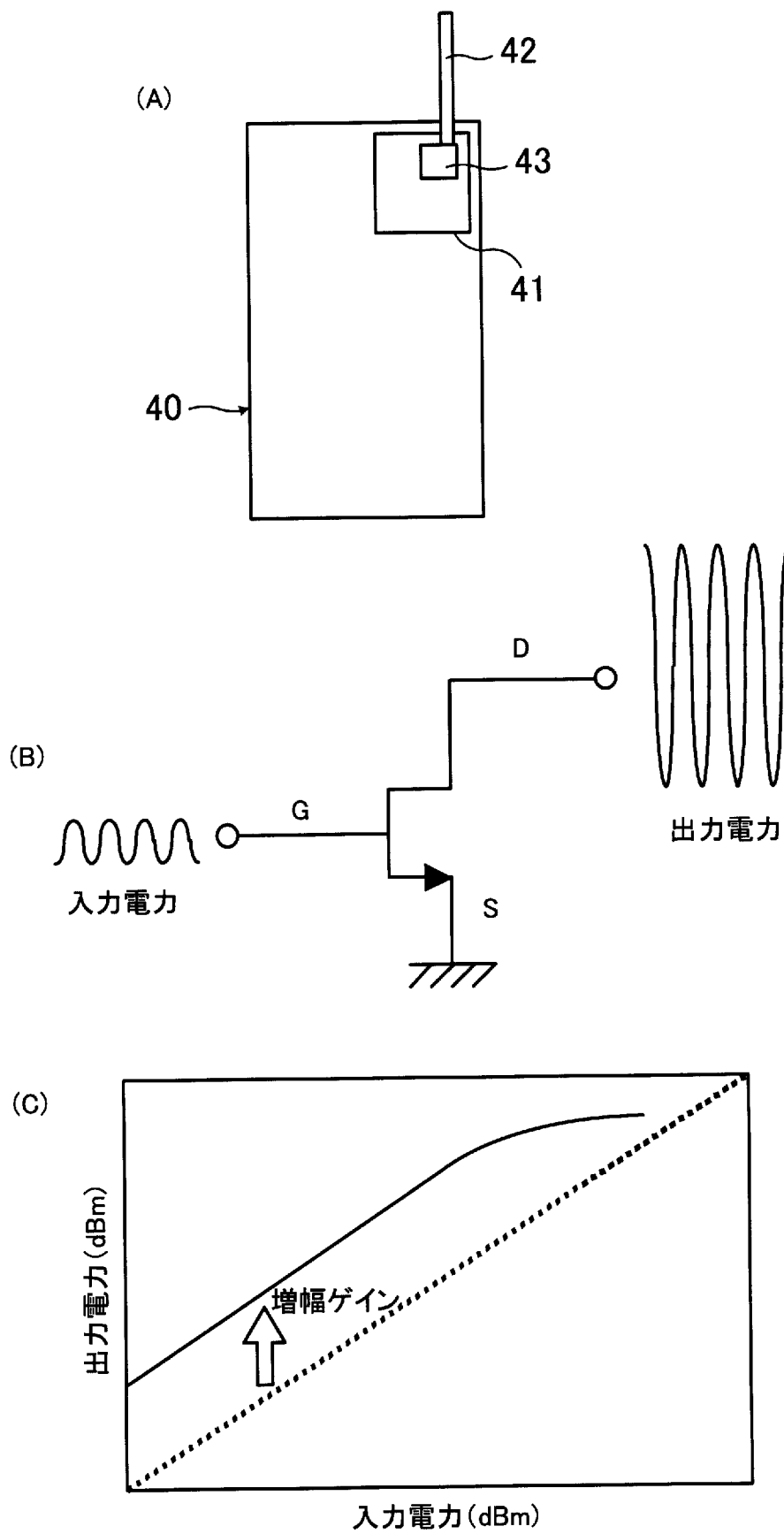
[図14]



[図15]



[図16]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2008/065179

A. CLASSIFICATION OF SUBJECT MATTER

H01L29/78(2006.01) i, H01L21/336(2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L29/78, H01L21/336

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2008
Kokai Jitsuyo Shinan Koho	1971-2008	Toroku Jitsuyo Shinan Koho	1994-2008

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2001-168210 A (Texas Instruments Inc.), 22 June, 2001 (22.06.01),	1, 3, 4, 7-14, 17-19
Y	Par. Nos. [0013] to [0018]; Figs. 2 to 4	2, 3
A	& US 2003/0127694 A1	5, 6, 15, 16
X	JP 2007-27641 A (Toshiba Corp.),	1, 2, 4, 7, 9
Y	01 February, 2007 (01.02.07),	2, 3
A	Par. Nos. [0053] to [0070]; Figs. 23 to 35 (Family: none)	5, 6, 8, 10-19
X	JP 2007-67328 A (Fujitsu Ltd.),	1, 3, 4, 6, 9
Y	15 March, 2007 (15.03.07),	2, 3
A	Full text; all drawings & US 2007/0052038 A1	5, 7, 8, 10-19

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
10 September, 2008 (10.09.08)

Date of mailing of the international search report
22 September, 2008 (22.09.08)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2008/065179

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y A	JP 2007-142041 A (Toshiba Corp.), 07 June, 2007 (07.06.07), Par. No. [0016]; Fig. 4 & US 2007/0108518 A1 & CN 1967875 A	1, 4, 5, 9 2, 3 6-8, 10-19
A	JP 2006-5204 A (Fujitsu Ltd.), 05 January, 2006 (05.01.06), Full text; all drawings (Family: none)	1-19

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2008/065179

Box No. II Observations where certain claims were found unsearchable (Continuation of item 2 of first sheet)

This international search report has not been established in respect of certain claims under Article 17(2)(a) for the following reasons:

1. ☐ Claims Nos.:
because they relate to subject matter not required to be searched by this Authority, namely:

2. ☐ Claims Nos.:
because they relate to parts of the international application that do not comply with the prescribed requirements to such an extent that no meaningful international search can be carried out, specifically:

3. ☐ Claims Nos.:
because they are dependent claims and are not drafted in accordance with the second and third sentences of Rule 6.4(a).

Box No. III Observations where unity of invention is lacking (Continuation of item 3 of first sheet)

This International Searching Authority found multiple inventions in this international application, as follows:

In order that a group of inventions claimed might comply with the requirement of unity of invention, the inventions should have a special technical feature which links them so as to form a single general inventive concept. A group of inventions stated in claims 1-19 are considered to be linked to each other by the matter stated in claim 1.

However, this matter cannot be a special technical feature since it is disclosed in the prior art document JP 2001-168210 A (Texas Instruments Inc.), 22 June, 2001 (22.06.01), [0013] - [0018], Figs. 2-4.

In view of this, there is no special technical feature, among the group of inventions stated in claims 1-19, (Continued to extra sheet.)

1. ☐ As all required additional search fees were timely paid by the applicant, this international search report covers all searchable claims.
2. ☒ As all searchable claims could be searched without effort justifying additional fees, this Authority did not invite payment of additional fees.
3. ☐ As only some of the required additional search fees were timely paid by the applicant, this international search report covers only those claims for which fees were paid, specifically claims Nos.:

4. ☐ No required additional search fees were timely paid by the applicant. Consequently, this international search report is restricted to the invention first mentioned in the claims; it is covered by claims Nos.:

Remark on Protest
the

- ☐ The additional search fees were accompanied by the applicant's protest and, where applicable, payment of a protest fee.
- ☐ The additional search fees were accompanied by the applicant's protest but the applicable protest fee was not paid within the time limit specified in the invitation.
- ☐ No protest accompanied the payment of additional search fees.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2008/065179

Continuation of Box No.III of continuation of first sheet (2)

whichlinksthemsoastoformasinglegeneralinventiveconcept. Because of this, it is obvious that the group of inventions stated in claims 1-19 do not comply with the requirement of unity of invention.

A. 発明の属する分野の分類（国際特許分類（I P C））
Int.Cl. H01L29/78(2006.01)i, H01L21/336(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. H01L29/78, H01L21/336

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 0 8 年
日本国実用新案登録公報	1 9 9 6 - 2 0 0 8 年
日本国登録実用新案公報	1 9 9 4 - 2 0 0 8 年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X Y A	JP 2001-168210 A（テキサス インストルメンツ インコーポレイ テッド）2001.06.22, 【0013】 - 【0018】、図 2~4 & US 2003/0127694 A1	1, 3, 4, 7-14, 17-19 2, 3 5, 6, 15, 16
X Y A	JP 2007-27641 A（株式会社東芝）2007.02.01 【0053】 - 【0070】 , 図 23-35（ファミリーなし）	1, 2, 4, 7, 9 2, 3 5, 6, 8, 10-19

☒ C 欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の 1 以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

1 0 . 0 9 . 2 0 0 8

国際調査報告の発送日

2 2 . 0 9 . 2 0 0 8

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）
郵便番号 1 0 0 - 8 9 1 5
東京都千代田区霞が関三丁目 4 番 3 号

特許庁審査官（権限のある職員）

松嶋 秀忠

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 4 6 2

4 M

9 8 3 6

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X Y A	JP 2007-67328 A (富士通株式会社) 2007. 03. 15 全文, 全図 & US 2007/0052038 A1	1, 3, 4, 6, 9 2, 3 5, 7, 8, 10-19
X Y A	JP 2007-142041 A (株式会社東芝) 2007. 06. 07 【0016】, 図 4 & US 2007/0108518 A1 & CN 1967875 A	1, 4, 5, 9 2, 3 6-8, 10-19
A	JP 2006-5204 A (富士通株式会社) 2006. 01. 05 全文, 全図 (ファミリーなし)	1-19

第Ⅱ欄 請求の範囲の一部の調査ができないときの意見（第1ページの2の続き）

法第8条第3項（PCT17条(2)(a)）の規定により、この国際調査報告は次の理由により請求の範囲の一部について作成しなかった。

1. ☐ 請求の範囲 _____ は、この国際調査機関が調査をすることを要しない対象に係るものである。つまり、
2. ☐ 請求の範囲 _____ は、有意義な国際調査をすることができる程度まで所定の要件を満たしていない国際出願の部分に係るものである。つまり、
3. ☐ 請求の範囲 _____ は、従属請求の範囲であってPCT規則6.4(a)の第2文及び第3文の規定に従って記載されていない。

第Ⅲ欄 発明の単一性が欠如しているときの意見（第1ページの3の続き）

次に述べるようにこの国際出願に二以上の発明があるところの国際調査機関は認めた。

請求の範囲に記載されている一群の発明が単一性の要件を満たすためには、その一群の発明を単一の一般的発明概念を形成するように連関させるための、特別な技術的特徴の存在が必要であるところ、請求の範囲1-19に記載されている一群の発明は、請求の範囲1に記載された点で連関していると認められる。

しかしながら、この事項は先行技術文献、JP 2001-168210 A（テキサス インストルメンツ インコーポレイテッド）2001.06.22, 【0013】 - 【0018】、図2～4 に記載されているため、特別な技術的特徴とはなり得ない。

そうすると、請求の範囲1-19に記載されている一群の発明の間には、単一の一般的発明概念を形成するように連関させるための、特別な技術的特徴は存しないこととなる。そのため、請求の範囲1-19に記載されている一群の発明が発明の単一性の要件を満たしていないことは明らかである。

1. ☐ 出願人が必要な追加調査手数料をすべて期間内に納付したので、この国際調査報告は、すべての調査可能な請求の範囲について作成した。
2. ☒ 追加調査手数料を要求するまでもなく、すべての調査可能な請求の範囲について調査することができたので、追加調査手数料の納付を求めなかった。
3. ☐ 出願人が必要な追加調査手数料を一部のみしか期間内に納付しなかったため、この国際調査報告は、手数料の納付のあった次の請求の範囲のみについて作成した。
4. ☐ 出願人が必要な追加調査手数料を期間内に納付しなかったため、この国際調査報告は、請求の範囲の最初に記載されている発明に係る次の請求の範囲について作成した。

追加調査手数料の異議の申立てに関する注意

- ☐ 追加調査手数料及び、該当する場合には、異議申立手数料の納付と共に、出願人から異議申立てがあった。
- ☐ 追加調査手数料の納付と共に出願人から異議申立てがあったが、異議申立手数料が納付命令書に示した期間内に支払われなかった。
- ☐ 追加調査手数料の納付はあったが、異議申立てはなかった。