(19) RÉPUBLIQUE FRANÇAISE

INSTITUT NATIONAL DE LA PROPRIÉTÉ INDUSTRIELLE

COURBEVOIE

(11) **N° de publication :** ***3 142 061***

(à n'utiliser que pour les commandes de reproduction)

(21) **N° d'enregistrement national :** **22 11830**

(51) Int Cl[8] : ***H 10 K 59/90*** *(2023.01), H 01 L 33/10, H 01 S 5/183, 5/42*

(12) DEMANDE DE BREVET D'INVENTION A1

(22) **Date de dépôt :** 14.11.22.

(30) **Priorité :**

(43) **Date de mise à la disposition du public de la demande :** 17.05.24 Bulletin 24/20.

(56) **Liste des documents cités dans le rapport de recherche préliminaire :** *Se reporter à la fin du présent fascicule*

(60) **Références à d'autres documents nationaux apparentés :**

( ) **Demande(s) d'extension :**

(71) **Demandeur(s) :** *COMMISSARIAT A L'ENERGIE ATOMIQUE ET AUX ENERGIES ALTERNATIVES Etablissement Public* — FR.

(72) **Inventeur(s) :** TEMPLIER François.

(73) **Titulaire(s) :** COMMISSARIAT A L'ENERGIE ATOMIQUE ET AUX ENERGIES ALTERNATIVES Etablissement Public.

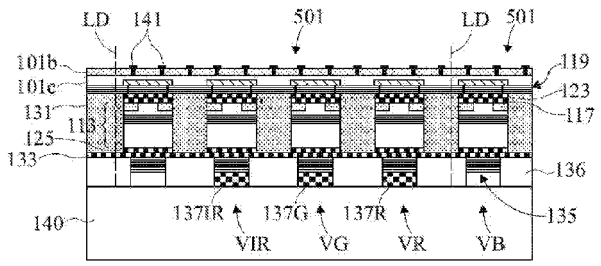
(74) **Mandataire(s) :** CABINET BEAUMONT.

(54) Puce optoélectronique émissive monolithique.

(57) Puce optoélectronique émissive monolithique

La présente description concerne une puce de circuits intégrés monolithique (501) comprenant : - une pluralité de LED commandables individuellement formées dans un même empilement actif de LED (113) et séparées latéralement les unes des autres par des tranchées d'isolation (127) remplies d'un matériau diélectrique (131) ; et- sous chaque LED, du côté de la face de l'empilement actif de LED (113) opposée à la face d'émission de la LED, un premier réflecteur de Bragg (119).

Figure pour l'abrégé: Fig. 1O



FR 3 142 061 - A1

Description

Titre de l'invention : *Puce optoélectronique émissive monolithique*

Domaine technique

[0001] La présente description concerne de façon générale le domaine des dispositifs d'affichage d'images, et vise plus particulièrement une puce optoélectronique intégrée combinant des fonctions d'émission lumineuses à des longueurs d'ondes distinctes.

Technique antérieure

[0002] Il a déjà été proposé, par exemple dans les demandes de brevet WO2017089676, EP3401958 et WO2018185433 précédemment déposées par le demandeur, des dispositifs d'affichage d'images comportant une pluralité de puces électroniques monolithiques élémentaires, par exemple des micropuces, disposées en matrice sur un même substrat de report. Les puces élémentaires sont montées solidaires du substrat de report et connectées à des éléments de connexion électrique du substrat de report pour leur commande. Chaque puce comporte une ou plusieurs diodes électroluminescentes (LED) et un circuit intégré de commande de ladite une ou plusieurs LED, et correspond à un pixel du dispositif. Le circuit intégré de commande comprend une face de connexion opposée à ladite une ou plusieurs LED, comprenant une pluralité de plages de connexion électrique destinées à être connectées au substrat de report pour la commande de la micropuce. Le substrat de report comprend une face de connexion comportant, pour chaque micropuce, une pluralité de plages de connexion électrique destinées à être connectées respectivement aux plages de connexion électrique de la micropuce. Les puces sont rapportées sur le substrat de report, faces de connexion tournées vers la face de connexion du substrat de report, et fixées sur le substrat de report de façon à connecter les plages de connexion électrique de chaque micropuce aux plages de connexion électrique correspondantes du substrat de report.

[0003] Ce type de dispositif d'affichage est particulièrement adapté pour réaliser des écrans d'affichage de grande surface, par exemple des écrans d'ordinateur, de téléviseur, de tablette, etc.

[0004] On s'intéresse ici plus particulièrement à la réalisation d'un dispositif d'affichage d'images interactif. Plus particulièrement, on s'intéresse ici à la réalisation d'un dispositif d'affichage d'images interactif combinant une fonction d'émission de lumière visible pour afficher des images, et une fonction d'émission-réception de lumière, par exemple infrarouge, pour des applications de détection.

Résumé de l'invention

[0005] Un mode de réalisation prévoit une puce de circuits intégrés monolithique comprenant :

- une pluralité de LED commandables individuellement formées dans un même empilement actif de LED et séparées latéralement les unes des autres par des tranchées d'isolation remplies d'un matériau diélectrique ; et
- sous chaque LED, du côté de la face de l'empilement actif de LED opposée à la face d'émission de la LED, un premier réflecteur de Bragg.

[0006] Selon un mode de réalisation, les LED sont adaptées à émettre à une première longueur d'onde, au moins une première LED de ladite pluralité de LED étant revêtue, du côté de sa face supérieure, d'un premier élément de conversion de ladite première longueur d'onde en une deuxième longueur d'onde, et au moins une deuxième LED de ladite pluralité de LED n'étant pas revêtue, du côté de sa face supérieure, d'un élément de conversion de ladite première longueur d'onde en ladite deuxième longueur d'onde.

[0007] Selon un mode de réalisation, la deuxième LED est revêtue, du côté de sa face supérieure, d'un deuxième élément de conversion de ladite première longueur d'onde en une troisième longueur d'onde.

[0008] Selon un mode de réalisation, au moins une troisième LED de la pluralité de LED est revêtue, du côté de sa face supérieure, d'un troisième élément de conversion de ladite première longueur d'onde en une quatrième longueur d'onde.

[0009] Selon un mode de réalisation, au moins une quatrième LED de la pluralité de LED n'est pas revêtue, du côté de sa face supérieure, d'un élément de conversion de longueur d'onde.

[0010] Selon un mode de réalisation, la première longueur d'onde est une longueur d'onde visible et ladite deuxième longueur d'onde est une longueur d'onde infrarouge.

[0011] Selon un mode de réalisation, la puce comprend en outre, du côté de la face du premier réflecteur de Bragg opposée à l'empilement actif de LED, un circuit de contrôle intégré dans et sur une couche de silicium, ledit circuit de contrôle étant connecté électriquement aux LED par l'intermédiaire de vias conducteurs traversant le premier réflecteur de Bragg.

[0012] Selon un mode de réalisation, au moins une LED de la pluralité de LED est revêtue, du côté de sa face supérieure, d'un deuxième réflecteur de Bragg, de sorte à former une diode laser à cavité verticale émettant par la surface.

[0013] Selon un mode de réalisation, le premier réflecteur de Bragg est constitué d'une alternance de couches diélectriques.

[0014] Selon un mode de réalisation, le deuxième réflecteur de Bragg est constitué d'une alternance de couches diélectriques.

[0015] Selon un mode de réalisation, le deuxième réflecteur de Bragg est constitué d'une alternance de couches semiconductrices.

[0016] Un autre mode de réalisation prévoit un dispositif comportant :
- un substrat de report comportant des éléments de connexion électrique ; et

- une pluralité de puces élémentaires monolithiques telles que définies ci-dessus, fixées et connectées électriquement au substrat de report.

[0017] Selon un mode de réalisation, le dispositif comporte en outre, associé à au moins une des puces élémentaires, un détecteur photosensible, ladite au moins une puce élémentaire intégrant un circuit électronique de lecture du détecteur photosensible.

[0018] Selon un mode de réalisation, le détecteur photosensible est externe à ladite au moins une puce élémentaire.

Brève description des dessins

[0019] Ces caractéristiques et avantages, ainsi que d'autres, seront exposés en détail dans la description suivante de modes de réalisation particuliers faite à titre non limitatif en relation avec les figures jointes parmi lesquelles :

[0020] la [Fig.1A], la [Fig.1B], la [Fig.1C], la [Fig.1D], la [Fig.1E], la [Fig.1F], la [Fig.1G], la [Fig.1H], la [Fig.1I], la [Fig.1J], la [Fig.1K], la [Fig.1L], la [Fig.1M], la [Fig.1N] et la [Fig.1O] sont des vues en coupe illustrant des étapes d'un exemple d'un procédé de fabrication de puces élémentaires de pixel d'un dispositif d'affichage interactif selon un mode de réalisation ;

[0021] la [Fig.2A], la [Fig.2B], la [Fig.2C], la [Fig.2D], la [Fig.2E], la [Fig.2F], la [Fig.2G], la [Fig.2H], la [Fig.2I], la [Fig.2J] et la [Fig.2K] sont des vues en coupe illustrant des étapes d'un autre exemple d'un procédé de fabrication de puces élémentaires de pixel d'un dispositif d'affichage interactif selon un mode de réalisation ;

[0022] la [Fig.3] illustre encore un autre exemple de réalisation d'une puce élémentaire de pixel d'un dispositif d'affichage interactif selon un mode de réalisation ;

[0023] la [Fig.4] est une vue de dessus illustrant de façon schématique et partielle un exemple d'un substrat de report d'un dispositif d'affichage interactif selon un mode de réalisation ; et

[0024] la [Fig.5A], la [Fig.5B] et la [Fig.5C] sont des vues en coupe illustrant des étapes successives d'un exemple d'un procédé de fabrication d'un dispositif d'affichage interactif selon un mode de réalisation.

Description des modes de réalisation

[0025] De mêmes éléments ont été désignés par de mêmes références dans les différentes figures. En particulier, les éléments structurels et/ou fonctionnels communs aux différents modes de réalisation peuvent présenter les mêmes références et peuvent disposer de propriétés structurelles, dimensionnelles et matérielles identiques.

[0026] Par souci de clarté, seuls les étapes et éléments utiles à la compréhension des modes de réalisation décrits ont été représentés et sont détaillés. En particulier, les diverses applications que peuvent avoir les dispositifs d'affichage interactifs décrits n'ont pas été détaillées, les modes de réalisation décrits étant compatibles avec toutes ou la plupart

des applications connues d'un dispositif d'affichage émissif intégrant une fonction d'émission-réception lumineuse, par exemple des applications de détection de mouvement, de reconnaissance de visage, d'identification, etc.

[0027] Sauf précision contraire, lorsque l'on fait référence à deux éléments connectés entre eux, cela signifie directement connectés sans éléments intermédiaires autres que des conducteurs, et lorsque l'on fait référence à deux éléments reliés (en anglais "coupled") entre eux, cela signifie que ces deux éléments peuvent être connectés ou être reliés par l'intermédiaire d'un ou plusieurs autres éléments.

[0028] Dans la description qui suit, lorsque l'on fait référence à des qualificatifs de position absolue, tels que les termes "avant", "arrière", "haut", "bas", "gauche", "droite", etc., ou relative, tels que les termes "dessus", "dessous", "supérieur", "inférieur", etc., ou à des qualificatifs d'orientation, tels que les termes "horizontal", "vertical", etc., il est fait référence sauf précision contraire à l'orientation des figures.

[0029] Sauf précision contraire, les expressions "environ", "approximativement", "sensiblement", et "de l'ordre de" signifient à 10 % près, de préférence à 5 % près.

[0030] Selon un aspect d'un mode de réalisation, on prévoit un dispositif d'affichage d'images comportant une pluralité de puces électroniques monolithiques élémentaires disposées en matrice sur un même substrat de report. Comme dans les exemples décrits dans les demandes de brevet WO2017089676, EP3401958 et WO2018185433 précédemment déposées par le demandeur, les puces élémentaires sont montées solidaires du substrat de report et connectées à des éléments de connexion électrique du substrat de report. Chaque puce comporte plusieurs LED formées dans un même empilement actif de LED, et un circuit intégré adapté à commander individuellement lesdites LED. Le circuit de commande comprend une face de connexion opposée aux LED, comprenant une pluralité de plages (aussi appelées bornes ou plots) de connexion électrique destinées à être connectées au substrat de report pour la commande de la micropuce. Le substrat de report comprend une face de connexion comportant, pour chaque micropuce, une pluralité de plages (aussi appelées bornes ou plots) de connexion électrique destinées à être connectées respectivement aux plages de connexion électrique de la micropuce. Les puces sont rapportées sur le substrat de report, faces de connexion tournées vers la face de connexion du substrat de report, et fixées sur le substrat de report de façon à connecter les plages de connexion électrique de chaque micropuce aux plages de connexion électrique correspondantes du substrat de report.

[0031] Selon un aspect d'un mode de réalisation, chaque puce élémentaire comprend, sous chaque LED, entre la LED et le circuit intégré de commande, un réflecteur de Bragg.

[0032] A titre d'exemple, chaque LED définit un VCSEL (de l'anglais « Vertical-cavity surface-emitting laser »), ou diode laser à cavité verticale émettant par la surface. Pour

cela, chaque puce élémentaire comprend, pour chaque LED, outre le réflecteur de Bragg inférieur disposé sous la LED, un réflecteur de Bragg supérieur disposé sur la LED, c'est à dire sur la face de la LED opposée au circuit intégré de commande. Chaque VCSEL est défini par l'ensemble comprenant le réflecteur de Bragg inférieur, la LED, le réflecteur de Bragg supérieur, et éventuellement un élément de conversion de longueur d'onde revêtant la face supérieure du réflecteur de Bragg supérieur.

[0033] Selon un mode de réalisation, le dispositif d'affichage d'images comprend une fonction d'émission-réception d'un rayonnement lumineux, par exemple infrarouge, permettant de détecter des éléments ou des variations de l'environnement du dispositif, et, par exemple, modifier en conséquence une image affichée par les pixels du dispositif.

[0034] Pour cela, le dispositif comprend une pluralité de détecteurs photosensibles, par exemple des photodétecteurs organiques, par exemple agencés en matrice selon des rangées et des colonnes, définissant un capteur d'images.

[0035] Le dispositif d'affichage comprend en outre une ou plusieurs cellules émissives à LED adaptées à émettre dans une gamme de longueur d'onde de sensibilité des détecteurs photosensibles.

[0036] A titre d'exemple, chaque puce élémentaire du dispositif d'affichage intègre un ou plusieurs VCSEL adaptés à émettre de la lumière visible pour afficher un pixel d'une image, et un VCSEL adapté à émettre de la lumière dans une gamme de longueur d'onde de sensibilité des détecteurs photosensibles, par exemple de la lumière infrarouge.

[0037] Les photodétecteurs sont par exemple externes aux puces élémentaires de pixel du dispositif d'affichage, et sont disposés sur le substrat de report du dispositif, du même côté du substrat de report que les puces élémentaires de pixel. Les photodétecteurs sont par exemple connectés à des bornes de connexion électrique du substrat de report pour leur lecture.

[0038] A titre d'exemple, le dispositif comprend un photodétecteur par puce élémentaire de pixel du dispositif, disposé au voisinage de ladite puce élémentaire de pixel. Autrement dit, la matrice de puces élémentaires de pixel du dispositif d'affichage et la matrice de photodétecteurs sont des matrices entrelacées de mêmes dimensions et de même pas.

[0039] Chaque puce élémentaire de pixel du dispositif d'affichage intègre par exemple un circuit électronique de lecture d'un signal électrique représentatif d'une intensité lumineuse reçue par le photodétecteur correspondant, c'est-à-dire de même position dans la matrice de pixels, du dispositif. Pour cela, chaque puce élémentaire de pixel du dispositif peut comprendre une borne de connexion connectée individuellement à une électrode du photodétecteur associé par l'intermédiaire d'une piste conductrice du substrat de report.

[0040] Des exemples de réalisation d'un tel dispositif d'affichage vont être décrits plus en détail ci-après en relation avec les figures.

[0041] Les figures 1A à 1O sont des vues en coupe illustrant un exemple d'un procédé de fabrication des puces élémentaires de pixel du dispositif.

[0042] La [Fig.1A] illustre une structure de départ comprenant un substrat 111, sur la face supérieure duquel repose un empilement actif de LED 113. L'empilement actif de LED 113 est par exemple un empilement de LED inorganique, par exemple à base d'un ou plusieurs matériaux semiconducteurs de type III-V, par exemple à base de nitrure de gallium. Le substrat 111 est par exemple en saphir ou en silicium.

[0043] L'empilement actif de LED 113 comprend par exemple, dans l'ordre en partant de la face supérieure du substrat 111, une couche semiconductrice 113a dopée de type N formant une couche de cathode, une couche active 113b, et une couche semiconductrice 113c dopée de type P formant une couche d'anode. Les couches de cathode 113a et d'anode 113c sont par exemple en nitrure de gallium. La couche active comporte par exemple une alternance de couches de puits quantiques en un premier matériau semiconducteur et de couches barrières en un deuxième matériau semiconducteur définissant un empilement de puits quantiques multiples.

[0044] L'empilement actif 113 peut être formé par épitaxie sur la face supérieure du substrat 111. A titre de variante, l'empilement actif 113 est formé par épitaxie sur un substrat de croissance, non représenté, puis reporté sur la face supérieure du substrat 111.

[0045] Dans l'exemple de la [Fig.1A], une couche tampon 112, par exemple en nitrure de gallium, fait interface entre le substrat 111 et l'empilement actif 113. A titre d'exemple, la couche tampon 112 est en contact, par sa face inférieure, avec la face supérieure du substrat 111, et, par sa face supérieure, avec la face inférieure de la couche 113a de l'empilement actif 113.

[0046] A ce stade, l'empilement 113 n'est pas encore structuré en LED individuelles. Autrement dit, les couches de l'empilement 113 s'étendent chacune de façon continue et avec une épaisseur sensiblement uniforme sur toute la surface supérieure du substrat 111.

[0047] La [Fig.1B] illustre la structure obtenue à l'issue d'une étape de neutralisation localisée d'au moins une partie supérieure 114 de la couche semiconductrice supérieure 113c de l'empilement actif de LED, de façon à définir, pour chaque VCSEL de chaque puce élémentaire, une zone de confinement 115 de la LED. La zone de confinement 115 correspond à une partie non neutralisée de la couche 113c, entourée latéralement par la partie neutralisée 114.

[0048] Dans cet exemple, une partie supérieure de la couche semiconductrice 113c est oxydée sur toute la surface de l'empilement actif à l'exception des zones de confinement de confinement 115 des LED. La région oxydée correspond à la partie

neutralisée de la couche 113c. A titre d'exemple, l'oxydation peut être réalisée au moyen d'un plasma oxygéné à travers une couche de masquage protégeant les zones de confinement 115.

[0049] Dans l'exemple des figures 1A à 1O, la formation de cinq VCSEL comprenant chacun une zone de confinement 115 est représentée. Ainsi, en [Fig.1B], cinq zones de confinement 115 sont représentées, entourées latéralement et séparées les unes des autres par la région oxydée 114.

[0050] En vue de dessus, les zones de confinement 115 ont par exemple une forme circulaire, carrée ou rectangulaire.

[0051] L'épaisseur de la région oxydée 114 est par exemple inférieure à la moitié, par exemple inférieure au quart, de l'épaisseur de la couche 113c. A titre d'exemple, la région oxydée 114 présente une épaisseur de l'ordre de 20 nm.

[0052] A titre de variante, la région neutralisée 114 peu être obtenue par implantation localisée d'éléments dopants dans la couche 113c, ou par dépôt localisé puis gravure d'une couche d'oxyde sur la couche 113c.

[0053] La [Fig.1C] illustre la structure obtenue à l'issue d'une étape de dépôt, sur et en contact avec la face supérieure de la structure de la [Fig.1B], d'une couche électriquement conductrice 117. La couche 117 est transparente à la longueur d'onde d'émission des LED. La couche 117 est par exemple en un oxyde conducteur transparent, par exemple en oxyde d'indium-étain (ITO).

[0054] Dans cet exemple, la couche 117 est déposée de façon continue et avec une épaisseur sensiblement uniforme sur toute la surface supérieure de la structure de la [Fig.1B]. Ainsi, la couche 117 est en contact, par sa face inférieure, avec la face supérieure de la région neutralisée 114 de la couche 113c et avec la face supérieure des zones de confinement 115.

[0055] L'épaisseur de la couche 117 est par exemple comprise entre 50 et 100 nm.

[0056] La [Fig.1D] représente de façon schématique une structure de contrôle comprenant un substrat 101 dans et sur lequel ont été formés une pluralité de circuits intégrés élémentaires de contrôle 103, par exemple identiques ou similaires, correspondant respectivement aux circuits intégrés de contrôle des LED des futures puces élémentaires de pixel du dispositif.

[0057] Dans l'exemple représenté, le substrat 101 est un substrat de type SOI (de l'anglais "Semiconductor On Insulator" – semiconducteur sur isolant), comportant un substrat semiconducteur de support 101a, par exemple en silicium, une couche isolante 101b, par exemple en oxyde de silicium, disposée sur et en contact avec la face supérieure du substrat de support 101a, et une couche semiconductrice supérieure 101c, par exemple en silicium monocristallin, disposée sur et en contact avec la face supérieure de la couche isolante 101b.

[0058] Dans cet exemple, les circuits élémentaires de contrôle 103 sont formés dans et sur la couche semiconductrice supérieure 101c du substrat 101. Chaque circuit élémentaire de contrôle 103 comprend par exemple une pluralité de transistors MOS (non détaillés sur les figures). Les circuits élémentaires de contrôle 103 sont par exemple réalisés en technologie CMOS (de l'anglais "Complementary Metal Oxyde Semiconductor" – métal oxyde semiconducteur complémentaire). Chaque circuit élémentaire de contrôle 103 peut comprendre un circuit adapté à contrôler individuellement l'émission de lumière par chaque LED de la future puce élémentaire de pixel du dispositif. Chaque circuit élémentaire de contrôle 103 peut en outre comprendre un circuit de lecture du photodétecteur associé à la future puce élémentaire de pixel du dispositif.

[0059] Dans cet exemple, chaque circuit élémentaire de contrôle 103 comprend, du côté de sa face supérieure, un ou plusieurs plots de connexion métalliques 105. A titre d'exemple, les plots 105 affleurent du côté de la face supérieure d'une couche isolante supérieure, par exemple en oxyde de silicium, d'un empilement d'interconnexion (non détaillé sur les figures) revêtant la face supérieure de la couche semiconductrice supérieure 103c du substrat 101.

[0060] A titre d'exemple, chaque circuit élémentaire de contrôle 103 comprend un plot métallique 105 spécifique pour chaque LED de la future puce élémentaire de pixel du dispositif, destiné à être connecté à une région d'anode de la LED et permettant de commander individuellement l'émission de lumière par ladite LED. Le contact de cathode (non détaillés sur la figure) peut être commun à toutes les LED de la puce.

[0061] A titre d'exemple, chaque puce élémentaire de pixel du dispositif comprend quatre VCSEL commandables individuellement adaptés à émettre respectivement de la lumière bleue, de la lumière verte, de la lumière rouge et de la lumière infrarouge. Dans ce cas, chaque circuit élémentaire de contrôle 103 peut comprendre quatre plots métalliques 105 distincts destinés à être connectés respectivement aux régions d'anode des quatre LED correspondantes.

[0062] La [Fig.1D] illustre en outre une étape de formation, sur la face supérieure de la structure de contrôle, d'un réflecteur de Bragg 119. Dans cet exemple, le réflecteur de Bragg s'étend de façon continue et avec une épaisseur sensiblement uniforme sur toute la surface supérieure de la structure. Le réflecteur de Bragg 119 est par exemple en contact, par sa face inférieure, avec la face supérieure de la structure de contrôle, comprenant une alternance de régions métalliques (les plots 105) et de régions isolantes.

[0063] Le réflecteur de Bragg est constitué d'un empilement de couches transparentes alternées d'indices de réfraction distincts. A titre d'exemple, le réflecteur de Bragg est constitué d'une alternance de couches transparentes en un premier matériau présentant un premier indice de réfraction et de couches transparentes d'un deuxième matériau

présentant un deuxième indice de réfraction. L'empilement comprend par exemple 10 à 15 paires de couches des premier et deuxième matériaux. Les premier et deuxième matériaux sont par exemple des matériaux diélectriques. A titre d'exemple, les premier et deuxième matériaux sont respectivement de l'oxyde de silicium (SiO_2) et de l'oxyde de tantale (Ta_2O_5). A titre de variante, les premier et deuxième matériaux sont respectivement de l'oxyde de silicium (SiO_2) et de l'oxyde de niobium (Nb_2O_5). A titre de variante, les premier et deuxième matériaux sont respectivement de l'oxyde de silicium (SiO_2) et du nitrure de silicium (SiN). L'épaisseur totale du réflecteur de Bragg 119 est par exemple comprise entre 0,5 et 1 μm.

[0064] La [Fig.1E] illustre la structure obtenue à l'issue d'une étape de formation de vias conducteurs 121 s'étendant verticalement à travers le réflecteur de Bragg 119 et permettant la reprise, du côté de la face supérieure du réflecteur de Bragg, d'un contact électrique sur les plots métalliques 105 sous-jacents. Les vias conducteurs 121 sont en contact, par leur face inférieure, avec les plots métalliques 105. Les vias 121 sont de préférence localisés en dehors du vis-à-vis de la zone de confinement des futures LED du dispositif pour ne pas gêner l'émission lumineuse.

[0065] A titre d'exemple, les vias conducteurs 121 sont formés par gravure plasma d'ouvertures traversantes dans le réflecteur de Bragg, puis remplissage des ouvertures par du métal.

[0066] La [Fig.1F] illustre la structure obtenue à l'issue d'une étape de dépôt, sur et en contact avec la face supérieure de la structure de la [Fig.1E], d'une couche électriquement conductrice 123. La couche 123 est transparente à la longueur d'onde d'émission des LED. La couche 123 est par exemple en un oxyde conducteur transparent, par exemple en oxyde d'indium-étain (ITO).

[0067] Dans cet exemple, la couche 123 est déposée de façon continue et avec une épaisseur sensiblement uniforme sur toute la surface supérieure de la structure de la [Fig.1E]. Ainsi, la couche 123 est en contact, par sa face inférieure, avec la face supérieure du réflecteur de Bragg 119 et avec la face supérieure des vias conducteurs 121.

[0068] L'épaisseur de la couche 123 est par exemple comprise entre 50 et 100 nm.

[0069] La [Fig.1G] illustre la structure obtenue à l'issue d'une étape de report et de fixation de la structure de la [Fig.1C] sur la structure de la [Fig.1F].

[0070] Sur la [Fig.1G], l'orientation de la structure de la [Fig.1F] reste inchangée. En revanche, la structure de la [Fig.1C] est retournée.

[0071] Lors de cette étape, la structure de la [Fig.1C] est rapportée sur la face supérieure de la structure de [Fig.1F], en utilisant le substrat 111 comme poignée. La face inférieure (dans l'orientation de la [Fig.1G], correspondant à la face supérieure dans l'orientation de la [Fig.1C]) de la couche conductrice 117 est fixée sur la face supérieure de la couche conductrice 123. La fixation est par exemple obtenue par collage direct ou

collage moléculaire de la face inférieure de la couche 117 sur la face supérieure de la couche 123, c'est-à-dire sans apport de matière entre les deux couches.

[0072] Lors cette étape, les deux structures sont alignées de façon à disposer les zones de confinement 115 des futures LED élémentaires du dispositif hors du vis à vis des vias conducteurs 121. A titre d'exemple, dans chaque LED, la zone de confinement 115 de la LED est située en vis à vis d'une partie centrale du plot 105, un ou plusieurs vias conducteur 121 étant situés en vis à vis d'une partie périphérique de chaque plot métallique 105.

[0073] La [Fig.1H] illustre la structure obtenue à l'issue d'une étape de retrait du substrat 111, par exemple par décollage laser ou par meulage.

[0074] La [Fig.1I] illustre la structure obtenue à l'issue d'une étape de retrait de la couche tampon 112 et, éventuellement, d'amincissement de la couche semiconductrice 113a, par exemple par gravure plasma, de façon à obtenir l'épaisseur de cavité verticale souhaitée des VCSEL (c'est à dire la distance entre le réflecteur de Bragg inférieur 119 et le réflecteur de Bragg supérieur ([Fig.1M]) des VCSEL).

[0075] La [Fig.1J] illustre la structure obtenue à l'issue d'une étape de dépôt d'une couche conductrice transparente 125 sur et en contact avec la face supérieure de la couche semiconductrice 113a, puis de structuration de la couche conductrice supérieure 125, de l'empilement actif de LED 113, et des couches conductrices inférieures 117 et 123. La couche 125 est par exemple en un oxyde conducteur transparent, par exemple en ITO. A titre d'exemple, la couche 125 est d'abord déposée de façon continue et avec une épaisseur sensiblement uniforme sur toute la surface de la couche 113a. Des tranchées 127 s'étendant verticalement dans la couche 125, l'empilement actif de LED 113, et les couches 117 et 123, sont ensuite formée à partir de la face supérieure de la structure. Les tranchées 127 délimitent latéralement une pluralité d'ilots 129 définissant les LED individuelles des futures puces élémentaires du dispositif. Les tranchées 127 sont par exemple formées par gravure plasma. A titre d'exemple, la gravure de la couche 125, la gravure de l'empilement actif de LED 113 et les gravures des couches 123 et 117 sont autoalignées. Pour cela, une même couche de masquage (non représentée sur les figures) peut être utilisée pour graver la couche 125, l'empilement actif de LED 113 et les couches 123 et 117. Ceci permet avantageusement de structurer la couche 125, l'empilement actif de LED 113 et les couches 123 et 117 au moyen d'une unique étape de photolithographie.

[0076] Dans l'exemple de la [Fig.1J], les tranchées 127 s'interrompent sur la face supérieure du réflecteur de Bragg inférieur 119 de la structure. A titre de variante, une couche d'arrêt de gravure, non représentée, peut être présente entre la face supérieure du réflecteur de Bragg 119 et la face inférieure de la couche conductrice inférieure 123. Dans une autre variante, non représentée, les tranchées 127 sont prolongées à travers le

réflecteur de Bragg inférieur 119 et s'interrompent sur la face supérieure du circuit intégré de contrôle. En vue de dessus (non représentée), les tranchées 127 forment une grille séparant latéralement les LED élémentaires les unes des autres.

[0077] La portion de l'empilement des couches conductrices inférieures 117 et 123 subsistant sous chaque LED à l'issue de cette étape constitue une électrode d'anode de la LED. Cette électrode d'anode est connectée électriquement à un plot métallique de connexion 105 du circuit élémentaire de contrôle 103 sous-jacent par l'intermédiaire d'un ou plusieurs vias conducteurs 121 traversant le réflecteur de Bragg inférieur 119 en périphérie de la zone de confinement 115 de la LED. Ainsi, chaque LED a son électrode d'anode connectée individuellement à un plot métallique de connexion 105 du circuit élémentaire de contrôle.

[0078] La portion de la couche conductrice supérieure 125 située sur chaque LED constitue une électrode de cathode de la LED.

[0079] La [Fig.1K] illustre la structure obtenue à l'issue d'une étape de remplissage des tranchées 127 par un matériau électriquement isolant 131, par exemple un oxyde, par exemple de l'oxyde de silicium.

[0080] La [Fig.1L] illustre une étape ultérieure de dépôt d'une couche conductrice transparente 133 sur et en contact avec la face supérieure de la structure de la [Fig.1K]. La couche 133 s'étend par exemple de façon continue et avec une épaisseur sensiblement uniforme sur toute la surface supérieure de la structure. Ainsi, la couche 133 est en contact, par sa face inférieure, avec la face supérieure des électrodes de cathode 125 des LED et avec la face supérieure du matériau diélectrique 131 isolant latéralement les LED.

[0081] A l'issue de cette étape, les électrodes de cathode des LED sont connectées électriquement les unes aux autres par l'intermédiaire de la couche conductrice 133. Dans chaque puce élémentaire du dispositif, la couche conductrice de cathode commune 133 peut être connectée électriquement à un plot métallique de connexion 105 du circuit intégré de contrôle de la puce au niveau d'une zone périphérique de reprise de contact, non représentée.

[0082] A titre de variante, non représentée, la couche conductrice transparente 133 peut être remplacée par une couche conductrice opaque, par exemple métallique, comprenant une ouverture traversante en vis à vis d'une partie centrale de chaque LED du dispositif, de façon à former une grille conductrice de cathode commune.

[0083] La [Fig.1M] illustre une étape ultérieure de formation d'un réflecteur de Bragg supérieur 135 au-dessus de chaque LED élémentaire du dispositif. A titre d'exemple, le réflecteur de Bragg supérieur est d'abord formé de façon continue sur toute la structure, puis structuré en plots élémentaires situés respectivement en vis à vis des LED élémentaires. A titre de variante, l'étape de structuration du réflecteur en plots

élémentaires peut-être omise. Le réflecteur de Bragg 135 est par exemple en contact, par sa face inférieure, avec la face supérieure la couche conductrice cathode commune 133 de la structure.

[0084] Le réflecteur de Bragg 135 est constitué d'un empilement de couches transparentes alternées d'indices de réfraction distincts. A titre d'exemple, le réflecteur de Bragg est constitué d'une alternance de couches transparentes diélectriques. La structure du réflecteur de Bragg supérieur 135 est par exemple identique ou similaire à celle du réflecteur de Bragg inférieur 119.

[0085] A ce stade, chaque puce élémentaire comprend une pluralité de VCSEL comprenant chacun une LED élémentaire entre un réflecteur de Bragg inférieur 119 et un réflecteur de Bragg supérieur. L'épaisseur de la cavité résonante des VCSEL, correspondant à la distance entre le réflecteur de Bragg inférieur 119 et le réflecteur de Bragg supérieur 135, est choisie en fonction de la longueur d'onde d'émission des LED. A titre d'exemple, l'épaisseur de la cavité résonante des VCSEL est un multiple de la longueur d'onde d'émission des LED.

[0086] Dans cet exemple, les LED sont formées à partir d'un même empilement actif de LED et ont ainsi toutes la même longueur d'onde d'émission, par exemple une longueur d'onde visible, par exemple une longueur d'onde bleue, par exemple comprise entre 480 et 460 nm.

[0087] La [Fig.1N] illustre la structure obtenue à l'issue d'une étape de formation d'éléments de conversion de longueur d'onde en vis à vis d'une ou plusieurs LED élémentaires de chaque puce élémentaire. Les éléments de conversion de longueur d'onde sont disposés du côté de la face d'émission des VCSEL, c'est à dire du côté de la face supérieure du réflecteur de Bragg supérieur 135 des VCSEL. On obtient ainsi, dans chaque puce élémentaire, des VCSEL adaptés à émettre à des longueurs d'onde différentes.

[0088] Dans cet exemple, les LED élémentaires sont adaptées à émettre de la lumière bleue, et chaque puce élémentaire de pixel comprend quatre VCSEL commandables individuellement adaptées à émettre respectivement de la lumière bleue, de la lumière verte, de la lumière rouge et de la lumière infrarouge. Pour cela, dans chaque puce élémentaire, un premier VCSEL VB, destiné à émettre de la lumière bleue, ne comprend pas d'élément de conversion de longueur d'onde surmontant le réflecteur de Bragg supérieur 135 du VCSEL, un deuxième VCSEL VR, destiné à émettre de la lumière rouge, comprend un élément de conversion de longueur d'onde 137R surmontant le réflecteur de Bragg supérieur 135 du VCSEL, un troisième VCSEL VG, destiné à émettre de la lumière verte, comprend un élément de conversion de longueur d'onde 137G surmontant le réflecteur de Bragg supérieur 135 du VCSEL, et un quatrième VCSEL VIR, destiné à émettre de la lumière infrarouge, comprend un élément de

conversion de longueur d'onde 137IR surmontant le réflecteur de Bragg supérieur 135 du VCSEL. Les éléments de 137R, 137G et 137IR sont adaptés à convertir respectivement de la lumière bleue en lumière rouge, de la lumière bleue en lumière verte, et de la lumière bleue en lumière infrarouge.

[0089] A titre de variante (non représentée), les LED élémentaires sont adaptées à émettre de la lumière ultraviolette, et les VCSEL VB, VR, VG et VIR comprennent des éléments de conversion de longueur d'onde adaptés à convertir respectivement de la lumière ultraviolette en lumière bleue, de la lumière ultraviolette en lumière rouge, de la lumière ultraviolette en lumière verte, et de la lumière ultraviolette en lumière infrarouge.

[0090] Les éléments de conversion de longueur d'onde des VCSEL sont par exemple en des matériaux de conversion photoluminescents, par exemple des phosphores, des matériaux pérovskites ou des matériaux à base de boîtes quantiques (« quantum dots » en anglais, ou QD). A titre d'exemple, une couche d'un matériau polymère 136 est d'abord déposée sur toute la surface supérieure de la structure de la [Fig.1M], puis retirée localement en vis à vis des LED élémentaires de façon à former des cavités. Les éléments de conversion de longueur d'onde sont ensuite déposés dans les cavités.

[0091] La [Fig.1O] illustre la structure obtenue à l'issue d'une étape ultérieure de report de la structure de la [Fig.1N] sur un substrat de support temporaire 140. Sur la [Fig.1O], l'orientation de la structure est inversée par rapport à l'orientation de la [Fig.1N]. Le substrat de support temporaire est fixé sur la face d'émission lumineuse de la structure, c'est-à-dire sa face inférieure dans l'orientation de la [Fig.1O] (correspondant à sa face supérieure dans l'orientation de la [Fig.1N]). Le substrat de support temporaire 140 est par exemple un substrat en silicium. La fixation du substrat de support temporaire 140 sur la couche structure peut être obtenue au moyen d'une couche adhésive de collage, non détaillée.

[0092] La [Fig.1O] illustre en outre une étape ultérieure de retrait du substrat de support 101a de la structure SOI de départ, par exemple par meulage et/ou gravure chimique, de façon à libérer l'accès à la face supérieure de la couche isolante 101b de la structure SOI.

[0093] On notera que les modes de réalisation décrits ne se limitent pas à l'exemple décrit ci-dessus dans lequel le substrat 101 est un substrat de type SOI. A titre de variante, le substrat 101 peut être un substrat semiconducteur massif, par exemple en silicium. Dans ce cas, à l'étape de la [Fig.1A], le substrat 101 peut être aminci par sa face arrière (face supérieure dans l'orientation de la [Fig.1O]), par exemple par meulage. Une couche isolante de passivation, par exemple en oxyde de silicium, peut ensuite être déposée sur la face supérieure du substrat aminci, remplaçant la couche 101b du substrat SOI. A titre de variante, la couche 101b peut être omise.

[0094] La [Fig.1O] illustre en outre une étape ultérieure de formation d'ouvertures de reprise de contact dans les couches 101b et 101c, et de formation de métallisations de reprise de contact 141 dans et sur lesdites ouvertures. Les métallisations de contact 141 permettent de reprendre des contacts électriques sur des niveaux métalliques (non détaillés sur les figures) de l'empilement d'interconnexion disposé du côté de la face inférieure de la couche semiconductrice 101c. Les métallisations 141 sont par exemple connectées électriquement à des transistors du circuit de contrôle, ces transistors étant eux-mêmes connectés ou reliés électriquement à des métallisations de connexion 105 des LED.

[0095] Les métallisations 141 forment des bornes de connexion des futures puces élémentaires de pixel du dispositif, destinées à être connectées à des bornes de connexion correspondantes du substrat de report du dispositif.

[0096] A l'issue de ces étapes, la structure de la [Fig.1O] peut être singularisée en puces élémentaires 501 correspondant chacune à un pixel du dispositif d'affichage, lors d'une étape de découpe, non détaillée sur la figure. Pour cela, des tranchées (non représentées) s'étendant verticalement à travers les couches 101b, 101c, 119, 131, 133 et 136 sont formées à partir de la face supérieure de la structure, selon des lignes de découpe LD. A titre d'exemple, les tranchées débouchent sur la face supérieure du substrat de support temporaire 140. En vue de dessus, les tranchées forment une grille continue délimitant latéralement une pluralité de puces élémentaires de pixel, par exemple identiques ou similaires, comportant chacune un circuit de contrôle élémentaire 103 et une pluralité de cellules émissive à LED adaptées à émettre dans des gammes de longueurs d'ondes distinctes. Les tranchées de singularisation des puces sont par exemple réalisées par gravure plasma.

[0097] Les puces élémentaires de pixel 501 ainsi définies sont destinées à être reportées sur un substrat de report 400 du dispositif d'affichage, comme cela sera décrit plus en détail ci-après en relation avec les figures 5A à 5C.

[0098] Les figures 2A à 2K sont des vues en coupe illustrant des étapes d'un autre exemple d'un procédé de fabrication de puces élémentaires de pixel d'un dispositif d'affichage interactif selon un mode de réalisation ;

[0099] Le mode de réalisation des figures 2A à 2K diffère du mode de réalisation des figures 1A à 1O principalement en ce que, dans l'exemple des figures 2A à 2K, les couches du réflecteur de Bragg supérieur des VCSEL sont des couches semiconductrices formées par épitaxie.

[0100] La [Fig.2A] illustre une structure de départ qui diffère de la structure de la [Fig.1A] essentiellement en ce qu'elle comprend en outre, entre la couche semiconductrice de cathode 113a et la couche tampon 112, un réflecteur de Bragg 201 comprenant une alternance de couches semiconductrices d'un premier matériau présentant un premier

indice de réfraction et de couches semiconductrices d'un second matériau présentant un second indice de réfraction. Le réflecteur de Bragg 201 correspond au réflecteur de Bragg supérieur des futurs VCSEL du dispositif, venant en remplacement du réflecteur de Bragg supérieur 135 de l'exemple des figures 1A à 1O.

[0101] L'empilement constituant le réflecteur de Bragg 201 comprend par exemple 20 à 50 paires de couches des premier et deuxième matériaux. Les premier et deuxième matériaux sont par exemple des matériaux semiconducteur de type III-V. A titre d'exemple, les premier et deuxième matériaux sont respectivement du nitrure d'aluminium (AlN) et du nitrure de gallium (GaN). A titre de variante, les premier et deuxième matériaux sont respectivement du nitrure d'aluminium indium (AlInN) et du nitrure de gallium (GaN). L'épaisseur totale du réflecteur de Bragg 119 est par exemple comprise entre 1,5 et 2,5 μm.

[0102] Le réflecteur de Bragg 201 et l'empilement actif 113 peuvent être formés successivement par épitaxie sur la face supérieure du substrat 111. A titre de variante, l'empilement actif 113 et le réflecteur de Bragg 201 sont formés par épitaxie sur un substrat de croissance, non représenté, puis reportés sur la face supérieure du substrat 111. A titre d'exemple, le réflecteur de Bragg 201 est en contact, par sa face supérieure, avec la face inférieure de la couche semiconductrice 113a.

[0103] Dans cet exemple, l'épaisseur de la couche semiconductrice 113a correspond directement à l'épaisseur souhaitée pour définir l'épaisseur voulue de la cavité résonante verticale des VCSEL.

[0104] Dans l'exemple de la [Fig.2A], une couche tampon 112, par exemple en nitrure de gallium, fait interface entre le substrat 111 et le réflecteur de Bragg 201. A titre d'exemple, la couche tampon 112 est en contact, par sa face inférieure, avec la face supérieure du substrat 111, et, par sa face supérieure, avec la face inférieure du réflecteur de Bragg 201.

[0105] Les étapes suivantes du procédé sont identiques ou similaires aux étapes décrites en relation avec les figures 1B et 1C (neutralisation de portions 114 d'une partie supérieure de la couche 113c pour définir les zones de confinement 115, et dépôt de la couche conductrice transparente 117 sur la face supérieure de la structure).

[0106] La [Fig.2B] illustre une étape de report et de fixation de la structure obtenue à l'issue de ces étapes, sur une structure identique ou similaire à la structure de la [Fig.1F].

[0107] Cette étape de report est similaire à ce qui a été décrit ci-dessus en relation avec la [Fig.1G].

[0108] La [Fig.2C] illustre une étape de retrait du substrat 111, identique ou similaire à l'étape de la [Fig.1H].

[0109] La [Fig.2D] illustre une étape de retrait de la couche tampon 112, identique ou similaire à l'étape de la [Fig.1I]. A l'issue de cette étape, la face supérieure du ré-

flecteur de Bragg 201 est exposée.

[0110] La [Fig.2E] illustre la structure obtenue à l'issue d'une étape ultérieure de structuration du réflecteur de Bragg supérieur 201 en plots ou îlots élémentaires situés respectivement en vis à vis des LED élémentaires de chaque puce. La structuration est par exemple réalisée par photolithographie puis gravure, par exemple par plasma, la gravure s'interrompant sur la face supérieure de la couche semiconductrice 113a.

[0111] La [Fig.2F] illustre une étape de dépôt d'une couche conductrice de contact 203 sur la face supérieure de la structure de la [Fig.2E]. La couche 203 s'étend par exemple de façon continue et avec une épaisseur uniforme sur toute la surface supérieure de la structure. En particulier, dans l'exemple représenté, la couche conductrice 203 s'étend sur et en contact avec la face supérieure et les flancs des plots de réflecteur de Bragg 201, et sur et en contact avec la face supérieure de la couche semiconductrice 113a entre les plots de réflecteur de Bragg 201.

[0112] La couche 203 peut être transparente, par exemple en un oxyde conducteur transparent, par exemple en ITO, ou opaque, par exemple en métal, par exemple de l'aluminium ou du nickel.

[0113] La couche 203 forme une couche de reprise de contact de cathode commune aux LED élémentaires de chaque puce élémentaire du dispositif.

[0114] La [Fig.2G] illustre une étape de formation, à partir de la face supérieure de la structure, de tranchées 127 s'étendant verticalement dans la couche 203, l'empilement actif de LED 113, et les couches 117 et 123. Les tranchées 127 délimitent latéralement une pluralité d'ilots 129 définissant les LED individuelles des futures puces élémentaires du dispositif. Les tranchées 127 sont par exemple formées par gravure plasma. A titre d'exemple, la gravure de la couche 203, la gravure de l'empilement actif de LED 113 et les gravures des couches 123 et 117 sont autoalignées. Pour cela, une même couche de masquage (non représentée sur les figures) peut être utilisée pour graver la couche 203, l'empilement actif de LED 113 et les couches 123 et 117.

[0115] Dans l'exemple de la [Fig.2G], les tranchées 127 s'interrompent sur la face supérieure du réflecteur de Bragg inférieur 119 de la structure. A titre de variante, une couche d'arrêt de gravure, non représentée, peut être présente entre la face supérieure du réflecteur de Bragg 119 et la face inférieure de la couche conductrice inférieure 123. Dans une autre variante, non représentée, les tranchées 127 sont prolongées à travers le réflecteur de Bragg inférieur 119 et s'interrompent sur la face supérieure du circuit intégré de contrôle. En vue de dessus (non représentée), les tranchées 127 forment une grille séparant latéralement les LED élémentaires les unes des autres. En vue de dessus, les tranchées s'étendent entre les plots de réflecteur de Bragg 201 et ont par exemple une largeur inférieure à la largeur des tranchées séparant latéralement les plots de réflecteur de Bragg 201 les uns des autres.

[0116] La portion de la couche conductrice supérieure 203 située sur chaque LED constitue une électrode d'anode de la LED.

[0117] La [Fig.2H] illustre la structure obtenue à l'issue d'une étape de remplissage des tranchées 127 par un matériau électriquement isolant 131, par exemple un oxyde, par exemple de l'oxyde de silicium. Dans cet exemple, le matériau de remplissage 131 ne s'étend pas jusqu'à la face supérieure des plots de réflecteur de Bragg 201. Autrement dit, la face supérieure du matériau de remplissage 131 est en retrait par rapport à la face supérieure des plots de réflecteur de Bragg 201. A titre d'exemple, le matériau de remplissage 131 s'étend jusqu'à un niveau intermédiaire entre la face supérieure de la couche active 113b de l'empilement actif de LED 113 et la face supérieure des plots de réflecteur de Bragg 201. A titre d'exemple, le matériau de remplissage 131 s'étend sensiblement jusqu'à la face supérieure de la couche semiconductrice de cathode 113a.

[0118] La [Fig.2I] illustre une étape ultérieure de dépôt d'une couche conductrice 205 sur et en contact avec la face supérieure de la structure de la [Fig.2H]. La couche 205 s'étend par exemple de façon continue et avec une épaisseur sensiblement uniforme sur toute la surface supérieure de la structure. Ainsi, la couche 205 est en contact, par sa face inférieure, avec la face supérieure des électrodes de cathode 203 des LED et avec la face supérieure du matériau diélectrique 131 isolant latéralement les LED.

[0119] A l'issue de cette étape, les électrodes de cathode des LED sont connectées électriquement les unes aux autres par l'intermédiaire de la couche conductrice 205. Dans chaque puce élémentaire du dispositif, la couche conductrice de cathode commune 205 peut être connectée électriquement à un plot métallique de connexion 105 du circuit intégré de contrôle de la puce au niveau d'une zone périphérique de reprise de contact, non représentée.

[0120] La couche conductrice 205 peut être en un matériau transparent, par exemple un oxyde conducteur, par exemple de l'ITO. De façon préférentielle, la couche conductrice 205 est en un matériau opaque, par exemple un métal, ce qui permet de limiter la diaphonie optique (ou « crosstalk » en langue anglaise) entre les pixels.

[0121] La [Fig.2J] illustre la structure obtenue à l'issue d'une étape de planarisation, par exemple une planarisation mécano-chimique, conduisant à retirer les portions des couches conductrices 203 et 205 revêtant la face supérieure des réflecteurs de Bragg supérieurs 201 des VCSEL. Les couches 203 et 205 sont en revanche conservées sur les flancs des plots de réflecteur de Bragg 201, et sur la face supérieure de la couche semiconductrice supérieure 113a ainsi que sur la face supérieure du matériau diélectrique de remplissage 131 entre les plots de réflecteur de Bragg 201.

[0122] La [Fig.2K] illustre la structure obtenue à l'issue d'une étape de formation d'éléments de conversion de longueur d'onde en vis à vis d'une ou plusieurs LED élémentaires de chaque puce élémentaire. Les éléments de conversion de longueur d'onde

sont disposés du côté de la face d'émission des VCSEL, c'est à dire du côté de la face supérieure du réflecteur de Bragg supérieur 201 des VCSEL. On obtient ainsi, dans chaque puce élémentaire, des VCSEL adaptés à émettre à des longueurs d'onde différentes.

[0123] Cette étape est par exemple identique ou similaire à l'étape décrite précédemment en relation avec la [Fig.1N].

[0124] Les étapes suivantes sont identiques ou similaires à ce qui a été décrit ci-dessus en relation avec la [Fig.1O].

[0125] La [Fig.3] illustre encore un autre exemple de réalisation d'une puce élémentaire de pixel d'un dispositif d'affichage interactif selon un mode de réalisation.

[0126] La réalisation de la [Fig.3] diffère de celle des figures 1A à 1O en ce que, dans l'exemple de la [Fig.3], le réflecteur de Bragg supérieur 135 n'est pas présent sur au moins certaines des LED élémentaires de chaque puce élémentaire de pixel du dispositif d'affichage. Dans l'exemple représenté, le réflecteur de Bragg supérieur 135 est omis à l'aplomb des LED élémentaires destinées à émettre de la lumière visible. Il est en revanche présent à l'aplomb de la LED destinée à émettre de la lumière infrarouge. Ainsi, les cellules d'émission visible VB, VR, VG de chaque puce élémentaire ne sont dans cet exemple pas des VCSEL mais des cellules à réflecteur de Bragg simple, aussi appelées RC-LED (de l'anglais « Resonant Cavity LED » - LED à cavité résonante). La cellule d'émission infrarouge VIR est en revanche un VCSEL identique ou similaire à ce qui a été décrit en relation avec les figures 1A à 1O.

[0127] A titre de variante, le réflecteur de Bragg supérieur 135 peut être omis sur toutes les LED élémentaires de chaque puce élémentaire du dispositif d'affichage, c'est à dire dans les cellules d'émission visible VB, VR, VG et infrarouge VIR de chaque puce élémentaire.

[0128] La [Fig.3] représente plus particulièrement la structure obtenue à un stade intermédiaire du procédé, correspondant au stade de la [Fig.1N] dans l'exemple des figures 1A à 1O.

[0129] Le retrait du réflecteur de Bragg supérieur 135 peut être réalisé lors de l'étape de gravure de la [Fig.1M].

[0130] Les étapes suivantes sont identiques ou similaires à ce qui a été décrit ci-dessus en relation avec la [Fig.1O].

[0131] La variante de la [Fig.3] pourra, de façon similaire, être combinée à la variante des figures 2A à 2K. Dans ce cas, le retrait du réflecteur de Bragg supérieur 201 peut être réalisé lors de l'étape de gravure de la [Fig.2E].

[0132] La [Fig.4] est une vue de dessus schématique et partielle d'un exemple de réalisation du substrat de report 400 du dispositif d'affichage.

[0133] Le substrat de report 400 comprend par exemple une plaque ou feuille de support 401

en un matériau isolant, par exemple en verre ou en plastique. A titre de variante, la plaque ou feuille de support 401 comprend un support conducteur, par exemple métallique, recouvert par une couche d'un matériau isolant. Le substrat de report comprend en outre des éléments de connexion électrique, et en particulier des pistes conductrices et des plages conductrices, formés sur la face supérieure de la plaque de support 401. Ces éléments de connexion électrique sont par exemple formés par impression d'une succession de niveaux conducteurs et isolants sur la face supérieure de la plaque de support 401. Les éléments de connexion électrique sont par exemple formés par un procédé de dépôt ou d'impression de type impression jet d'encre, par sérigraphie, par rotogravure, par dépôt sous vide, ou par toute autre méthode adaptée, par exemple par lithographie.

[0134] Dans l'exemple représenté, le substrat de report 401 comprend deux niveaux métalliques conducteurs M1 et M2 séparés par un niveau isolant (non visible sur la figure), et des vias métalliques V connectant les deux niveaux métalliques à travers le niveau isolant. Dans cet exemple, le substrat de report 401 comprend en outre des plages métalliques de connexion formées sur le niveau métallique supérieur M2, destinées à être connectées à des plages de connexion 141 correspondantes des puces élémentaires de pixel du dispositif.

[0135] Des circuits actifs de commande du dispositif d'affichage, adaptés à alimenter et commander les puces élémentaires du dispositif par l'intermédiaire des éléments de connexion électrique du substrat de report, sont par exemple connectés aux éléments de connexion électrique du substrat de report à la périphérie du substrat de report 400.

[0136] Dans l'exemple représenté, la fabrication du substrat de report comprend les trois étapes successives de dépôt suivantes.

[0137] Lors d'une première étape de dépôt, on forme sur la face supérieure de la plaque de support 401 une pluralité de pistes conductrices sensiblement parallèles à la direction des colonnes du dispositif d'affichage (direction verticale dans l'orientation de la [Fig.4]). Plus particulièrement, dans cet exemple, lors de la première étape de dépôt, on forme, pour chaque colonne du dispositif d'affichage, quatre pistes conductrices C1, C2, C3 et C4 s'étendant sur sensiblement toute la longueur des colonnes du dispositif d'affichage. Les pistes C1 sont destinées à véhiculer un signal DATA-V de réglage de l'intensité lumineuse émise par les LED des cellules d'émission de lumière visible des puces élémentaires de pixel de la colonne (on notera que dans cet exemple – non limitatif – les signaux de réglage d'intensité des différentes couleurs (rouge, vert, bleu) sont transmis séquentiellement via la piste C1. A titre de variante, non représentée, plusieurs pistes distinctes peuvent être prévues pour transmettre en parallèle, sur des bornes distinctes des chaque puce élémentaire, les signaux de réglage d'intensité des différentes couleurs). Les pistes C2 sont destinées à véhiculer un signal DATA-IR de

réglage de l'intensité lumineuse émise par les LED des cellules d'émission infrarouge des puces élémentaires des pixels de la colonne. Les pistes C3 sont destinées à véhiculer un signal DATA-S représentatif de l'intensité lumineuse reçue par les photodétecteurs des pixels de la colonne. Les pistes C4 sont destinées à distribuer un potentiel d'alimentation haut VDD aux différentes puces élémentaires de pixel.

[0138] Les éléments conducteurs formés lors de cette première étape de dépôt définissent le premier niveau conducteur M1 du substrat de report.

[0139] Lors d'une deuxième étape de dépôt, on recouvre le premier conducteur d'un matériau isolant (non visible sur la figure), de façon à permettre le dépôt ultérieur de pistes conductrices s'étendant au-dessus des pistes C1, C2, C3 et C4, sans créer de court-circuit avec les pistes C1, C2, C3 et C4.

[0140] Lors d'une troisième étape de dépôt, on forme sur la face supérieure de la plaque de support 401 une pluralité de pistes conductrices sensiblement parallèles à la direction des lignes du dispositif d'affichage. Plus particulièrement, dans cet exemple, lors de la troisième étape de dépôt, on imprime, pour chaque ligne du dispositif d'affichage, trois pistes conductrices L1, L2 et L3 s'étendant sur sensiblement toute la longueur des lignes du dispositif d'affichage. Les pistes L1 sont destinées à véhiculer un signal SEL-L de sélection de la ligne de pixels correspondante. Les pistes L2 sont destinées à véhiculer un signal SEL-V de sélection de la ligne de diodes VCSEL correspondante. Les pistes L3 sont destinées à véhiculer un signal SEL-S de sélection de la ligne de photodétecteurs correspondante.

[0141] Dans cet exemple, lors de la troisième étape de dépôt, est en outre imprimée, pour chaque pixel du dispositif, une région métallique EL1 définissant une électrode inférieure du photodétecteur du dispositif d'affichage.

[0142] Les éléments conducteurs imprimés lors de cette troisième étape de dépôt définissent le deuxième niveau conducteur M2 du substrat de report.

[0143] Après la troisième étape de dépôt, on vient former, pour chaque pixel, sur des zones conductrices du niveau métallique M2, huit plages métalliques P1, P2, P3, P4, P5, P6, P7 et P8 destinées à recevoir respectivement huit plages de connexion 141 distinctes de la puce élémentaire du pixel. Les plages P5, P6 et P7 sont connectées respectivement aux pistes conductrices L1, L2 et L3 du pixel. Les plages P1, P2, P3 et P4 sont connectées respectivement aux pistes conductrices C1, C2, C3 et C4 du pixel. La plage P8 est connectée à l'électrode EL1 du pixel. Les connexions susmentionnées sont réalisées par des éléments conducteurs formés dans le niveau métallique M2, et, éventuellement, par des vias V (ouverts entre les deuxième et troisième étapes de dépôt) et des éléments conducteurs formés dans le niveau métallique M1.

[0144] Les figures 5A à 5C sont des vues en coupe illustrant des étapes successives d'un exemple d'un procédé de fabrication d'un dispositif d'affichage interactif selon un mode

de réalisation.

[0145] Les figures 5A et 5B illustrent plus particulièrement une étape de transfert collectif de puces élémentaires de pixel sur le substrat de report 400.

[0146] Les puces élémentaires de pixel, référencées 501 sur les figures 5A à 5C, sont initialement fixées à une face du substrat de support temporaire 140. La structure comportant le substrat de support temporaire 140 et les puces élémentaires 501 est par exemple réalisée par un procédé du type décrit en relation avec les figures 1A à 1O ou en relation avec les figures 2A à 2K ou en relation avec la [Fig.3]. Dans l'exemple représenté, la structure est retournée par rapport à l'orientation de la [Fig.1O], c'est-à-dire que les puces élémentaires 501 sont disposées du côté de la face inférieure du substrat de support temporaire 140.

[0147] Par soucis de simplification, sur les figures 5A à 5C, les puces élémentaires 501 et le substrat de report 400 ont été représentés de façon schématique, et de nombreux éléments ont été omis par rapport aux représentations des figures précédentes.

[0148] Les puces élémentaires 501 sont rapportées collectivement en vis-à-vis de la face de connexion du substrat de report 400, à savoir sa face supérieure dans l'orientation des figures 5A et 5B, en utilisant le substrat de support temporaire 140 comme poignée ([Fig.5A]).

[0149] Les bornes de connexion 141 de puces élémentaires 501, situées du côté de la face inférieure desdites puces, sont alors mises en contact avec les plages de connexion correspondantes P1, P2, P3, P4, P5, P6, P7, P8 du substrat de report 400, et fixées auxdites plages de connexion P1, P2, P3, P4, P5, P6, P7, P8. La fixation des bornes de connexion 141 des puces élémentaires 501 aux plages de connexion du substrat de report est par exemple réalisée par collage direct, par thermocompression, par brasure, au moyen de microstructures métalliques (par exemple des micro-piliers) préalablement formées sur les bornes 141, ou par toute autre méthode de fixation et de connexion adaptée.

[0150] Une fois fixées, par leurs bornes de connexion 141, au substrat de report 400, les puces élémentaires 501 sont détachées du substrat de support temporaire 140 et ce dernier est retiré ([Fig.5B]), libérant l'accès à la face d'émission des cellules émissives à LED (non détaillées sur les figures 5A à 5C).

[0151] Le pas des puces élémentaires 501 sur le substrat de report 400 peut être supérieur au pas des micropuces élémentaires 501 sur le substrat de support temporaire 140. De préférence, le pas des puces élémentaires 501 sur le substrat de report 400 est un multiple du pas des micropuces élémentaires 501 sur le substrat de support temporaire 140. Dans ce cas, seule une partie des puces 501 est prélevée sur le substrat de support 140 à chaque transfert, comme illustré sur les figures 5A et 5B. Les autres puces 501 restent solidaires du substrat de support temporaire 140 et peuvent être utilisées lors

d'une autre étape de report collectif pour peupler une autre partie du substrat de report 400 ou un autre substrat de report.

[0152] La [Fig.5C] illustre le dispositif après fixation de l'ensemble des puces élémentaires 501 sur le substrat de report 400.

[0153] La [Fig.5C] illustre en outre une étape ultérieure de dépôt, dans chaque pixel, d'une portion de couche organique photosensible 403, par exemple sensible dans l'infrarouge ou dans le proche infrarouge, sur et en contact avec la face supérieure de l'électrode EL1 du pixel. Les portions de couche 403 sont par exemple déposées par un procédé d'impression localisée, par exemple par sérigraphie ou par un procédé de revêtement par filière à fente ("slot-die coating" en anglais). Dans chaque pixel, la portion de couche organique 203 s'étend par exemple sur toute la surface supérieure de l'électrode EL1 du pixel.

[0154] La [Fig.5C] illustre de plus une étape ultérieure de dépôt, dans chaque pixel, d'une électrode supérieure EL2 sur et en contact avec la face supérieure de la portion de couche organique photosensible 403 du pixel. L'électrode EL2 s'étend par exemple sur toute la surface supérieure de la portion de couche organique photosensible 403 du pixel. L'électrode EL2 est transparente aux longueurs d'onde de sensibilité de la couche 403. A titre d'exemple, l'électrode EL2 est en un oxyde conducteur transparent, par exemple en ITO. Dans cet exemple, dans chaque pixel, l'empilement des couches EL1, 403 et EL2 forme un photodétecteur 511. Les électrodes EL1 et EL2 correspondent par exemple respectivement à l'électrode de cathode et à l'électrode d'anode du photo-détecteur.

[0155] Les électrodes EL2 peuvent être déposées de façon localisée à travers un pochoir. A titre d'exemple, l'électrode supérieure EL2 est commune à tous les pixels du dispositif. L'électrode EL2 forme par exemple, en vue de dessus, une grille continue recouvrant les portions de couche photosensible 403 de tous les pixels du dispositif. L'électrode commune EL2 peut alors être connectée à un noeud d'application d'un potentiel de polarisation fixe en périphérie de la matrice de pixels.

[0156] A titre de variante, les photodétecteurs 511 peuvent être formés avant les étapes de report et de fixation des puces élémentaires 501 sur le substrat de report 400.

[0157] Divers modes de réalisation et variantes ont été décrits. La personne du métier comprendra que certaines caractéristiques de ces divers modes de réalisation et variantes pourraient être combinées, et d'autres variantes apparaîtront à la personne du métier. En particulier, les modes de réalisation décrits ne se limitent pas aux exemples particuliers de réalisation des puces élémentaires de pixel et du substrat de report décrits en relation avec les figures 1A à 1O, 2A à 2K, 3, 4 et 5A à 5C.

[0158] De plus, les modes de réalisation décrits ne se limitent pas au cas particulier décrit ci-dessus dans lequel les photodétecteurs du dispositif sont des photodiodes organiques.

A titre de variante, les photodétecteurs organiques du dispositif décrit peuvent être remplacés par des photodétecteurs inorganiques, par exemple à base de matériaux semiconducteurs de type III-V, par exemple à base d'arséniure d'indium-gallium, ou à base de silicium amorphe. Dans une autre variante, les photodétecteurs 511 peuvent être constitués d'une couche matrice, par exemple en résine, dans laquelle sont incorporées des boîtes quantiques ("quantum dots" en anglais).

[0159] Par ailleurs, les modes de réalisation décrits ne se limitent pas à l'exemple particulier décrit ci-dessus dans lequel le circuit électronique de lecture de chaque photodétecteur 511 est intégré à la puce élémentaire 501 du pixel correspondant. A titre de variante, le circuit électronique de lecture du photodétecteur peut être intégré dans une puce distincte. Dans ce cas, le photodétecteur 511 peut ne pas être connecté à la puce élémentaire 501 du pixel. A titre d'exemple, le photodétecteur 511 et le circuit électronique de lecture du photodétecteur 511 peuvent être intégrés dans une même puce monolithique distincte de la puce 501 et connectée électriquement à des plages de connexion électrique correspondantes du substrat de report 400.

[0160] Dans une autre variante, le photodétecteur et son circuit de lecture peuvent être intégrés dans la puce 501.

[0161] A titre d'exemple, les photodétecteurs peuvent être du type décrit dans les demandes de brevet français FR21/05156, FR21/05160 ou FR21/09136, précédemment déposées par le demandeur.

[0162] Par ailleurs, les modes de réalisation décrits les procédés décrits en relation avec les figures 1A à 1O, 2A à 2K et 3 ne se limitent à la réalisation de puces élémentaires de pixel d'un dispositif d'affichage étendu. A titre de variante, ces procédés peuvent être adaptés à la réalisation de micro-écrans monolithiques intégrant chacun un grand nombre de pixels comprenant chacun plusieurs cellules émissives à LED adaptées à émettre dans des gammes de longueurs d'ondes différentes. Les pixels sont par exemple agencés en matrice selon des rangées et des colonnes. A titre d'exemple, chaque puce de micro-écran monolithique peut intégrer plusieurs milliers de pixels. Dans ce cas, le procédé de fabrication peut par exemple être interrompu à l'issue des étapes de la [Fig.1M].

[0163] Par ailleurs, les modes de réalisation décrits ne se limitent pas aux exemples décrits ci-dessus dans lesquels les puces monolithiques réalisées intègrent un circuit électronique de commande des LED. A titre de variante, chaque puce comprend une pluralité de LED commandables individuellement formées dans un même empilement actif de LED revêtant la face supérieure du substrat de support, le substrat de support étant un substrat passif et la puce n'intégrant pas de circuit électronique de commande des LED. Dans ce cas, les LED sont commandées par un circuit électronique externe à la puce, par exemple un circuit disposé sur une région périphérique du substrat de

report 400.

[0164] En outre, les modes de réalisation décrits ne se limitent pas aux exemples de longueurs d'ondes d'émission mentionnés ci-dessus. Par exemple, les dispositifs d'émission-réception infrarouge mentionnés ci-dessus pour la mise en oeuvre de fonctions de détection peuvent être remplacés par des dispositifs d'émission-réception fonctionnant à d'autres longueurs d'ondes, par exemple visibles ou ultraviolettes.

[0165] En outre, les modes de réalisation décrits ne se limitent pas aux exemples décrits ci-dessus d'application à des dispositifs d'affichage interactifs, mais peuvent s'appliquer plus généralement à d'autres dispositifs émissifs à LED pouvant tirer profit de l'utilisation de cellules émissives de type VCSEL ou RC-LED, par exemple un dispositif d'affichage couleur non interactif.

[0166] Enfin, la mise en oeuvre pratique des modes de réalisation et variantes décrits est à la portée de la personne du métier à partir des indications fonctionnelles données ci-dessus.

Revendications

[Revendication 1] Puce de circuits intégrés monolithique (501) comprenant : - une pluralité de LED commandables individuellement formées dans un même empilement actif de LED (113) et séparées latéralement les unes des autres par des tranchées d'isolation (127) remplies d'un matériau diélectrique (131) ; et
- sous chaque LED, du côté de la face de l'empilement actif de LED (113) opposée à la face d'émission de la LED, un premier réflecteur de Bragg (119).

[Revendication 2] Puce (501) selon la revendication 1, dans laquelle les LED sont adaptées à émettre à une première longueur d'onde, au moins une première LED de ladite pluralité de LED étant revêtue, du côté de sa face supérieure, d'un premier élément (137IR) de conversion de ladite première longueur d'onde en une deuxième longueur d'onde, et au moins une deuxième LED de ladite pluralité de LED n'étant pas revêtue, du côté de sa face supérieure, d'un élément de conversion de ladite première longueur d'onde en ladite deuxième longueur d'onde.

[Revendication 3] Puce (501) selon la revendication 2, dans laquelle la deuxième LED est revêtue, du côté de sa face supérieure, d'un deuxième élément (137R) de conversion de ladite première longueur d'onde en une troisième longueur d'onde.

[Revendication 4] Puce selon la revendication 3, dans laquelle au moins une troisième LED de ladite pluralité de LED est revêtue, du côté de sa face supérieure, d'un troisième élément (137G) de conversion de ladite première longueur d'onde en une quatrième longueur d'onde.

[Revendication 5] Puce (501) selon la revendication 4, dans laquelle au moins une quatrième LED de ladite pluralité de LED n'est pas revêtue, du côté de sa face supérieure, d'un élément de conversion de longueur d'onde.

[Revendication 6] Puce (501) selon l'une quelconque des revendications 2 à 5, dans laquelle ladite première longueur d'onde est une longueur d'onde visible et ladite deuxième longueur d'onde est une longueur d'onde infrarouge.

[Revendication 7] Puce (501) selon l'une quelconque des revendications 1 à 6, comprenant en outre, du côté de la face du premier réflecteur de Bragg (119) opposée à l'empilement actif de LED (113), un circuit de contrôle intégré dans et sur une couche de silicium, ledit circuit de contrôle étant connecté électriquement aux LED par l'intermédiaire de vias conducteurs (121) traversant le premier réflecteur de Bragg (119).

[Revendication 8] Puce (501) selon l'une quelconque des revendications 1 à 7, dans laquelle au moins une LED de ladite pluralité de LED est revêtue, du côté de sa face supérieure, d'un deuxième réflecteur de Bragg (135 ; 201), de sorte à former une diode laser à cavité verticale émettant par la surface.

[Revendication 9] Puce (501) selon l'une quelconque des revendications 1 à 8, dans lequel le premier réflecteur de Bragg (119) est constitué d'une alternance de couches diélectriques.

[Revendication 10] Puce (501) selon la revendication 8 ou selon la revendication 9 dans son rattachement à la revendication 8, dans laquelle le deuxième réflecteur de Bragg (135) est constitué d'une alternance de couches diélectriques.

[Revendication 11] Puce selon la revendication 8 ou selon la revendication 9 dans son rattachement à la revendication 8, dans laquelle le deuxième réflecteur de Bragg (201) est constitué d'une alternance de couches semiconductrices.

[Revendication 12] Dispositif d'affichage d'images comportant :
- un substrat de report (400) comportant des éléments de connexion électrique ; et
- une pluralité de puces élémentaires monolithiques (501) selon l'une quelconque des revendications 1 à 11 fixées et connectées électriquement au substrat de report (400).

[Revendication 13] Dispositif selon la revendication 12, comportant en outre, associé à au moins une des puces élémentaires (501), un détecteur photosensible (511), ladite au moins une puce élémentaire (501) intégrant un circuit électronique de lecture du détecteur photosensible (511).

[Revendication 14] Dispositif selon la revendication 13, dans lequel le détecteur photosensible (511) est externe à ladite au moins une puce élémentaire.

[Fig. 1A]

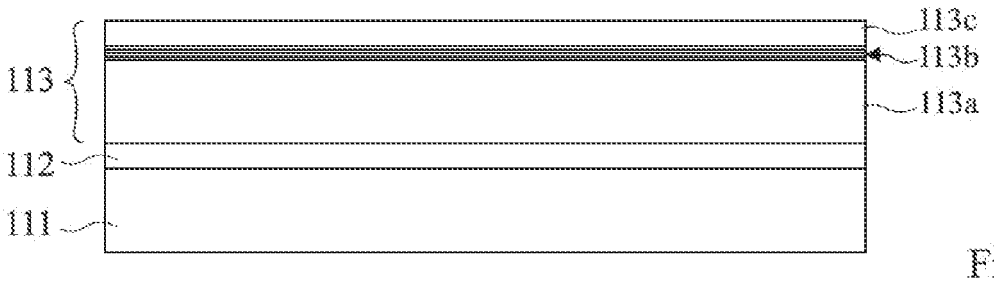


Fig 1A

[Fig. 1B]

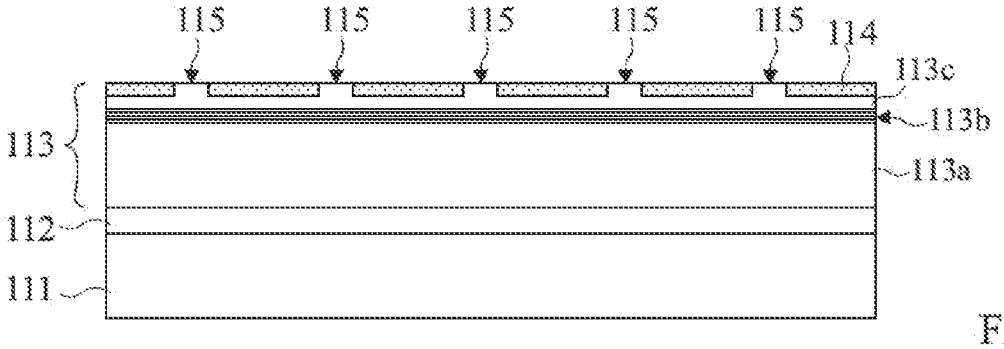


Fig 1B

[Fig. 1C]

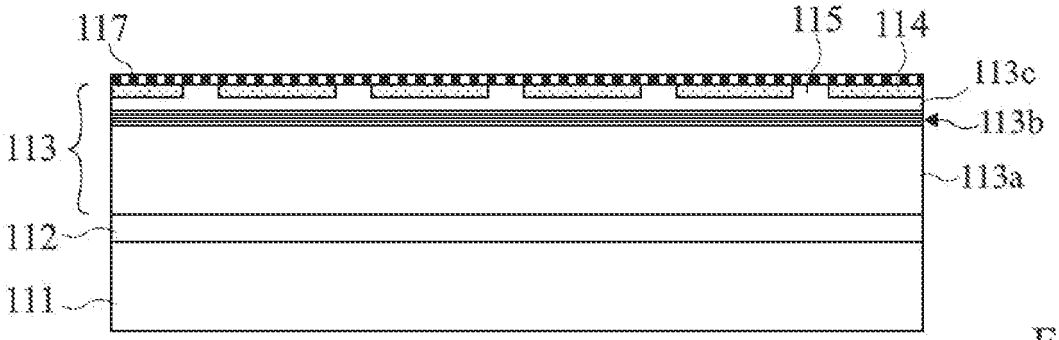


Fig 1C

[Fig. 1D]

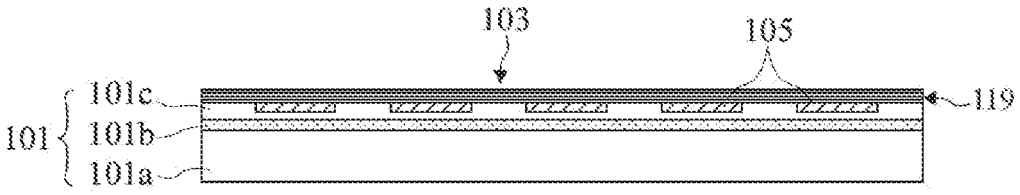


Fig 1D

[Fig. 1E]

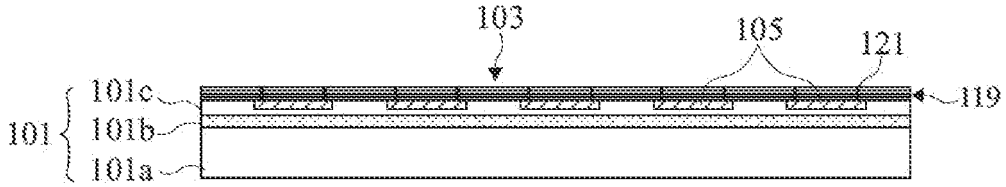


Fig 1E

[Fig. 1F]

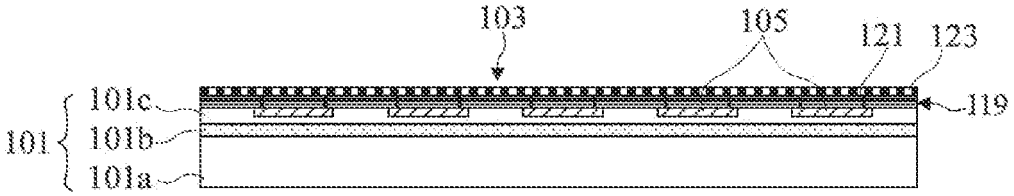


Fig 1F

[Fig. 1G]

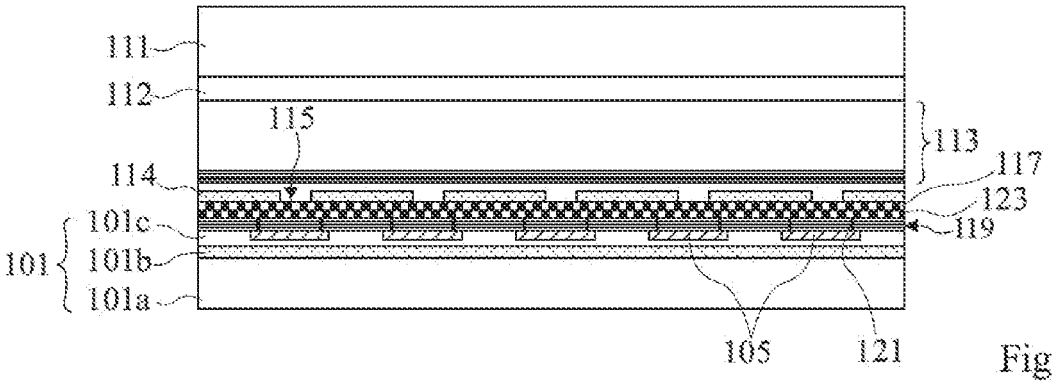


Fig 1G

[Fig. 1H]

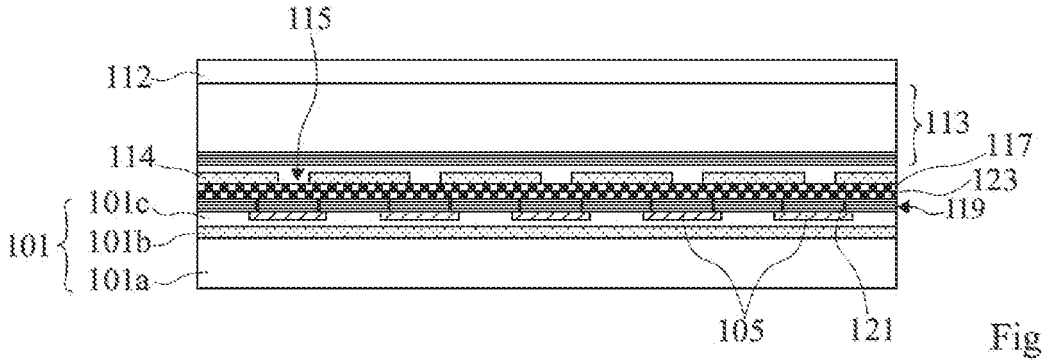


Fig 1H

[Fig. 1I]

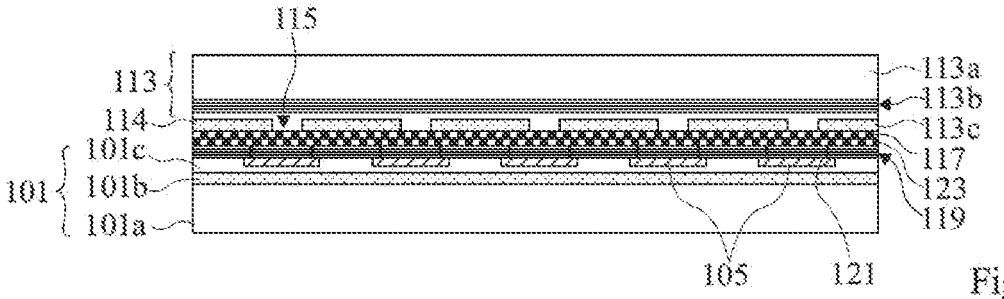


Fig 1I

[Fig. 1J]

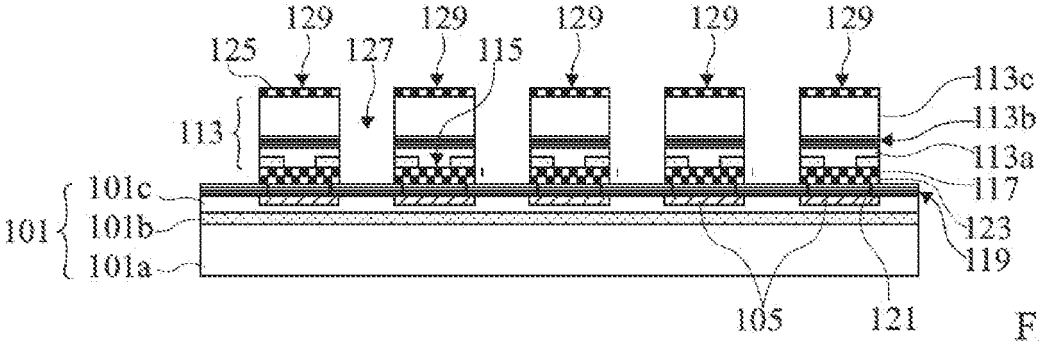


Fig 1J

[Fig. 1K]

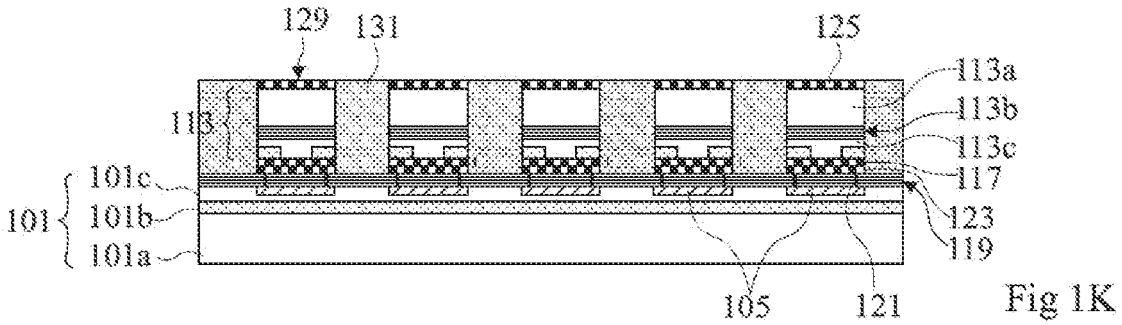


Fig 1K

[Fig. 1L]

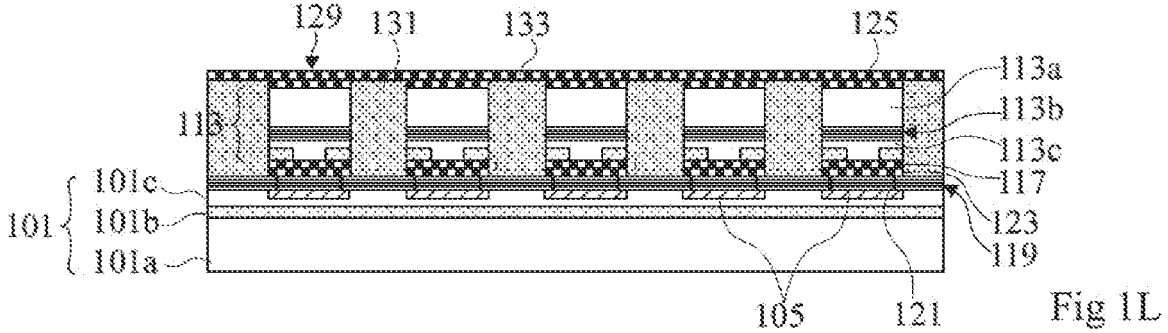


Fig 1L

[Fig. 1M]

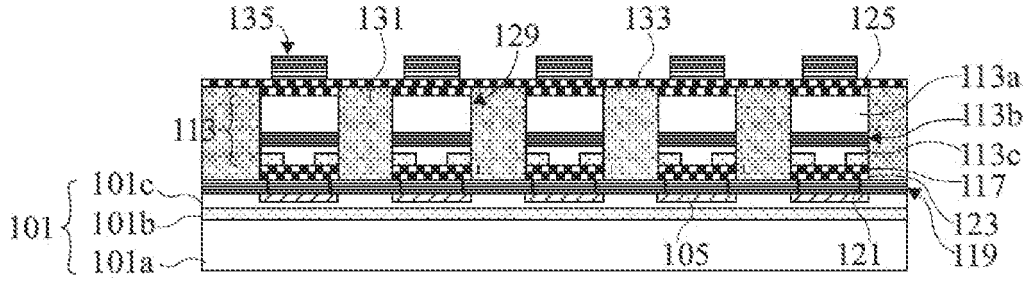


Fig 1M

[Fig. 1N]

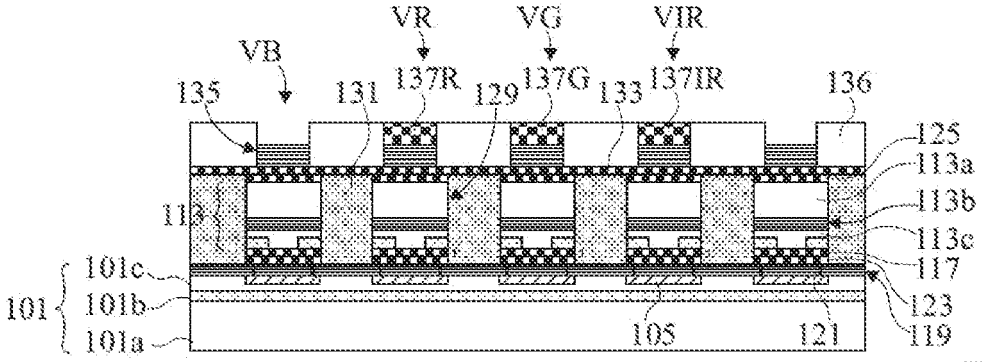


Fig 1N

[Fig. 1O]

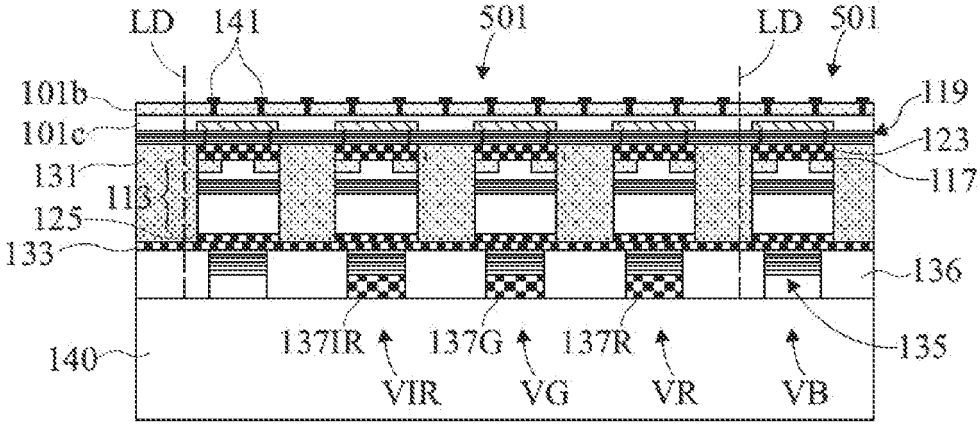


Fig 1O

[Fig. 2A]

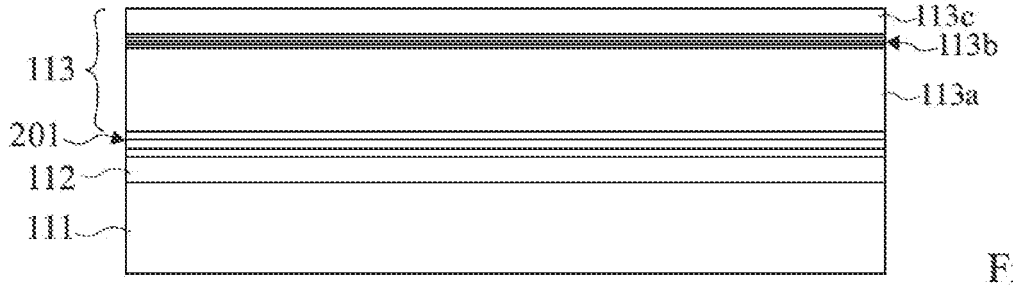


Fig 2A

[Fig. 2B]

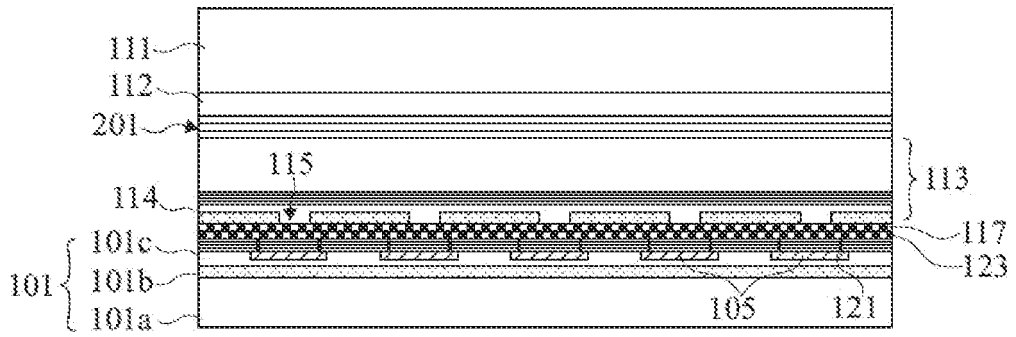


Fig 2B

[Fig. 2C]

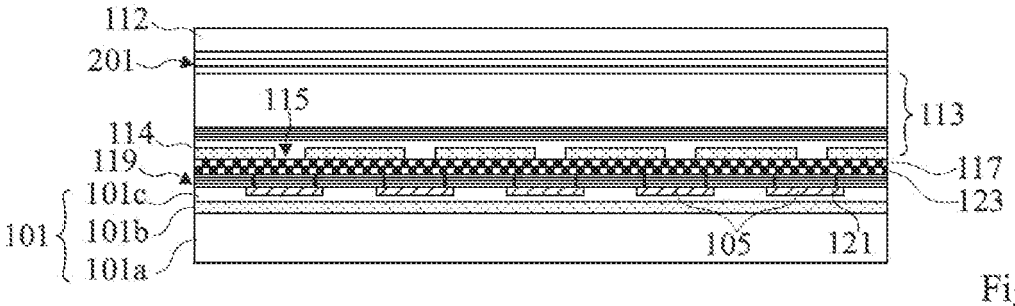


Fig 2C

[Fig. 2D]

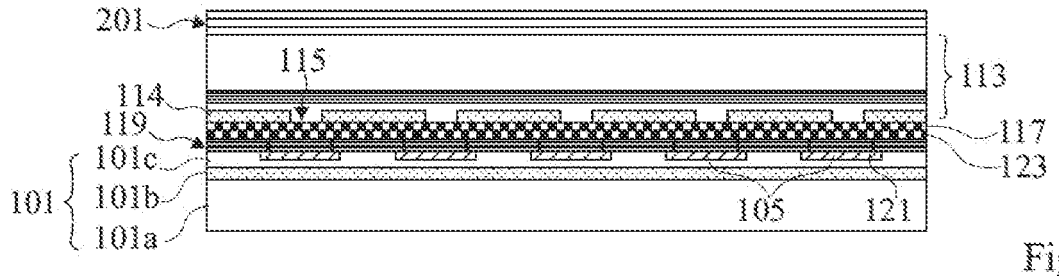


Fig 2D

[Fig. 2E]

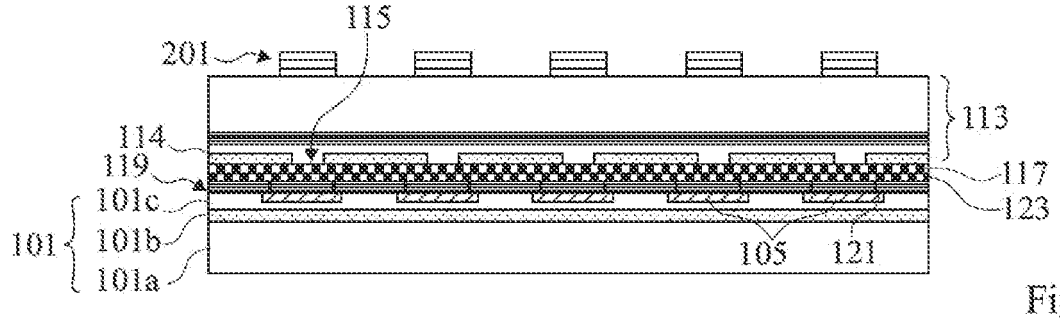


Fig 2E

[Fig. 2F]

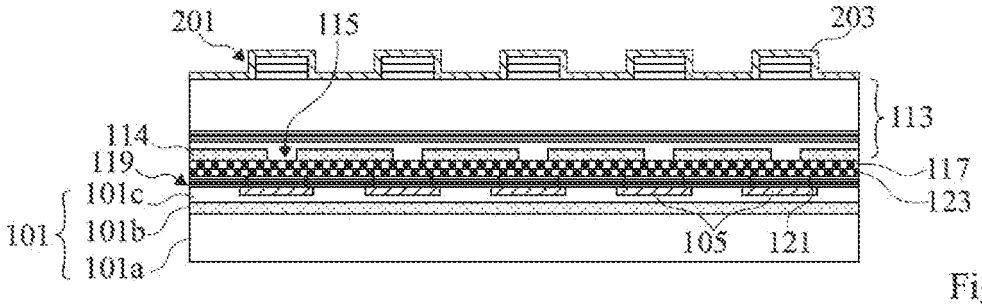


Fig 2F

[Fig. 2G]

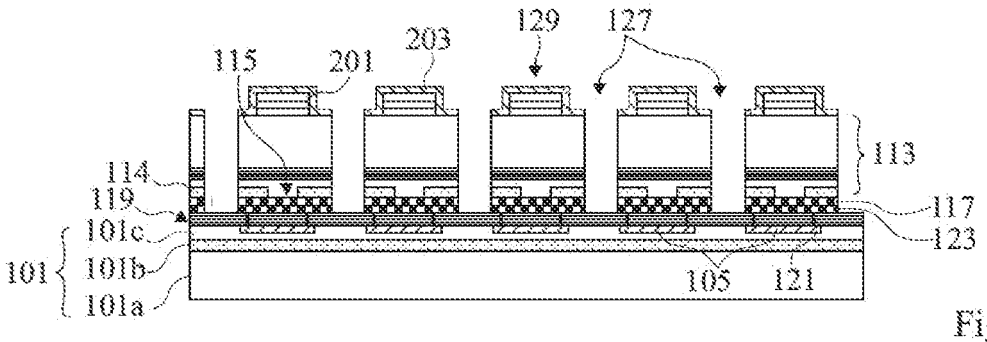


Fig 2G

[Fig. 2H]

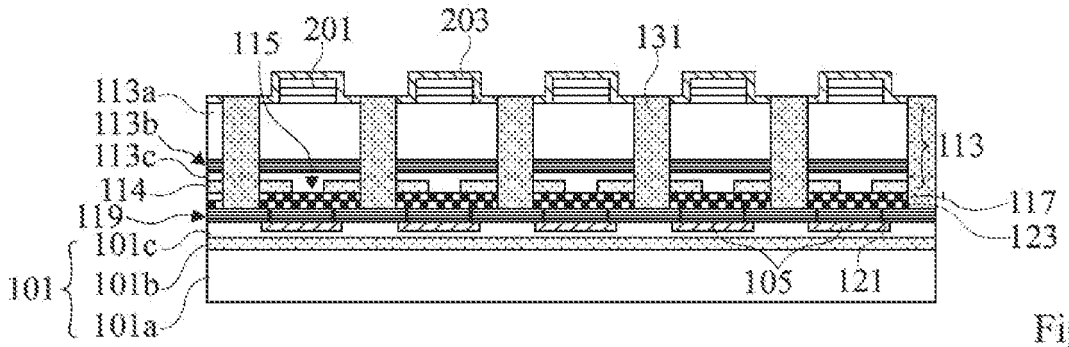


Fig 2H

[Fig. 2I]

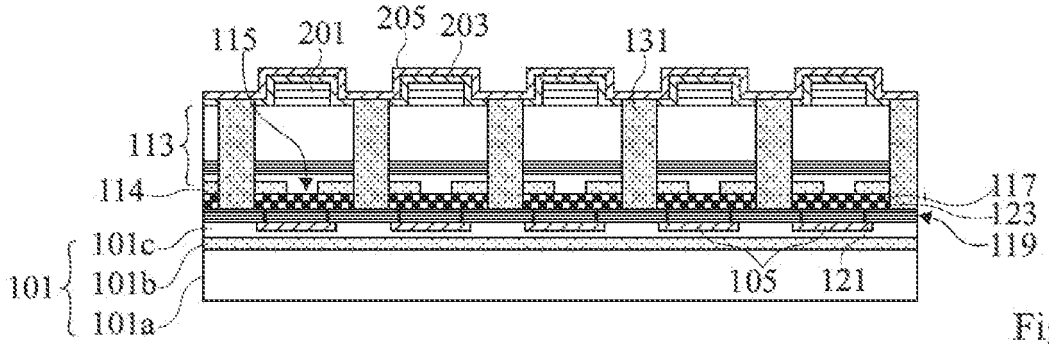


Fig 2I

[Fig. 2J]

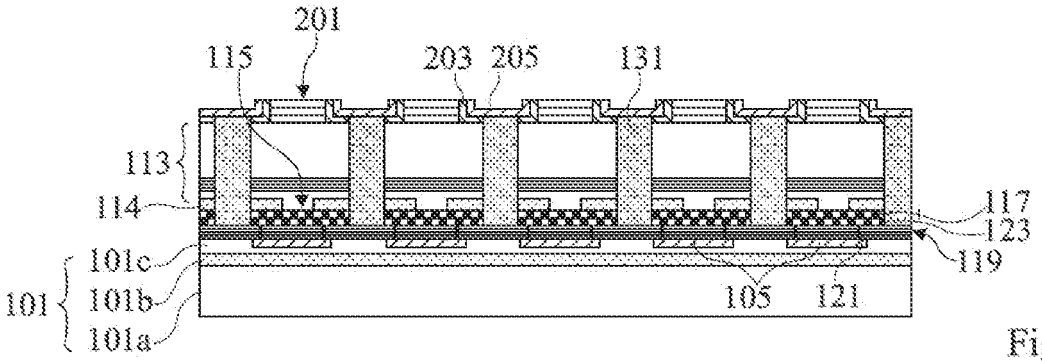


Fig 2J

[Fig. 2K]

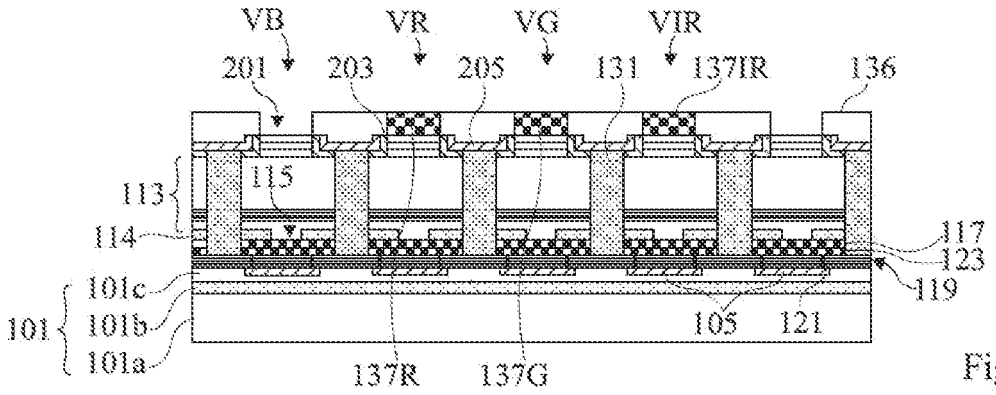


Fig 2K

[Fig. 3]

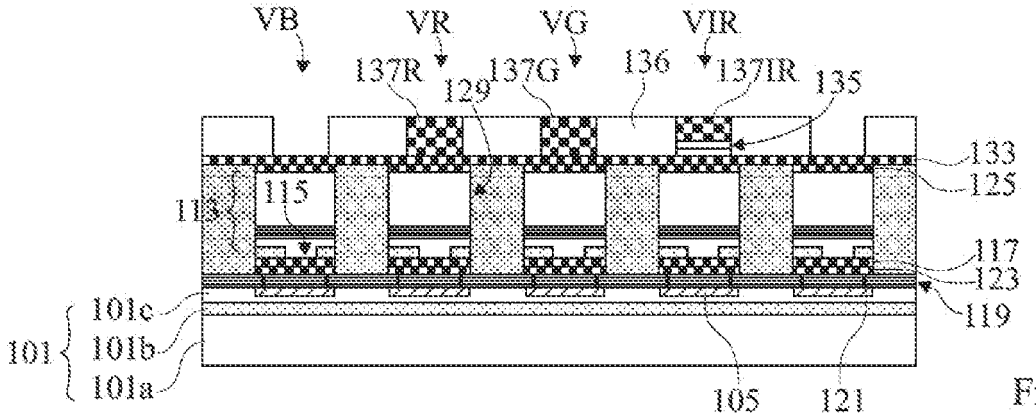


Fig 3

[Fig. 4]

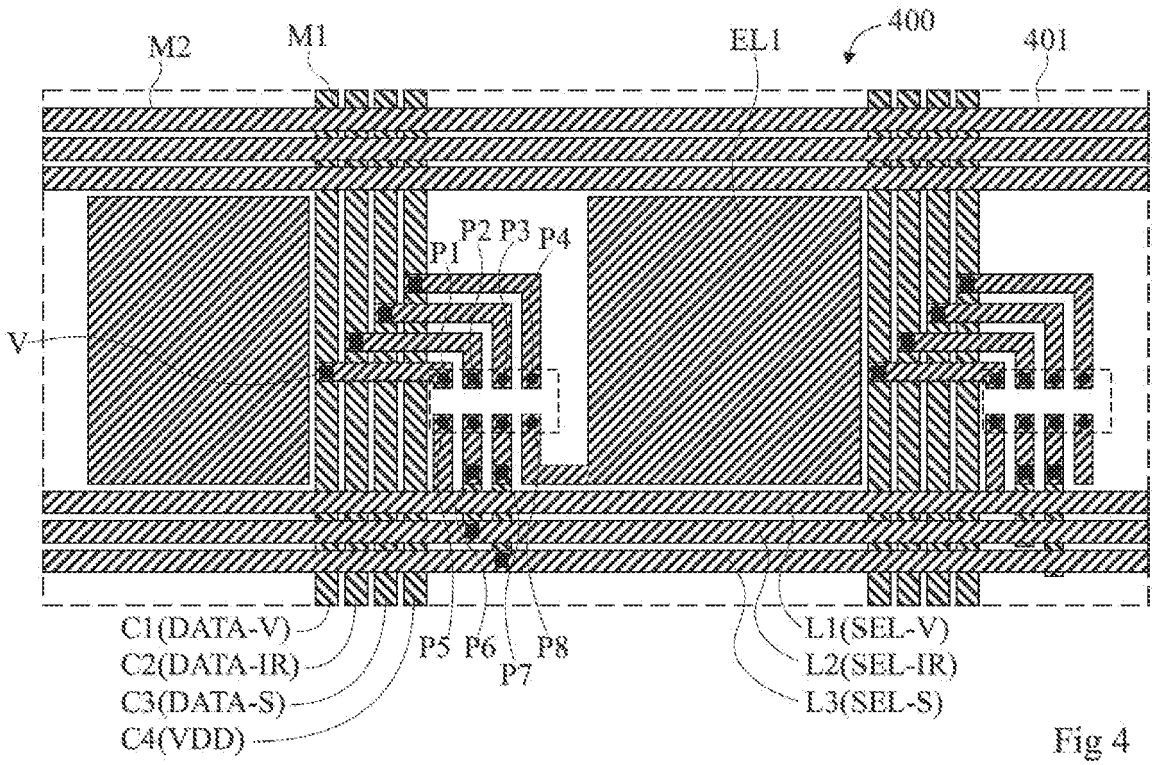


Fig 4

[Fig. 5A]

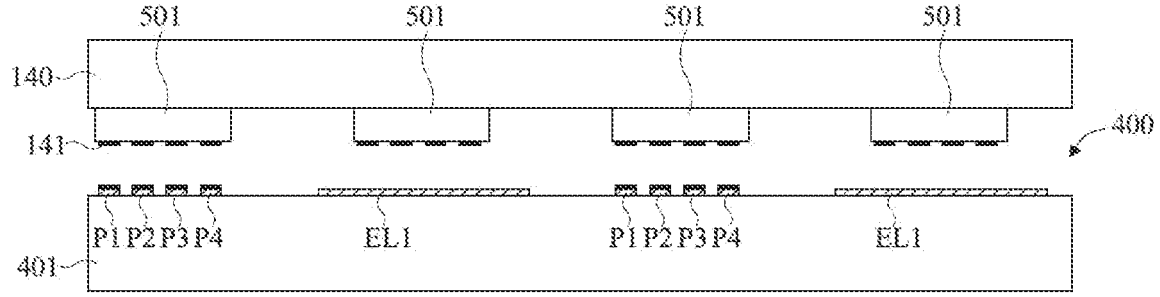


Fig 5A

[Fig. 5B]

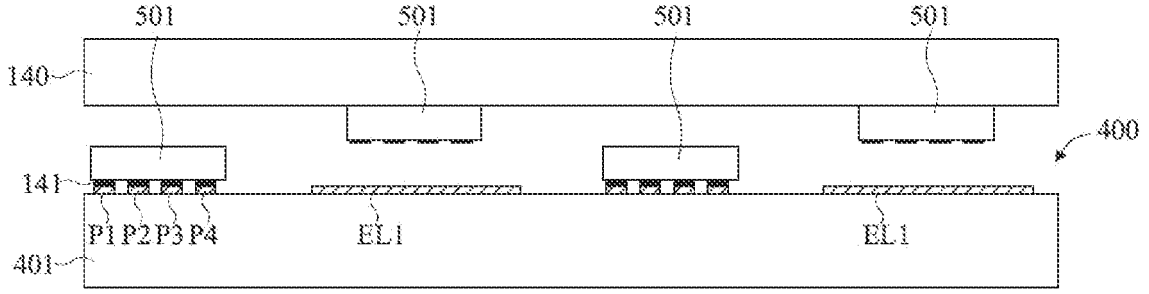


Fig 5B

[Fig. 5C]

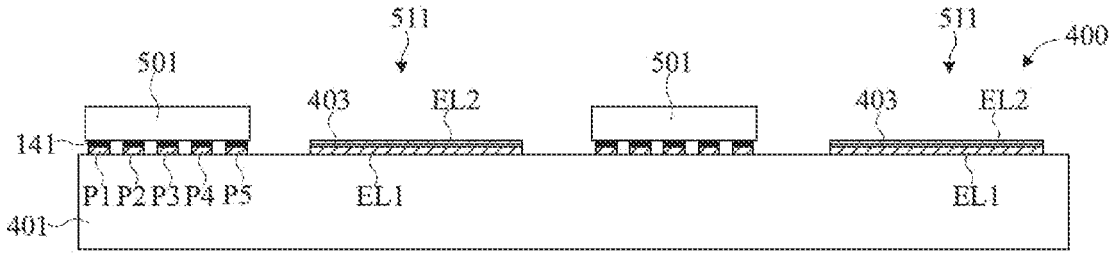


Fig 5C

RÉPUBLIQUE FRANÇAISE

INSTITUT NATIONAL DE LA PROPRIÉTÉ INDUSTRIELLE

RAPPORT DE RECHERCHE PRÉLIMINAIRE

établi sur la base des dernières revendications déposées avant le commencement de la recherche

N° d'enregistrement national

FA 912193
FR 2211830

DOCUMENTS CONSIDÉRÉS COMME PERTINENTS		Revendication(s) concernée(s)	Classement attribué à l'invention par l'INPI
Catégorie	Citation du document avec indication, en cas de besoin, des parties pertinentes		
X	US 2020/135997 A1 (HU TIAN [TW] ET AL) 30 avril 2020 (2020-04-30) * alinéas [0014], [0016] - [0020], [0075], [0080]; figure 20 *	1-14	H10K59/90 H01L33/10 H01S5/183 H01S5/42
X	US 2020/075821 A1 (CHUANG TUNG-LIN [TW] ET AL) 5 mars 2020 (2020-03-05) * alinéas [0053], [0058] - [0060], [0104], [0140] - [0159]; figures 1b, 5d, 6s *	1,9,10	
A	US 2022/285581 A1 (HONG SEOGWOO [KR] ET AL) 8 septembre 2022 (2022-09-08) * figures 7d,19 *	13,14	
			DOMAINES TECHNIQUES RECHERCHÉS (IPC)
			H01L

Date d'achèvement de la recherche	Examinateur
8 mai 2023	Chin, Patrick

CATÉGORIE DES DOCUMENTS CITÉS

X : particulièrement pertinent à lui seul
Y : particulièrement pertinent en combinaison avec un autre document de la même catégorie
A : arrière-plan technologique
O : divulgation non-écrite
P : document intercalaire

T : théorie ou principe à la base de l'invention
E : document de brevet bénéficiant d'une date antérieure à la date de dépôt et qui n'a été publié qu'à cette date de dépôt ou qu'à une date postérieure.
D : cité dans la demande
L : cité pour d'autres raisons
.....
& : membre de la même famille, document correspondant

EPO FORM 1503 12.99 (P04C14)

ANNEXE AU RAPPORT DE RECHERCHE PRÉLIMINAIRE RELATIF A LA DEMANDE DE BREVET FRANÇAIS NO. FR 2211830 FA 912193

La présente annexe indique les membres de la famille de brevets relatifs aux documents brevets cités dans le rapport de recherche préliminaire visé ci-dessus.
Les dits membres sont contenus au fichier informatique de l'Office européen des brevets à la date du **08-05-2023**
Les renseignements fournis sont donnés à titre indicatif et n'engagent pas la responsabilité de l'Office européen des brevets, ni de l'Administration française

Document brevet cité au rapport de recherche	Date de publication	Membre(s) de la famille de brevet(s)	Date de publication
US 2020135997 A1	30-04-2020	CN 111129254 A	08-05-2020
		DE 102019124243 A1	30-04-2020
		KR 20200050430 A	11-05-2020
		TW 202018765 A	16-05-2020
		US 2020135997 A1	30-04-2020
US 2020075821 A1	05-03-2020	CN 110797444 A	14-02-2020
		TW 202008616 A	16-02-2020
		US 2020075821 A1	05-03-2020
US 2022285581 A1	08-09-2022	CN 115036339 A	09-09-2022
		EP 4053896 A1	07-09-2022
		US 2022285581 A1	08-09-2022

EPO FORM P0465