

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2023 年 6 月 22 日 (22.06.2023)



(10) 国际公布号
WO 2023/108754 A1

(51) 国际专利分类号:
H01L 29/786 (2006.01) **G09F 9/30** (2006.01)
H01L 27/12 (2006.01)

(21) 国际申请号: PCT/CN2021/140458

(22) 国际申请日: 2021 年 12 月 22 日 (22.12.2021)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:
202111555031.X 2021 年 12 月 17 日 (17.12.2021) CN

(71) 申请人: **TCL 华星光电技术有限公司 (TCL CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.)** [CN/CN]; 中国广东省深圳市光明新区塘明大道 9-2 号, Guangdong 518132 (CN)。

(74) 代理人: 深圳紫藤知识产权代理有限公司 (**PURPLEVINE INTELLECTUAL PROPERTY (SHENZHEN) CO., LTD.**); 中国广东省深圳市南山区粤海街道大冲社区华润置地大厦 C 座 2901, Guangdong 518052 (CN)。

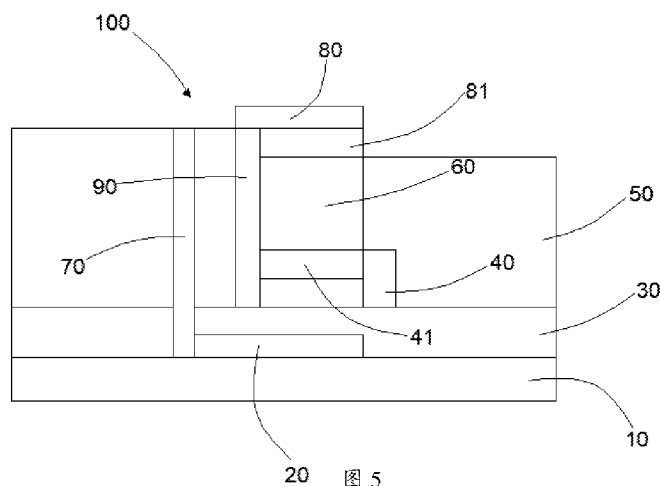
(81) 指定国(除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, IT, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW。

(84) 指定国(除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU,

(72) 发明人: **李观标 (LI, Guanbiao)**; 中国广东省深圳市光明新区塘明大道 9-2 号, Guangdong 518132 (CN)。

(54) **Title:** ARRAY SUBSTRATE AND DISPLAY PANEL

(54) 发明名称: 阵列基板及显示面板



(57) **Abstract:** Disclosed in the present application are an array substrate and a display panel. The array substrate comprises: a substrate, a first gate electrode, a first insulating layer, a first electrode, a second gate electrode, a first conductive channel and a second electrode. According to the present application, the orthographic projection of the first gate electrode on the substrate covers the orthographic projection of the first conductive channel on the substrate, so that a leakage current of the array substrate is reduced.

(57) **摘要:** 本申请公开一种阵列基板及显示面板, 其中阵列基板包括: 基板、第一栅电极、第一绝缘层、第一电极、第二栅电极、第一导电沟道和第二电极。本申请通过利用第一栅电极在基板上的正投影覆盖第一导电沟道在基板上的正投影, 而降低阵列基板的漏电电流。



WO 2023/108754 A1

IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT,
RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI,
CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

— 包括国际检索报告(条约第21条(3))。

阵列基板及显示面板

技术领域

[0001] 本申请涉及显示技术领域，具体涉及一种阵列基板及显示面板。

背景技术

[0002] 在面板制造过程中，薄膜晶体管器件的品质设计尤为重要。现已有一种将薄膜晶体管器件中源漏电极形成的水平沟道结构变更为垂直沟道结构，并将薄膜晶体管的栅极与垂直沟道结构设置在同一水平面上的技术方案。上述的技术方案一方面有利于减少薄膜晶体管器件在基板的占用面积，提高像素开口率，另一方面可以通过控制栅极在垂直方向的长度，实现增加垂直沟道的长度，从而提升薄膜晶体管器件的导通电流。

[0003] 但是上述的技术方案存在以下技术缺陷：由于将薄膜晶体管的栅极与垂直沟道结构设计在同一水平面上，有源层紧贴着玻璃基板，这样会容易受到背光光照影响，使得薄膜晶体管的漏电电流剧增，薄膜晶体管难以彻底关闭。

发明概述

技术问题

[0004] 本申请提供一种阵列基板及显示面板，以解决现有阵列基板的漏电电流大的技术问题。

问题的解决方案

技术解决方案

[0005] 第一方面，本申请提供一种阵列基板，其包括：

[0006] 基板；

[0007] 第一栅电极，所述第一栅电极设置在所述基板上；

[0008] 第一绝缘层，所述第一绝缘层设置在所述第一栅电极上，且所述第一绝缘层设有第一通孔；

[0009] 第一电极，所述第一电极设置在所述第一绝缘层上；

[0010] 第二绝缘层，所述第二绝缘层设置在所述第一绝缘层上，并覆盖所述第一电极

，且所述第二绝缘层设有第二通孔以及第三通孔，所述第一通孔与所述第二通孔连通；

[0011] 第二栅电极，所述第二栅电极设置在所述第一通孔以及所述第二通孔内，并与所述第一栅电极连接；

[0012] 第一导电沟道，所述第一导电沟道设置在所述第三通孔内，并与所述第一电极连接；

[0013] 第二电极，所述第二电极设置在所述第二绝缘层上，并与所述第一导电沟道连接；其中，

[0014] 所述第一电极在所述基板上的正投影覆盖所述第一导电沟道在所述基板上的正投影。

[0015] 可选的，在本申请一些实施例中，所述第一栅电极与所述第二栅电极相互垂直设置。

[0016] 可选的，在本申请一些实施例中，所述阵列基板还包括第一连接电极，所述第一导电沟道上设有第四通孔，所述第一连接电极设置在第四通孔内，所述第一连接电极的一端与所述第一电极连接。

[0017] 可选的，在本申请一些实施例中，所述第一电极的第一面与所述第一导电沟道的第一面相贴合连接。

[0018] 可选的，在本申请一些实施例中，所述阵列基板还包括第二导电沟道，所述第二绝缘层设有第五通孔，所述第二导电沟道设置在所述第五通孔内，所述第二导电沟道与所述第一导电沟道连接，且所述第二导电沟道位于所述第一电极与所述第二栅电极之间，所述第二导电沟道与所述第二栅电极相绝缘。

[0019] 可选的，在本申请一些实施例中，所述第二导电沟道的一端与所述第一电极连接。

[0020] 可选的，在本申请一些实施例中，所述第二导电沟道的另一端与所述第二电极连接。

[0021] 可选的，在本申请一些实施例中，所述第一导电沟道和第二导电沟道层叠设置。

[0022] 可选的，在本申请一些实施例中，所述阵列基板还包括第二连接电极，所述第

二连接电极设在所述第一导电沟道上，所述第二电极设在所述第二连接电极上，所述第二栅电极在层面延伸方向的正投影覆盖所述第二连接电极在层面延伸方向的正投影。

[0023] 可选的，在本申请一些实施例中，所述第二导电沟道的第一面与所述第二连接电极的第一面连接。

[0024] 可选的，在本申请一些实施例中，所述第二导电沟道的第二面与所述第二电极的第一面连接。

[0025] 可选的，在本申请一些实施例中，所述第二电极覆盖在所述第二导电沟道上。

[0026] 可选的，在本申请一些实施例中，所述第一导电沟道为氧化物半导体材料，所述第一绝缘层和第二绝缘层为无机绝缘材料。

[0027] 可选的，在本申请一些实施例中，所述第二导电沟道为氧化物半导体材料。

[0028] 相应的，本申请还提供一种显示面板，其包括上述的阵列基板，还包括像素电极，所述像素电极设在所述第二电极上，所述像素电极与所述第二电极连接。

[0029] 可选的，在本申请一些实施例中，还包括钝化层，所述钝化层位于所述像素电极与所述第二电极之间，所述像素电极通过所述钝化层上的过孔与所述第二电极连接。

[0030] 本申请还提供一种阵列基板，其包括：

[0031] 基板；

[0032] 第一栅电极，所述第一栅电极设置在所述基板上；

[0033] 第一绝缘层，所述第一绝缘层设置在所述第一栅电极上，且所述第一绝缘层设有第一通孔；

[0034] 第一电极，所述第一电极设置在所述第一绝缘层上；

[0035] 第二绝缘层，所述第二绝缘层设置在所述第一绝缘层上，并覆盖所述第一电极，且所述第二绝缘层设有第二通孔以及第三通孔，所述第一通孔与所述第二通孔连通；

[0036] 第二栅电极，所述第二栅电极设置在所述第一通孔以及所述第二通孔内，并与所述第一栅电极连接；

[0037] 第一导电沟道，所述第一导电沟道设置在所述第三通孔内，并与所述第一电极

连接；

[0038] 第二电极，所述第二电极设置在所述第二绝缘层上，并与所述第一导电沟道连接；其中，

[0039] 所述第一电极在所述基板上的正投影覆盖所述第一导电沟道在所述基板上的正投影；

[0040] 所述第一电极为源电极，所述第二电极为漏电极。

[0041] 可选的，在本申请一些实施例中，所述第一栅电极与所述第二栅电极相互垂直设置。

[0042] 可选的，在本申请一些实施例中，所述阵列基板还包括第一连接电极，所述第一导电沟道上设有第四通孔，所述第一连接电极设置在第四通孔内，所述第一连接电极的一端与所述第一电极连接。

[0043] 可选的，在本申请一些实施例中，所述第一电极的第一面与所述第一导电沟道的第一面相贴合连接。

[0044] 可选的，在本申请一些实施例中，所述阵列基板还包括第二导电沟道，所述第二绝缘层设有第五通孔，所述第二导电沟道设置在所述第五通孔内，所述第二导电沟道与所述第一导电沟道连接，且所述第二导电沟道位于所述第一电极与所述第二栅电极之间，所述第二导电沟道与所述第二栅电极相绝缘。

[0045] 可选的，在本申请一些实施例中，所述第二导电沟道的一端与所述第一电极连接。

[0046] 可选的，在本申请一些实施例中，所述第二导电沟道的另一端与所述第二电极连接。

[0047] 可选的，在本申请一些实施例中，所述第一导电沟道和第二导电沟道层叠设置。

[0048] 可选的，在本申请一些实施例中，所述阵列基板还包括第二连接电极，所述第二连接电极设在所述第一导电沟道上，所述第二电极设在所述第二连接电极上，所述第二栅电极在层面延伸方向的正投影覆盖所述第二连接电极在层面延伸方向的正投影。

[0049] 可选的，在本申请一些实施例中，所述第二导电沟道的第一面与所述第二连接

电极的第一面连接。

[0050] 可选的，在本申请一些实施例中，所述第二导电沟道的第二面与所述第二电极的第一面连接。

[0051] 可选的，在本申请一些实施例中，所述第二电极覆盖在所述第二导电沟道上。

[0052] 可选的，在本申请一些实施例中，所述第一导电沟道为氧化物半导体材料，所述第一绝缘层和第二绝缘层为无机绝缘材料。

[0053] 可选的，在本申请一些实施例中，所述第二导电沟道为氧化物半导体材料。

[0054] 相应的，本申请还提供一种显示面板，其包括上述的阵列基板，还包括像素电极，所述像素电极设在所述第二电极上，所述像素电极与所述第二电极连接。

[0055] 可选的，在本申请一些实施例中，还包括钝化层，所述钝化层位于所述像素电极与所述第二电极之间，所述像素电极通过所述钝化层上的过孔与所述第二电极连接。

发明的有益效果

有益效果

[0056] 本申请提供一种阵列基板及显示面板，其中阵列基板包括：基板；第一栅电极，所述第一栅电极设置在所述基板上；第一绝缘层，所述第一绝缘层设置在所述第一栅电极上，且所述第一绝缘层设有第一通孔；第一电极，所述第一电极设置在所述第一绝缘层上；第二绝缘层，所述第二绝缘层设置在所述第一绝缘层上，并覆盖所述第一电极，且所述第二绝缘层设有第二通孔以及第三通孔，所述第一通孔与所述第二通孔连通；第二栅电极，所述第二栅电极设置在所述第一通孔以及所述第二通孔内，并与所述第一栅电极连接；第一导电沟道，所述第一导电沟道设置在所述第三通孔内，并与所述第一电极连接；第二电极，所述第二电极设置在所述第二绝缘层上，并与所述第一导电沟道连接；其中，所述第一电极在所述基板上的正投影覆盖所述第一导电沟道在所述基板上的正投影。本申请通过利用第一栅电极在所述基板上的正投影覆盖所述第一导电沟道在所述基板上的正投影，第一栅电极可以遮挡背光光照，从而避免背光光照对第一导电沟道的影响，而降低阵列基板的漏电电流。

对附图的简要说明

附图说明

[0057] 为了更清楚地说明本申请实施例中的技术方案，下面将对实施例描述中所需要使用的附图作简单地介绍，显而易见地，下面描述中的附图仅仅是本申请的一些实施例，对于本领域技术人员来讲，在不付出创造性劳动的前提下，还可以根据这些附图获得其他的附图。

[0058] 图1为本申请提供的阵列基板的第一结构示意图；

[0059] 图2为本申请提供的阵列基板的第二结构示意图；

[0060] 图3为本申请提供的阵列基板的第三结构示意图；

[0061] 图4为本申请提供的阵列基板的第四结构示意图；

[0062] 图5为本申请提供的阵列基板的第五结构示意图；

[0063] 图6为本申请提供的显示面板的示意图。

发明实施例

本发明的实施方式

[0064] 下面将结合本申请实施例中的附图，对本申请实施例中的技术方案进行清楚、完整地描述，显然，所描述的实施例仅仅是本申请一部分实施例，而不是全部的实施例。基于本申请中的实施例，本领域技术人员在没有作出创造性劳动前提下所获得的所有其他实施例，都属于本申请保护的范围。

[0065] 在本申请的描述中，需要理解的是，术语“上”、“下”、“前”、“后”、“左”、“右”、“内”、“外”等指示的方位或位置关系为基于附图所示的方位或位置关系，仅是为了便于描述本申请和简化描述，而不是指示或暗示所指的装置或元件必须具有特定的方位、以特定的方位构造和操作，因此不能理解为对本申请的限制。此外，术语“第一”、“第二”仅用于描述目的，而不能理解为指示或暗示相对重要性或者隐含指明所指示的技术特征的数量。由此，限定有“第一”、“第二”的特征可以明示或者隐含地包括一个或者更多个所述特征。在本申请的描述中，“多个”的含义是两个或两个以上，除非另有明确具体的限定。

[0066] 本申请提供一种阵列基板及显示面板，以下进行详细说明。需要说明的是，以下实施例的描述顺序不作为对本申请实施例优选顺序的限定。

- [0067] 请参阅图1，图1是本申请提供的阵列基板的第一结构示意图。本申请提供一种阵列基板100，其包括基板10、第一栅电极20、第一绝缘层30、第一电极40、第二绝缘层50、第一导电沟道60、第二栅电极70和第二电极80。
- [0068] 具体地，在本申请提供的上述阵列基板中的第一电极40和第二电极80等同于现有技术中的源电极或漏电极，在具体实施时，可以将第一电极40作为源电极使用，第二电极80作为漏电极使用，也可以将第二电极80作为源电极使用，第一电极40作为漏电极使用，在此不做限定。也即是，所述第一电极40为源电极，所述第二电极80为漏电极；或所述第一电极40为漏电极，所述第二电极80为源电极。
- [0069] 其中，第一栅电极20设在所述基板10上，所述第一绝缘层30设置在所述第一栅电极20上，且所述第一绝缘层30设有第一通孔，第一电极40设在所述第一绝缘层30上；所述第二绝缘层50设置在所述第一绝缘层30上，并覆盖所述第一电极40，且所述第二绝缘层50设有第二通孔以及第三通孔，所述第一通孔与所述第二通孔连通；所述第二栅电极70设置在所述第一通孔以及所述第二通孔内，并与所述第一栅电极20连接。
- [0070] 所述第一导电沟道60设置在所述第三通孔内，并与所述第一电极40连接；所述第二电极80设置在所述第二绝缘层50上，并与所述第一导电沟道60连接；其中，所述第一电极20在所述基板10上的正投影覆盖所述第一导电沟道60在所述基板10上的正投影。
- [0071] 本申请通过将第二栅电极70的延伸方向与第一导电沟道60的延伸方向相同设置，可以控制第二栅电极70在垂直方向的长度，而实现增加第一导电沟道60的长度，从而提升阵列基板器件的导通电流。另外，本申请还利用第一栅电极20在所述基板10上的正投影覆盖所述第一导电沟道60在所述基板10上的正投影，第一栅电极20可以遮挡背光光照，从而避免背光光照对第一导电沟道60的影响，而降低阵列基板100的漏电电流。
- [0072] 在一些实施例中，为了提高加工效率，降低材料成本，第一栅电极20与第二栅电极70相互垂直设置，具体地，第一栅电极20为水平设置，第二栅电极70为竖向设置。

- [0073] 另外，请参考图6，图6为是本申请提供的显示面板的示意图，本申请还提供了一种显示面板1000，其包括本申请提供的上述阵列基板100，该显示面板的实施可以参见上述阵列基板的实施例，重复之处不再赘述。
- [0074] 其中，显示面板1000还包括像素电极200，所述像素电极200设在所述第二电极80上，所述像素电极200与所述第二电极80连接。
- [0075] 在一些实施例中，显示面板1000还包括钝化层300，所述钝化层300位于所述像素电极200与所述第二电极80之间，所述像素电极200通过所述钝化层300上的过孔与所述第二电极80连接。
- [0076] 具体地，本申请提供的上述阵列基板可以应用于液晶显示面板，也可以应用于OLED显示器件，还可以应用于其他有机电致发光器件中，在此不做限定。
- [0077] 请参阅图2，图2是本申请提供的阵列基板的第二结构示意图。本实施例与图1提供的阵列基板不同的是，所述阵列基板100还包括第一连接电极41，所述第一导电沟道60上设有第四通孔，所述第一连接电极41设置在第四通孔内，所述第一连接电极41的一端与所述第一电极40连接。
- [0078] 通过设有第一连接电极41的方式，可以增加第二栅电极70和第一电极40、第一连接电极41的重叠长度，从而提高阵列基板100的开态电流。
- [0079] 其中，在一些实施例中，第一电极40在基板10上的正投影与第一栅电极20在基板10上的正投影相错开。另外，所述第一连接电极41与所述第一电极40相互垂直设置。
- [0080] 另外，一些实施例中，所述第一电极40的第一面与所述第一导电沟道60的第一面相贴合连接。可以进一步地增加导电沟道与第一电极40的连接面积，能提高阵列基板100的导电沟道与第一电极40之间的连接稳定性。
- [0081] 请参阅图3，图3是本申请提供的阵列基板的第三结构示意图。本实施例与图1提供的阵列基板不同的是，阵列基板还包括第二导电沟道90，所述第二绝缘层50设有第五通孔，所述第二导电沟道90设置在所述第五通孔内，所述第二导电沟道90与所述第一导电沟道60连接，且所述第二导电沟道90位于所述第一电极40与所述第二栅电极70之间，所述第二导电沟道90与所述第二栅电极70相绝缘。
- [0082] 通过将第二导电沟道90设在第一电极40与所述第二栅电极70之间，可以加强第

一栅电极70与第一电极40之间的绝缘效果，从而避免第二栅电极70与第一电极40之间短路。

[0083] 在一些实施例中，所述第二导电沟道90的一端与所述第一电极40连接。具体地，第二导电沟道90的下端的侧面与所述第一电极40连接，可以进一步地增加导电沟道与第一电极40的连接面积，能提高阵列基板100的导电沟道与第一电极40之间的连接稳定性。

[0084] 在一些实施例中，所述第二导电沟道90的另一端与所述第二电极80连接。具体地，第二导电沟道90的上端的端面与所述第二电极80连接，可以进一步地增加导电沟道与第二电极80的连接面积，能提高阵列基板100的导电沟道与第二电极80之间的连接稳定性。

[0085] 另外，在一些实施例中，所述第一导电沟道60和第二导电沟道90依次层叠设置。层叠设置的第一导电沟道60和第二导电沟道90可以降低占有空间，同时可以将第一导电沟道60和第二导电沟道90的接触面积最大化。

[0086] 进一步地，在具体实施时，本申请提供的阵列基板100可以是氧化物阵列基板，阵列基板100的第一导电沟道60和第二导电沟道90可以为诸如铟镓锌氧化物、铟镓锡氧化物氧化、铟锌氧化物等的氧化物半导体材料，对应地，阵列基板器件中的第一绝缘层30和第二绝缘层50可以包括二氧化硅、氮化硅、氮氧化硅、氧化铝、氧化钛等无机绝缘材料。

[0087] 当然，在具体实施时，本申请提供的阵列基板100还可以低温多晶硅阵列基板，即阵列基板100的第一导电沟道60和第二导电沟道90可以为非晶硅、多晶硅或微晶硅材料，对应地，阵列基板器件中的第一绝缘层30和第二绝缘层50可以为树脂系绝缘材料、亚克力系绝缘材料等有机绝缘材料。

[0088] 请参阅图4，图4是本申请提供的阵列基板的第四结构示意图。本实施例与图1提供的阵列基板不同的是，所述阵列基板100还包括第二连接电极81，所述第二连接电极81设在所述第一导电沟道60上，所述第二电极80设在所述第二连接电极81上，所述第二栅电极70在层面延伸方向的正投影覆盖所述第二连接电极81在层面延伸方向的正投影。

[0089] 本申请通过增设第二连接电极81，而且将第二栅电极70在层面延伸方向的正投

影覆盖所述第二连接电极81在层面延伸方向的正投影，这样可以增加第二栅电极70和第二连接电极81的重叠长度，从而提高阵列基板100的开态电流。

[0090] 请参阅图5，图5是本申请提供的阵列基板的第五结构示意图。本实施例与图1提供的阵列基板不同的是，所述阵列基板100还包括第一连接电极41，所述第一导电沟道60上设有第四通孔，所述第一连接电极41设置在第四通孔内，所述第一连接电极41的一端与所述第一电极40连接。

[0091] 通过设有第一连接电极41的方式，可以增加第二栅电极70和第一电极40、第一连接电极41的重叠长度，从而提高阵列基板100的开态电流。

[0092] 进一步地，在一些实施例中，阵列基板100还包括第二导电沟道90，所述第二绝缘层50设有第五通孔，所述第二导电沟道90设置在所述第五通孔内，所述第二导电沟道90与所述第一导电沟道60连接，且所述第二导电沟道90位于所述第一电极40与所述第二栅电极70之间，所述第二导电沟道90与所述第二栅电极70相绝缘。

[0093] 通过将第二导电沟道90设在第一电极40与所述第二栅电极70之间，可以加强第二栅电极70与第一电极40之间的绝缘效果，从而避免第二栅电极70与第一电极40之间短路。

[0094] 进一步，所述第二导电沟道90位于所述第一连接电极41与所述第二栅电极70之间。

[0095] 另外，在一些实施例中，所述第一导电沟道60和第二导电沟道90依次层叠设置。层叠设置的第一导电沟道60和第二导电沟道90可以降低占有空间，同时可以将第一导电沟道60和第二导电沟道90的接触面积最大化。

[0096] 进一步地，在一些实施例中，所述第二导电沟道90的一端与所述第一电极40连接。具体地，所述第一连接电极41的另一端与所述第二导电沟道90的一端连接，这样可以实现第二导电沟道90的一端与所述第一电极40连接。

[0097] 另外，所述第二导电沟道90的另一端与所述第二电极80连接。具体地，第二导电沟道90的上端的端面与所述第二电极80连接。而且第一电极40通过第一连接电极41与第一导电沟道60连接，可以增大第一电极40、第二电极80与导电沟道之间的连接面积，提高电极与导电沟道之间的连接稳定性。

- [0098] 其中，在一些实施例中，第一电极40在基板10上的正投影与第一栅电极20在基板10上的正投影相错开。
- [0099] 另外，一些实施例中，所述第一电极40的第一面与所述第一导电沟道60的第一面相贴合连接。可以进一步地增加导电沟道与第一电极40的连接面积，能提高阵列基板100的导电沟道与第一电极40之间的连接稳定性。
- [0100] 再进一步地，所述阵列基板100还包括第二连接电极81，所述第二连接电极81设在所述第一导电沟道60上，所述第二电极80设在所述第二连接电极81上，所述第二栅电极70在层面延伸方向的正投影覆盖所述第二连接电极81在层面延伸方向的正投影。
- [0101] 本申请通过增设第二连接电极81，而且将第二栅电极70在层面延伸方向的正投影覆盖所述第二连接电极81在层面延伸方向的正投影，这样可以增加第二栅电极70和第二连接电极81的重叠长度，从而提高阵列基板100的开态电流。
- [0102] 其中，在一些实施例中，所述第二导电沟道90的第一面与所述第二连接电极71的第一面连接。所述第二导电沟道90的第二面与所述第二电极80的第一面连接。可以进一步地增加导电沟道与第二电极80的连接面积，能提高阵列基板100的导电沟道与第二电极80之间的连接稳定性。其中，第二导电沟道90的第一面和第二面相邻且相互垂直。
- [0103] 而且，所述第二电极80覆盖在所述第二导电沟道90上。可以避免第二导电沟道90裸露，并减少绝缘层的设置。
- [0104] 以上对本申请实施例所提供的一种阵列基板及显示面板进行了详细介绍，本文中应用了具体个例对本申请的原理及实施方式进行了阐述，以上实施例的说明只是用于帮助理解本申请的方法及其核心思想；同时，对于本领域的技术人员，依据本申请的思想，在具体实施方式及应用范围上均会有改变之处，综上，本说明书内容不应理解为对本申请的限制。

权利要求书

- [权利要求 1] 一种阵列基板，其包括：
- 基板；
- 第一栅电极，所述第一栅电极设置在所述基板上；
- 第一绝缘层，所述第一绝缘层设置在所述第一栅电极上，且所述第一绝缘层设有第一通孔；
- 第一电极，所述第一电极设置在所述第一绝缘层上；
- 第二绝缘层，所述第二绝缘层设置在所述第一绝缘层上，并覆盖所述第一电极，且所述第二绝缘层设有第二通孔以及第三通孔，所述第一通孔与所述第二通孔连通；
- 第二栅电极，所述第二栅电极设置在所述第一通孔以及所述第二通孔内，并与所述第一栅电极连接；
- 第一导电沟道，所述第一导电沟道设置在所述第三通孔内，并与所述第一电极连接；
- 第二电极，所述第二电极设置在所述第二绝缘层上，并与所述第一导电沟道连接；其中，
- 所述第一电极在所述基板上的正投影覆盖所述第一导电沟道在所述基板上的正投影。
- [权利要求 2] 根据权利要求1所述的阵列基板，其中，所述阵列基板还包括第一连接电极，所述第一导电沟道上设有第四通孔，所述第一连接电极设置在第四通孔内，所述第一连接电极的一端与所述第一电极连接。
- [权利要求 3] 根据权利要求2所述的阵列基板，其中，所述第一电极的第一面与所述第一导电沟道的第一面相贴合连接。
- [权利要求 4] 根据权利要求1所述的阵列基板，其中，所述阵列基板还包括第二导电沟道，所述第二绝缘层设有第五通孔，所述第二导电沟道设置在所述第五通孔内，所述第二导电沟道与所述第一导电沟道连接，且所述第二导电沟道位于所述第一电极与所述第二栅电极之间，所述第二导电沟道与所述第二栅电极相绝缘。

- [权利要求 5] 根据权利要求4所述的阵列基板，其中，所述第二导电沟道的一端与所述第一电极连接；
和/或，所述第二导电沟道的另一端与所述第二电极连接。
- [权利要求 6] 根据权利要求4所述的阵列基板，其中，所述第一导电沟道和第二导电沟道层叠设置。
- [权利要求 7] 根据权利要求4所述的阵列基板，其中，所述阵列基板还包括第二连接电极，所述第二连接电极设在所述第一导电沟道上，所述第二电极设在所述第二连接电极上，所述第二栅电极在层面延伸方向的正投影覆盖所述第二连接电极在层面延伸方向的正投影。
- [权利要求 8] 根据权利要求7所述的阵列基板，其中，所述第二导电沟道位于所述第二连接电极与所述第二栅电极之间。
- [权利要求 9] 根据权利要求8所述的阵列基板，其中，所述第二电极覆盖在所述第二导电沟道上。
- [权利要求 10] 一种显示面板，其中，包括阵列基板，还包括像素电极，所述像素电极设在所述第二电极上，所述像素电极与所述第二电极连接；
所述阵列基板包括：
基板；
第一栅电极，所述第一栅电极设置在所述基板上；
第一绝缘层，所述第一绝缘层设置在所述第一栅电极上，且所述第一绝缘层设有第一通孔；
第一电极，所述第一电极设置在所述第一绝缘层上；
第二绝缘层，所述第二绝缘层设置在所述第一绝缘层上，并覆盖所述第一电极，且所述第二绝缘层设有第二通孔以及第三通孔，所述第一通孔与所述第二通孔连通；
第二栅电极，所述第二栅电极设置在所述第一通孔以及所述第二通孔内，并与所述第一栅电极连接；
第一导电沟道，所述第一导电沟道设置在所述第三通孔内，并与所述第一电极连接；

第二电极，所述第二电极设置在所述第二绝缘层上，并与所述第一导电沟道连接；其中，

所述第一电极在所述基板上的正投影覆盖所述第一导电沟道在所述基板上的正投影。

[权利要求 11]

一种阵列基板，其包括：

基板；

第一栅电极，所述第一栅电极设置在所述基板上；

第一绝缘层，所述第一绝缘层设置在所述第一栅电极上，且所述第一绝缘层设有第一通孔；

第一电极，所述第一电极设置在所述第一绝缘层上；

第二绝缘层，所述第二绝缘层设置在所述第一绝缘层上，并覆盖所述第一电极，且所述第二绝缘层设有第二通孔以及第三通孔，所述第一通孔与所述第二通孔连通；

第二栅电极，所述第二栅电极设置在所述第一通孔以及所述第二通孔内，并与所述第一栅电极连接；

第一导电沟道，所述第一导电沟道设置在所述第三通孔内，并与所述第一电极连接；

第二电极，所述第二电极设置在所述第二绝缘层上，并与所述第一导电沟道连接；其中，

所述第一电极在所述基板上的正投影覆盖所述第一导电沟道在所述基板上的正投影；

所述第一电极为源电极，所述第二电极为漏电极。

[权利要求 12]

根据权利要求11所述的阵列基板，其中，所述阵列基板还包括第一连接电极，所述第一导电沟道上设有第四通孔，所述第一连接电极设置在第四通孔内，所述第一连接电极的一端与所述第一电极连接。

[权利要求 13]

根据权利要求12所述的阵列基板，其中，所述第一电极的第一面与所述第一导电沟道的第一面相贴合连接。

[权利要求 14]

根据权利要求11所述的阵列基板，其中，所述阵列基板还包括第二导

电沟道，所述第二绝缘层设有第五通孔，所述第二导电沟道设置在所述第五通孔内，所述第二导电沟道与所述第一导电沟道连接，且所述第二导电沟道位于所述第一电极与所述第二栅电极之间，所述第二导电沟道与所述第二栅电极相绝缘。

[权利要求 15] 根据权利要求14所述的阵列基板，其中，所述第二导电沟道的一端与所述第一电极连接；

和/或，所述第二导电沟道的另一端与所述第二电极连接。

[权利要求 16] 根据权利要求14所述的阵列基板，其中，所述第一导电沟道和第二导电沟道层叠设置。

[权利要求 17] 根据权利要求14所述的阵列基板，其中，所述阵列基板还包括第二连接电极，所述第二连接电极设在所述第一导电沟道上，所述第二电极设在所述第二连接电极上，所述第二栅电极在层面延伸方向的正投影覆盖所述第二连接电极在层面延伸方向的正投影。

[权利要求 18] 根据权利要求17所述的阵列基板，其中，所述第二导电沟道位于所述第二连接电极与所述第二栅电极之间。

[权利要求 19] 根据权利要求18所述的阵列基板，其中，所述第二电极覆盖在所述第二导电沟道上。

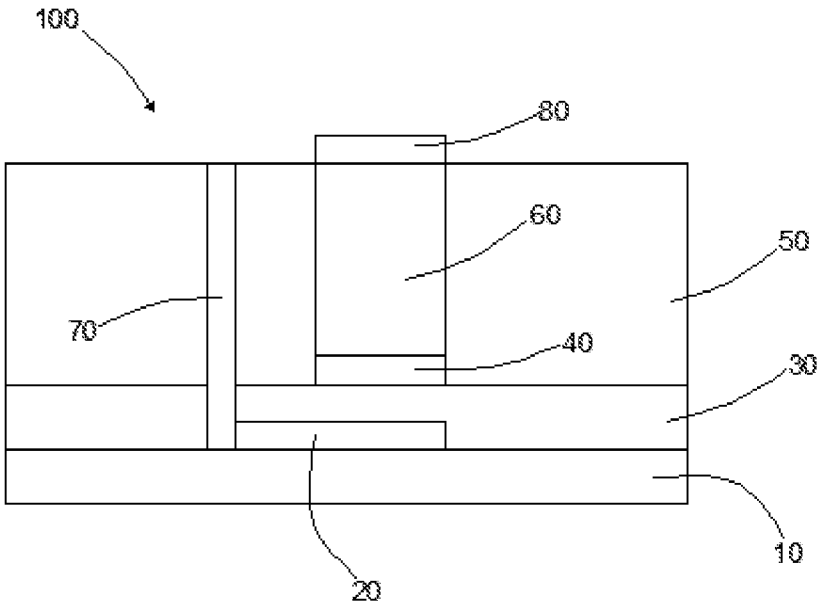


图 1

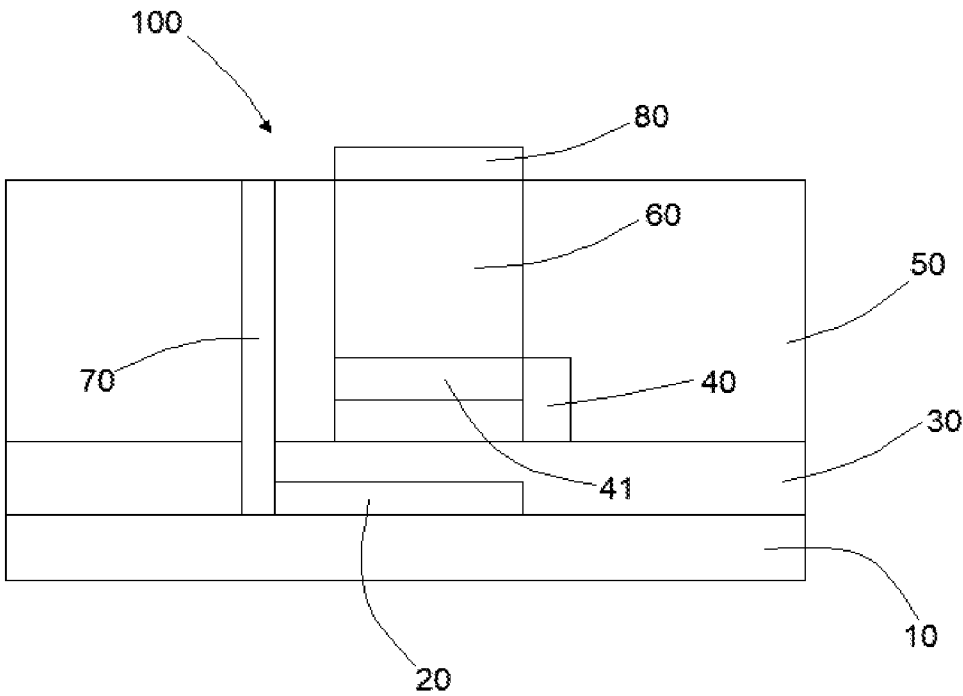


图 2

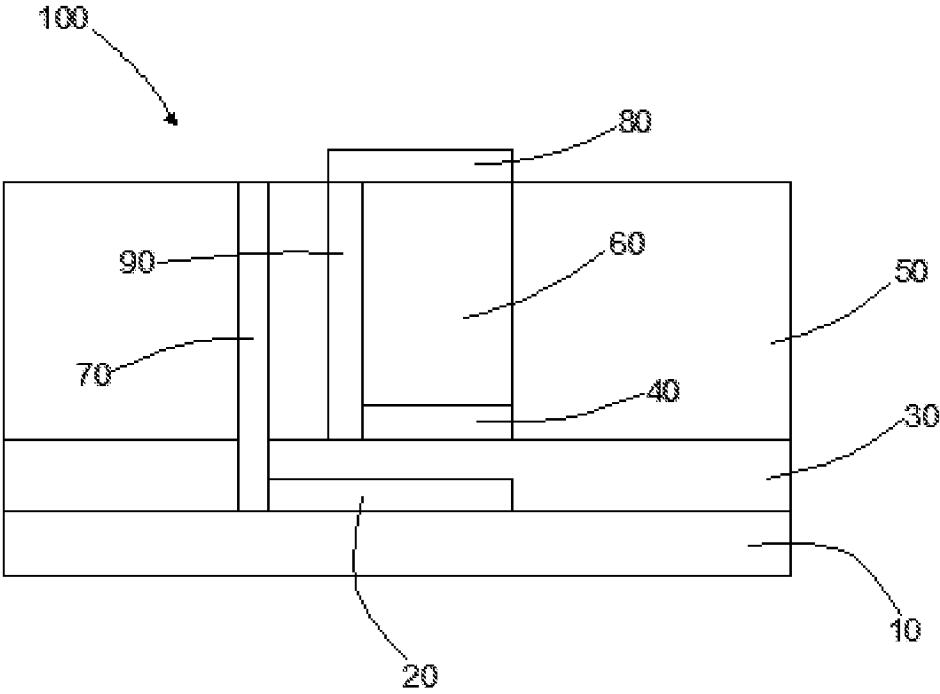


图 3

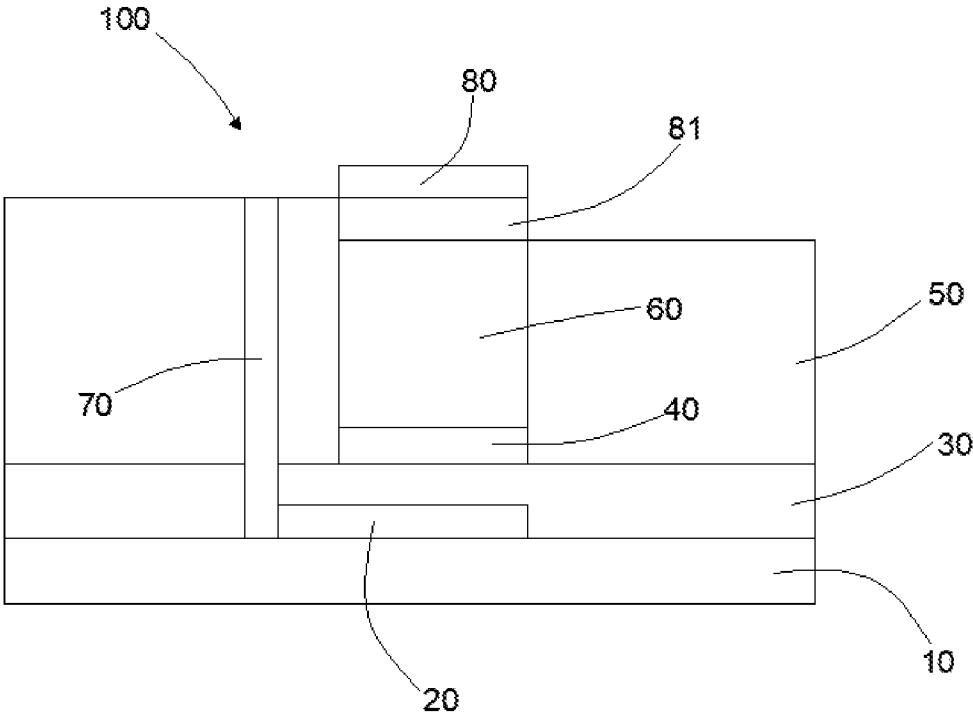


图 4

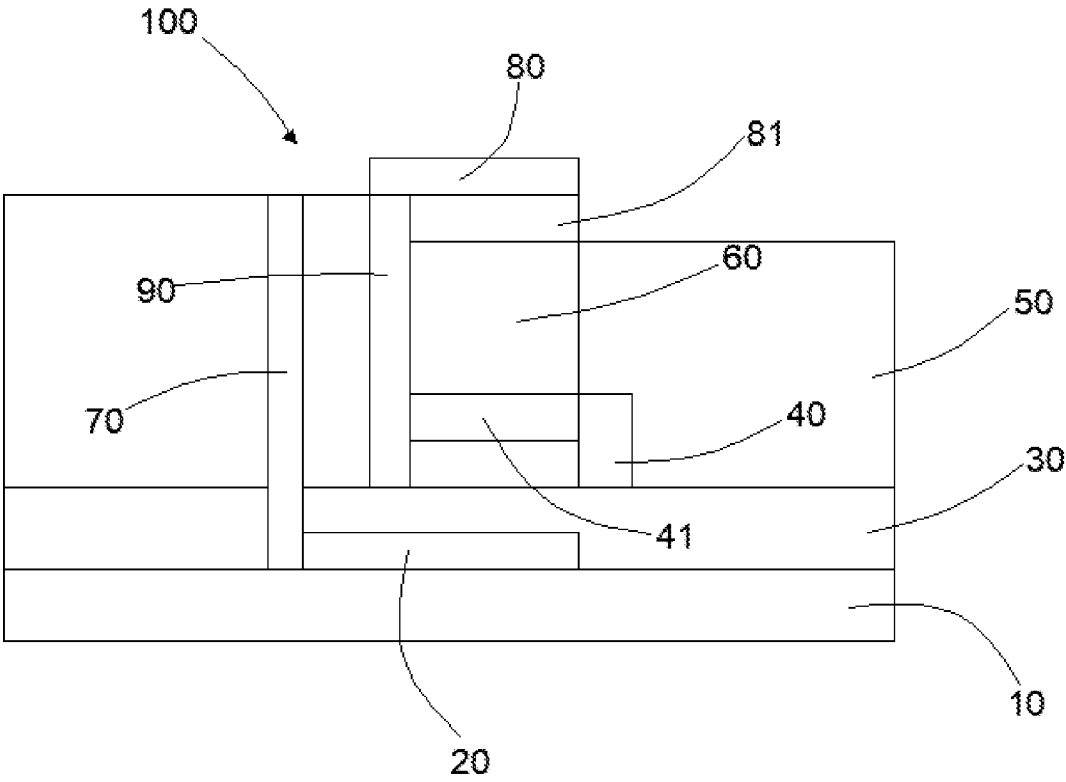


图 5

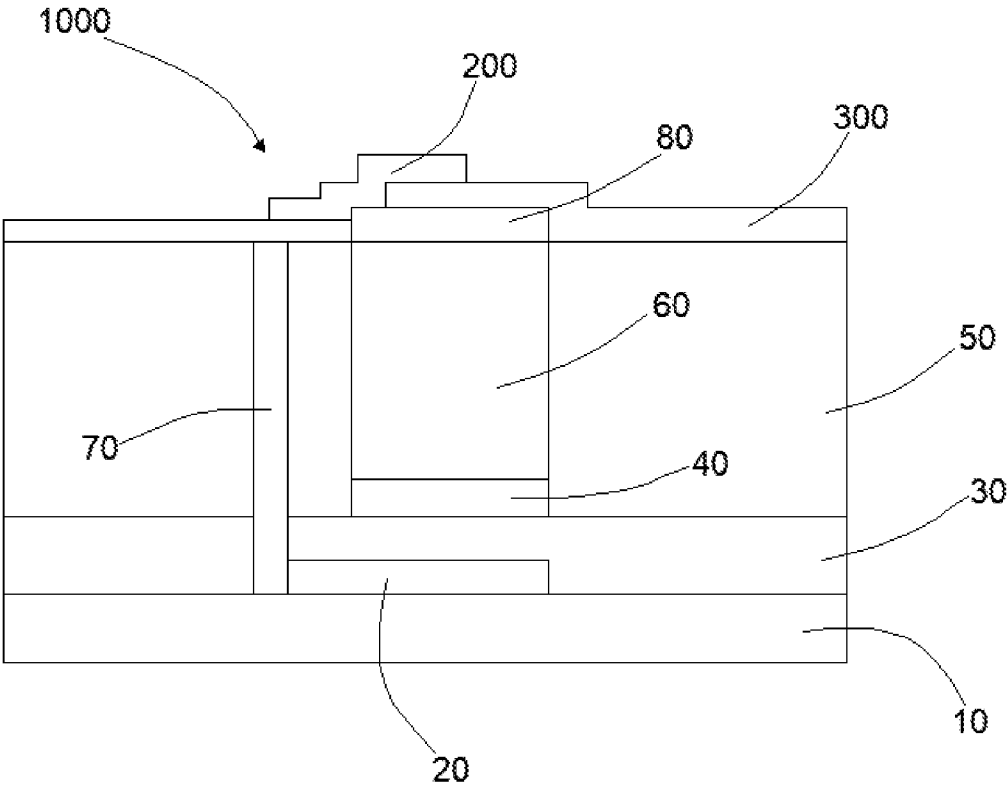


图 6

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2021/140458

A. CLASSIFICATION OF SUBJECT MATTER

H01L 29/786(2006.01)i; H01L 27/12(2006.01)i; G09F 9/30(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L G09G G09F

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNABS, CNTXT, CNKI: 薄膜晶体管, 栅极, 栅电极, 闸极, 源极, 源电极, 漏极, 漏电极, 源漏极, 有源, 半导体, 沟道, 沟渠, 绝缘, 孔; VEN, SIPOABS, DWPI, EPTXT, USTXT, WOTXT: TFT, thin film transistor, gate, source, drain, semiconductor, channel, insulating, insulation, hole

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	CN 103022150 A (BOE TECHNOLOGY GROUP CO., LTD.) 03 April 2013 (2013-04-03) description, paragraphs 32-78, and figures 2-4	1-19
Y	CN 111192884 A (SHENZHEN CHINA STAR OPTOELECTRONICS SEMICONDUCTOR DISPLAY TECHNOLOGY CO., LTD.) 22 May 2020 (2020-05-22) description, paragraphs 35-46, and figures 1-2	1-19
Y	CN 104391412 A (CHONGQING BOE OPTOELECTRONICS CO., LTD. et al.) 04 March 2015 (2015-03-04) description, paragraphs 32-36, and figure 1	1-19
Y	CN 107221501 A (BOE TECHNOLOGY GROUP CO., LTD. et al.) 29 September 2017 (2017-09-29) description, paragraphs 62-69, and figures 1-2	1-19
Y	US 4924279 A (SEIKO INSTRUMENTS INC.) 08 May 1990 (1990-05-08) description, column 2, lines 18-60, and figure 2	1-19
Y	US 2006175609 A1 (CHAN I W T et al.) 10 August 2006 (2006-08-10) description, paragraphs 57-196, and figures 3-21A	1-19



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

18 August 2022

Date of mailing of the international search report

16 September 2022

Name and mailing address of the ISA/CN

China National Intellectual Property Administration (ISA/
CN)
No. 6, Xitucheng Road, Jimenqiao, Haidian District, Beijing
100088, China

Facsimile No. (86-10)62019451

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2021/140458**C. DOCUMENTS CONSIDERED TO BE RELEVANT**

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	CN 102842601 A (BOE TECHNOLOGY GROUP CO., LTD.) 26 December 2012 (2012-12-26) entire document	1-19
A	US 2013161732 A1 (ELECTRONICS AND TELECOMMUNICATIONS RESEARCH INSTITUTE) 27 June 2013 (2013-06-27) entire document	1-19

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2021/140458

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
CN	103022150	A	03 April 2013	US	2014175434	A1	26 June 2014
				CN	103022150	B	20 May 2015
				US	9450101	B2	20 September 2016
CN	111192884	A	22 May 2020	US	2021408192	A1	30 December 2021
				WO	2021164075	A1	26 August 2021
				US	11335756	B2	17 May 2022
CN	104391412	A	04 March 2015	US	2016118415	A1	28 April 2016
				US	9735278	B2	15 August 2017
CN	107221501	A	29 September 2017	WO	2018214485	A1	29 November 2018
				US	2021210528	A1	08 July 2021
				CN	107221501	B	10 March 2020
				US	11114474	B2	07 September 2021
US	4924279	A	08 May 1990	GB	8411967	D0	13 June 1984
				JP	S59208783	A	27 November 1984
				JP	H0519830	B2	17 March 1993
				GB	2139812	A	14 November 1984
				GB	2139812	B	31 December 1986
US	2006175609	A1	10 August 2006	US	7629633	B2	08 December 2009
CN	102842601	A	26 December 2012	US	2014048826	A1	20 February 2014
				CN	102842601	B	13 May 2015
				US	9059293	B2	16 June 2015
US	2013161732	A1	27 June 2013	KR	20130074954	A	05 July 2013

国际检索报告

国际申请号

PCT/CN2021/140458

A. 主题的分类 H01L 29/786(2006.01)i; H01L 27/12(2006.01)i; G09F 9/30(2006.01)i 按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类																										
B. 检索领域 检索的最低限度文献(标明分类系统和分类号) H01L G09G G09F 包含在检索领域中的除最低限度文献以外的检索文献 在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用)) CNABS, CNTXT, CNKI:薄膜晶体管, 栅极, 栅电极, 闸极, 源极, 源电极, 漏极, 漏电极, 源漏极, 有源, 半导体, 沟道, 沟渠, 绝缘, 孔; VEN, SIPOABS, DWPI, EPTXT, USTXT, WOTXT:TFT, thin film transistor, gate, source, drain, semiconductor, channel, insulating, insulation, hole																										
C. 相关文件 <table border="1"> <thead> <tr> <th>类 型*</th> <th>引用文件, 必要时, 指明相关段落</th> <th>相关的权利要求</th> </tr> </thead> <tbody> <tr> <td>Y</td> <td>CN 103022150 A (京东方科技集团股份有限公司) 2013年4月3日 (2013 - 04 - 03) 说明书第32-78段, 图2-4</td> <td>1-19</td> </tr> <tr> <td>Y</td> <td>CN 111192884 A (深圳市华星光电半导体显示技术有限公司) 2020年5月22日 (2020 - 05 - 22) 说明书第35-46段, 图1-2</td> <td>1-19</td> </tr> <tr> <td>Y</td> <td>CN 104391412 A (重庆京东方光电科技有限公司 等) 2015年3月4日 (2015 - 03 - 04) 说明书第32-36段, 图1</td> <td>1-19</td> </tr> <tr> <td>Y</td> <td>CN 107221501 A (京东方科技集团股份有限公司 等) 2017年9月29日 (2017 - 09 - 29) 说明书第62-69段, 图1-2</td> <td>1-19</td> </tr> <tr> <td>Y</td> <td>US 4924279 A (SEIKO INSTR INC) 1990年5月8日 (1990 - 05 - 08) 说明书第2栏第18-60行, 图2</td> <td>1-19</td> </tr> <tr> <td>Y</td> <td>US 2006175609 A1 (CHAN I W T 等) 2006年8月10日 (2006 - 08 - 10) 说明书第57-196段, 图3-21A</td> <td>1-19</td> </tr> <tr> <td>A</td> <td>CN 102842601 A (京东方科技集团股份有限公司) 2012年12月26日 (2012 - 12 - 26) 全文</td> <td>1-19</td> </tr> </tbody> </table>			类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求	Y	CN 103022150 A (京东方科技集团股份有限公司) 2013年4月3日 (2013 - 04 - 03) 说明书第32-78段, 图2-4	1-19	Y	CN 111192884 A (深圳市华星光电半导体显示技术有限公司) 2020年5月22日 (2020 - 05 - 22) 说明书第35-46段, 图1-2	1-19	Y	CN 104391412 A (重庆京东方光电科技有限公司 等) 2015年3月4日 (2015 - 03 - 04) 说明书第32-36段, 图1	1-19	Y	CN 107221501 A (京东方科技集团股份有限公司 等) 2017年9月29日 (2017 - 09 - 29) 说明书第62-69段, 图1-2	1-19	Y	US 4924279 A (SEIKO INSTR INC) 1990年5月8日 (1990 - 05 - 08) 说明书第2栏第18-60行, 图2	1-19	Y	US 2006175609 A1 (CHAN I W T 等) 2006年8月10日 (2006 - 08 - 10) 说明书第57-196段, 图3-21A	1-19	A	CN 102842601 A (京东方科技集团股份有限公司) 2012年12月26日 (2012 - 12 - 26) 全文	1-19
类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求																								
Y	CN 103022150 A (京东方科技集团股份有限公司) 2013年4月3日 (2013 - 04 - 03) 说明书第32-78段, 图2-4	1-19																								
Y	CN 111192884 A (深圳市华星光电半导体显示技术有限公司) 2020年5月22日 (2020 - 05 - 22) 说明书第35-46段, 图1-2	1-19																								
Y	CN 104391412 A (重庆京东方光电科技有限公司 等) 2015年3月4日 (2015 - 03 - 04) 说明书第32-36段, 图1	1-19																								
Y	CN 107221501 A (京东方科技集团股份有限公司 等) 2017年9月29日 (2017 - 09 - 29) 说明书第62-69段, 图1-2	1-19																								
Y	US 4924279 A (SEIKO INSTR INC) 1990年5月8日 (1990 - 05 - 08) 说明书第2栏第18-60行, 图2	1-19																								
Y	US 2006175609 A1 (CHAN I W T 等) 2006年8月10日 (2006 - 08 - 10) 说明书第57-196段, 图3-21A	1-19																								
A	CN 102842601 A (京东方科技集团股份有限公司) 2012年12月26日 (2012 - 12 - 26) 全文	1-19																								
☒ 其余文件在C栏的续页中列出。 ☒ 见同族专利附件。																										
<table border="0"> <tr> <td> * 引用文件的具体类型: “A” 认为不特别相关的表示了现有技术一般状态的文件 “E” 在国际申请日的当天或之后公布的在先申请或专利 “L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的) “O” 涉及口头公开、使用、展览或其他方式公开的文件 “P” 公布日先于国际申请日但迟于所要求的优先权日的文件 </td> <td> “T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件 “X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性 “Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性 “&” 同族专利的文件 </td> </tr> </table>			* 引用文件的具体类型: “A” 认为不特别相关的表示了现有技术一般状态的文件 “E” 在国际申请日的当天或之后公布的在先申请或专利 “L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的) “O” 涉及口头公开、使用、展览或其他方式公开的文件 “P” 公布日先于国际申请日但迟于所要求的优先权日的文件	“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件 “X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性 “Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性 “&” 同族专利的文件																						
* 引用文件的具体类型: “A” 认为不特别相关的表示了现有技术一般状态的文件 “E” 在国际申请日的当天或之后公布的在先申请或专利 “L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的) “O” 涉及口头公开、使用、展览或其他方式公开的文件 “P” 公布日先于国际申请日但迟于所要求的优先权日的文件	“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件 “X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性 “Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性 “&” 同族专利的文件																									
国际检索实际完成的日期		国际检索报告邮寄日期																								
2022年8月18日		2022年9月16日																								
ISA/CN的名称和邮寄地址		受权官员																								
中国国家知识产权局(ISA/CN) 中国北京市海淀区蓟门桥西土城路6号 100088 传真号 (86-10)62019451		李国斌 电话号码 86-(20)-28958173																								

C. 相关文件		
类 型*	引用文件，必要时，指明相关段落	相关的权利要求
A	US 2013161732 A1 (ELECTRONICS AND TELECOM RES INST) 2013年6月27日 (2013 - 06 - 27) 全文	1-19

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2021/140458

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	103022150	A	2013年4月3日	US	2014175434	A1	2014年6月26日
				CN	103022150	B	2015年5月20日
				US	9450101	B2	2016年9月20日
CN	111192884	A	2020年5月22日	US	2021408192	A1	2021年12月30日
				WO	2021164075	A1	2021年8月26日
				US	11335756	B2	2022年5月17日
CN	104391412	A	2015年3月4日	US	2016118415	A1	2016年4月28日
				US	9735278	B2	2017年8月15日
CN	107221501	A	2017年9月29日	WO	2018214485	A1	2018年11月29日
				US	2021210528	A1	2021年7月8日
				CN	107221501	B	2020年3月10日
				US	11114474	B2	2021年9月7日
US	4924279	A	1990年5月8日	GB	8411967	D0	1984年6月13日
				JP	S59208783	A	1984年11月27日
				JP	H0519830	B2	1993年3月17日
				GB	2139812	A	1984年11月14日
				GB	2139812	B	1986年12月31日
US	2006175609	A1	2006年8月10日	US	7629633	B2	2009年12月8日
CN	102842601	A	2012年12月26日	US	2014048826	A1	2014年2月20日
				CN	102842601	B	2015年5月13日
				US	9059293	B2	2015年6月16日
US	2013161732	A1	2013年6月27日	KR	20130074954	A	2013年7月5日