



(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。 Int. Cl.		(45) 공고일자	2007년07월24일
<i>H01L 29/78</i> (2006.01)		(11) 등록번호	10-0741908
<i>H01L 21/335</i> (2006.01)		(24) 등록일자	2007년07월16일
(21) 출원번호	10-2005-0134726	(65) 공개번호	10-2007-0071359
(22) 출원일자	2005년12월30일	(43) 공개일자	2007년07월04일
심사청구일자	2005년12월30일		

(73) 특허권자 동부일렉트로닉스 주식회사
서울 강남구 대치동 891-10

(72) 발명자 김대균
경기 용인시 기흥읍 신갈리 신갈한신아파트 106동 102호

(74) 대리인 강용복
 김용인

(56) 선행기술조사문헌
KR1020040101778 A
KR1020050067464 A
KR1020050005373 A

심사관 : 박근용

전체 청구항 수 : 총 8 항

(54) 반도체 소자의 제조방법

(57) 요약

본 발명은 LDD 영역이 게이트 전극의 하부와 오버랩되는 것을 방지하여 소자의 퍼포먼스를 향상시키도록 한 반도체 소자의 제조방법에 관한 것으로서, 반도체 기판상에 게이트 전극을 형성하는 단계; 상기 게이트 전극이 형성된 반도체 기판 전면에 제 1 절연막을 형성한 후, 상기 제 1 절연막을 식각함과 아울러 반도체 기판을 소정깊이로 오버 에치하여, 상기 게이트 전극 측벽에 제 1 스페이서를 형성하는 단계; 상기 제 1 스페이서가 형성된 반도체 기판에 저농도의 이온을 주입하여 상기 제 1 스페이서와 오버랩되는 LDD영역을 형성하는 단계; 상기 제 1 스페이서 및 게이트 전극이 형성된 반도체 기판상에 제 2 절연막을 형성한 후 식각하여, 제 1 스페이서의 측벽에 제 2 스페이서를 형성하는 단계와, 상기 제 2 스페이서가 형성된 반도체 기판에 고농도의 이온을 주입하여 LDD영역에 소스/드레인 영역을 형성하는 단계; 반도체 기판상에 게이트 절연막 및 도전층을 차례로 형성하는 단계를 포함하여 형성함을 특징으로 한다.

대표도

도 2c

특허청구의 범위

청구항 1.

반도체 기판상에 게이트 전극을 형성하는 단계;

상기 게이트 전극이 형성된 반도체 기판 전면에 제 1 절연막을 형성한 후, 상기 제 1 절연막을 식각함과 아울러 반도체 기판을 소정깊이로 오버 에치하여, 상기 게이트 전극 측벽에 제 1 스페이서를 형성하는 단계;

상기 제 1 스페이서가 형성된 반도체 기판에 저농도의 이온을 주입하여 상기 제 1 스페이서와 오버랩되는 LDD영역을 형성하는 단계;

상기 제 1 스페이서 및 게이트 전극이 형성된 반도체 기판상에 제 2 절연막을 형성한 후 식각하여, 제 1 스페이서의 측벽에 제 2 스페이서를 형성하는 단계와, 상기 제 2 스페이서가 형성된 반도체 기판에 고농도의 이온을 주입하여 LDD영역에 소스/드레인 영역을 형성하는 단계;

반도체 기판상에 게이트 절연막 및 도전층을 차례로 형성하는 단계를 포함하여 형성함을 특징으로 하는 반도체 소자의 제조방법.

청구항 2.

제 1 항에 있어서, 상기 게이트 절연막은 열산화 또는 CVD법으로 형성하는 것을 특징으로 하는 반도체 소자의 제조방법.

청구항 3.

제 1 항에 있어서, 상기 절연막 측벽은 이중 측벽으로 형성하는 것을 특징으로 하는 반도체 소자의 제조방법.

청구항 4.

제 3 항에 있어서, 상기 이중 측벽은 식각 선택비가 다른 제 1, 제 2 절연막을 차례로 형성하고 전면 에치백 공정을 실시하여 상기 게이트 전극의 양측에 제 1, 제 2 절연막 측벽을 형성하는 것을 특징으로 하는 반도체 소자의 제조방법.

청구항 5.

제1항에 있어서, 상기 제 1 스페이서의 물질은 산화막인것을 특징으로 하는 반도체 소자의 제조방법.

청구항 6.

제2항에 있어서, 상기 제 2 스페이서는 2중막을 형성하고 있음을 특징으로 하는 반도체 소자의 제조방법.

청구항 7.

제1항에 있어서, 상기 제 1 스페이서의 형성시 반도체 기판을 50~300Å 까지 오버 에치 (over etch)하는 것을 특징으로 하는 반도체 소자의 제조방법.

청구항 8.

제7항에 있어서, 상기 오버 에치된 반도체 기판을 기준으로 채널의 깊이를 조절함으로써 디바이스 퍼포먼스를 조절하는 것을 특징으로 하는 반도체 소자의 제조방법.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 소자의 제조방법에 관한 것으로, 특히 소자의 신뢰성을 향상시키도록 한 반도체 소자의 제조방법에 관한 것이다.

반도체소자의 집적도가 향상되면서 트랜지스터의 크기가 점차 작아질 것이 요구되어 왔으나, 소오스/드레인의 접합깊이를 무한정 얇게 할 수 없다는 제약성이 있다.

이것은 채널의 길이가 종래의 장채널(Long channel)에서 $0.5\mu\text{m}$ 이하의 단채널(short channel)로 감소함에 따라, 소오스/드레인의 공핍영역이 채널속으로 침투하여 유효 채널 길이가 줄어들고, 문턱전압(Threshold voltage)이 감소함으로써, 모스 트랜지스터에서 게이트 제어의 기능이 상실되는 단채널 효과(Short Channel Effect)가 발생하기 때문이다.

이러한 단채널 효과를 방지하기 위해서는, 게이트 절연막의 두께를 감소시켜야 하고, 소오스/드레인간의 채널 즉 게이트 아래의 공핍영역의 최대 폭(Maximum width of depletion)을 감소시켜야 하고, 반도체 기판내의 불순물 농도를 감소시켜야 한다.

그러나 무엇보다도 얇은 접합(Shallow Junction)을 형성시켜야 한다는 점이 중요하다. 이를 위하여 반도체 소자의 제조공정에서 이온주입 장비 및 후속되는 열처리 공정에서 얇은 접합을 실현할 수 있는 방법에 대한 모색이 계속되고있다.

또한 모스 트랜지스터(MOS Transistor)는 저농도 드레인(LDD: Light Doped Drain, 이하 'LDD'라 칭함) 구조로 대표된다고 할 수 있다.

이하, 첨부된 도면을 참고하여 종래 기술에 의한 반도체 소자의 제조방법을 설명하면 다음과 같다.

도 1a 내지 도 1e는 종래 기술에 의한 반도체 소자의 제조방법을 나타낸 공정단면도이다.

도 1a에 도시한 바와 같이, 액티브 영역과 소자 격리 영역으로 정의된 반도체 기판(21)의 소자 분리 영역에 LOCOS 또는 STI 공정을 통해 소자 격리막(22)을 형성한다.

이어, 상기 반도체 기판(21)을 고온에서 열산화하여 상기 반도체 기판(21)상에 게이트 산화막(23) 및 폴리 실리콘층을 차례로 증착하고, 포토 및 식각 공정을 통해 상기 폴리 실리콘층 및 게이트 산화막(23)을 선택적으로 식각하여 게이트 전극(24)을 형성한다.

도 1b에 도시한 바와 같이, 상기 게이트 전극(24)을 포함한 반도체 기판(21)의 전면에 산화막(25)을 형성한다.

이어, 상기 게이트 전극(24)을 마스크로 이용하여 상기 반도체 기판(21)의 전면에 저농도의 불순물 이온을 주입하여 상기 게이트 전극(24) 양측의 반도체 기판(21) 표면내에 LDD(Lightly Doped Drain) 영역(26)을 형성한다.

이때 상기 LDD 영역(26)은 확산에 의해 상기 게이트 전극(24)의 하부까지 오버랩(overlap)되어 형성된다.

도 1c에 도시한 바와 같이, 상기 산화막(25)을 제거하고, 상기 게이트 전극(24)을 포함한 반도체 기판(21)의 전면에 식각 선택비가 다른 제 1, 제 2 절연막(27,28)을 차례로 형성한다.

여기서, 상기 제 1 절연막(27)은 산화막, 상기 제 2 절연막(28)은 질화막으로 형성한다.

한편, 상기 산화막(25)을 제거할 때 상기 산화막(25)은 게이트 산화막(23)의 막질에 영향을 줄 뿐 아니라 소자 격리막(22)의 디보트 깊이(divot depth)를 증가시켜 디바이스 퍼포먼스에 영향을 주게 된다.

도 1d에 도시한 바와 같이, 상기 제 1, 제 2 절연막(27,28)의 전면부에 에치백(etch back) 공정을 실시하여 상기 게이트 전극(24)의 양측면에 제 1, 제 2 절연막 측벽(27a,28a)을 형성한다.

도 1e에 도시한 바와 같이, 상기 게이트 전극(24) 및 제 1, 제 2 절연막 측벽(27a,28a)을 마스크로 이용하여 반도체 기판(21)의 전면부에 고농도 불순물 이온을 주입하여 반도체 기판(21)의 표면내에 상기 LDD 영역(26)과 연결되는 소오스/드레인 불순물 영역(29)을 형성한다.

이후 공정은 도면에서 도시하지 않았지만, 통상적인 공정으로 층간 절연막 및 금속 배선 등을 형성하여 로직 공정이 완료된다.

발명이 이루고자 하는 기술적 과제

그러나 상기와 같은 종래 기술에 의한 반도체 소자의 제조방법에 있어서 다음과 같은 문제점이 있었다.

LDD 영역이 게이트 산화막의 하부와 오버랩됨으로써 GIDL(Gate Induced Drain Leakage)에 취약하며 이때 생기는 기생 캐패시턴스는 소자의 퍼포먼스를 떨어뜨린다.

본 발명은 상기와 같은 문제점을 해결하기 위해 안출한 것으로 LDD 영역이 게이트 전극의 하부와 오버랩되는 것을 방지하여 소자의 퍼포먼스를 향상시키도록 한 반도체 소자의 제조방법을 제공하는데 그 목적이 있다.

발명의 구성

상기와 같은 목적을 달성하기 위한 본 발명에 의한 반도체 소자의 제조방법은 반도체 기판상에 게이트 전극을 형성하는 단계; 상기 게이트 전극이 형성된 반도체 기판 전면부에 제 1 절연막을 형성한 후, 상기 제 1 절연막을 식각함과 아울러 반도체 기판을 소정깊이로 오버 에치하여, 상기 게이트 전극 측벽에 제 1 스페이서를 형성하는 단계; 상기 제 1 스페이서가 형성된 반도체 기판에 저농도의 이온을 주입하여 상기 제 1 스페이서와 오버랩되는 LDD영역을 형성하는 단계; 상기 제 1 스페이서 및 게이트 전극이 형성된 반도체 기판상에 제 2 절연막을 형성한 후 식각하여, 제 1 스페이서의 측벽에 제 2 스페이서를 형성하는 단계와, 상기 제 2 스페이서가 형성된 반도체 기판에 고농도의 이온을 주입하여 LDD영역에 소스/드레인 영역을 형성하는 단계; 반도체 기판상에 게이트 절연막 및 도전층을 차례로 형성하는 단계를 포함하여 형성함을 특징으로 한다.

이하, 첨부된 도면을 참고하여 본 발명에 의한 반도체 소자의 제조방법을 보다 상세히 설명하면 다음과 같다.

도 2a 내지 도 2g는 본 발명에 의한 반도체 소자의 제조방법을 나타낸 공정단면도이다.

도 2a에 도시한 바와 같이, 액티브 영역과 소자 격리 영역으로 정의된 반도체 기판(201)의 소자 분리 영역에 LOCOS 또는 STI 공정을 통해 소자 격리막(202)을 형성한다.

이어, 상기 반도체 기판(201)을 고온에서 열산화하여 상기 반도체 기판(201)상에 게이트 산화막(203) 및 폴리 실리콘층을 차례로 증착하고, 포토 및 식각 공정을 통해 상기 폴리 실리콘층 및 게이트 산화막(203)을 선택적으로 식각하여 게이트 전극(204)을 형성한다.

도 2b에 도시한 바와 같이, 상기 게이트 전극(204)을 포함한 반도체 기판(201)의 전면부에 산화막(205)을 증착한다. 이때 증착한 산화막 두께는 50~500Å으로 하며, 정확한 두께는 각 디바이스별 특성에 따라 수정 및 적용될 수 있다.

도 2c에 도시한 바와 같이, 전면 식각을 이용해 게이트 스페이서(Gate Spacer)(206)를 형성한다. 상기 식각은 산화막(205)의 식각 및 그 하부에 위치한 반도체 기판의 소정깊이까지 식각되도록 한다. 이때, 식각되는 반도체 기판의 두께는 50~300Å 정도이다. 이와 같이, 오버 에치된 반도체 기판을 기준으로 채널의 깊이를 조절함으로써 디바이스 퍼포먼스를 조절하는 것이 가능하게 된다.

도 2d에 도시한 바와 같이, 저농도 이온주입을 실시하여 LDD영역(207)을 형성한다. LDD 이온주입시 게이트 및 그 측벽에 형성된 스페이서(206)로 인해 게이트 하부로의 정션 오버랩(junction overlap)을 감소시킬 수 있다.

도 2e에 도시한 바와 같이, 상기 게이트 전극(204)을 포함한 반도체 기관(201)의 전면에 식각 선택비가 다른 제 1, 제 2 절연막(208,209)을 차례로 형성한다.

여기서, 상기 제 1 절연막(208)은 산화막, 상기 제 2 절연막(209)은 질화막으로 형성한다.

도 2f에 도시한 바와 같이, 상기 제 1, 제 2 절연막(208,209)의 전면에 에치백(etch back) 공정을 실시하여 상기 게이트 전극(204)의 양측면에 제 1, 제 2 절연막 측벽(208a,209a)을 형성한다.

도 2g에 도시한 바와 같이, 상기 게이트 전극(204) 및 제 1, 제 2 절연막 측벽(208a,209a)을 마스크로 이용하여 반도체 기관(201)의 전면에 고농도 불순물 이온을 주입하여 반도체 기관(201)의 표면 내에 상기 LDD 영역(207)과 연결되는 소오스/드레인 불순물 영역(210)을 형성한다.

이후 공정은 도면에서 도시하지 않았지만, 통상적인 공정으로 층간 절연막 및 금속 배선 등을 형성하여 로직 공정이 완료된다.

한편, 이상에서 설명한 본 발명은 상술한 실시예 및 첨부된 도면에 한정되는 것이 아니고, 본 발명의 기술적 사상을 벗어나지 않는 범위내에서 여러 가지 치환, 변형 및 변경이 가능하다는 것이 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 있어 명백할 것이다.

발명의 효과

이상에서 설명한 바와 같이 본 발명에 의한 반도체 소자의 제조방법은 다음과 같은 효과가 있다.

즉, 저농도 이온주입을 실시하여 LDD영역(207)을 형성한다. LDD 이온주입시 게이트 및 그 측벽에 형성된 스페이서로 인해 게이트 하부로의 정션 오버랩(junction overlap)을 감소시킬 수 있다.

도면의 간단한 설명

도 1a 내지 도 1e는 종래 기술에 의한 반도체 소자의 제조방법을 나타낸 공정단면도

도 2a 내지 도 2g는 본 발명에 의한 반도체 소자의 제조방법을 나타낸 공정단면도

도면의 주요 부분에 대한 부호의 설명

201 : 반도체 기관 202 : 소자 분리막

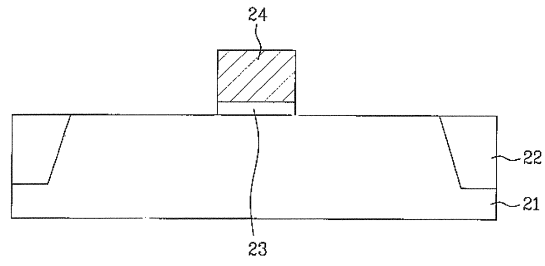
203 : 게이트 산화막 206 : 스페이서

207 : LDD 영역 208a : 제 1 절연막 측벽

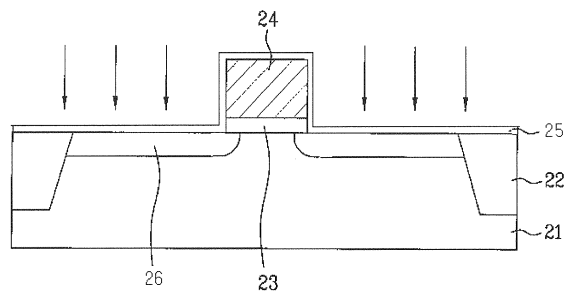
209a : 제 2 절연막 측벽 210 : 소오스/드레인 불순물 확산영역

도면

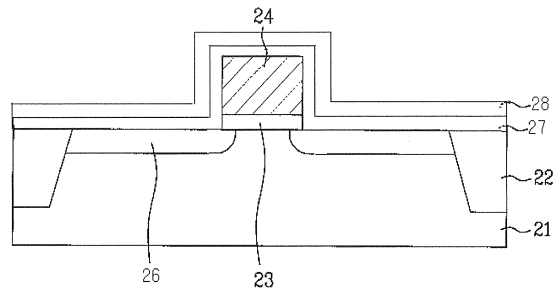
도면1a



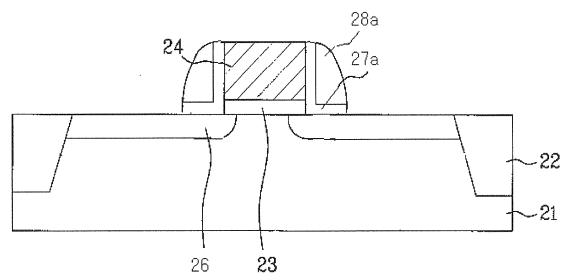
도면1b



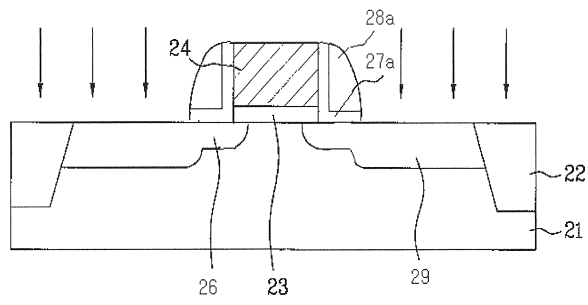
도면1c



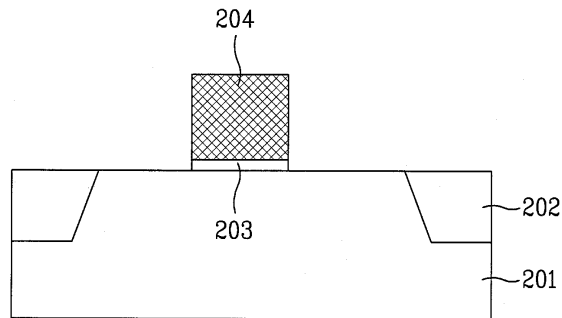
도면1d



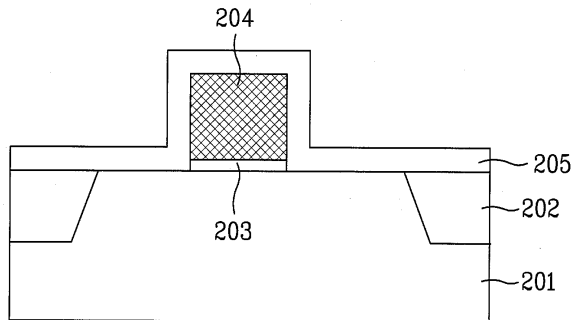
도면1e



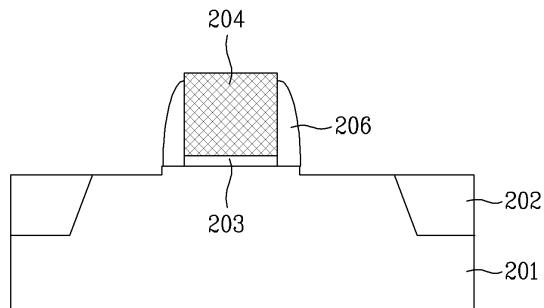
도면2a



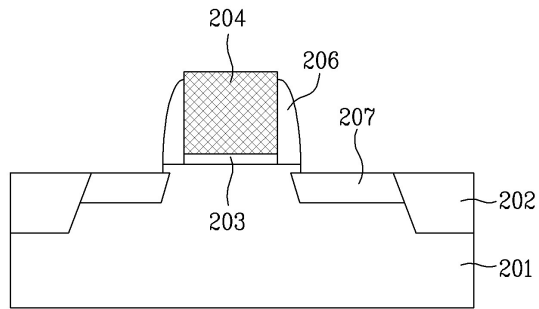
도면2b



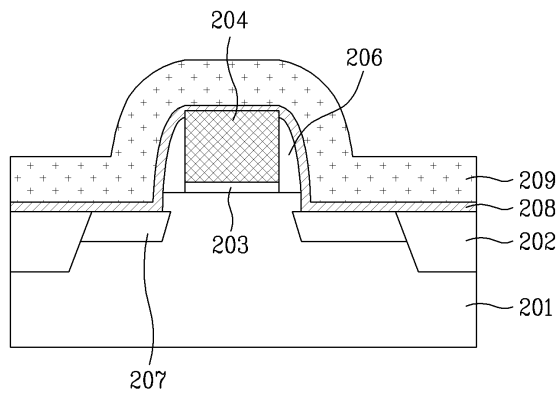
도면2c



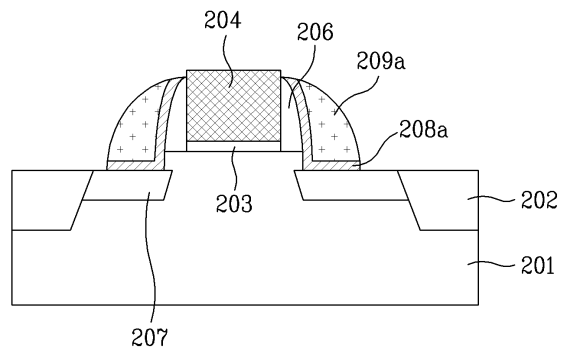
도면2d



도면2e



도면2f



도면2g

