

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局



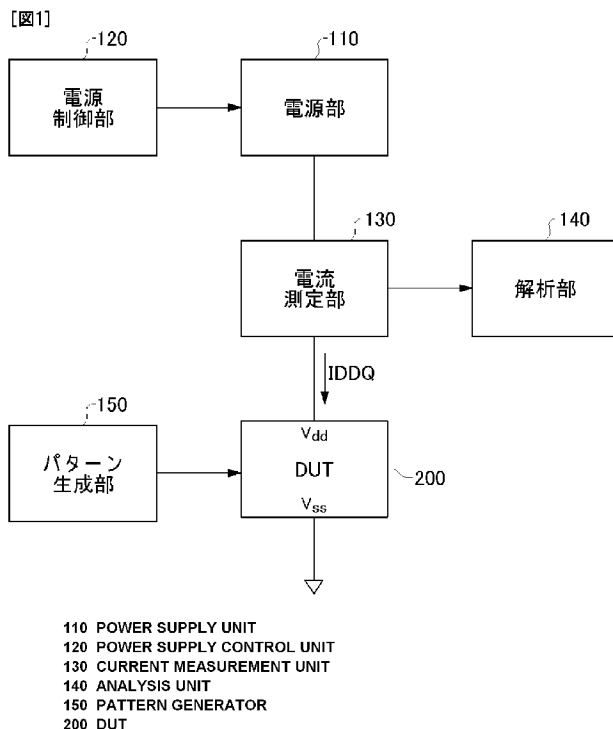
(43) 国際公開日
2010 年 3 月 18 日(18.03.2010)

(10) 国際公開番号
WO 2010/029772 A1

- (51) 国際特許分類:
G01R 31/26 (2006.01) H01L 21/66 (2006.01)
- (21) 国際出願番号: PCT/JP2009/004547
- (22) 国際出願日: 2009 年 9 月 11 日(11.09.2009)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
12/209,213 2008 年 9 月 12 日(12.09.2008) US
- (71) 出願人 (米国を除く全ての指定国について): 株式会社アドバンテスト(ADVANTEST CORPORATION) [JP/JP]; 〒1790071 東京都練馬区旭町 1 丁目 3 2 番 1 号 Tokyo (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 古川 靖夫 (FURUKAWA, Yasuo) [JP/JP]; 〒1790071 東京都練馬区旭町 1 丁目 3 2 番 1 号 株式会社アドバンテスト内 Tokyo (JP).
- (74) 代理人: 龍華国際特許業務法人(RYUKA IP Law Firm); 〒1631105 東京都新宿区西新宿 6-2-2-1 新宿スクエアタワー 5 階 Tokyo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

[続葉有]

- (54) Title: TEST DEVICE AND TEST METHOD
- (54) 発明の名称: 試験装置および試験方法



(57) Abstract: Provided is a test device for testing a device under test. The test device is provided with: a power supply unit for supplying power to a power supply terminal of a device under test, a power supply control unit in which the power supply unit is controlled to output power at a plurality of voltage levels, a current measurement unit in which the current value at each voltage level is measured as the stationary current of the device under test supplied from the power supply unit to the power supply terminal, and an analysis unit in which at least three of the current values of each voltage level measured by the current measurement unit are used to analyze the presence or absence of faults in the device under test.

(57) 要約: 被試験デバイスを試験する試験装置であって、被試験デバイスの電源端子に電力を供給する電源部と、複数の電圧レベルで電源部が電力を出力するように制御する電源制御部と、電源部から電源端子に供給される被試験デバイスの静止時電流であって、電圧レベルごとの電流値を測定する電流測定部と、電流測定部が測定した電圧レベルごとの電流値のうち少なくとも3つの電流値を利用して、被試験デバイスの欠陥の有無を解析する解析部と、を備えた試験装置を提供する。



添付公開書類:

— 国際調査報告 (条約第 21 条(3))

明 細 書

発明の名称： 試験装置および試験方法

技術分野

[0001] 本発明は、試験装置および試験方法に関する。本出願は、下記の米国出願に関連し、下記の米国出願からの優先権を主張する出願である。文献の参照による組み込みが認められる指定国については、下記の出願に記載された内容を参照により本出願に組み込み、本出願の一部とする。

出願番号 12/209,213 出願日 2008年9月12日

背景技術

[0002] たとえば特許文献1は、被試験デバイスの静止電源電流に基づいて、被試験デバイスの良否を判定する試験装置を開示する。当該試験装置は、被試験デバイスを駆動する電力を、被試験デバイスに供給する電源と、被試験デバイスの回路を所定の状態に設定する設定ベクトルを、被試験デバイスに供給するパターン発生部と、設定ベクトルにより被試験デバイスが前記所定の状態に設定されたときに、電源から被試験デバイスに供給される静止電源電流を測定する電源電流測定部と、被試験デバイスの内部に設けられた温度センサから、被試験デバイスの温度を取得して、電源電流測定部が測定した静止電源電流、及び被試験デバイスの温度に基づいて、被試験デバイスの良否を判定する判定部と、を備える。

先行技術文献

特許文献

[0003] 特許文献1：特開2006-317208号公報

発明の概要

発明が解決しようとする課題

[0004] 被試験デバイスの静止時電流（IDDQ）に基づく良否判定は、CMOS FET（相補型金属酸化物シリコン電界効果トランジスタ）では静止時にほとんど電力を消費しない、すなわち電源電流が流れないという特徴を利用す

る。試験対象ブロックにごく少数でも不良な素子が存在する場合には、当該ブロックに電源を供給するラインに過大な電流が流れ、簡単に不良を検出できる。近年の半導体装置の微細化に伴い、故障モードが多様化しているので、たとえば機能試験におけるテストパターンも複雑化しており、テストカバレッジが低下する傾向にある。このような状況において、広い範囲の不良を簡単に検出できるIDDQに基づく良否判定は、他の試験方法と組み合わせ、効果的にテストカバレッジを向上できる有効な試験方法であると期待できる。

[0005] しかし、素子の微細化に伴い、正常な場合であっても素子内のリーク電流が増加して、故障時の電流と正常時の電流との弁別が困難になりつつある。よって、微細化に伴う素子のリークが発生する状況であっても、正常な電流と異常な電流とを正確に弁別して高い精度での不良判定が可能なIDDQ試験技術が望まれている。

[0006] そこで本発明の1つの側面においては、上記の課題を解決することのできる試験装置および試験方法を提供することを目的とする。この目的は請求の範囲における独立項に記載の特徴の組み合わせにより達成される。また従属項は本発明の更なる有利な具体例を規定する。

課題を解決するための手段

[0007] 本発明の第1の態様によると、被試験デバイスを試験する試験装置であって、被試験デバイスの電源端子に電力を供給する電源部と、複数の電圧レベルで電源部が電力を出力するよう制御する電源制御部と、電源部から電源端子に供給される被試験デバイスの電源電流であって、被試験デバイスに入力される論理パターンが遷移してから所定の時間が経過した時点における静止時電流を、電圧レベルごとに測定する電流測定部と、電流測定部が測定した電圧レベルごとの電流値のうち少なくとも3つの電流値を利用して、被試験デバイスの欠陥の有無を解析する解析部と、を備えた試験装置ならびに当該試験装置に係る試験方法を提供する。

[0008] なお、上記の発明の概要は、本発明の必要な特徴の全てを列挙したもので

はなく、これらの特徴群のサブコンビネーションもまた、発明となりうる。

図面の簡単な説明

[0009] [図1]本実施形態の試験装置 100 の概要を被試験デバイス (DUT) 200 と共に示す。

[図2]欠陥を考慮した被試験デバイス 200 の回路モデルを示す。

発明を実施するための形態

[0010] 以下、発明の実施の形態を通じて本発明の (一) 側面を説明するが、以下の実施形態は請求の範囲にかかる発明を限定するものではなく、また実施形態の中で説明されている特徴の組み合わせの全てが発明の解決手段に必須であるとは限らない。

[0011] 図 1 は、本実施形態の試験装置 100 の概要を被試験デバイス (DUT) 200 と共に示す。試験装置 100 は、被試験デバイス 200 の電源端子に所定の電圧を与え、被試験デバイス 200 が非動作状態すなわち静止時の電源電流 (静止時電流 I_{DDQ}) を測定して、被試験デバイス 200 を試験する。

[0012] 静止時電流は、被試験デバイス 200 に入力される論理パターンが遷移してから所定の時間が経過した時点における電源電流であってよい。当該所定の時間が経過した時点では、被試験デバイス 200 の論理状態は維持されている。

[0013] また、当該所定の時間は、被試験デバイス 200 に入力される論理パターンが遷移してから、電源電流が所定の範囲に安定するのに要する時間であってよい。試験装置 100 は、電源部 110、電源制御部 120、電流測定部 130、解析部 140 およびパターン生成部 150 を備える。

[0014] 電源部 110 は、被試験デバイス 200 の電源端子に電源電圧 V_{dd} の電力を供給する。被試験デバイス 200 のもう一方の電源端子の電位 V_{ss} はたとえば接地とする。電源制御部 120 は、複数の電圧レベル V_{dd} で電源部 110 が電力を出力するよう電源部 110 を制御する。

[0015] 電流測定部 130 は、電源部 110 から被試験デバイス 200 の電源端子

に供給される被試験デバイス 200 の静止時電流 I_{DDQ} を測定する。電流測定部 130 は、電源制御部 120 で制御する電圧レベルごとの電流値、すなわち静止時電流 I_{DDQ} を測定する。

[0016] 解析部 140 は、電流測定部 130 が測定した電圧レベルごとの電流値すなわち静止時電流 I_{DDQ} のうち、少なくとも 3 つの値を利用して、被試験デバイス 200 の欠陥の有無を解析する。解析部 140 は、所定の欠陥の無いデバイスに静止時電流として流れる正常電流および電圧レベルの関係と、所定の欠陥の有るデバイスに静止時電流として流れる異常電流および電圧レベルの関係とを予め格納してよい。

[0017] 異常電流は、被試験デバイス 200 に後述するブリッジ欠陥またはパッシブ欠陥が生じているときに、当該欠陥を介して流れる静止時電流を指してよい。また、正常電流は、被試験デバイス 200 にブリッジ欠陥またはパッシブ欠陥が生じていないときに、被試験デバイス 200 に流れる静止時電流を指してよい。

[0018] 解析部 140 は、少なくとも 3 つの電流値と、正常電流および電圧レベルの関係と、異常電流および電圧レベルの関係とに基づいて、被試験デバイスの欠陥の有無を解析する。後述するように、正常電流および電圧レベルの関係は、指数関数で表わされる関係であり、異常電流および電圧レベルの関係は、線形な関係であってよい。

[0019] 具体的には、解析部 140 は、少なくとも 3 つの電流値と、正常電流および電圧レベルの関係と、異常電流および電圧レベルの関係とに基づいて、電圧レベルに対して線形に変化する静止時電流の線形成分と、電圧レベルに対して指数関数的に変化する静止時電流の指数成分とを分離する。正常電流および異常電流が、電圧レベルに対して指数関数および線形に変化するので、少なくとも 3 点の電圧レベルにおける静止時電流の値を測定することで、これらを分離することができる。解析部 140 は、分離した静止時電流の線形成分に基づいて、被試験デバイス 200 の欠陥の有無を解析する。当該欠陥は、上述したように、ブリッジ欠陥またはパッシブ欠陥であってよい。

- [0020] 一例として、解析部 140 は、電源端子に供給される静止時電流を表す式、すなわち静止時電流式を格納し、当該式に基づき、欠陥に関連する抵抗値を求める。静止時電流式は、電源端子の電源電圧 V_{dd} に印加される電圧に対して指数関数的に値が増加する第 1 電流項および電源端子の電源電圧 V_{dd} に印加される電圧に比例して値が増加する第 2 電流項を有する。つまり、静止時電流式の第 1 電流項が正常電流および電圧レベルの関係に相当し、静止時電流式の第 2 電流項が異常電流および電圧レベルの関係に相当する。
- [0021] たとえば解析部 140 は、第 1 電圧レベルに対応する第 1 電流値を静止時電流式に代入した第 1 式、第 2 電圧レベルに対応する第 2 電流値を静止時電流式に代入した第 2 式、および、第 3 電圧レベルに対応する第 3 電流値を静止時電流式に代入した第 3 式、を互いに演算することにより第 1 電流項を消去して得た関係式から、抵抗値を求めることができる。静止時電流式については後に詳述する。
- [0022] パターン生成部 150 は、被試験デバイス 200 に与えるパターンを生成する。電流測定部 130 は、パターン生成部 150 で生成したパターンが被試験デバイス 200 に加えられている状態で、電圧レベルごとの静止時電流 I_{DDQ} を測定する。一般に静止時電流 I_{DDQ} はパターンに依存する電流成分を含むので、静止時電流 I_{DDQ} はパターンごとに測定することが好ましい。パターン生成部 150 が複数のパターンを生成する場合、電流測定部 130 は、複数のパターンごとに静止時電流 I_{DDQ} を測定できる。
- [0023] 図 2 は、欠陥を考慮した被試験デバイス 200 の回路モデルを示す。電源端子の電源電圧 V_{dd} および接地電位 V_{ss} との間に静止時電流 I_{DDQ} が流れる。なお、 V_{ss} は接地電位である必要はない。静止時電流 I_{DDQ} の成分として以下の 3 つの電流成分を考える。すなわち、欠陥がない場合に流れる正常電流 I_L 、パターンに依存する欠陥に流れるパターン依存欠陥電流 I_D 、パッシブな欠陥に流れるパッシブ欠陥電流 I_{PD} 、を考える。
- [0024] なお、パターン依存欠陥とは、いわゆるブリッジ故障による欠陥を指してよい。ブリッジ故障とは、回路内の内部配線間が、一定の抵抗値でショート

する故障をいう。ブリッジ故障が無い場合、当該抵抗値は無限大とみなせる。このようなブリッジ故障が存在すると、内部配線に接続される論理回路の論理状態に応じて、内部配線間に、電源電圧および抵抗値により定まる異常電流が流れる。

[0025] 例えば、2つの内部配線が、それぞれNAND回路の出力端に接続されている場合、一方のNAND回路が論理値1を出力し、他方のNAND回路が論理値0を出力する場合、2つの内部配線間には、ブリッジ抵抗値に応じた電流が流れる。また、それぞれのNAND回路が共に論理値0を出力するような状態では、2つの内部配線間には、異常電流が流れない。

[0026] このように、被試験デバイス200に入力されるパターンによりそれぞれの論理回路の論理状態が定まり、当該パターンに応じた異常な電源電流が流れる。そして、当該異常な電源電流は、電源電圧を変化させた場合に、ブリッジ抵抗値に応じて当該電源電圧に比例して変化する。

[0027] また、パッシブ欠陥は、CMOS自体が故障して、抵抗のようにふるまう欠陥を指してよい。この場合においても、被試験デバイス200には、電源電圧に比例した異常な電源電流が流れる。

[0028] 正常電流 I_L は一般に V_{dd} に依存せず一定電流が流れるので慣例に従い定電流源で表している。しかし微細化が進展すると後述するように正常電流 I_L も電源電圧 V_{dd} に依存して変化する。よって図2において正常電流 I_L を定電流源で表すのはあくまで便宜的にであり、定電流に限定する意図はない。パターン依存欠陥電流 I_D は、パターンの状態であるスイッチ SW_D の状態に応じて変動するものの、パターン状態が変化しなければ V_{dd} に比例した電流が流れる。よってパターン依存欠陥電流 I_D は抵抗 R_D を有する回路で表せる。パッシブ欠陥電流 I_{PD} も V_{dd} に比例した電流が流れるので抵抗 R_{PD} を有する抵抗回路で表せる。

[0029] このような回路モデルにおける静止時電流 I_{DDQ} は、数1のようになる。数1は、静止時電流式の一例であってよい。数1において右辺の第1項（上述した電流第1項に相当）は正常電流 I_L であり、第2項および第3項（上

述した電流第2項に相当)は、パターン依存欠陥電流 I_D およびパッシブ欠陥電流 I_{PD} である。

[数1]

$$IDDQ = A(l, T) \cdot \exp \left(\frac{V_{gs} - V_{th} + \lambda(V_{dd} - V_{ss})}{S / \ln 10} \right) + \frac{(V_{dd} - V_{ss})}{R_D} + \frac{(V_{dd} - V_{ss})}{R_{PD}}$$

[0030] ここで、 $A(l, T)$ は、パターン l と温度 T とに依存するパラメータであり、 V_{gs} はゲート・ソース間電圧、 V_{th} は MOSFET の閾値電圧である。 λ は、ドレイン電圧 (V_{dd}) が増加することによる障壁低下効果 (Drain-Induced-Barrier Lowering: DIBL) を示して、閾値電圧 V_{th} の V_{dd} 依存性を示す。 S は、サブスレッショルドスロープであって、数2に示す。数2において k はボルツマン定数、 T は温度、 q は単位電荷、 C_D は空乏層容量、 C_{ox} は酸化膜容量を示す。

[数2]

$$S = \frac{k \cdot T}{q} \cdot \ln 10 \cdot \left(1 + \frac{C_D}{C_{ox}} \right)$$

[0031] 素子の微細化があまり進んでいない場合には、数1の λ はほぼ0であり、正常電流 I_L は V_{dd} に依存しない。この場合正常電流 I_L は定電流源となる。しかし、微細化が進展すると、 λ は有意な値を持つようになり、正常電流 I_L の V_{dd} 依存性が無視できなくなる。不良あるいは故障に起因するパターン依存欠陥電流 I_D およびパッシブ欠陥電流 I_{PD} も V_{dd} 依存性を有するので、単に V_{dd} を変化させて $IDDQ$ を測定するだけでは正常電流と異常電流を分離することができない。なお、正常電流 I_L が V_{dd} に応じて変化する場合、数1に示すとおり V_{dd} に対し指数関数的に変化する。よって正常電流 I_L は電源端子の電源電圧 V_{dd} に印加される電圧に対して指数関数的に値が増加する第1電流項の一例であってよい。一方異常電流であるパターン依存欠陥電流 I_D およびパッシブ欠陥電流 I_{PD} は何れも V_{dd} に比例して変化する

ので、電源端子の電源電圧 V_{dd} に印加される電圧に比例して値が増加する第2電流項の一例であってよい。

[0032] 前述の通り、数1に示す静止時電流 I_{DDQ} には正常電流と異常電流の両方を含むので正常電流と異常電流とを分ける必要があるが、何れも V_{dd} 依存性を有するので、単純には分離できない。しかしながら正常電流は V_{dd} に対し指数関数的に変化し、異常電流は V_{dd} に比例して変化するので、これを利用して両者を分離することができる。すなわち、数1の式を数3に示すように変形して、右辺に正常電流に係る項をまとめる。数3は、静止時電流式の一例であってよい。数3において、抵抗 R は、 R_D と R_{PD} との並列抵抗を表す。

[数3]

$$I_{DDQ} - \frac{(V_{dd} - V_{ss})}{R} = A(l, T) \cdot \exp\left(\frac{V_{gs} - V_{th} + \lambda(V_{dd} - V_{ss})}{S / \ln 10}\right)$$

[0033] 次に数3の両辺の自然対数をとると数4のようになる。数4は、静止時電流式の一例であってよい。

[数4]

$$\ln\left(I_{DDQ} - \frac{V_{dd} - V_{ss}}{R}\right) = \ln(A(l, T)) + \left(\frac{V_{gs} - V_{th} + \lambda(V_{dd} - V_{ss})}{S / \ln 10}\right)$$

[0034] ここで、試験装置100において、電源部110から第1電圧 V_1 が出力されるように電源制御部120を制御し、被試験デバイス200に第1電圧 V_1 を印加する。そして、このときの静止時電流 I_{DDQ1} を電流測定部130で測定する。次に電源部110の出力を第2電圧 V_2 に変え、静止時電流 I_{DDQ2} を測定する。さらに電源部110の出力を第3電圧 V_3 に変え

、静止時電流 I_{DDQ3} を測定する。なお、 $V1 - V3 = 2 \times (V2 - V3)$ となるように出力電圧を調整する。

[0035] 第1電圧 $V1$ に対応する I_{DDQ1} 、第2電圧 $V2$ に対応する I_{DDQ2} および第3電圧 $V3$ に対応する I_{DDQ3} と、数4とを用いて、抵抗 R の値を求めることができる。即ち、第1電圧 $V1$ に対応する I_{DDQ1} を数4に代入した第1式、第2電圧 $V2$ に対応する I_{DDQ2} を数4に代入した第2式、および、第3電圧 $V3$ に対応する I_{DDQ3} を数4に代入した第3式、を互いに演算して得られた関係式から、抵抗 R の値を求めることができる。抵抗 R の値は、例えば、以下の手順で求めることができる。

[0036] 上記のとおり測定した I_{DDQ1} と $V1$ とを数4の式に代入した第1式から I_{DDQ3} と $V3$ とを数4の式に代入した第3式を引き算すると、数5のようになる。

[数5]

$$\begin{aligned} & \ln \left(\left(I_{DDQ1} - \frac{V1}{R} \right) / \left(I_{DDQ3} - \frac{V3}{R} \right) \right) \\ &= \frac{\lambda}{S/\ln 10} \cdot (V1 - V3) \end{aligned}$$

[0037] 同様に I_{DDQ2} と $V2$ とを数4の式に代入した第2式から I_{DDQ3} と $V3$ とを数4の式に代入した第3式を引き算すると、数6のようになる。

[数6]

$$\begin{aligned} & \ln \left(\left(I_{DDQ2} - \frac{V2}{R} \right) / \left(I_{DDQ3} - \frac{V3}{R} \right) \right) \\ &= \frac{\lambda}{S/\ln 10} \cdot (V2 - V3) \end{aligned}$$

[0038] 数6の式を数5の式で割ると、 $V1 - V3 = 2 \times (V2 - V3)$ なので数7のようになる。数7は、第1式、第2式および第3式を互いに演算することにより、第1電流項を消去して得た関係式の一例であってよい。

[数7]

$$\left(IDDQ1 - \frac{V1}{R} \right) / \left(IDDQ3 - \frac{V3}{R} \right) \\ = \left(\left(IDDQ2 - \frac{V2}{R} \right) / \left(IDDQ3 - \frac{V3}{R} \right) \right)^2$$

[0039] 以上のようにして、欠陥に係る抵抗Rの値を求めることができる。この抵抗Rの値が所定の値より大きい場合には被試験デバイス200が良品と判断でき、所定の値に満たない場合に被試験デバイス200が不良と判断できる。本実施形態の試験装置100によれば、微細化が進み、正常な素子であってもV_{dd}に依存したリーク電流が発生するような場合であっても、高い精度で正常な電流と異常な電流とを正確に弁別でき、被試験デバイス200のIDDQ試験が行える。また、テストパターンを増加させずに、テストカバレージを向上させることができる。

[0040] なお、本実施形態においては、 $V1 - V3 = 2 \times (V2 - V3)$ となるように出力電圧を調整したが、出力電圧の制御方法は、これに限定されない。例えば、 $V1 - V3 = V2 - V3$ となるように出力電圧を調整して、同様の手順で抵抗Rの値を算出してもよい。

[0041] 以上、本発明の（一）側面を実施の形態を用いて説明したが、本発明の技術的範囲は上記実施の形態に記載の範囲には限定されない。上記実施の形態に、多様な変更又は改良を加えることができる。その様な変更又は改良を加えた形態も本発明の技術的範囲に含まれ得ることが、請求の範囲の記載から明らかである。

[0042] 請求の範囲、明細書、および図面中において示した装置、システム、プログラム、および方法における動作、手順、ステップ、および段階等の各処理の実行順序は、特段「より前に」、「先立って」等と明示しておらず、また、前の処理の出力を後の処理で用いるのでない限り、任意の順序で実現しうることに留意すべきである。請求の範囲、明細書、および図面中の動作フローに関して、便宜上「まず、」、「次に、」等を用いて説明したとしても、

この順で実施することが必須であることを意味するものではない。

[0043] 上記説明から明らかなように、本発明の（一）実施形態によれば、微細化に伴う素子のリークが発生する状況であっても、正常な電流と異常な電流とを正確に弁別して高い精度での不良判定が可能なIDDQ試験技術を提供する「試験装置および試験方法」を実現することができる。

[0044] 以上、本発明を実施の形態を用いて説明したが、本発明の技術的範囲は上記実施の形態に記載の範囲には限定されない。上記実施の形態に、多様な変更または改良を加えることが可能であることが当業者に明らかである。その様な変更または改良を加えた形態も本発明の技術的範囲に含まれ得ることが、請求の範囲の記載から明らかである。

[0045] 請求の範囲、明細書、および図面中において示した装置、システム、プログラム、および方法における動作、手順、ステップ、および段階等の各処理の実行順序は、特段「より前に」、「先立って」等と明示しておらず、また、前の処理の出力を後の処理で用いるのでない限り、任意の順序で実現しうることに留意すべきである。請求の範囲、明細書、および図面中の動作フローに関して、便宜上「まず、」、「次に、」等を用いて説明したとしても、この順で実施することが必須であることを意味するものではない。

符号の説明

[0046] 100・・・試験装置、110・・・電源部、120・・・電源制御部、130・・・電流測定部、140・・・解析部、150・・・パターン生成部、200・・・被試験デバイス

請求の範囲

[請求項1]

被試験デバイスを試験する試験装置であって、
前記被試験デバイスの電源端子に電力を供給する電源部と、
複数の電圧レベルで前記電源部が前記電力を出力するよう制御する
電源制御部と、
前記電源部から前記電源端子に供給される前記被試験デバイスの電
源電流であって、前記被試験デバイスに入力される論理パターンが遷
移してから所定の時間が経過した時点における静止時電流を、前記複
数の電圧レベルごとに測定する電流測定部と、
前記電流測定部が測定した電圧レベルごとの電流値のうち少なくと
も3つの電流値を利用して、前記被試験デバイスの欠陥の有無を解析
する解析部と、
を備えた試験装置。

[請求項2]

前記解析部は、
所定の欠陥の無いデバイスに前記静止時電流として流れる正常電流
および前記電圧レベルの関係と、所定の欠陥の有るデバイスに前記静
止時電流として流れる異常電流および前記電圧レベルの関係を予め
格納し、
前記少なくとも3つの電流値と、前記正常電流および前記電圧レベ
ルの関係と、前記異常電流および前記電圧レベルの関係とに基づいて
、前記被試験デバイスの欠陥の有無を解析する
請求項1に記載の試験装置。

[請求項3]

前記解析部は、前記正常電流および前記電圧レベルの関係として、
指数関数で表わされる関係を格納し、前記異常電流および前記電圧レ
ベルの関係として、線形な関係を格納する
請求項2に記載の試験装置。

[請求項4]

前記解析部は、前記少なくとも3つの電流値と、前記正常電流およ
び前記電圧レベルの関係と、前記異常電流および前記電圧レベルの関

係とに基づいて、前記電圧レベルに対して線形に変化する前記静止時電流の線形成分と、前記電圧レベルに対して指数関数的に変化する前記静止時電流の指数成分とを分離し、前記静止時電流の線形成分に基づいて、前記被試験デバイスの欠陥の有無を解析する

請求項 3 に記載の試験装置。

[請求項5] 前記解析部は、前記電源端子に供給される静止時電流を表す式であって、印加される電圧に対して指数関数的に値が増加する第 1 電流項および印加される電圧に比例して値が増加する第 2 電流項を有する静止時電流式に基づき、前記欠陥に関連する抵抗値を求める、

請求項 1 に記載の試験装置。

[請求項6] 前記解析部は、第 1 電圧レベルに対応する第 1 電流値を前記静止時電流式に代入した第 1 式、第 2 電圧レベルに対応する第 2 電流値を前記静止時電流式に代入した第 2 式、および、第 3 電圧レベルに対応する第 3 電流値を前記静止時電流式に代入した第 3 式、を互いに演算することにより前記第 1 電流項を消去して得た関係式から、前記抵抗値を求める、

請求項 5 に記載の試験装置。

[請求項7] 前記被試験デバイスに与えるパターンを生成するパターン生成部をさらに備え、

前記電流測定部は、前記パターン生成部で生成した前記パターンが前記被試験デバイスに加えられている状態で、前記電圧レベルごとの前記静止時電流を測定する、

請求項 1 に記載の試験装置。

[請求項8] 前記パターン生成部は、複数のパターンを生成し、

前記電流測定部は、前記複数のパターンごとに前記静止時電流を測定する、

請求項 7 に記載の試験装置。

[請求項9] 被試験デバイスを試験する試験方法であって、

前記被試験デバイスの電源端子に第 1 電圧を印加して、電源部から前記電源端子に供給される前記被試験デバイスの電源電流であって、前記被試験デバイスに入力される論理パターンが遷移してから所定の時間が経過した時点における静止時電流を、前記第 1 電圧に対応する第 1 電流値として測定する段階と、

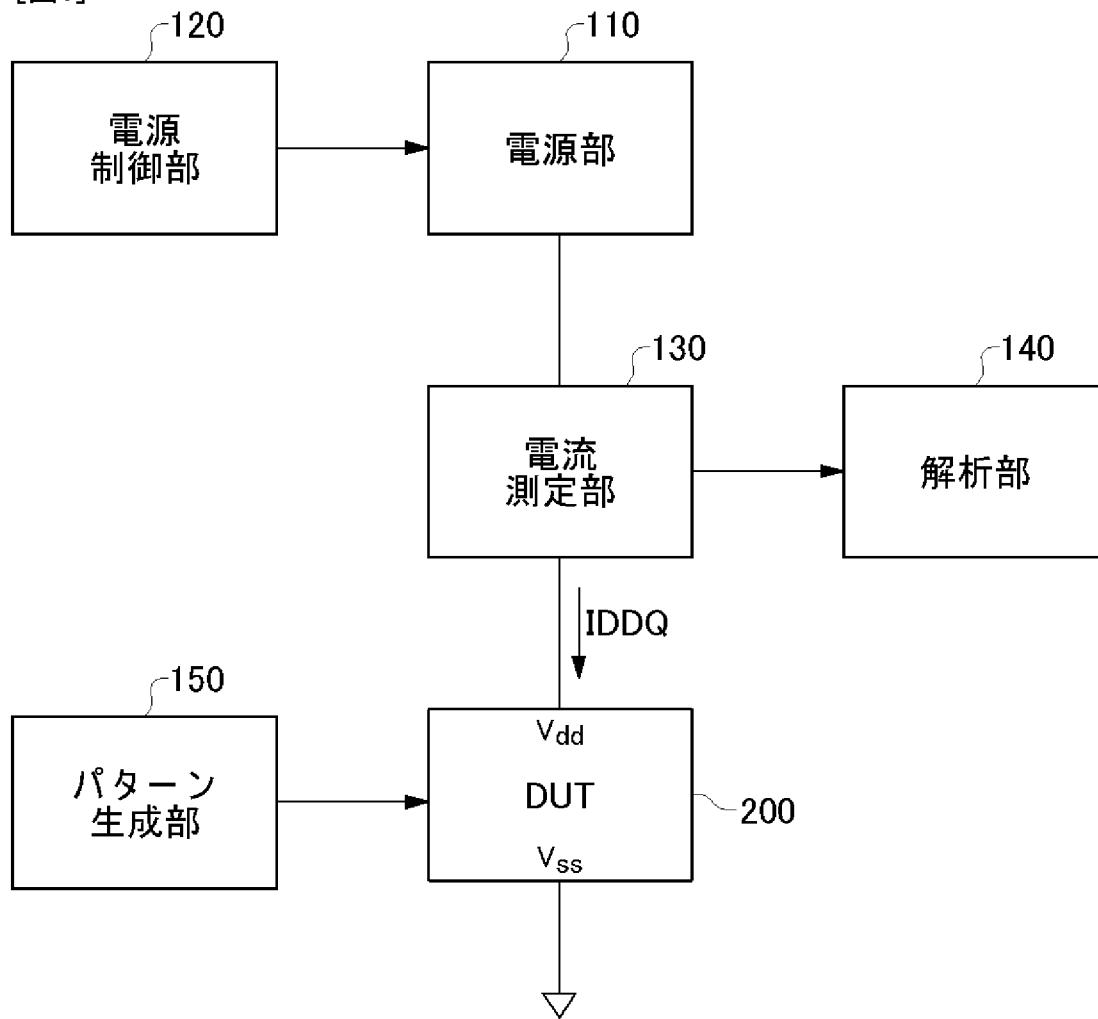
前記被試験デバイスの電源端子に第 2 電圧を印加して、前記電源端子に供給される前記被試験デバイスの前記静止時電流を、前記第 2 電圧に対応する第 2 電流値として測定する段階と、

前記被試験デバイスの電源端子に第 3 電圧を印加して、前記電源端子に供給される前記被試験デバイスの前記静止時電流を、前記第 3 電圧に対応する第 3 電流値として測定する段階と、

前記第 1 電流値、前記第 2 電流値および前記第 3 電流値を利用して、前記被試験デバイスの欠陥の有無を解析する段階と、

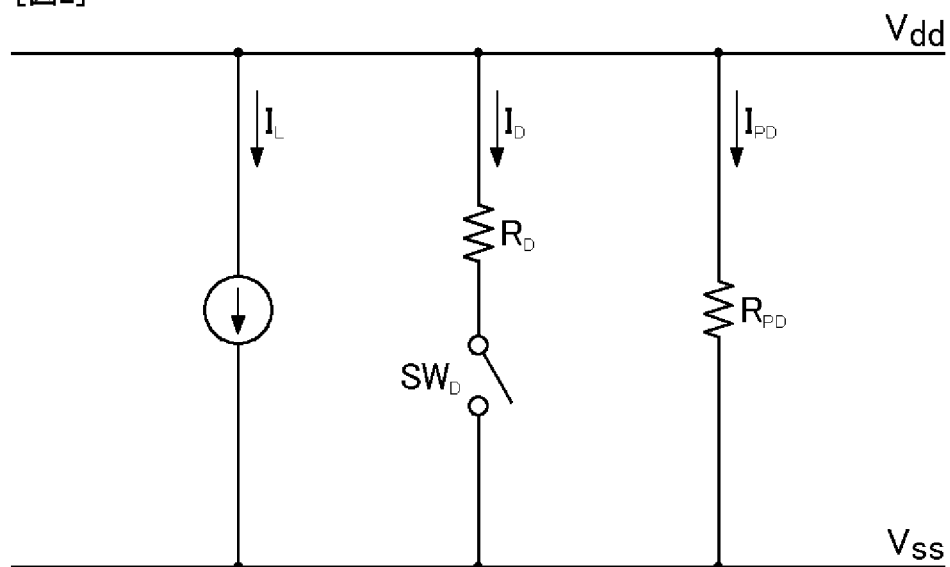
を備えた試験方法。

[図1]



100

[図2]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2009/004547

A. CLASSIFICATION OF SUBJECT MATTER

G01R31/26(2006.01) i, H01L21/66(2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G01R31/26, H01L21/66

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2009
Kokai Jitsuyo Shinan Koho	1971-2009	Toroku Jitsuyo Shinan Koho	1994-2009

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 10-332775 A (NEC Corp.), 18 December 1998 (18.12.1998), paragraphs [0022] to [0024]	1-9
Y	WO 2006/041064 A1 (Advantest Corp.), 20 April 2006 (20.04.2006), paragraph [0024]	1-9
Y	JP 2000-171529 A (Agilent Technologies Inc.), 23 June 2000 (23.06.2000), paragraph [0005]	2-8
Y	JP 2004-219115 A (Sony Corp.), 05 August 2004 (05.08.2004), paragraph [0019]	2-8

☐ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search
08 December, 2009 (08.12.09)

Date of mailing of the international search report
22 December, 2009 (22.12.09)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/JP2009/004547

JP 10-332775 A	1998.12.18	(Family: none)
WO 2006/041064 A1	2006.04.20	US 2006/0076970 A1 EP 1818676 A1 EP 2006698 A1 KR 10-2007-0074615 A CN 101036063 A
JP 2000-171529 A	2000.06.23	US 2001/0011903 A1 EP 1008857 A1 DE 69921277 T
JP 2004-219115 A	2004.08.05	(Family: none)

A. 発明の属する分野の分類 (国際特許分類 (I P C))

Int.Cl. G01R31/26(2006.01)i, H01L21/66(2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (I P C))

Int.Cl. G01R31/26, H01L21/66

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 0 9 年
日本国実用新案登録公報	1 9 9 6 - 2 0 0 9 年
日本国登録実用新案公報	1 9 9 4 - 2 0 0 9 年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 10-332775 A (日本電気株式会社) 1998.12.18, 段落【0 0 2 2】 - 【0 0 2 4】	1 - 9
Y	WO 2006/041064 A1 (株式会社アドバンテスト) 2006.04.20, 段落[0 0 2 4]	1 - 9
Y	JP 2000-171529 A (アジレント・テクノロジーズ・インク) 2000.06.23, 段落【0 0 0 5】	2 - 8

☒ C 欄の続きにも文献が列挙されている。☒ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの

「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)

「O」 口頭による開示、使用、展示等に言及する文献

「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」 特に関連のある文献であって、当該文献と他の 1 以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」 同一パテントファミリー文献

国際調査を完了した日

0 8 . 1 2 . 2 0 0 9

国際調査報告の発送日

2 2 . 1 2 . 2 0 0 9

国際調査機関の名称及びあて先

日本国特許庁 (I S A / J P)

郵便番号 1 0 0 - 8 9 1 5

東京都千代田区霞が関三丁目 4 番 3 号

特許庁審査官 (権限のある職員)

菅藤 政明

2 S

9 3 0 5

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 2 5 8

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2004-219115 A (ソニー株式会社) 2004.08.05, 段落【0019】	2－8

JP 10-332775 A	1998.12.18	ファミリーなし
WO 2006/041064 A1	2006.04.20	US 2006/0076970 A1 EP 1818676 A1 EP 2006698 A1 KR 10-2007-0074615 A CN 101036063 A
JP 2000-171529 A	2000.06.23	US 2001/0011903 A1 EP 1008857 A1 DE 69921277 T
JP 2004-219115 A	2004.08.05	ファミリーなし