(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。Int. Cl.[7]
H01L 27/108

(45) 공고일자 2005년01월17일
(11) 등록번호 10-0466559
(24) 등록일자 2005년01월06일

(21) 출원번호 10-2002-0007908
(22) 출원일자 2002년02월14일

(65) 공개번호 10-2002-0067649
(43) 공개일자 2002년08월23일

(30) 우선권주장 JP-P-2001-00039122 2001년02월15일 일본(JP)

(73) 특허권자 가부시끼가이샤 도시바
일본국 도꾜도 미나또꾸 시바우라 1쪼메 1방 1고

(72) 발 오사와다까시
명자 일본가나가와껭가와사끼시사이와이꾸고무까이도시바쪼1가부시끼가이샤도시바마이크로일렉트로닉스센터내

(74) 대리인 장수길
구영창

심사관 : 조지은

(54) 반도체 메모리 장치

요약

반도체 메모리 장치는, 메모리 셀 어레이를 구성하는 MIS 트랜지스터를 구비하고 있다. MIS 트랜지스터는 부유 상태의 실리콘층을 갖고 있다. 그리고, MIS 트랜지스터의 소스 영역과 드레인 영역 사이에 배치된 채널 형성을 위한 제1 게이트(13)와는 달리, 실리콘층(12)의 전위를 용량 결합에 의해 제어하기 위한 전위 고정된 제2 게이트(20)를 구비하고 있다. MIS 트랜지스터는, 드레인 접합 근방에서 임팩트 이온화를 일으켜 실리콘층(12)을 제1 전위로 설정한 제1 데이터 상태와, 드레인 접합에 순방향 전류를 흘려 실리콘층(12)을 제2 전위로 설정한 제2 데이터 상태를 동적으로 기억한다.

대표도

도 19

색인어

MIS 트랜지스터, 임팩트 이온화, 부유 반도체층, 공통 게이트, 게이트 절연막, 기둥형 실리콘

명세서

도면의 간단한 설명

도 1은 메모리 셀 기본 컨셉의 DRAM 셀의 기본 구조를 나타내는 단면도.
도 2는 그 DRAM 셀의 등가 회로.
도 3은 그 DRAM의 메모리 셀 어레이의 레이아웃.
도 4a는 도 3의 A-A'의 단면도.

도 4b는 도 3의 B-B'의 단면도.
도 5는 그 DRAM 셀의 워드선 전위와 보디 전위의 관계를 나타내는 도면.
도 6은 그 DRAM 셀의 판독 방식을 설명하기 위한 도면.
도 7은 그 DRAM 셀의 다른 판독 방식을 설명하기 위한 도면.
도 8은 그 DRAM의 '1' 데이터 판독/리프레시의 동작 파형을 나타내는 도면.
도 9는 그 DRAM의 '0' 데이터 판독/리프레시의 동작 파형을 나타내는 도면.
도 10은 그 DRAM의 '1' 데이터 판독/'0' 데이터 기입의 동작 파형을 나타내는 도면.
도 11은 그 DRAM의 '0' 데이터 판독/'1' 데이터 기입의 동작 파형을 나타내는 도면.
도 12는 그 DRAM의 다른 판독 방식에 의한 '1' 데이터 판독/리프레시의 동작 파형을 나타내는 도면.
도 13은 그 DRAM의 다른 판독 방식에 의한 '0' 데이터 판독/리프레시의 동작 파형을 나타내는 도면.
도 14는 그 DRAM의 다른 판독 방식에 의한 '1' 데이터 판독/'0' 데이터 기입의 동작 파형을 나타내는 도면.
도 15는 그 DRAM의 다른 판독 방식에 의한 '0' 데이터 판독/'1' 데이터 기입의 동작 파형을 나타내는 도면.
도 16은 그 DRAM 셀의 '0' 기입/판독의 시뮬레이션에 의한 보디 전위 변화를 나타내는 도면.
도 17은 그 DRAM 셀의 '1' 기입/판독의 시뮬레이션에 의한 보디 전위 변화를 나타내는 도면.
도 18은 그 시뮬레이션에 의한 '0', '1' 데이터의 판독 시의 드레인 전류-게이트 전압 특성을 나타내는 도면.
도 19는 제1 실시예에 따른 DRAM 셀의 구조를 나타내는 단면도.
도 20은 제2 실시예에 따른 DRAM 셀의 구조를 나타내는 단면도.
도 21은 제2 실시예에 따른 DRAM 셀의 '0' 기입/판독의 시뮬레이션에 의한 보디 전위 변화를 나타내는 도면.
도 22는 제2 실시예에 따른 DRAM 셀의 '1' 기입/판독의 시뮬레이션에 의한 보디 전위 변화를 나타내는 도면.
도 23은 제2 실시예에 따른 시뮬레이션에 의한 '0', '1' 데이터 판독 시의 드레인 전류-게이트 전압 특성을 나타내는 도면.
도 24는 도 19의 DRAM 셀을 이용한 셀 어레이의 레이아웃.
도 25a는 도 24의 A-A' 단면도.
도 25b는 도 24의 B-B' 단면도.
도 26a는 제3 실시예에 따른 DRAM 셀의 구조를, 제1 실시예에 대응하여 나타내는 단면도.
도 26b는 제3 실시예에 따른 DRAM 셀의 구조를, 제2 실시예에 대응하여 나타내는 단면도.
도 27은 제3 실시예에 따른 DRAM 셀의 '0' 기입/판독의 시뮬레이션에 의한 보디 전위 변화를 나타내는 도면.
도 28은 그 DRAM 셀의 '1' 기입/판독의 시뮬레이션에 의한 보디 전위 변화를 나타내는 도면.
도 29는 제3 실시예에 따른 시뮬레이션에 의한 '0', '1' 데이터 판독 시의 드레인 전류-게이트 전압 특성을 나타내는 도면.
도 30은 제4 실시예에 따른 DRAM 셀을 이용한 셀 어레이의 레이아웃.
도 31은 도 30의 A-A' 단면도.
도 32a는 제5 실시예에 따른 DRAM 셀의 구조를, 제1 실시예에 대응하여 나타내는 단면도.
도 32b는 제5 실시예에 따른 DRAM 셀의 구조를, 제2 실시예에 대응하여 나타내는 단면도.
〈도면의 주요 부분에 대한 부호의 설명〉
10 : 실리콘 기판
11 : 실리콘 산화막
12 : p형 실리콘층
13 : 제1 게이트
14 : 드레인 확산층
15 : 소스 확산층
19 : 게이트 절연막
20 : 제2 게이트

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은, 트랜지스터의 채널 보디를 기억 노드로서 이용하여, 동적으로 데이터 기억을 행하는 반도체 메모리 장치에 관한 것이다.
종래의 DRAM은 MOS 트랜지스터와 캐패시터에 의해 메모리 셀이 구성되어 있다. DRAM의 미세화는 트렌치 캐패시터 구조나 스택 캐패시터 구조의 채용에 의해 크게 진전되고 있다. 현재, 단위 메모리 셀의 크기(셀 사이즈)는, 최소 가공 치수를 F로 하여, $2F \times 4F = 8F^2$ 의 면적까지 축소되어 있다. 즉, 최소 가공 치수 F가 세대와 함께 작아지고, 셀 사이즈를 일반적으로 αF^2 로 하였을 때, 계수 α도 세대와 함께 작아져서, 현재 F=0.18㎛, α=8이 실현되어 있다.

앞으로도 종래와 변함 없는 셀 사이즈 혹은 칩 사이즈의 경향을 확보하기 위해서는, F<0.18㎛에서는 α<8, 또한 F<0.13㎛에서는 α<6을 충족시키는 것이 요구되며, 미세 가공과 함께 어떻게 셀 사이즈를 작은 면적에 형성할지가 중요한 과제로 된다. 그 때문에, 1 트랜지스터/1 캐패시터의 메모리 셀을 $6F^2$ 나 $4F^2$ 의 크기로 하는 제안도 다양하게 이루어져 있다. 그러나, 트랜지스터를 종형으로 하지 않으면 안된다고 하는 기술적 곤란이나, 인접 메모리 셀 사이의 전기적 간섭이 커진다고 하는 문제, 나아가서는 가공이나 막 생성 등의 제조 기술 상의 곤란이 있어, 실용화까지는 용이하지 않다.

이것에 대하여, 캐패시터를 이용하지 않고, 1 트랜지스터를 메모리 셀로 하는 DRAM의 제안도, 이하에 예를 든 바와 같이 몇가지가 이루어져 있다.

(1) JOHN E. LEISS et al, 'dRAM Design Using the Taper-Isolated Dynamic Cell'(IEEE TRANSACTIONS ON ELECTRON DEVICES, VOL. ED-29, NO.4, APRIL 1982, pp707-714)

(2) 특개평3-171768호 공보

(3) Marnix R. Tack et al, 'The Multistable Charge-Controlled Memory Effect in SOI MOS Transistors at Low Temperatures' (IEEE TRANSACTIONS ON ELECTRON DEVICES, VOL.37, MAY, 1990, pp1373-1382)

(4) Hsing-jen Wann et al, 'A Capacitorless DRAM Cell on SOI Substrate' (IEDM 93, pp635-638)

(1)의 메모리 셀은, 매립 채널 구조의 MOS 트랜지스터를 이용하여 구성된다. 소자 분리 절연막의 테이퍼부에 형성되는 기생 트랜지스터를 이용하여, 표면 반전층의 충방전을 행하고, 2값 기억을 행한다.

(2)의 메모리 셀은, 개개로 웰 분리된 MOS 트랜지스터를 이용하여, MOS 트랜지스터의 웰 전위에 의해 결정되는 임계치를 2값 데이터로 한다.

(3)의 메모리 셀은, SOI 기판 상의 MOS 트랜지스터에 의해 구성된다. SOI 기판 측으로부터 큰 음의 전압을 인가하여 실리콘층의 산화막과 계면부에서의 홀 축적을 이용하여, 이 홀의 방출, 주입에 의해 2값 기억을 행한다.

(4)의 메모리 셀은, SOI 기판 상의 MOS 트랜지스터에 의해 구성된다. MOS 트랜지스터는 구조 상 하나이지만, 드레인 확산층의 표면에 중첩하여 역도전형층이 형성되고, 실질적으로 기입용 PMOS 트랜지스터와 판독용 NMOS 트랜지스터를 일체로 조합한 구조로 하고 있다. NMOS 트랜지스터의 기판 영역을 부유 노드로 하여, 그 전위에 의해 2값 데이터를 기억한다.

발명이 이루고자 하는 기술적 과제

그러나, (1)은 구조가 복잡하며, 기생 트랜지스터를 이용하고 있기 때문에, 특성의 제어성에도 난점이 있다. (2)는 구조는 단순하지만, 트랜지스터의 드레인, 소스 모두 신호선에 접속하여 전위 제어할 필요가 있다. 또한, 웰 분리이기 때문에, 셀 사이즈가 크며, 또한 비트마다의 재기입을 할 수 없다. (3)에서는, SOI 기판측으로부터의 전위 제어를 필요로 하고 있어, 그로 인해 비트마다의 재기입을 할 수 없어, 제어성에 난점이 있다. (4)는 특수 트랜지스터 구조를 필요로 하며, 또 한 메모리 셀에는 워드선, 기입 비트선, 판독 비트선, 퍼지선을 필요로 하기 때문에, 신호선 수가 많아진다.

발명의 구성 및 작용

본 발명은 메모리 셀(MC)을 구성하는 MIS 트랜지스터를 포함하는 반도체 메모리 장치에 있어서, 상기 MIS 트랜지스터는 반도체층(12)과, 상기 반도체층에 형성된 소스 영역(15)과, 상기 반도체층에 상기 소스 영역으로부터 떨어져 형성된 드레인 영역(14)으로서, 상기 소스 영역과 상기 드레인 영역 사이의 상기 반도체층을 부유 상태의 보디 영역으로 하는 드레인 영역(14)과, 상기 보디 영역에 채널을 형성하기 위한 제1 게이트(13)와, 상기 제1 게이트와는 별도로 형성된 제2 게이트(20)로서, 상기 보디 영역의 전위를 용량 결합에 의해 제어하기 위한 전위가 고정된 제2 게이트(20)를 구비함과 함께, 상기 MIS 트랜지스터는, 과잉의 다수 캐리어가 상기 보디 영역에 유지되어 상기 보디 영역을 제1 전위로 설정한 제1 데이터 상태와, 과잉의 다수 캐리어가 상기 보디 영역으로부터 방출되어 상기 보디 영역을 제2 전위로 설정한 제2 데이터 상태를 갖는 것을 특징으로 한다.

이하, 도면을 참조하여, 본 발명의 실시예를 설명한다.

〔메모리 셀의 기본 컨셉〕

도 1은 관련 메모리 셀에 관한 DRAM의 단위 메모리 셀의 기본 단면 구조를 나타내며, 도 2는 그 등가 회로를 나타내고 있다. 메모리 셀 MC는 SOI 구조의 N 채널 MIS 트랜지스터에 의해 구성되어 있다. 즉, 실리콘 기판(10) 상에 절연막으로서 실리콘 산화막(11)이 형성되고, 이 실리콘 산화막(11) 상에 p형 실리콘층(12) 이 형성된 SOI 기판이 이용되고 있다. 이 기판의 실리콘층(12) 상에, 게이트 산화막(16)을 통해 게이트 전극(13)이 형성되며, 게이트 전극(13)에 자기 정합되어 n형 소스, 드레인 확산층(14, 15)이 형성되어 있다.

소스, 드레인(14, 15)은, 저부의 실리콘 산화막(11)에 도달하는 깊이로 형성되어 있다. 따라서, p형 실리콘층(12)으로 이루어지는 보디 영역은, 채널 폭 방향(도면의 지면에 직교하는 방향)의 분리를 산화막에서 행한다고 한다면, 저면 및 채널 폭 방향의 측면이 다른 부분으로부터 절연 분리되고, 채널 길이 방향은 pn 접합 분리된 부유 상태로 된다.

이 메모리 셀 MC를 매트릭스 배열하는 경우, 게이트(13)는 워드선 WL에 접속되고, 소스(15)는 고정 전위선(접지 전위선) SL에 접속되며, 드레인(14)은 비트선 BL에 접속된다.

도 3은 메모리 셀 어레이의 레이아웃을 나타내며, 도 4a, 도 4b는 각각 도 3의 A-A', B-B' 단면을 나타내고 있다. p형 실리콘층(12)은 실리콘 산화막(21)의 매립에 의해 격자 형상으로 패턴 형성된다. 즉 드레인을 공유하는 2개의 트랜지스터의 영역이 워드선 WL 방향으로 실리콘 산화막(21)에 의해 소자 분리되어 배열된다. 혹은 실리콘 산화막(21)의 매립 대신에, 실리콘층(12)을 에칭함으로써, 횡방향의 소자 분리를 행하여도 된다. 게이트(13)는 한 방향으로 연속적

으로 형성되며, 이것이 워드선 WL로 된다.
소스(15)는 워드선 WL 방향으로 연속적으로 형성되며, 이것이 고정 전위선(공통 소스선) SL로 된다. 트랜지스터 위는 층간 절연막(23)으로 덮어지고 이 위에 는 비트선 BL이 형성된다. 비트선 BL은 2개의 트랜지스터에서 공유하는 드레인(14)에 컨택트하여, 워드선 WL와 교차하도록 배치된다.
이에 따라, 각 트랜지스터의 보디 영역인 실리콘층(12)은, 저면 및 채널 폭 방향의 측면이 산화막에 의해 상호 분리되며, 채널 길이 방향으로는 pn 접합에 의해 상호 분리되어 부유 상태로 유지된다.
그리고, 이 메모리 셀 어레이 구성에서는, 워드선 WL 및 비트선 BL을 최소 가공 치수 F의 피치로 형성한 것으로서, 단위 셀 면적은 도 3에 파선으로 나타낸 바와 같이, $2F \times 2F = 4F^2$ 로 된다.
이 n 채널형 MIS 트랜지스터로 이루어지는 DRAM 셀의 동작 원리는, MIS 트랜지스터의 보디 영역(다른 부분으로부터 절연 분리된 p형 실리콘층(12))의 다수 캐리어인 홀의 축적을 이용하는 것이다. 즉, 트랜지스터를 5극관 영역에서 동작시킴으로써, 드레인(14)으로부터 큰 전류를 흘려 드레인(14) 근방에서 임팩트 이온화를 일으킨다. 이 임팩트 이온화에 의해 생성되는 다수 캐리어인 홀을 p형 실리콘층(12)에 유지시키고, 그 홀 축적 상태를 예를 들면 데이터 '1'로 한다. 드레인(14)과 p형 실리콘층(12) 사이의 pn 접합을 순방향 바이어스하여, p형 실리콘층(12)의 과잉 홀을 드레인 측으로 방출한 상태를 데이터 '0'으로 한다.
데이터 '0', '1'은 채널 보디의 전위의 차로서, 따라서 트랜지스터의 임계치 전압의 차로서 기억된다. 즉, 홀 축적에 의해 보디의 전위가 높은 데이터 '1' 상태의 임계치 전압 Vth1은, 데이터 '0' 상태의 임계치 전압 Vth0보다 낮다. 보디에 다수 캐리어인 홀을 축적한 '1' 데이터 상태를 유지하기 위해서는, 워드선에는 음의 바이어스 전압을 인가하는 것이 필요하게 된다. 이 데이터 유지 상태는, 선형 영역에서 판독 동작을 행하고 있는 한, 또한, 역 데이터의 기입 동작(소거)을 행하지 않는 한, 판독 동작을 행하여도 변하지 않는다. 즉, 캐패시터의 전하 축적을 이용하는 1 트랜지스터/1 캐패시터의 DRAM과 달리, 비파괴 판독이 가능하다.
데이터 판독에는, 몇가지 방식이 고려된다. 워드선 전위 Vw1과 보디 전위 VB의 관계는, 데이터 '0', '1'과의 관계에서도 5와 같이 된다. 따라서, 데이터 판독의 제1 방법은, 워드선 WL에 데이터 '0', '1'의 임계치 전압 Vth0, Vth1의 중간이 되는 판독 전위를 공급하여, '0' 데이터의 메모리 셀에서는 전류가 흐르지 않고, '1' 데이터의 메모리 셀에서는 전류가 흐르는 것을 이용한다. 구체적으로는 예를 들면, 비트선 BL을 소정의 전위 VBL로 프리차지하고, 그 후 워드선 WL을 구동한다. 이에 따라, 도 6에 도시한 바와 같이, '0' 데이터인 경우에는 비트선 프리차지 전위 VBL의 변화가 없고, '1' 데이터인 경우에는 프리차지 전위 VBL이 저하한다.
제2 판독 방식은 워드선 WL을 구동시키고 나서 비트선 BL에 전류를 공급하여, '0', '1'의 도통도에 따라 비트선 전위의 상승 속도가 다른 점을 이용한다. 간단하게는, 비트선 BL을 0V로 프리차지하고, 도 7에 도시한 바와 같이 워드선 WL을 구동시키고 비트선 전류를 공급한다. 이 때, 비트선의 전위 상승의 차를 더미 셀을 이용하여 검출함으로써, 데이터 판별이 가능해진다.
제3 판독 방식은, 비트선 BL을 소정의 전위로 클램프했을 때의, '0', '1'로 서 다른 비트선 전류의 차를 판독하는 방식이다. 전류 차를 판독하기 위해서는, 전류-전압 변환 회로가 필요하지만, 최종적으로는 전위차를 차동 증폭하고, 감지 출력을 내보낸다.
이 실시예에서, 선택적으로 '0' 데이터를 기입하기 위해서는, 즉 메모리 셀 어레이 내에서 선택된 워드선 WL과 비트선 BL의 전위에 의해 선택된 메모리 셀의 보디만으로부터 홀을 방출시키기 위해서는, 워드선 WL과 보디 사이의 용량 결합이 본질적이다. 데이터 '1'에서 보디에 홀이 축적된 상태는, 워드선을 충분히 음의 방향으로 바이어스하여, 메모리 셀의 게이트 · 기판 사이 용량이, 게이트 산화막 용량이 되는 상태(즉 표면에 공핍층이 형성되어 있지 않은 상태)로 유지하는 것이 필요하다.
또한, 기입 동작은, '0', '1' 모두, 펄스 기입으로서 소비 전력을 줄이는 것이 바람직하다. '0' 기입 시, 선택 트랜지스터의 보디로부터 드레인에 홀 전류가, 드레인으로부터 보디에 전자 전류가 흐르지만, 보디에 홀이 주입되는 일은 없다.
보다 구체적인 동작 파형을 설명한다. 도 8 내지 도 11은, 선택 셀에 의한 비트선의 방전 유무에 따라 데이터 판별을 행하는 제1 판독 방식을 이용한 경우의 판독/리프레시 및 판독/기입의 동작 파형이다.
도 8 및 도 9는, 각각 '1' 데이터 및 '0' 데이터의 판독/리프레시 동작이다. 시각 t1까지는, 데이터 유지 상태(비선택 상태)이고, 워드선 WL에는 음 전위가 주어져 있다. 시각 t1에서 워드선 WL을 양의 소정 전위로 구동시킨다. 이 때 워드선 전위는, '0', '1' 데이터의 임계치 Vth0, Vth1 사이로 설정한다. 이에 따라, '1' 데이터인 경우 사전에 프리차지되어 있던 비트선 VBL은 방전에 의해 저전위로 된다. '0' 데이터인 경우에는 비트선 전위 VBL은 유지된다. 이에 따라 '1', '0' 데이터가 판별된다.
그리고, 시각 t2에서, 워드선 WL의 전위를 더욱 높게 하고, 그 때 판독 데이터가 '1'인 경우에는 비트선 BL에 양 전위를 공급하고(도 8), 판독 데이터가 '0'인 경우에는 비트선 BL에 음 전위를 공급한다(도 9). 이에 따라, 선택 메모리 셀이 '1' 데이터인 경우 5극관 동작에 의해 큰 채널 전류가 흘러 임팩트 이온화가 발생되어, 보디에 과잉 홀이 주입 유지되어 재차 '1' 데이터가 기입된다. '0' 데이터인 경우에는 드레인 접합이 순방향 바이어스로 되어, 보디에 과잉 홀이 유지되어 있지 않은 '0' 데이터가 재차 기입된다.
그리고, 시각 t3에서 워드선 WL을 음의 방향으로 바이어스하여, 판독/리프레시 동작을 종료한다. '1' 데이터 판독을 행한 메모리 셀과 동일한 비트선 BL에 연결되는 다른 비선택 메모리 셀에서는, 워드선 WL이 음 전위, 그에 따라 보디가 음 전위로 유지되어, 임팩트 이온화는 발생되지 않는다. '0' 데이터 판독을 행한 메모리 셀과 동일한 비트선 BL에 연결되는 다른 비선택 메모리 셀에서는, 역시 워드선 WL이 음 전위로 유지되어, 홀 방출은 발생하지 않는다.
도 10 및 도 11은, 동일한 판독 방식에 의한 각각 '1' 데이터 및 '0' 데이터의 판독/기입 동작이다. 도 10 및 도 11의 시각 t1에서의 판독 동작은 각각, 도 8 및 도 9와 마찬가지이다. 판독 후, 시각 t2에서 워드선 WL을 더욱 고전위로 하고, 동일한 선택 셀에 '0' 데이터를 기입하는 경우에는 동시에, 비트선 BL에 음 전위를 공급하고(도 10), '1' 데이터를

기입하는 경우에는 비트선 BL에 양 전위를 공급한다(도 11). 이에 따라, '0' 데이터가 공급된 셀에서는, 드레인 접합이 순방향 바이어스가 되어, 보디의 홀이 방출된다. '1' 데이터가 공급된 셀에서는, 드레인 근방에서 임팩트 이온화가 발생되어, 보디에 과잉 홀이 주입 유지된다.

도 12 내지 도 15는, 비트선 BL을 0V로 프리차지하고, 워드선 선택 후에 비트선 BL에 전류를 공급하여, 비트선 BL의 전위 상승 속도에 의해 데이터 판별을 행하는 제2 판독 방식을 이용한 경우의 판독/리프레시 및 판독/기입의 동작 파형이다.

도 12 및 도 13은, 각각 '1' 데이터 및 '0' 데이터의 판독/리프레시 동작이다. 음 전위로 유지되어 있던 워드선 WL을, 시각 t1에서 양 전위로 구동시킨다. 이 때, 워드선 전위는 도 7에 도시한 바와 같이, '0', '1' 데이터의 임계치 Vth0, Vth1 중 어느 하나보다도 높은 값으로 설정한다. 혹은, 워드선 전위를, 제1 판독 방식과 마찬가지로, '0', '1' 데이터의 임계치 Vth0, Vth1 사이로 설정하여도 된다. 그리고, 시각 t2에서 비트선에 전류를 공급한다. 이에 따라, '1' 데이터인 경우에는 메모리 셀이 깊게 온되어 비트선 BL의 전위 상승은 작고(도 12), '0' 데이터인 경우에는 메모리 셀의 전류가 작으며(혹은 전류가 흐르지 않으며), 비트선 전위는 급속하게 상승한다. 이에 따라 '1', '0' 데이터가 판별된다.

그리고, 시각 t3에서, 판독 데이터가 '1'인 경우에는 비트선 BL에 양 전위를 공급하고(도 12), 판독 데이터가 '0'인 경우에는 비트선 BL에 음 전위를 공급한다(도 13). 이에 따라, 선택 메모리 셀이 '1' 데이터인 경우 드레인 전류가 흘러 임 팩트 이온화가 발생하고, 보디에 과잉 홀이 주입 유지되어, 재차 '1' 데이터가 기입된다. '0' 데이터인 경우에는 드레인 접합이 순방향 바이어스가 되어, 보디에 과잉 홀이 없는 '0' 데이터가 재차 기입된다.

시각 t4에서 워드선 WL을 음의 방향으로 바이어스하여, 판독/리프레시 동작을 종료한다.

도 14 및 도 15는, 동일한 판독 방식에 의한 각각 '1' 데이터 및 '0' 데이터의 판독/기입 동작이다. 도 14 및 도 15에서의 시각 t1 및 t2에서의 판독 동작은 각각, 도 12 및 도 13과 마찬가지이다. 판독 후, 동일한 선택 셀에 '0' 데이터를 기입하는 경우에는 비트선 BL에 음 전위를 공급하고(도 14), '1' 데이터를 기입하는 경우에는 비트선 BL에 양 전위를 공급한다(도 15). 이에 따라, '0' 데이터가 공급된 셀에서는, 드레인 접합이 순방향 바이어스가 되어, 보디의 과잉 홀이 방출된다. '1' 데이터가 공급된 셀에서는, 큰 드레인 전류가 흘러 드레인 근방에서 임팩트 이온화가 발생하여, 보디에 과잉 홀이 주입 유지된다.

이상과 같이 이 실시예에 따른 DRAM 셀은, 다른 부분으로부터 전기적으로 분리된 부유 채널 보디를 갖는 단순한 MIS 트랜지스터에 의해 구성되어, $4F^2$ 의 셀 사이즈가 실현 가능하다. 또한, 부유 보디의 전위 제어는, 게이트 전극으로부터의 용량 결합을 이용하고 있고, 소스도 고정 전위이다. 즉, 판독/기입의 제어는, 워드선 WL과 비트선 BL에서 행해지며, 간단하다. 또한, 메모리 셀은 기본적으로 비 파괴 판독이므로, 감지 증폭기를 비트선마다 설치할 필요가 없어, 감지 증폭기의 레이아웃이 용이하게 된다. 또한, 전류 판독 방식이므로, 노이즈에도 강하고, 예를 들면 오픈 비트선 방식으로도 판독이 가능하다. 또한, 메모리 셀의 제조 프로세스도 간단하다.

또한, SOI 구조는, 금후의 논리 LSI의 성능 향상을 고려하였을 때 중요한 기술이 된다. 이 실시예에 따른 DRAM은, 이와 같은 SOI 구조의 논리 LSI와의 혼재를 행하는 경우에도 매우 유망하다. 캐패시터를 이용하는 종래의 DRAM과 달리, 논리 LSI의 프로세스와 다른 프로세스를 필요로 하지 않고, 제조 공정이 간단해지기 때문이다.

또한, 이 실시예에 따른 SOI 구조의 DRAM은, 종래의 1 트랜지스터/1 캐패시터형의 DRAM을 SOI 구조로 한 경우에 비하여, 우수한 기억 유지 특성이 얻어지는 이점이 있다. 즉, 종래의 1 트랜지스터/1 캐패시터형의 DRAM을 SOI 구조로 하면, 부유 보디에 홀이 축적되어 트랜지스터의 임계치가 낮아지고, 트랜지스터의 서브 임계 전류가 증가한다. 이것은 기억 유지 특성을 열화시킨다. 이것에 대하여 이 실시예에 따른 1 트랜지스터만의 메모리 셀에서는, 기억 전하를 감소시키는 트랜지스터 패스는 존재하지 않고, 데이터 유지 특성은 순수하게 pn 접합의 누설만으로 결정되어, 서브 임계 누설이라는 문제가 없어진다.

여기까지 설명한 기본적인 DRAM 셀에서, 채널 보디의 전위의 차로서 기억되는 데이터 '0', '1'의 임계치 전압 차를 얼마만큼 크게 얻어질지가 메모리 특성에 있어서 중요하게 된다. 이 점에 관하여 시뮬레이션을 행한 결과에 의하면, 게이트로부터의 용량 결합에 의한 채널 보디의 전위 제어를 수반하는 데이터 기입에 있어 서, 기입 직후의 '0', '1' 데이터의 보디 전위차에 비하여, 그 후의 데이터 유지 상태에서의 '0', '1' 데이터의 보디 전위차가 작아지는 것이 분명해졌다. 그 시뮬레이션 결과를 다음에 설명한다.

디바이스 조건은, 게이트 길이 Lg=0.35㎛, p형 실리콘층(12)은 두께가 tSi=100㎚, 억셉터 농도가 $NA=5\times10^{17}/㎤$ 이고, 소스(14) 및 드레인(15)의 도너 농도가 $ND=5\times10^{20}/㎤$, 게이트 산화막 두께가 tox=10㎚이다.

도 16은, '0' 데이터 기입과, 그 후의 데이터 유지 및 데이터 판독(각각 순시적으로 나타내고 있음)에서의 게이트 전위 Vg, 드레인 전위 Vd, 및 채널 보디의 전위 VB를 나타내고 있다. 도 17은 동일하게, '1' 데이터 기입과, 그 후의 데이터 유지 및 데이터 판독(각각 순시적으로 나타내고 있음)에서의 게이트 전압 Vg, 드레인 전압 Vd, 및 채널 보디 전압 VB를 나타내고 있다.

또한, 시각 t6-t7의 데이터 판독 동작에서의 '0' 데이터의 임계치 전압 Vth0과 '1' 데이터의 임계치 전압 Vth1을 보기 위해, 그 시간의 드레인 전류 Ids와 게이트 · 소스 사이 전압 Vgs를 나타내면, 도 18과 같이 된다. 단, 채널 폭 W와 채널 길이 L을 W/L=0.175㎛/0.35㎛로 하고, 드레인 · 소스 사이 전압을 Vds=0.2V로 하고 있다.

도 18로부터, '0' 기입 셀의 임계치 전압 Vth0과 '1' 기입 셀의 임계치 전압 Vth1의 차 ΔVth는, ΔVth=0.32V로 되어 있다. 이상의 해석 결과로부터, 문제가 되는 것은, 도 16 및 도 17에서, '0' 기입 직후(시각 t3)의 보디 전위가 VB=-0.77 V, '1' 기입 직후의 보디 전위가 VB=0.85V이고, 그 차가 1.62V인 데 대하여, 데이터 유지 상태(시각 t6)에서는, '0' 기입 셀의 보디 전위가 VB=-2.04V, '1' 기입 셀의 보디 전위가 VB=-1.6V이고, 그 차가 0.44V로, 기입 직후보다 작아져 있는 것이다.

이와 같이 기입 직후에 비하여, 그 후의 데이터 유지 상태에서의 보디 전위의 데이터에 의한 차가 작아지는 요인은, 2가지로 생각된다.

그 하나는, 게이트에서 보디에의 용량 커플링이 데이터에 의해 다른 것이다. '0' 기입 직후(t3-t4)에서는, 드레인은 -1.5V이지만, '1' 기입 직후에서는 드레인이 2V이다. 따라서, 그 후 게이트 전위 Vg를 낮추었을 때, '1' 기입 셀에서는 채널이 용이하게 소실되고, 게이트 · 보디 사이의 용량이 현재화하여, 점차로 보디에 홀이 축적되어 용량이 커진다. 한편, '0' 기입 셀에서는 채널이 용이하게 소실되지 않아, 게이트 · 보디 사이 용량이 현재화하지 않는다.

게이트 전위를 낮추기 시작하는 것에 앞서서 드레인 전위를 200mV로 리세트하면, 상술한 언밸런스는 해소되리라고 생각된다. 그러나 이 경우에는, '0' 기입을 행한 셀에서는, 채널이 형성된 상태에서 드레인 전위가 상승하여 3극관 동작에 의한 전류가 흐른다. 그리고, '0' 기입에 의해 모처럼 낮아진 보디 전위가, n형의 드레인 및 채널 반전층과 p형의 보디 사이의 용량 결합에 의해 상승하게 되어, 바람직하지 못하다.

또 하나는, 기입 후의 시각 t4-t5 사이에서, 소스 혹은 드레인과 보디 사이의 pn 접합의 용량으로 보디 전위가 영향을 받고, 이것이 'O', '1' 데이터의 신호 량을 줄이는 방향으로 작용하는 것이다.

그래서 이하의 실시예에서는, 상기 기본 DRAM 셀에 대하여, 채널 형성의 제어를 행하기 위한 게이트(제1 게이트)와는 달리, 채널 보디를 용량 결합에 의해 전위 제어하기 위한 게이트(제2 게이트)를 부가한다. 제2 게이트와 채널 보디 사이의 용량을 확보하기 위해서는, 보디 영역의 제2 게이트 측의 표면이 축적 상태(플랫 대역 상태를 포함함)가 되도록, 제2 게이트의 전위를 고정하면 된다. 예를 들면, 소스에 공급되는 기준 전위보다 낮은 전위(n 채널의 경우이면, 음전위)로, 제2 게이트의 전위를 고정하면 된다. 또는, 보디 영역의 제2 게이트측의 표면이 반전층이 형성되지 않은 범위에서 공핍 상태로 되는 고정 전위를, 제2 게이트에 공급하는 것도 가능하다. 이에 따라, 실질적으로 제2 게이트측의 게이트 절연막 두께를 크게 한 것과 등가로 된다.

이하에 구체적인 실시예를 설명한다.

[제1 및 제2 실시예]

도 19는, 제1 실시예에 따른 DRAM 셀 구조를, 도 1에 대응시켜 나타내고 있다. 기본 구조는, 도 1과 마찬가지이며, 도 1과 다른 점은, 채널 제어를 행하는 제1 게이트(13)와는 달리, 실리콘층(12)에 게이트 절연막(19)을 통해 대향하여 용량 결합하는 제2 게이트(20)가 산화막(11)에 매립되어 있는 점이다. 구체적으로 게이트 절연막(19)은 제1 게이트(13) 측의 게이트 절연막(16)과 동일한 막 두께로 한다.

실제의 셀 어레이 구성에서는, 후에 설명하는 바와 같이, 제1 게이트(13)는 워드선으로서 연속적으로 형성되며, 제2 게이트(20)는 이것과 병행하는 배선으로서 배치된다. 제2 게이트(20)에는, 예를 들면 음의 고정 전위가 공급된다.

도 20은, 제2 실시예에 따른 DRAM 셀의 구조이다. 도 19의 실시예와 달리 이 실시예에서는, 제2 게이트(20)는 배선으로서 패터닝되지 않고, 복수의 메모리 셀을 커버하도록 공통 게이트(백 플레이트)로서 배치된다. 특히 본 실시예에서는, 제2 게이트(20)는 셀 어레이 영역 전체를 커버한다. 이와 같은 구조로 하면, 제2 게이트(20)와 제1 게이트(13)의 위치 정렬이 불필요하며, 제조 프로세스가 간단해진다.

다음에, 상기한 실시예 2, 3의 DRAM 셀에 대하여, 실시예 1의 RAM 셀에 대하여 행한 것과 마찬가지의 시뮬레이션을 행한 결과를 설명한다. 디바이스 조건은, 제2 게이트(20)가 p^+ 형 다결정 실리콘으로서, -2V로 전위 고정한다. 게이트 절연막(19)은 제1 게이트(13) 측의 게이트 절연막(16)과 동일한 10㎚ 두께, 그 밖의 조건도 앞의 실시예 1의 DRAM 셀의 경우와 동일하다.

도 21은, '0' 데이터 기입과, 그 후의 데이터 유지 및 데이터 판독(각각 순시적으로 나타내고 있음)에서의 게이트 전위 Vg, 드레인 전위 Vd, 및 채널 보디의 전위 VB를 나타내고 있다. 도 22는 동일하게, '1' 데이터 기입과, 그 후의 데이터 유지 및 데이터 판독(각각 순시적으로 나타냄)에서의 게이트 전압 Vg, 드레인 전압 Vd, 및 채널 보디 전압 VB를 나타내고 있다.

도 21 및 도 22에서, '0' 기입 직후(시각 t3)의 보디 전위가 VB=-0.82V, '1' 기입 직후의 보디 전위가 VB=0.84V이며, 그 차는 1.66V이다. 이것에 대하여, 데이터 유지 상태(시각 t6)에서는, '0' 기입 셀의 보디 전위가 VB=-1.98V, '1' 기입 셀의 보디 전위가 VB=-0.86V이고, 그 차는 1.12V로 되어 있다.

이것은, 실시예 1의 DRAM 셀 구조의 경우에 비하여, 기입 직후와 그 후의 데이터 유지 시의 사이에서, 보디 전위의 차의 변화가 작아져 있다.

도 23은, 도 18에 대응하여, 시각 t6-t7의 데이터 판독 동작에서의 '0' 데이터의 임계치 전압 Vth0과 '1' 데이터의 임계치 전압 Vth1을 보기 위해, 그 시간의 드레인 전류 Ids와 게이트 · 소스 사이 전압 Vgs를 나타내고 있다. 이제부터, '0' 데이터의 임계치 전압 Vth0과 '1' 데이터의 임계치 전압 Vth1의 차 ΔVth는, $\Delta Vth=0.88V$이다. 따라서, 실시예 1의 기본 셀 구조의 경우에 비하여, '0', '1' 데이터 사이에서 큰 신호 차가 얻어진다.

도 24는, 도 19의 DRAM 셀 구조를 이용한 경우의 메모리 셀 어레이의 레이아웃을 나타내고 있다. 도 25a는 도 24의 A-A' 단면도이고, 도 25b는 도 24의 B-B' 단면이다. 제1 게이트(13)가 워드선 WL1로서 한 방향으로 연속적으로 형성되고, 이것에 대응하여, 제2 게이트(20)도 워드선 WL1과 병행하는 워드선 WL2로서 배치된다. 단, 워드선 WL2는 상술한 바와 같이 전위 고정된다. 그 밖의 구성은, 도 3 및 도 4에 도시한 기본 DRAM 셀의 경우와 마찬가지로, $4F^2$의 셀 면적을 실현할 수 있다.

상술한 바와 같이, DRAM 셀의 보디에 대하여 백 게이트 혹은 백 플레이트를 설치하여 그 전위를 고정함으로써, '0', '1' 데이터 사이에서 큰 임계치 전압 차가 얻어지는 것이 분명해졌다. 그러나 이 경우, 워드선의 진폭이 커질 우려가 있다. 이것은, 셀 어레이 중에서 선택적인 '0' 데이터 기입을 실현하기 위해서는, '1' 데이터 기입 셀의 데이터 유지 상태에서의 보디 전위를, '0' 데이터 기입 직후의 보디 전위 레벨 이하로 하지 않으면 안되기 때문이다.

즉, 비트선에 공통 접속되어 있는 DRAM 셀 중, 선택 워드선을 구동시키고 이에 따라 선택된 셀에 '0' 데이터를 기입하는 경우, '1' 데이터가 기입되어 있는 비선택 셀에서 데이터를 유지하기 위해서는, 비선택 워드선의 전위를 충분히 낮추는것이 필요하게 된다. 또한, 백 게이트 혹은 백 플레이트로 보디에 용량 결합시키고 있는 것은, 상대적으로 프론트 게이트(제1 게이트)로부터 보디에 대한 용량 결합을 작게 하기 때문에, 그 만큼 워드선 진폭을 크게 하는 것이 필

요하게 된다.
이상의 내용으로부터, 제1 게이트와 제2 게이트의 채널 보디에 대한 용량 결합의 크기를 최적 상태로 설정하는 것이 필요하게 된다. 이를 위해서는, 제2 게이트(20)와 실리콘층(12) 사이의 제2 게이트 절연막(19)의 막 두께를, 제1 게이트(13)와 실리콘층(12) 사이의 제1 게이트 절연막(16)의 막 두께와의 관계로 최적화하면 좋다. 이 점을 고려한 실시예를 이하에 설명한다.
[제3 실시예]
도 26a 및 도 26b는, 그와 같은 실시예 4의 DRAM 셀 구조를 나타내고 있고, 도 26a는 실시예 2의 도 19에 대응하고 있으며, 도 26b는 실시예 3의 도 20에 대응하고 있다. 상기 실시예 2, 3에서는, 제1 게이트(13) 측의 게이트 절연막(16)과 제2 게이트(20) 측의 게이트 절연막(19)을 동일한 막 두께로 한 데 대하여 이 실시예에서는, 제1 게이트(13) 측의 게이트 절연막(16)의 막 두께 12.5㎚에 대하여, 제2 게이트(20) 측의 게이트 절연막(19)을 37.5㎚로 두껍게 하고 있다.
그 밖의 디바이스 조건을 앞의 실시예의 경우와 동일하게 하여, 그 시뮬레이션 결과를 도 27 및 도 28에 나타낸다. 단, 워드선 진폭(Vg)은 앞의 실시예의 경우와 달리, 기입 시의 H 레벨을 3V, 데이터 유지 시의 L 레벨을 -0.5V로 하고 있다. 도 27에서는, 기입 직후부터의 전위 변화만 나타내고 있다. 또한, 도 29는 데이터 유지 상태로부터 데이터 판독 사이의 셀의 드레인 전류 Ids와 게이트 전압 Vgs의 관계를 나타내고 있다.
도 29의 결과로부터, '0' 데이터와 '1' 데이터의 임계치 전압의 차는, ΔV th=0.62V이다. 앞의 실시예의 경우에 비하여, 임계치 전압 차는 작아지지만, 제1 게이트측의 용량이 상대적으로 제2 게이트측의 용량보다 커지기 때문에, 워드선 진폭을 작게 하여, 마찬가지의 동작이 가능하게 된다. 또한, 워드선 진폭을 작게 함으로써, 트랜지스터의 내압에 의한 제한 내에서의 동작이 용이하게 된다.
[제4 실시예]
도 30은, 제4 실시예에 따른 DRAM 셀 어레이의 레이아웃을 나타내며, 도 31은 그 A-A' 단면을 나타내고 있다. 이제까지의 실시예에서는, 부유 채널 보디를 갖는 트랜지스터를 만들기 위해 SOI 기판을 이용한 데 대하여, 이 실시예에서는, 소위 SGT(Surrounding Gate Transistor) 구조를 이용하여, 부유 채널 보디를 갖는 종형 MIS 트랜지스터에 의해 DRAM 셀을 구성한다.
실리콘 기판(10)에는, RIE에 의해 종횡으로 연결되는 홈을 가공하여, p형 기둥형 실리콘(30)이 배열 형성된다. 이들 각 기둥형 실리콘(30)의 양측면에 대향하도록, 제1 게이트(13)와 제2 게이트(20)가 형성된다. 제1 게이트(13)와 제2 게이트(20)는, 도 31의 단면에서, 기둥형 실리콘(30) 사이에 교대로 매립된다. 제1 게이트(13)는, 측벽을 남기는 기술에 의해, 인접하는 기둥형 실리콘(30) 사이에서 인접하는 기둥형 실리콘(30)에 대하여 독립한 게이트 전극으로서 분리 형성된다. 한편 제2 게이트(20)는, 인접하는 기둥형 실리콘(30) 사이에 이들이 공유하도록 매립된다. 제1, 제2 게이트(13, 20)는 각각, 제1, 제2 워드선 WL1, WL2로서 연속적으로 패턴 형성된다.
기둥형 실리콘(30)의 상면에 n형 드레인 확산층(14)이 형성되고, 하부에는 모든 셀에서 공유되는 n형 소스 확산층(15)이 형성된다. 이에 따라, 각 채널 보디가 부유인 종형 트랜지스터로 이루어지는 메모리 셀 MC가 구성된다. 게이트(13, 20)가 매립된 기판에는 층간 절연막(17)이 형성되고, 이 위에 비트선(18)이 배치된다.
이 실시예의 경우에도, 제2 게이트(20)에 고정 전위를 공급하여, 앞의 각 실시예와 마찬가지의 동작을 할 수 있다.
[제5 실시예]
도 32a는, 제5 실시예에 따른 DRAM 셀 구조를, 제1 실시예의 도 19에 대응시켜 나타내고 있다. 도 32b는, 제5 실시예에 따른 DRAM 셀 구조를, 제2 실시예의 도 20에 대응시켜 나타내고 있다. 이 실시예의 경우, 분리용 실리콘 산화막(11)을 얇게 하여, 이것을 그대로 게이트 절연막으로서 이용하고 있다. 그리고, 실리콘 기판(10)의 산화막(11) 측의 표면부에 고농도의 p^+ 형 확산층을 형성하여 이것을 제2 게이트(20)로 하고 있다.
도 32a의 DRAM 셀 구조에서는, 실리콘 산화막(11)의 두께를, 게이트 절연막(16)의 두께와, 실질적으로 같게 하고 있다. 도 32b의 DRAM 셀 구조에서는 실리콘 산화막(11)의 두께를, 게이트 산화막(16)의 두께보다 두껍게 하고 있다.
이 실시예에 의해서도 앞의 각 실시예와 마찬가지의 동작을 할 수 있다.
이제까지의 실시예에서는, 제1 게이트와 제2 게이트는 반도체층을 끼워 대향하도록 배치하고 있다. 즉, 도 19, 도 20, 도 32의 실시예에서는, 실리콘층(12)의 상하에 제1 및 제2 게이트(13, 20)를 배치하고, 도 30, 도 31의 실시예에서는, 기둥형 실리콘(30)의 양측면에 제1 및 제2 게이트(13, 20)를 배치하고 있다. 그러나, 제1, 제2 게이트의 배치는 이들 실시예에 한정되는 것은 아니다. 예를 들면, 도면에는 나타내지 않지만, 반도체층의 제1 게이트가 대향하는 면과 직교하는 면에 제2 게이트를 대향시키도록, 횡방향으로 메모리 셀을 분리하는 소자 분리 영역에 제2 게이트를 배치할 수도 있다.

발명의 효과

이상 진술한 바와 같이 이 실시예에 따르면, 하나의 메모리 셀은, 부유 반도체층을 갖는 단순한 하나의 트랜지스터에 의해 형성되며, 셀 사이즈를 $4F^2$ 로 작게 할 수 있다. 트랜지스터의 소스는 고정 전위에 접속되며, 드레인에 접속된 비트선 과 게이트에 접속된 워드선의 제어만에 의해서, 판독, 재기입 및 리프레시의 제어가 행해진다. 트랜지스터의 보디에 대향하는 제2 게이트에는, 보디와 용량 결합시킴으로써, 제1 게이트에 의한 보디에 대한 용량 결합비를 최적화하여, '0', '1' 데이터의 임계치 전압차를 크게 할 수 있다.

(57) 청구의 범위

청구항 1.
메모리 셀(MC)을 구성하는 MIS 트랜지스터를 포함하는 반도체 메모리 장치에 있어서,
상기 MIS 트랜지스터는,
반도체층(12)과,
상기 반도체층에 형성된 소스 영역(15)과,
상기 반도체층에 상기 소스 영역으로부터 떨어져 형성되며, 상기 소스 영역과의 사이의 상기 반도체층을 부유 상태의 보디 영역으로 하는 드레인 영역(14)과,
상기 보디 영역에 채널을 형성하기 위한 제1 게이트(13)와,
상기 제1 게이트와는 별도로 형성되며, 상기 보디 영역의 전위를 용량 결합에 의해 제어하기 위한 전위가 고정된 제2 게이트(20)를 구비함과 함께,
상기 MIS 트랜지스터는, 과잉의 다수 캐리어가 상기 보디 영역에 유지되어 상기 보디 영역을 제1 전위로 설정한 제1 데이터 상태와, 과잉의 다수 캐리어가 상기 보디 영역으로부터 방출되어 상기 보디 영역을 제2 전위로 설정한 제2 데이터 상태를 갖는 것을 특징으로 하는 반도체 메모리 장치.

청구항 2.
제1항에 있어서,
상기 제1 데이터 상태는, 상기 MIS 트랜지스터를 5극관 동작시켜 드레인 접 합 근방에서 임팩트 이온화를 발생시킴으로써 설정되고,
상기 제2 데이터 상태는, 상기 제1 게이트로부터의 용량 결합에 의해 소정 전위가 공급된 상기 보디 영역과 상기 드레인 영역 사이에 순방향 바이어스를 공급함으로써 설정되는 것을 특징으로 하는 반도체 메모리 장치.

청구항 3.
제1항에 있어서,
상기 MIS 트랜지스터가 복수개 매트릭스 배열되고, 제1 방향으로 배열되는 MIS 트랜지스터의 드레인 영역(14)은 비트선(BL)에, 제2 방향으로 배열되는 MIS 트랜지스터의 제1 게이트(13)는 워드선(WL)에, 상기 MIS 트랜지스터의 소스 영역(15)은 제1 고정 전위로, 상기 MIS 트랜지스터의 제2 게이트(20)는 제2 고정 전위로, 각각 접속되어 메모리 셀 어레이가 구성되며,
데이터 기입 시, 상기 제1 고정 전위를 기준 전위로서, 선택 워드선에 상기 기준 전위보다 높은 제1 제어 전위를 공급하고, 비선택 워드선에 상기 기준 전위보다 낮은 제2 제어 전위를 공급하며, 비트선에는 제1 및 제2 데이터 상태에 따라 각각 상기 기준 전위보다 높은 제3 제어 전위 및 상기 기준 전위보다 낮은 제4 제어 전위를 공급하도록 하는 것을 특징으로 하는 반도체 메모리 장치.

청구항 4.
제3항에 있어서,
상기 제2 게이트(20)에 공급하는 제2 고정 전위를, 상기 보디 영역의 상기 제2 게이트 측의 표면이 축적 상태로 되도록 설정하는 것을 특징으로 하는 반도체 메모리 장치.

청구항 5.
제3항에 있어서,
상기 제2 게이트(20)에 공급하는 제2 고정 전위를, 상기 보디 영역의 상기 제2 게이트 측의 표면이 공핍 상태가 되도록 설정하는 것을 특징으로 하는 반도체 메모리 장치.

청구항 6.
제3항에 있어서,
상기 제2 게이트(20)에 공급하는 제2 고정 전위를, 상기 기준 전위보다 낮은 전위로 설정하는 것을 특징으로 하는 반도체 메모리 장치.

청구항 7.
제1항에 있어서,
상기 반도체층(12)은 반도체 기판 상에 절연막(11)에 의해 분리되어 형성된 것이며,
상기 제1 게이트(13)는 상기 반도체층의 상부에 워드선으로서 연속적으로 배치되고, 상기 제2 게이트(20)는 상기 반도체층의 하부에 상기 워드선과 병행하는 배선으로서 형성되는 것을 특징으로 하는 반도체 메모리 장치.

청구항 8.
제7항에 있어서,
상기 제2 게이트(20)는, 상기 절연막(11) 내에 매립되어 게이트 절연막을 통 해 상기 반도체층에 대향하는 다결정 실리콘막인 것을 특징으로 하는 반도체 메모리 장치.

청구항 9.
제7항에 있어서,
상기 제1 게이트(13)와 상기 반도체층(12) 사이의 제1 게이트 절연막(16)의 두께는, 상기 제2 게이트(20)와 상기 반도체층(12) 사이의 제2 게이트 절연막(19)의 두께와 실질적으로 같은 것을 특징으로 하는 반도체 메모리 장치.

청구항 10.
제7항에 있어서,
상기 제1 게이트(13)와 상기 반도체층(12) 사이의 제1 게이트 절연막(16)에 비하여, 상기 제2 게이트(20)와 상기 반도체층(12) 사이의 제2 게이트 절연막(19)이 두껍게 설정되는 것을 특징으로 하는 반도체 메모리 장치.

청구항 11.
제1항에 있어서,
상기 반도체층(12)은 반도체 기판 상에 절연막(11)에 의해 분리되어 형성된 것이며,
상기 제1 게이트(13)는 상기 반도체층(12)의 상부에 워드선으로서 연속적으로 배치되고, 상기 제2 게이트(20)는 상기 반도체층(12)의 하부에 모든 메모리 셀을 커버하는 공통 게이트로서 형성되는 것을 특징으로 하는 반도체 메모리 장치.

청구항 12.
제11항에 있어서,
상기 제2 게이트(20)는, 상기 절연막(11) 내에 매립되어 게이트 절연막을 통해 상기 반도체층에 대향하는 다결정 실리콘막인 것을 특징으로 하는 반도체 메모리 장치.

청구항 13.
제11항에 있어서,
상기 제1 게이트(13)와 상기 반도체층(12) 사이의 제1 게이트 절연막(16)의 두께는, 상기 제2 게이트(20)와 상기 반도체층(12) 사이의 제2 게이트 절연막(19) 의 두께와 실질적으로 같은 것을 특징으로 하는 반도체 메모리 장치.

청구항 14.
제11항에 있어서,
상기 제1 게이트(13)와 상기 반도체층(12) 사이의 제1 게이트 절연막(16)에 비하여, 상기 제2 게이트(20)와 상기 반도체층(12) 사이의 제2 게이트 절연막(19) 이 두껍게 설정되는 것을 특징으로 하는 반도체 메모리 장치.

청구항 15.
제11항에 있어서,
상기 제2 게이트(20)는, 상기 절연막(11)을 통해 상기 반도체층(12)에 대향하도록 상기 반도체 기판 상에 형성된 고농도 불순물 확산층인 것을 특징으로 하는 반도체 메모리 장치.

청구항 16.
제15항에 있어서,
상기 제1 게이트(13)와 상기 반도체층(12) 사이의 제1 게이트 절연막(16)의 두께는, 상기 제2 게이트(20)와 상기 반도체층(12) 사이의 상기 절연막(11)의 두께와 실질적으로 같은 것을 특징으로 하는 반도체 메모리 장치.

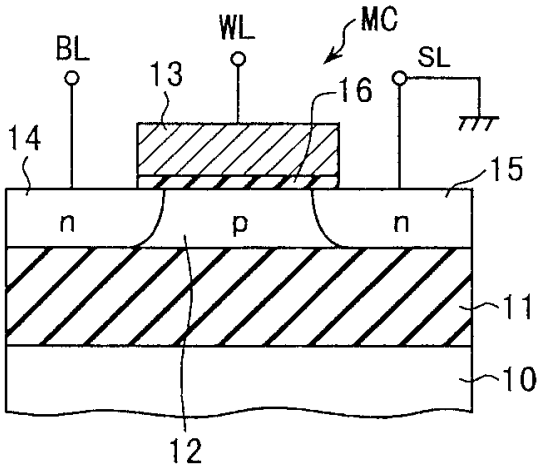
청구항 17.
제15항에 있어서,
상기 제1 게이트(13)와 상기 반도체층(12) 사이의 제1 게이트 절연막(16)에 비하여, 상기 제2 게이트(20)와 상기 반도체층(12) 사이의 상기 절연막(11)이 두껍게 설정되는 것을 특징으로 하는 반도체 메모리 장치.

청구항 18.
제1항에 있어서,
상기 반도체층은 반도체 기판(10) 상에 형성된 기둥형 반도체(30)이며,
상기 제1 게이트(13) 및 제2 게이트(20)은 상기 기둥형 반도체층의 양측면에 대향하도록 형성되며, 상기 드레인 영역(14)은 상기 기둥형 반도체의 상면에, 상기 소스 영역(15)은 상기 기둥형 반도체의 하부에 형성되는 것을 특징으로 하는 반도체 메모리 장치.

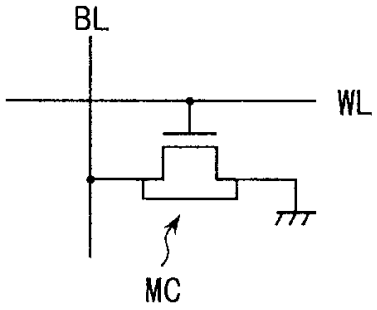
청구항 19.
제1항에 있어서,
상기 반도체층(12)은 반도체 기판 상에 절연막(11)에 의해 분리되어 형성된 것이며,
상기 제1 게이트(13)는 상기 반도체층(12)의 상부에 워드선으로서 연속적으로 배치되고, 상기 제2 게이트(20)는 상기 반도체층(12)의 하부에 복수의 메모리 셀을 커버하는 공통 게이트로서 형성되는 것을 특징으로 하는 반도체 메모리 장치.

도면

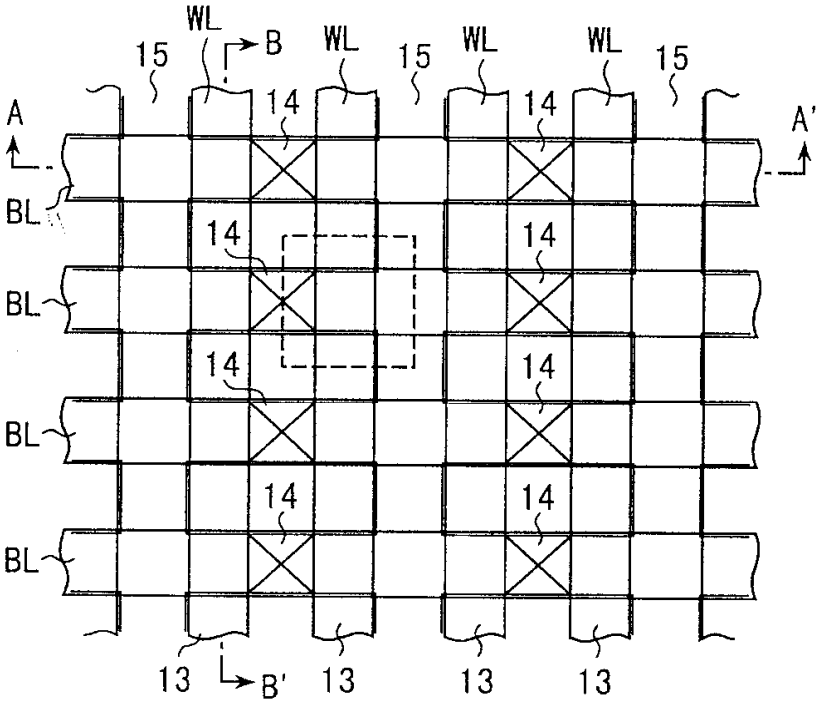
도면1



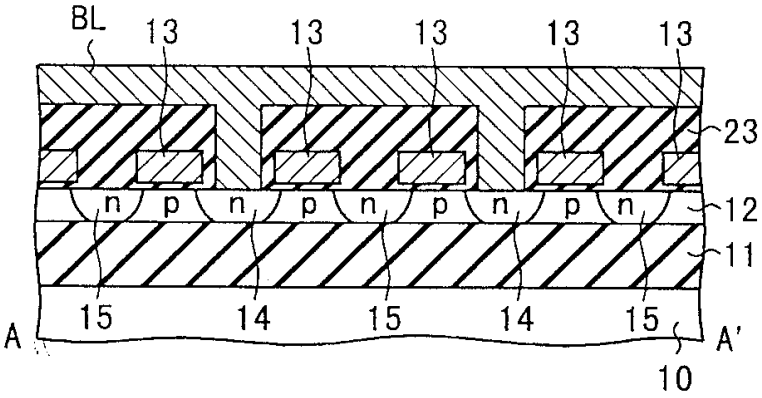
도면2



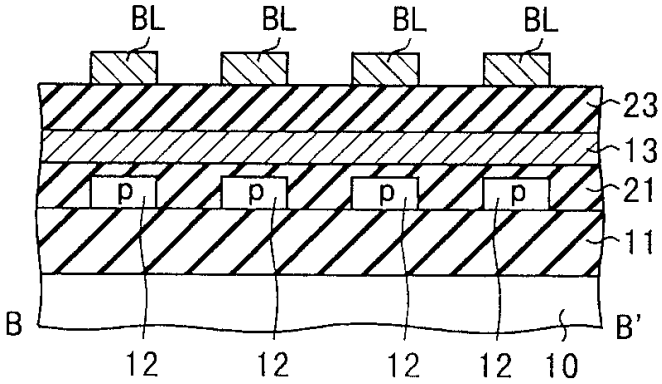
도면3



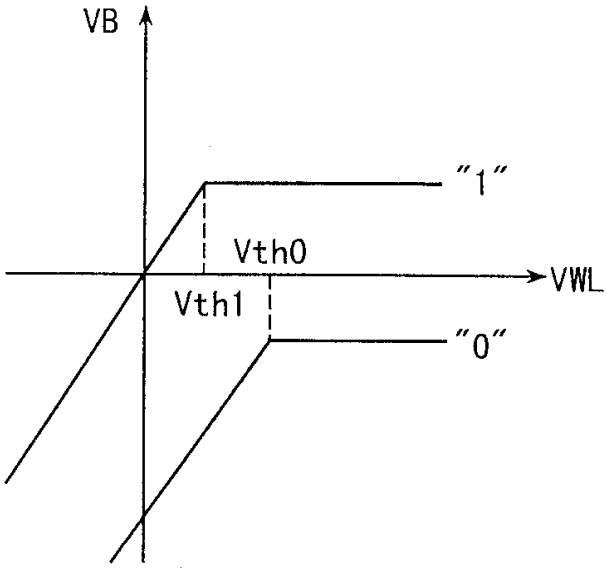
도면4a



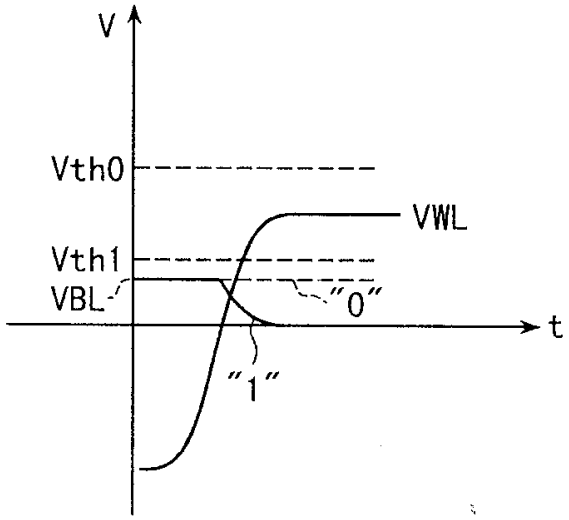
도면4b



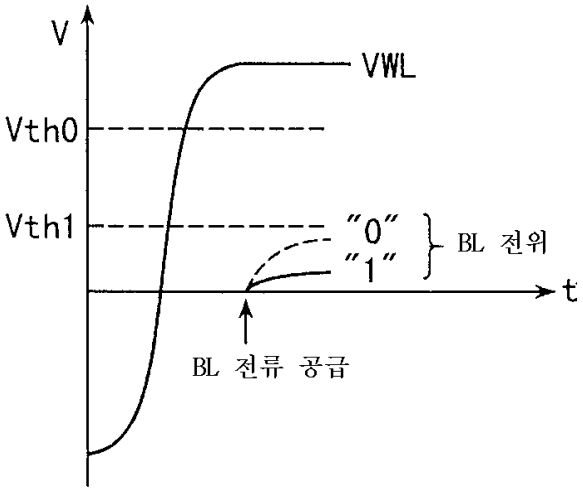
도면5



도면6

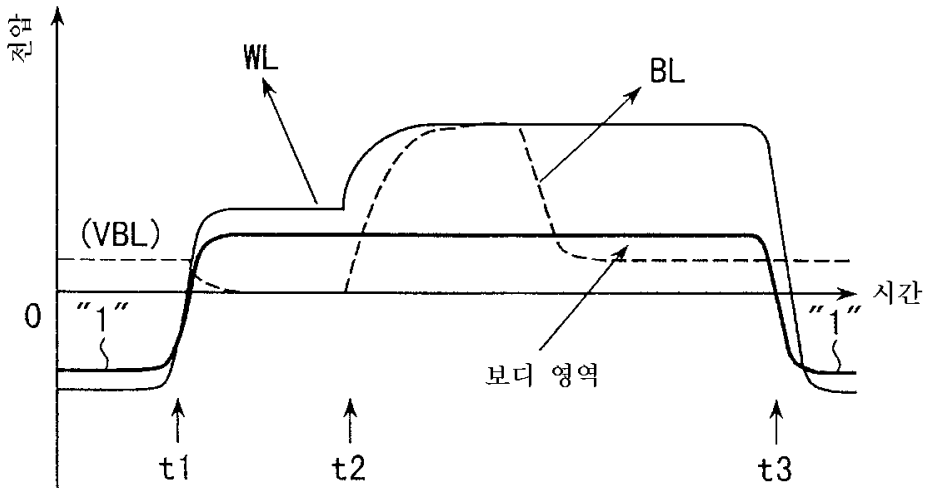


도면7



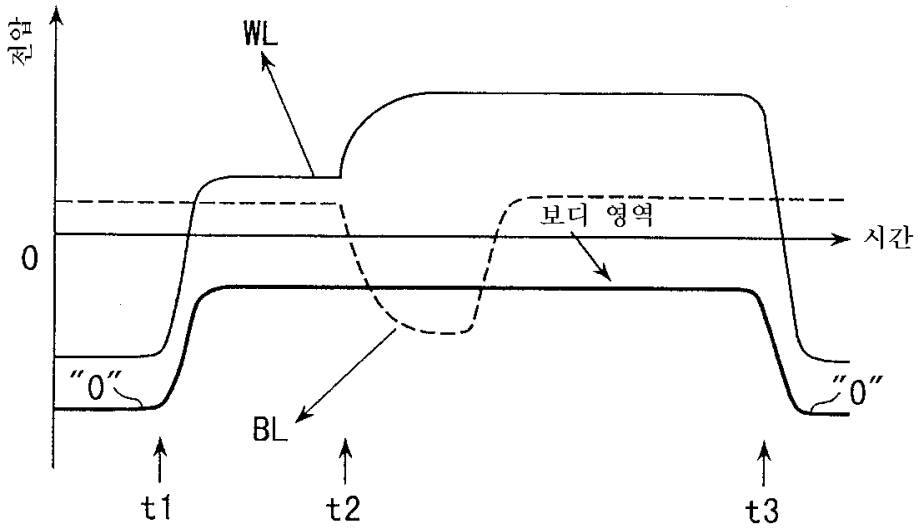
도면8

"1" 판독/리프레시



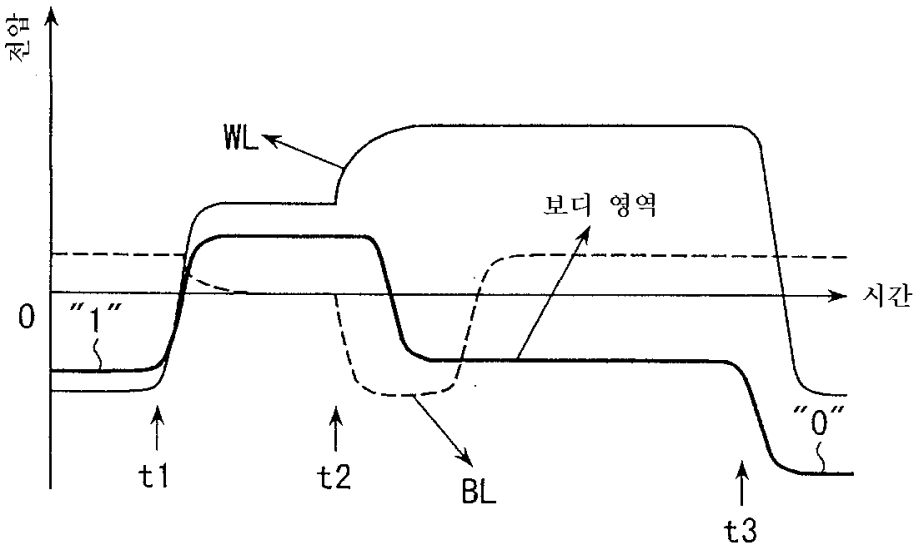
도면9

"0" 판독/리프레시



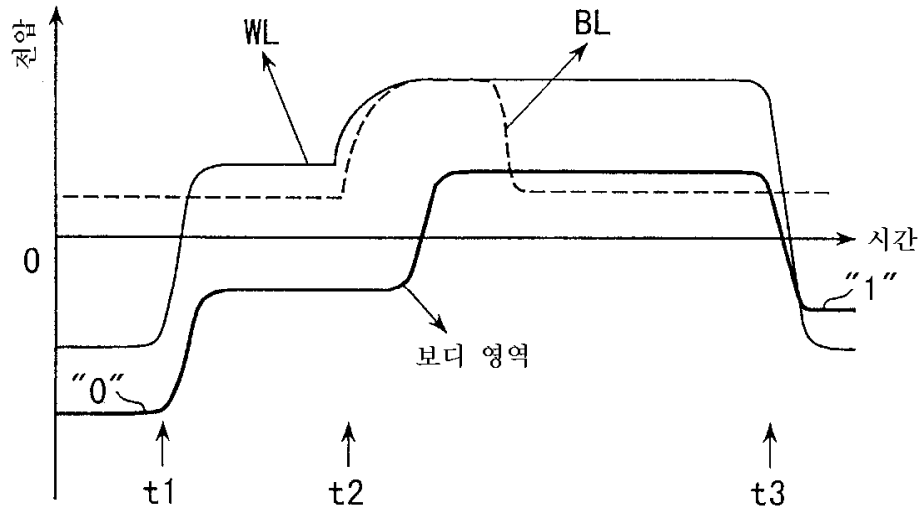
도면10

"1" 판독 /"0" 기입



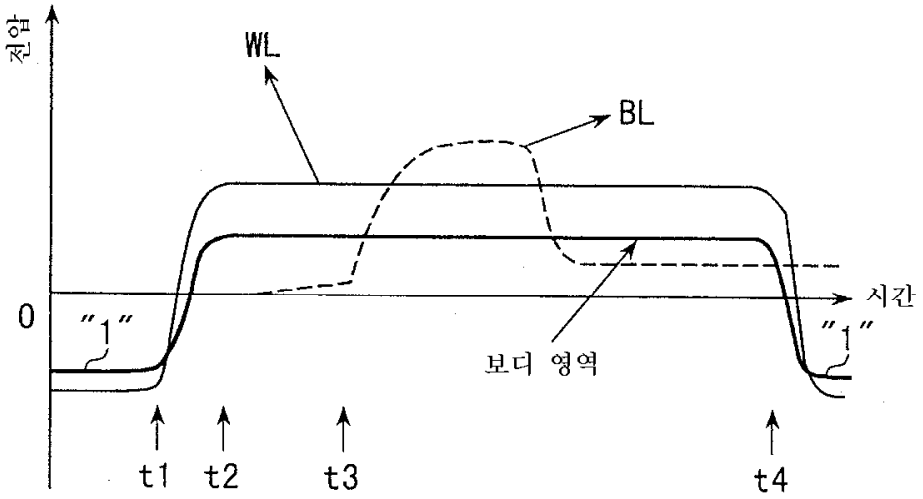
도면11

"0" 판독 /"1" 기입



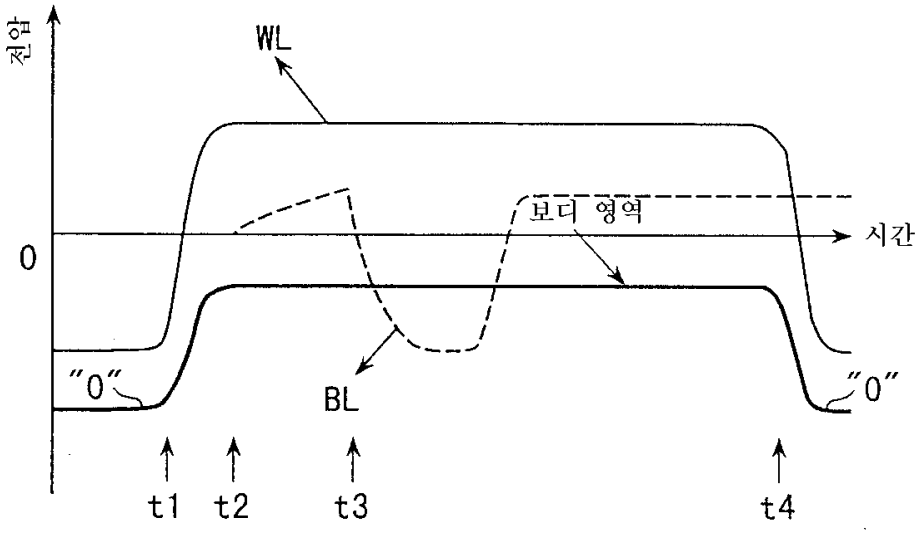
도면12

"1" 판독/리프레시



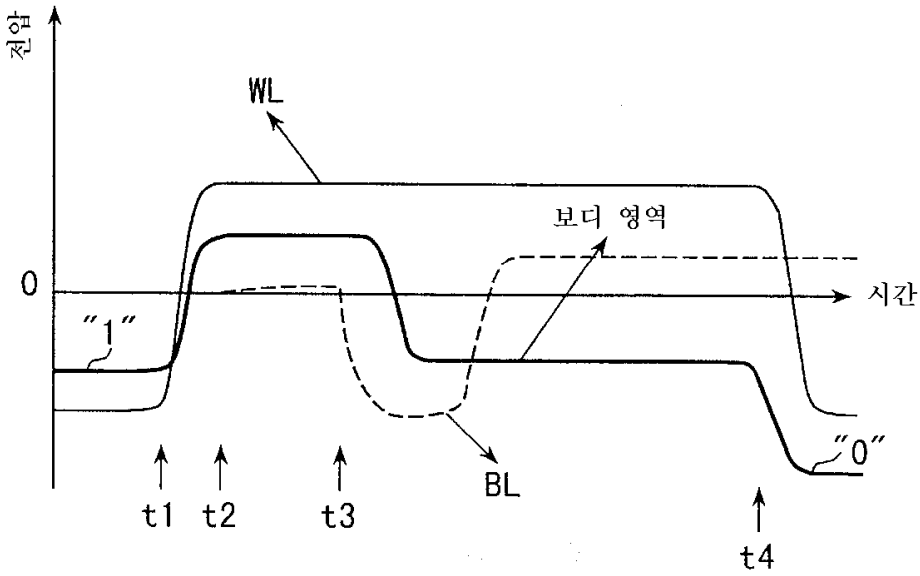
도면13

"0" 판독/리프레시

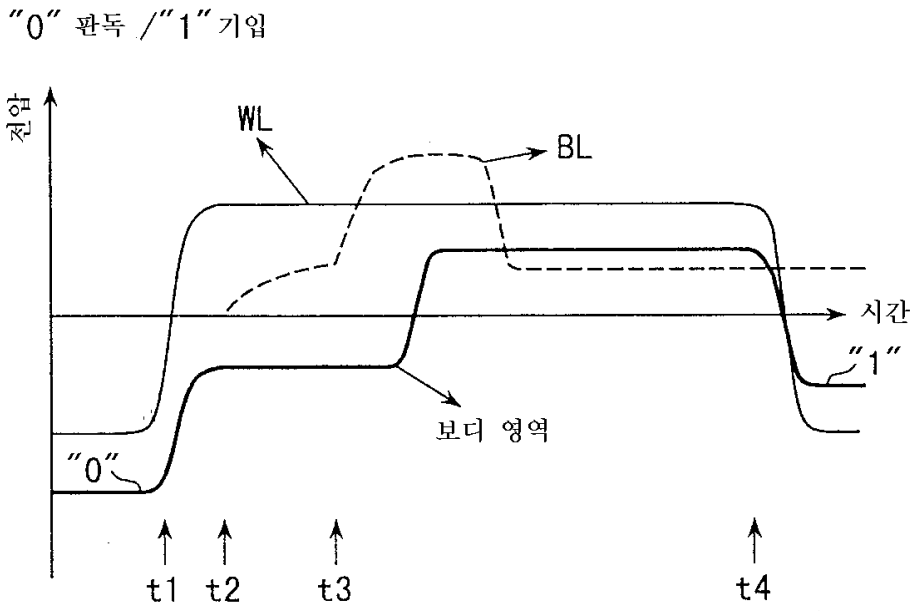


도면14

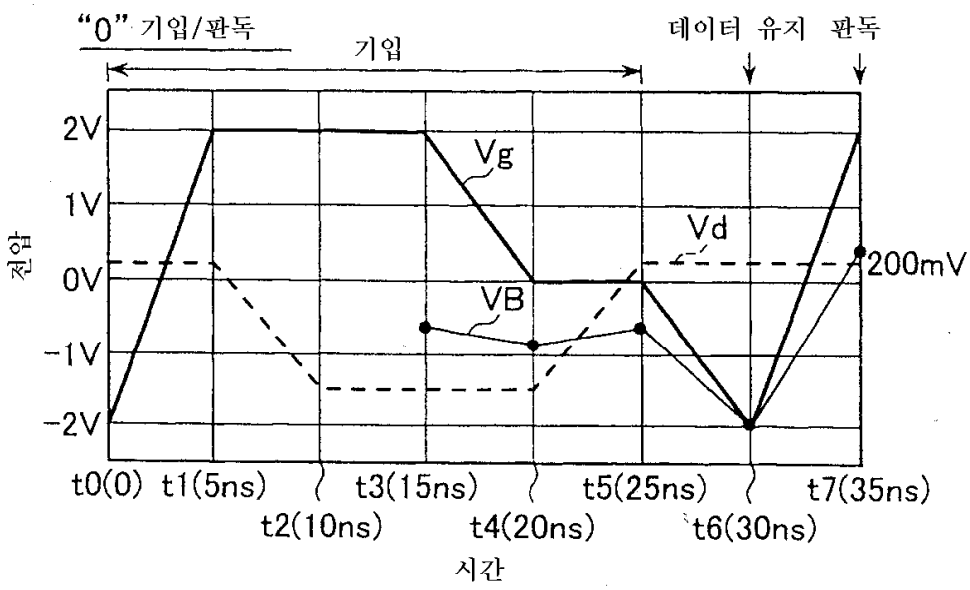
"1" 판독/"0"기입



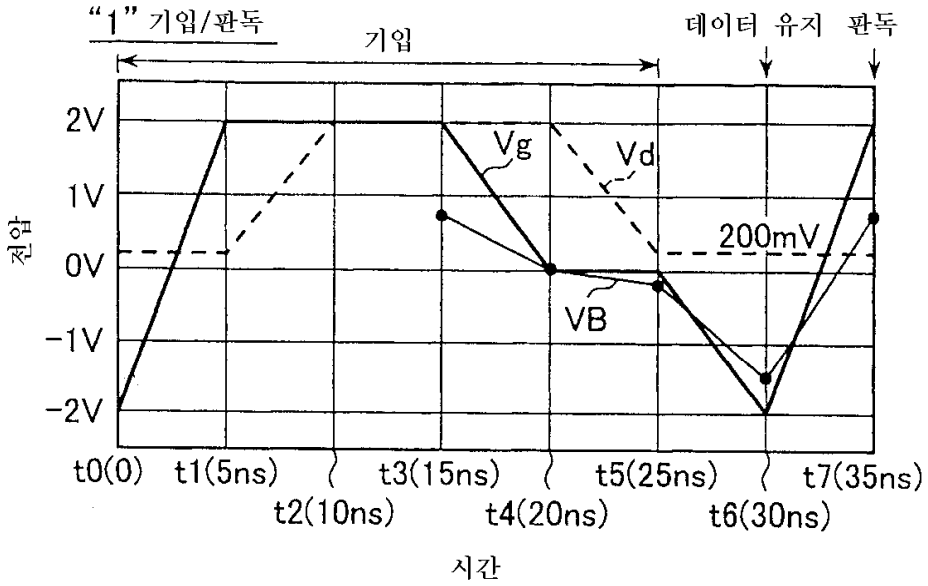
도면15


"0" 판독 /"1" 기입
전압
WL
BL
시간
"1"
보디 영역
"0"
t1
t2
t3
t4

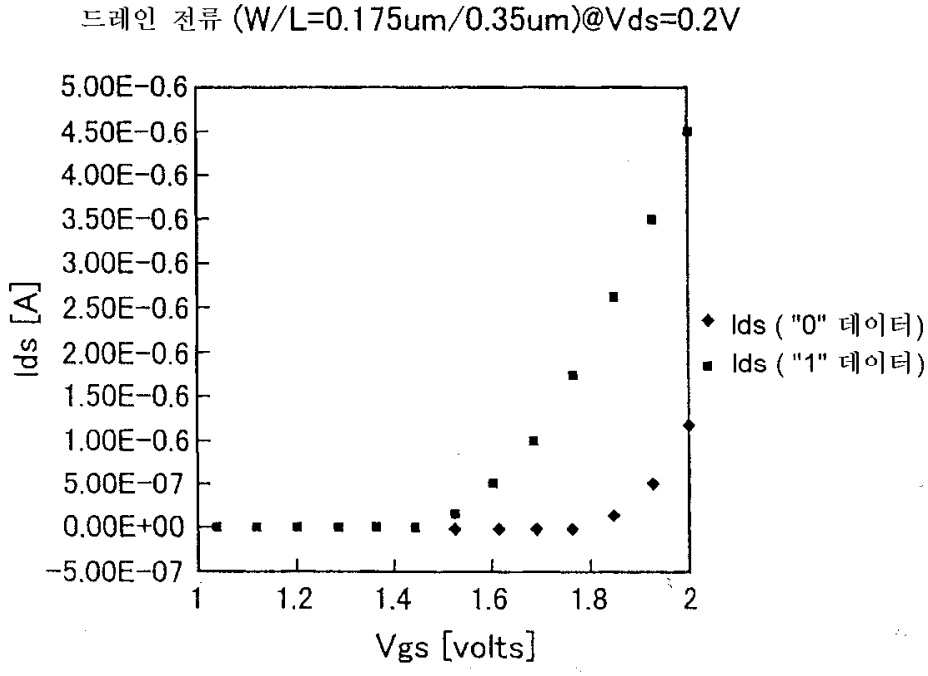
도면16


"0" 기입/판독
기입
데이터 유지 판독
2V
1V
0V
-1V
-2V
전압
Vg
Vd
VB
200mV
t0(0)
t1(5ns)
t2(10ns)
t3(15ns)
t4(20ns)
t5(25ns)
t6(30ns)
t7(35ns)
시간

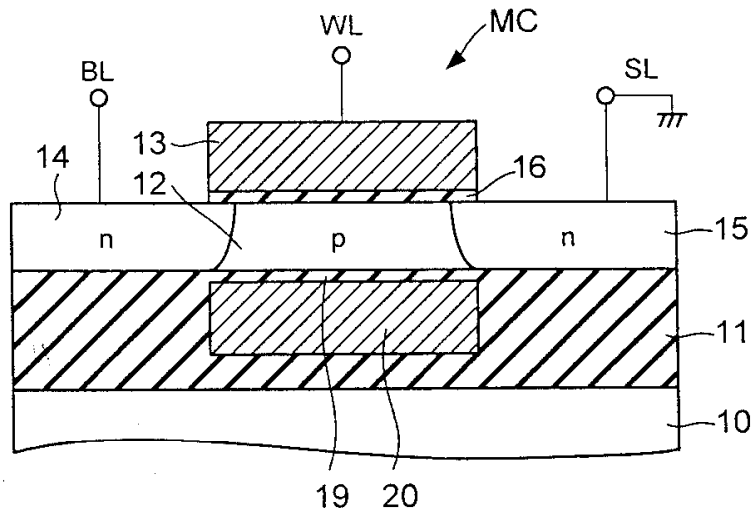
도면17


"1" 기입/판독
기입
데이터 유지
판독
2V
1V
0V
-1V
-2V
전압
Vg
Vd
200mV
VB
t0(0)
t1(5ns)
t2(10ns)
t3(15ns)
t4(20ns)
t5(25ns)
t6(30ns)
t7(35ns)
시간

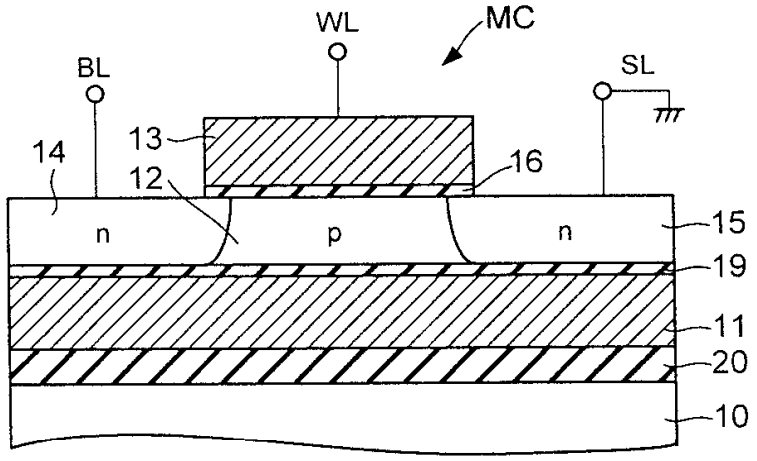
도면18


드레인 전류 (W/L=0.175um/0.35um)@Vds=0.2V
5.00E-0.6
4.50E-0.6
4.00E-0.6
3.50E-0.6
3.00E-0.6
2.50E-0.6
2.00E-0.6
1.50E-0.6
1.00E-0.6
5.00E-07
0.00E+00
-5.00E-07
Ids [A]
1
1.2
1.4
1.6
1.8
2
Vgs [volts]
Ids ("0" 데이터)
Ids ("1" 데이터)

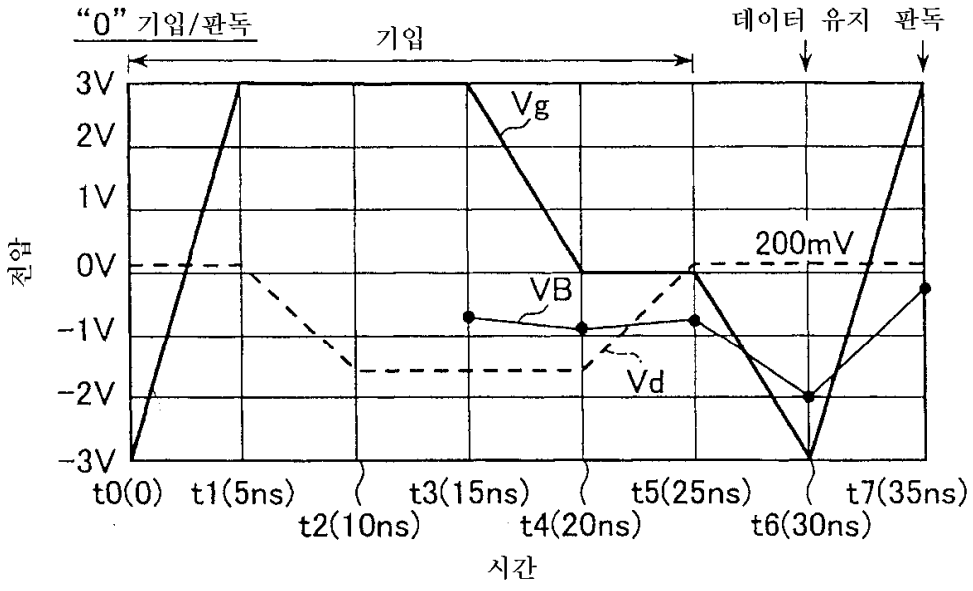
도면19



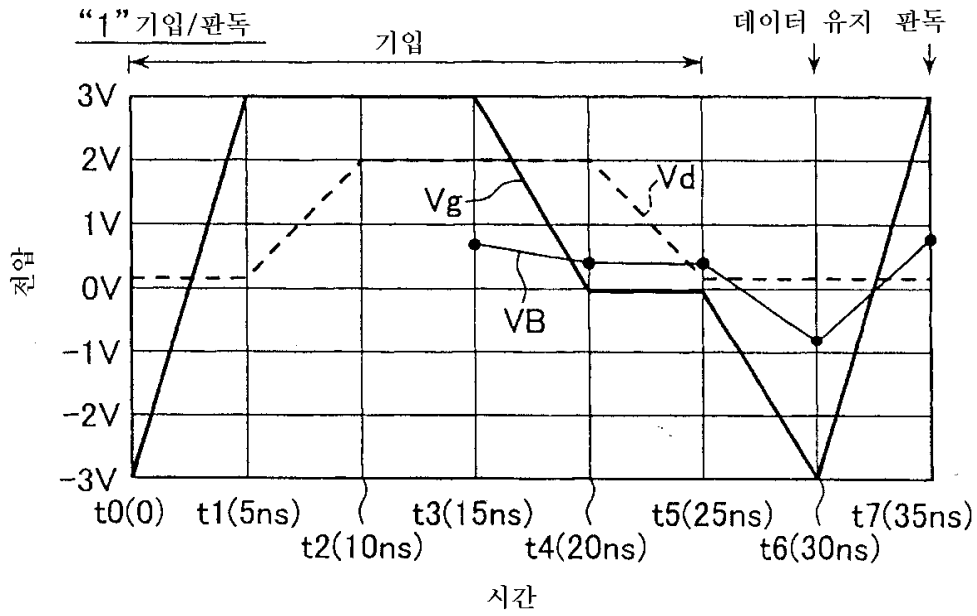
도면20



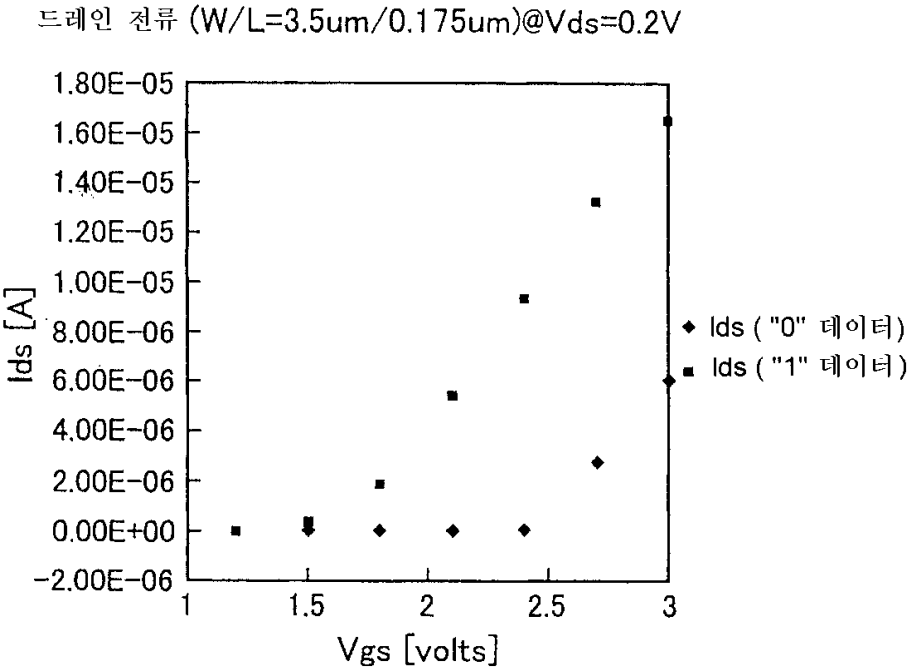
도면21



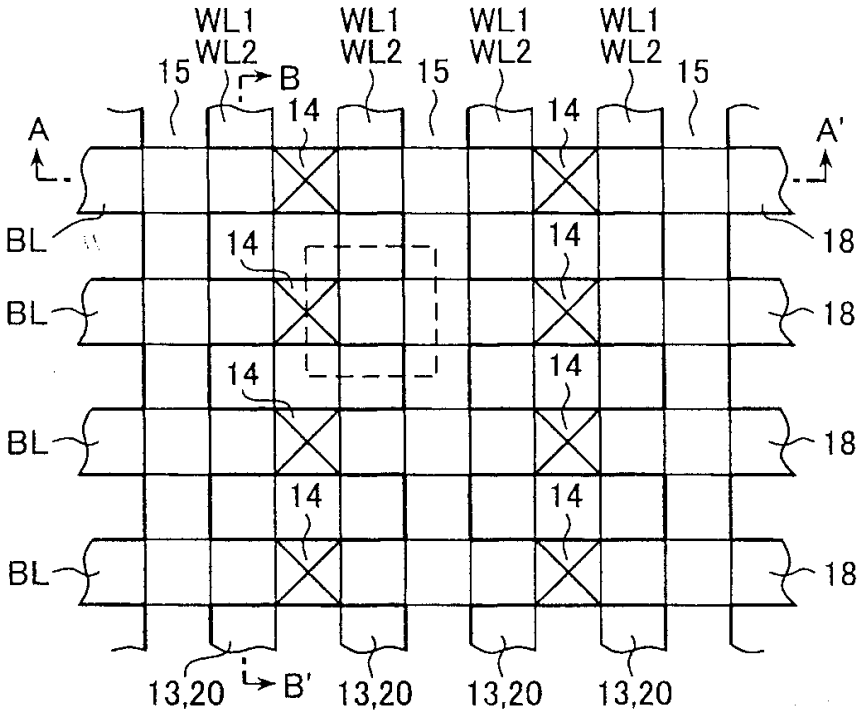
도면22


"1" 기입/판독
기입
데이터 유지 판독
3V
2V
1V
0V
-1V
-2V
-3V
전압
Vg
Vd
VB
t0(0)
t1(5ns)
t2(10ns)
t3(15ns)
t4(20ns)
t5(25ns)
t6(30ns)
t7(35ns)
시간

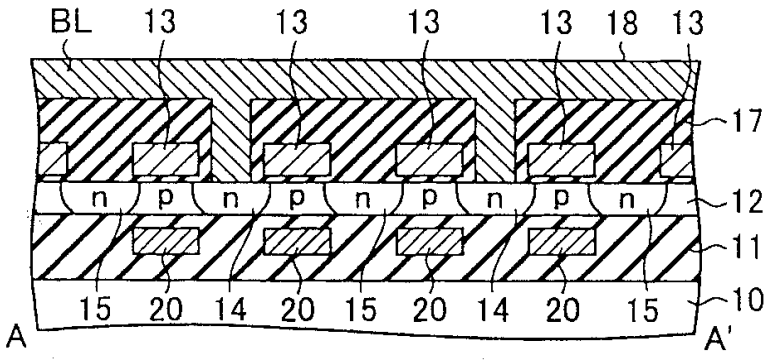
도면23


드레인 전류 (W/L=3.5um/0.175um)@Vds=0.2V
1.80E-05
1.60E-05
1.40E-05
1.20E-05
1.00E-05
8.00E-06
6.00E-06
4.00E-06
2.00E-06
0.00E+00
-2.00E-06
Ids [A]
1
1.5
2
2.5
3
Vgs [volts]
Ids ("0" 데이터)
Ids ("1" 데이터)

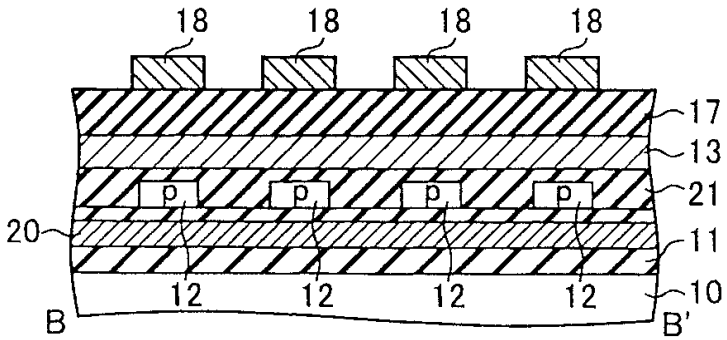
도면24



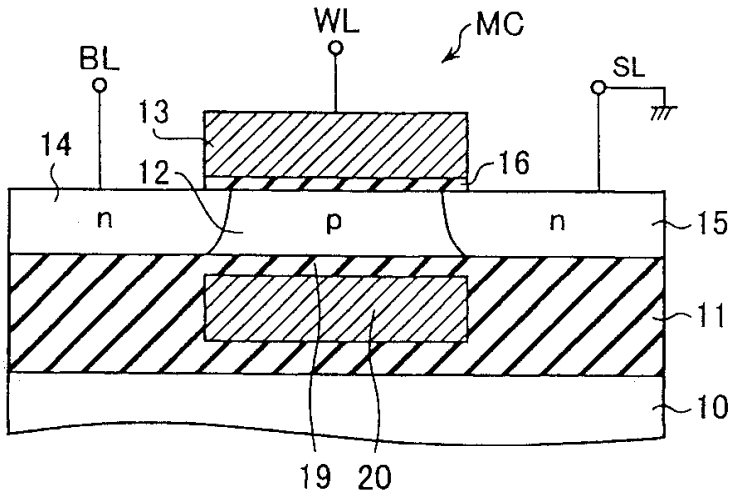
도면25a



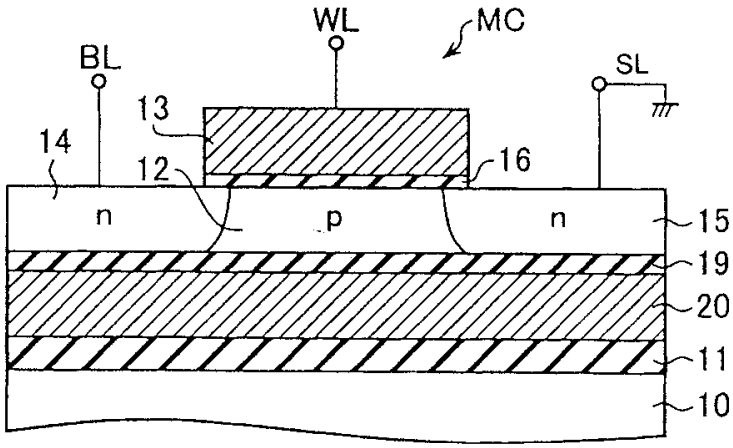
도면25b



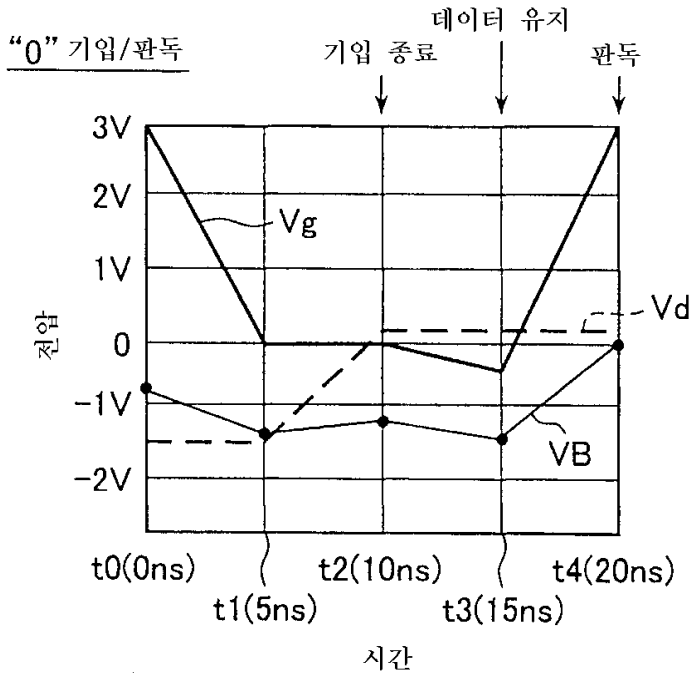
도면26a



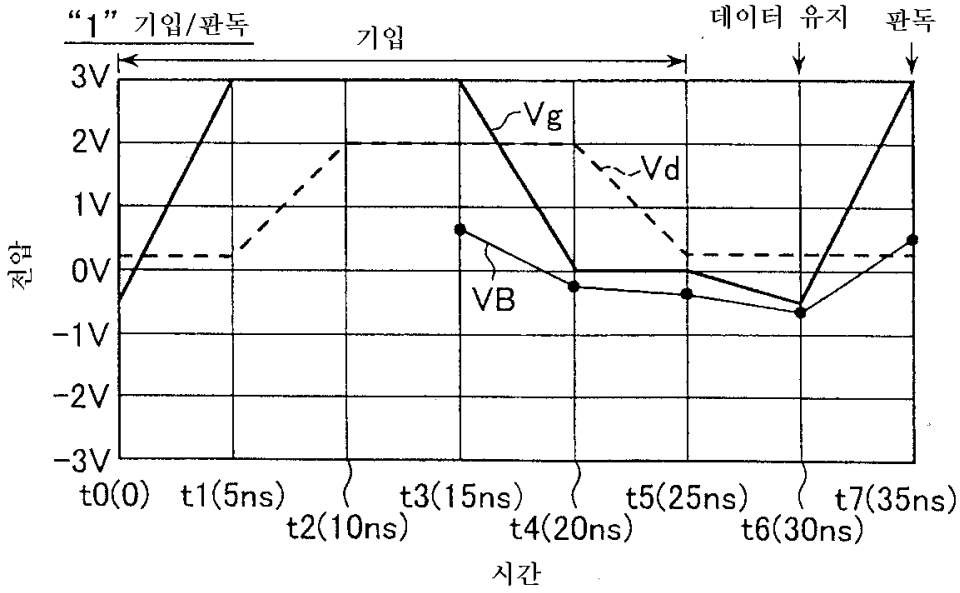
도면26b



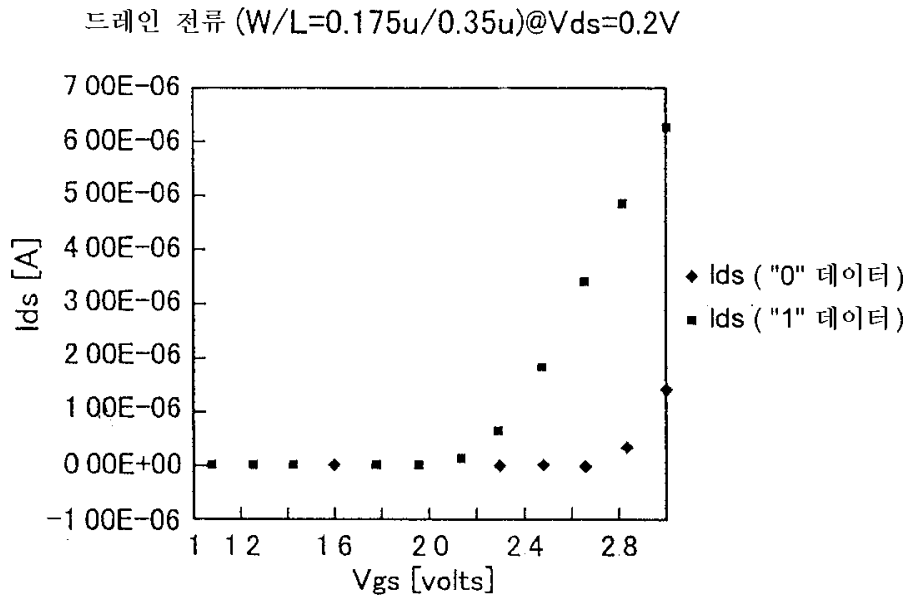
도면27



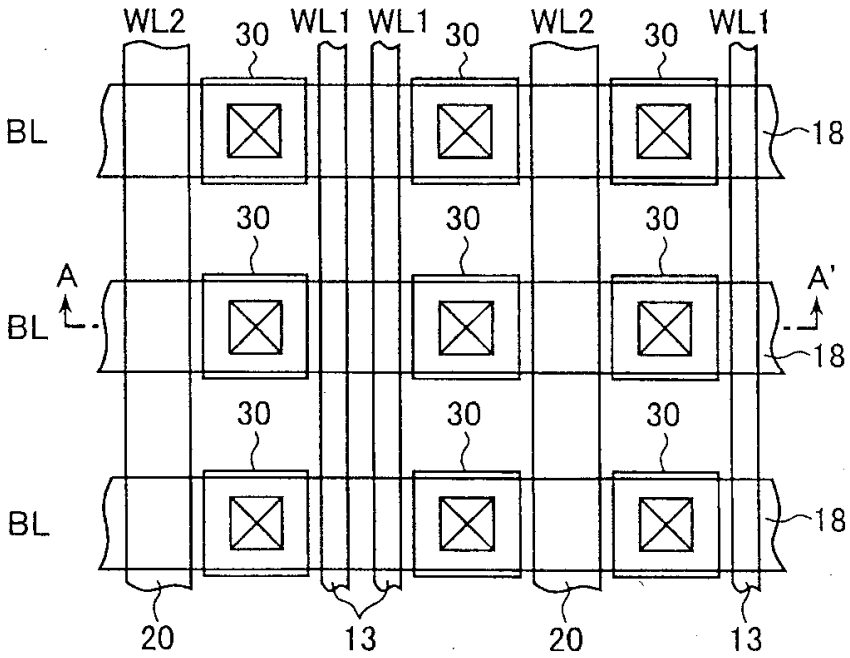
도면28


"1" 기입/판독
기입
데이터 유지
판독
3V
2V
1V
0V
-1V
-2V
-3V
전압
Vg
Vd
VB
t0(0)
t1(5ns)
t2(10ns)
t3(15ns)
t4(20ns)
t5(25ns)
t6(30ns)
t7(35ns)
시간

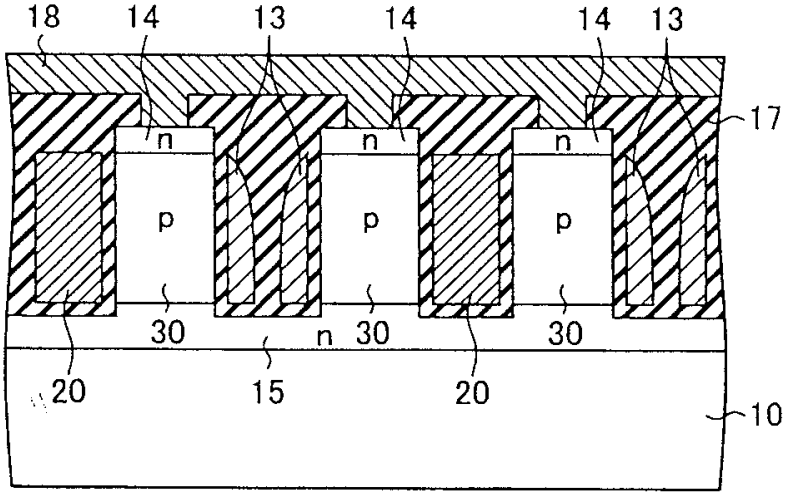
도면29


드레인 전류 (W/L=0.175u/0.35u)@Vds=0.2V
7.00E-06
6.00E-06
5.00E-06
4.00E-06
3.00E-06
2.00E-06
1.00E-06
0.00E+00
-1.00E-06
Ids [A]
1
1.2
1.6
2.0
2.4
2.8
Vgs [volts]
Ids ("0" 데이터)
Ids ("1" 데이터)

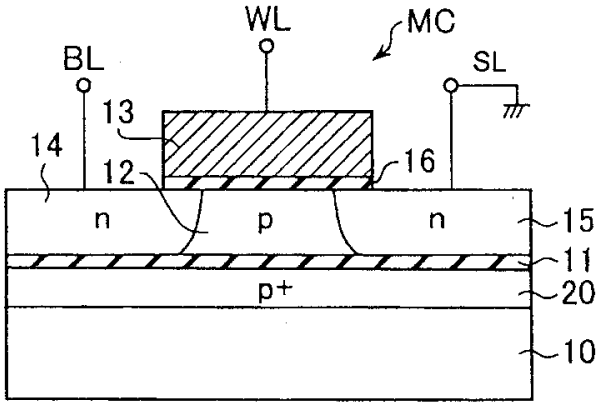
도면30



도면31



도면32a



도면32b