



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2007년10월23일
(11) 등록번호 10-0768682
(24) 등록일자 2007년10월15일

(51) Int. Cl.

HO4N 7/01 (2006.01)

(21) 출원번호 10-2003-7004720
(22) 출원일자 2003년04월02일
심사청구일자 2005년12월09일
번역문제출일자 2003년04월02일
(65) 공개번호 10-2004-0004390
공개일자 2004년01월13일
(86) 국제출원번호 PCT/US2000/033534
국제출원일자 2000년12월11일
(87) 국제공개번호 WO 2002/30115
국제공개일자 2002년04월11일

(30) 우선권주장

PCT/US00/27149 2000년10월03일 미국(US)

(56) 선행기술조사문헌

WO 98/41011 A
EP 0465732 A
US 5,528,381 A
EP 0805430 A

전체 청구항 수 : 총 17 항

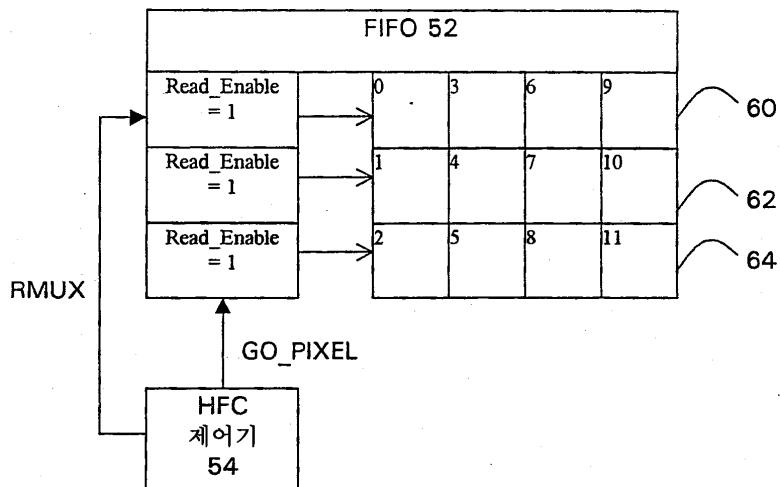
심사관 : 안준형

(54) 팩셀 데이터 버퍼링을 위한 방법 및 시스템

(57) 요약

수평 포맷 변환기 버퍼 및 수평 포맷 변환기 필터 사이의 복합 처리 회로가 필요 없도록 팩셀 라인의 팩셀들을 버퍼링하기 위한 방법 및 시스템이 개시되어 있다. 수평 포맷 변환기 버퍼(52)는, 팩셀들의 가변 시퀀스가 수평 포맷 변환기 버퍼(52)에서 수평 포맷 변환기 필터로 판독될 수 있게 제어기에 의해 어드레스 가능한 다중의 병렬 원형 버퍼들(60, 62 및 64)을 포함한다. 제어기(54)는 선택된 버퍼들(60, 62 또는 64)이 팩셀 라인을 처리하는데 필요하지 않다면 수평 포맷 변환기 버퍼(52)의 선택된 원형 버퍼들(60, 62 또는 64)을 턴 오프할 수 있다.

대표도 - 도4



(81) 지정국

국내특허 : 알바니아, 아르메니아, 오스트리아, 오스트레일리아, 아제르바이잔, 보스니아 헤르체고비나, 바베이도스, 불가리아, 브라질, 벨라루스, 캐나다, 스위스, 리히텐슈타인, 중국, 쿠바, 체코, 독일, 덴마크, 에스토니아, 스페인, 핀란드, 영국, 그루지야, 헝가리, 이스라엘, 아이슬랜드, 일본, 케냐, 키르키즈스탄, 북한, 대한민국, 카자흐스탄, 세인트루시아, 스리랑카, 리베이라, 레소토, 리투아니아, 룩셈부르크, 라트비아, 몰도바, 마다가스카르, 마케도니아공화국, 몽고, 말라위, 멕시코, 노르웨이, 뉴질랜드, 슬로베니아, 슬로바키아, 타지키스탄, 투르크맨, 터키, 트리니다드토바고, 우크라이나, 우간다, 미국, 우즈베키스탄, 베트남, 폴란드, 포르투칼, 루마니아, 러시아, 수단, 스웨덴, 싱가포르, 아랍에미리트, 안티구와바부다, 코스타리카, 도미니카, 알제리, 모로코, 탄자니아, 남아프리카, 벨리제, 모잠비크, 에콰도르, 필리핀

AP ARIPO특허 : 케냐, 레소토, 말라위, 수단, 스와질랜드, 우간다, 시에라리온, 가나, 감비아, 짐바브웨

EA 유라시아특허 : 아르메니아, 아제르바이잔, 벨라루스, 키르키즈스탄, 카자흐스탄, 몰도바, 러시아, 타지키스탄, 투르크맨

EP 유럽특허 : 오스트리아, 벨기에, 스위스, 리히텐슈타인, 독일, 덴마크, 스페인, 프랑스, 영국, 그리스, 아일랜드, 이탈리아, 룩셈부르크, 모나코, 네덜란드, 포르투칼, 스웨덴, 핀란드, 사이프러스, 터키

OA OAPI특허 : 부르키나파소, 베닌, 중앙아프리카, 콩고, 코트디브와르, 카메룬, 가봉, 기니, 말리, 모리타니, 니제르, 세네갈, 차드, 토고, 기니 비사우, 적도 기니

특허청구의 범위

청구항 1

수평 포맷 변환기에서 픽셀들의 처리를 용이하게 하는 버퍼링 시스템(50)에 있어서, 복수의 픽셀들을 포함하는 입력 픽셀 라인을 버퍼링하는 FIFO 버퍼(52); 출력 픽셀 라인을 발생시키기 위하여 상기 FIFO 버퍼(52)로부터 판독된 픽셀들을 처리하는 필터(56); 및 픽셀들의 가변 시퀀스가 상기 FIFO 버퍼(52)에서 상기 필터(56)로 판독될 수 있도록, 상기 FIFO 버퍼(52)에서 상기 필터(56)로의 상기 픽셀들의 판독을 적응시키는 제어기(54)를 포함하는, 버퍼링 시스템(50).

청구항 2

제 1 항에 있어서,

상기 제어기(54)는 확장 모드, 압축 모드, 및 통과 모드에 따라 상기 FIFO 버퍼(52)에서 상기 필터(56)로의 상기 픽셀들의 판독을 적응시키는, 버퍼링 시스템(50).

청구항 3

제 2 항에 있어서,

상기 FIFO 버퍼(52)는 복수의 FIFO 버퍼들(60, 62 및 64)을 병렬로 포함하고, 상기 복수의 픽셀들은 교대 방식(alternating fashion)으로 상기 복수의 병렬 FIFO 버퍼들(60, 62 및 64)에서 버퍼링되는, 버퍼링 시스템(50).

청구항 4

제 3 항에 있어서,

상기 확장 모드에 따라, 상기 제어기(54)는, 선택된 픽셀들이 확장된 출력 픽셀 라인을 발생시키기 위해 상기 필터(56)에 의해 반복적으로 처리되도록, 상기 복수의 병렬 FIFO 버퍼들(60, 62 및 64)로부터 이전에 판독된 픽셀들의 처리를 적응시키는, 버퍼링 시스템(50).

청구항 5

제 3 항에 있어서,

상기 통과 모드에 따라, 상기 제어기(54)는, 상기 복수의 픽셀들이 상기 복수의 FIFO 버퍼들(60, 62 및 64)에서 버퍼링되었던 것과 동일한 교대 방식으로 상기 픽셀들이 상기 복수의 병렬 FIFO 버퍼들(60, 62 및 64)에서 상기 필터(56)로 판독되도록, 상기 복수의 병렬 FIFO 버퍼들(60, 62 및 64)로부터의 상기 픽셀들의 판독을 적응시키는, 버퍼링 시스템(50).

청구항 6

제 3 항에 있어서,

상기 압축 모드에 따라, 상기 제어기(54)는, 선택된 픽셀들이 상기 복수의 FIFO 버퍼들(60, 62 및 64) 중 선택된 FIFO 버퍼들(60, 62 또는 64)에서 상기 필터(56)로 판독되도록, 상기 복수의 병렬 FIFO 버퍼들(60, 62 및 64)로부터의 상기 픽셀들의 판독을 적응시키는, 버퍼링 시스템(50).

청구항 7

제 6 항에 있어서,

상기 선택된 픽셀들은, 병렬 픽셀들의 가변 시퀀스가 상기 복수의 FIFO 버퍼들(60, 62 및 64)에서 상기 필터(56)로 판독되도록, 선택된 FIFO 버퍼들(60, 62 또는 64)로부터 판독되는, 버퍼링 시스템(50).

청구항 8

제 3 항에 있어서,

상기 제어기(54)는, 상기 선택된 FIFO 버퍼들(60, 62 또는 64)이 상기 입력 픽셀 라인의 버퍼링에 필요하지 않을 때, 상기 복수의 FIFO 버퍼들(60, 62 및 64) 중 선택된 FIFO 버퍼들(60, 62 또는 64)을 차단하는(shut off), 버퍼링 시스템(50).

청구항 9

제 1 항에 있어서,

상기 수평 포맷 변환기(50)는 디지털 비디오 수신 시스템에 통합된, 버퍼링 시스템(50).

청구항 10

제 9 항에 있어서,

상기 디지털 비디오 수신 시스템은 플라즈마 디스플레이에서 동작하는, 버퍼링 시스템(50).

청구항 11

픽셀 라인의 확장 또는 압축을 위해, 원형 버퍼(52)에서 버퍼링된 상기 픽셀 라인의 픽셀들을 필터(56)로 판독하기 위한 메모리 관리 방법에 있어서,

상기 원형 버퍼(52)에서 버퍼링된 상기 픽셀 라인이 압축 또는 확장될 필요가 있는지를 결정하는 단계;

상기 필터(56)가 상기 입력 픽셀 라인을 압축 또는 확장할 수 있도록, 상기 원형 버퍼(52)에서 상기 필터(56)로 상기 픽셀 라인의 픽셀들을 판독하는 단계; 및

디스플레이 디바이스 상에 디스플레이하기 전에 상기 픽셀 라인의 또 다른 처리를 위해, 상기 필터(56)에서 다운 스트림 처리 회로로 상기 확장 또는 압축된 픽셀 라인을 전달하는 단계를 포함하는, 메모리 관리 방법.

청구항 12

제 11 항에 있어서,

상기 원형 버퍼(52)는 복수의 병렬 원형 버퍼들(60, 62 및 64)이고,

상기 원형 버퍼(52)에서의 상기 픽셀들을 상기 필터(56)로 판독하는 단계는, 상기 원형 버퍼(52)에서의 상기 픽셀 라인이 압축될 예정일 때, 상기 복수의 원형 버퍼들(60, 62 및 64) 중 선택된 원형 버퍼들(60, 62 또는 64)로부터 픽셀들을 판독하는 단계를 포함하는, 메모리 관리 방법.

청구항 13

제 12 항에 있어서,

병렬 픽셀들의 가변 시퀀스가 상기 선택된 원형 버퍼들(60, 62 또는 64)에서 상기 필터(56)로 판독되도록, 상기 픽셀들이 상기 선택된 원형 버퍼들(60, 62 또는 64)로부터 판독되는, 메모리 관리 방법.

청구항 14

제 11 항에 있어서,

상기 원형 버퍼(52)는, 상기 픽셀 라인을 버퍼링하는데 필요하지 않을 때 선택적으로 턴 오프될 수 있는 복수의 병렬 원형 버퍼들(60, 62 및 64)인, 메모리 관리 방법.

청구항 15

제 11 항에 있어서,

상기 방법은 디지털 비디오 수신 시스템의 수평 포맷 변환기(50)의 동작에 통합된, 메모리 관리 방법.

청구항 16

제 15 항에 있어서,

상기 디지털 비디오 수신 시스템은 플라즈마 디스플레이에서 동작하는, 메모리 관리 방법.

청구항 17

삭제

청구항 18

삭제

청구항 19

삭제

청구항 20

삭제

청구항 21

제 1 항에 있어서,

상기 FIFO 버퍼는, 병렬 픽셀들의 가변 시퀀스가 상기 필터(56)에 제공되도록 선택적으로 판독될 수 있는 복수의 병렬 원형 버퍼들(60, 62 및 64)을 갖는 나선 코일형 원형 버퍼(52)를 포함하는, 버퍼링 시스템(50).

명세서

기술 분야

<1> 본 발명은 비디오 처리 시스템에서의 픽셀 표현 데이터(pixel representative data)를 처리하는 것에 관한 것이다.

배경 기술

<2> 통상적인 텔레비전 방송국은 표준 해상도로 비디오 신호들을 전송한다. 비디오 신호들이 비디오 신호 수신기에 의해 수신될 때, 표준 해상도는, 비디오 신호 수신기와 연관된 디스플레이의 해상도가 표준 해상도보다 더 높다면 확장되고, 디스플레이의 해상도가 표준 해상도보다 낮다면 압축되며, 또는 디스플레이의 해상도가 표준 해상도와 동일하다면 변하지 않은 채 남아있다. 종래의 비디오 신호 수신기는 수신된 비디오 신호의 해상도를 확장하거나 압축하기 위해 주 채널 포맷 변환기(MFC : main-channel format converter)를 포함한다. 상기 MFC는 수평 방향으로 해상도 변환을 수행하기 위한 수평 포맷 변환기(HFC : horizontal format converter) 및 수직 방향으로 해상도 변환을 수행하기 위한 수직 포맷 변환기(VFC : vertical format converter)를 포함한다.

<3> 도 1을 참조하면, 종래의 HFC(10)가 도시되어 있다. HFC(10)는 특히, 원형 또는 FIFO 버퍼(12), 처리 회로(16), HFC 필터(18), 및 HFC 제어기(14)를 포함한다. 동작에 있어서, 인입 비디오 스트림은 FIFO 버퍼(12)에서 버퍼링된다. 비디오 스트림은 일련의 프레임들로 구성된다. 각 프레임은 일련의 라인들을 포함하며, 라인들의 각각은 복수의 픽셀들을 포함한다. 검출 회로(도시되지 않음)는 인입 비디오 스트림의 해상도를 검출하고, 연관된 디스플레이의 알려진 해상도와 검출된 해상도를 비교하며, HFC 제어기(14)에 적절한 줌 비율 신호(zoom ratio signal)를 전송한다. 상기 줌 비율은 다음과 같이 표현될 수 있는 확장 또는 압축 비율이다:

<4> 줌 비율 = (출력 데이터 크기)/(입력 데이터 크기)

<5> 따라서, 줌 비율이 1보다 더 크면, 입력 데이터의 확장(즉, FIFO 버퍼(12)에서 버퍼링된 수평 픽셀 라인의 확장)이 필요하다. 줌 비율이 1보다 더 작으면, 입력 데이터의 압축(즉, FIFO 버퍼(12)에서 버퍼링된 수평 픽셀 라인의 압축)이 필요하다. 줌 비율이 1과 같으면, 입력 데이터의 압축 또는 확장 중 어느 것도 필요하지 않다.

<6> 예를 들면, 줌 비율이 1/3이면 HFC 필터(18)는 1개의 출력 픽셀을 발생시키기 위해 3개의 입력 픽셀들이 필요하다. 따라서, 입력 픽셀들(3, 3, 3...)의 고정된 시퀀스는 원하는 출력 픽셀들을 발생시킬 필요가 있다. 줌 비율이 4/10이면 HFC 필터는 4개의 출력 픽셀들을 발생시키기 위해 10개의 입력 픽셀들을 필요로 한다. 이것은 첫 번째 3개의 입력 픽셀들로부터 제 1 출력 픽셀, 다음 2개의 입력 픽셀들로부터 제 2 출력 픽셀, 다음 3개의 입력 픽셀들로부터 제 3 출력 픽셀, 및 마지막 2개의 입력 픽셀들로부터 제 4 출력 픽셀을 구동함으로써

성취된다. 따라서, 입력 팩셀들의 가변 시퀀스(3, 2, 3, 2...)가 원하는 출력 팩셀들을 발생시키기 위해 필요하다.

<7> 종래의 HFC(10)에 있어서, FIFO 버퍼(12)는 고정된 데이터 크기를 가진다. 바꾸어 말하면, FIFO 버퍼(12)는 HFC 제어기(14)로부터의 판독 요청에 응답하여 입력 팩셀들의 고정된 시퀀스(예를 들면, 1, 2, 또는 3 팩셀들)를 출력한다. 원하는 수의 입력 팩셀들이 FIFO 버퍼(12)로부터 판독된 입력 팩셀들의 수와 서로 다르다면, HFC 제어기(14)는 원하는 HFC 필터(18)가 출력 팩셀들을 발생시키도록 허용하는데 요구되는 필요한 입력 팩셀들의 시퀀스를 HFC 필터(18)에 제공하기 위해 복잡한 처리 회로(16)를 구성한다. 처리 회로(16)의 이용은 다수의 결점들로 고통받는다. 한 결점은 처리 회로(16)가 고정된 출력 FIFO 버퍼(12)로부터 다양한 팩셀 시퀀스를 발생시키는데 다중 클럭 사이클들이 요구되며, 따라서 HFC(10)의 처리량이 느리다는 점이다. 다른 결점은 처리 회로(16)가 다른 임계 함수들을 위해 달리 이용될 수 있는 집적 회로 상에서의 고가의 면적(real estate)을 다 써버린다는 점이다.

<8> 본 발명은 상기 기술한 결점들을 극복하는데 관한 것이다.

발명의 상세한 설명

발명의 요약

<10> 본 발명의 버퍼링 방법 및 시스템은 병렬 팩셀들의 가변 시퀀스가 복잡한 처리 회로의 이용없이 HFC 버퍼에서 HFC 필터로 판독될 수 있게 HFC 버퍼를 적응시킴으로써 팩셀 라인의 압축 또는 확장을 용이하게 한다.

실시예

<18> 본 발명의 특징들 및 장점들은 다음의 상세한 설명으로 주어진 예에 의해 더욱 명백해질 것이다.

<19> 도 2를 참조하면, 본 발명의 원리들에 따라 동작하는 예시적 디지털 비디오 수신 시스템의 블록도가 도시되어 있다. 비디오 수신기 시스템은 안테나(20), 오디오, 비디오 및 연관된 데이터를 전달하는 신호들과 변조된 방송 캐리어를 수신 및 디지털화하는 입력 처리기(22), 입력 처리기(22)로부터 디지털 출력 신호를 수신 및 복조하는 복조기(24), 및 트렐리스 디코딩(trellis decode)되고, 바이트 길이 데이터 세그먼트들로 맵핑되며, 디-인터리빙(de-interleave)되고 리드-솔로몬 에러(Reed-Solomon error) 정정되는 신호를 출력하는 디코더(28)를 포함한다. 디코더 유닛(28)으로부터의 정정된 출력 데이터는 다중화된 오디오, 비디오 및 데이터 성분들을 표현하는 프로그램을 포함한 MPEG 호환 가능한 전송 데이터 스트림(MPEG compatible transport data stream)의 형태이다.

<20> 처리기(26)는, 원격 제어 유닛(32)을 통해 이용자에 의해 입력된 요청들에 따라 처리된 데이터가 디지털 디스플레이 유닛(30)(예를 들면, HDTV 플라즈마 디스플레이 유닛) 상에 디스플레이될 수 있게 디코더(28)로부터 출력된 데이터를 처리한다. 특히, 처리기(26)는 원격 유닛 인터페이스(36)를 통해 원격 제어 유닛(32)으로부터 수신된 요청들을 해석하고 이용자 요청들을 실행하도록(예를 들면, 채널 및/또는 OSD 디스플레이) 처리기(26)의 요소들을 적절하게 구성하는 제어기(34)를 포함한다. 일 예시적 모드에 있어서, 제어기(34)는 디스플레이 유닛(30)상에 디스플레이하기 위한 OSD 및 MPEG 디코딩 데이터를 제공하도록 처리기(26)의 요소들을 구성한다.

<21> 처리기(26)는 디코더(28)에서 전송 디코더(40)로의 전송 스트림(transport stream)으로 선택된 패킷들을 식별 및 라우팅하는 디코드 PID 선택 유닛(38)을 포함한다. 하기에 더 기술되는 바와 같이, 디코더(28)로부터의 전송 스트림은 전송 디코더(40)에 의해 오디오, 비디오 및 데이터 성분들로 역다중화되고 처리기(26)의 다른 요소들에 의해 더 처리된다.

<22> 처리기(26)에 제공된 전송 스트림은 프로그램 채널 데이터, 보조 시스템 타이밍 정보, 및 프로그램 컨텐트 등급 및 프로그램 안내 정보와 같은 프로그램 특정 정보를 포함하는 데이터 패킷들을 포함한다. 전송 디코더(40)는 보조 정보(ancillary information)를 계층적으로 배열된 테이블들로 분석, 대조 및 조립(assemble)하는 제어기(34)에 보조 정보 패킷들을 전달한다. 이용자 선택 프로그램 채널을 포함하는 개개의 데이터 패킷들은 조립된 프로그램 특정 정보를 이용하여 식별 및 조립된다. 시스템 타이밍 정보는 시간 기준 지시기(time reference indicator) 및 연관된 정정 데이터(예를 들면, 일광 절약 시간 표시기 및 시간 표류, 해들 뛰어넘기 등을 조정하는 오프셋 정보(a daylight savings time indicator and offset information adjusting for tie drift,

leap years, etc...))를 포함한다. 이러한 타이밍 정보는, 프로그램의 방송국에 의한 프로그램의 미래의 전송의 시간 및 날짜를 확립하기 위해 디코더가 시간 기준 표시기를 시간 클럭(예를 들면, 미국 동해안 시간 및 날짜)으로 변환하는데 충분하다. 시간 클럭은 프로그램 플레이, 프로그램 기록, 및 프로그램 재생과 같은 계획된 프로그램 처리 기능들을 개시하는데 이용할 수 있다. 또한, 프로그램 특정 정보는 조건적 액세스, 네트워크 정보, 및 도 2의 시스템을 원하는 채널에 동조하고 데이터 패킷들을 완전한 프로그램들을 구성하도록 조립할 수 있게 하는 식별 및 링킹 데이터를 포함한다. 프로그램 특정 정보는 또한 보조 프로그램 컨텐트 등급 정보(예를 들면, 나이 기반 적합성 등급(an age based suitability rating)), 프로그램 안내 정보(예를 들면, 전자 프로그램 안내 -EPG : Electronic Program Guide) 및 방송 프로그램들에 관련된 설명적 텍스트뿐만 아니라 이러한 보조 정보의 식별 및 조립을 지원하는 데이터를 또한 포함한다.

<23> 전송 디코더(40)는 MPEG 호환 가능한 비디오, 오디오, 및 하위 화상 스트림들(sub-picture streams)을 MPEG 디코더(42)에 제공한다. 비디오 및 오디오 스트림들은 선택된 채널 프로그램 컨텐트를 표현하는 압축된 비디오 및 오디오 데이터를 포함한다. 하위 화상 데이터는 등급 정보, 프로그램 설명 정보, 등과 같은 채널 프로그램 컨텐트와 연관된 정보를 포함한다.

<24> MPEG 디코더(42)는 유닛(40)으로부터 MPEG 호환 가능한 패킷화된 오디오 및 비디오 데이터를 디코딩 및 압축해제(decompress)하기 위해 랜덤 액세스 메모리(RAM)(44)와 협력하며, 프로그램 표현 픽셀 데이터(program representative pixel data)를 도출 및 압축 해제한다. 하기에도 더 설명하는 바와 같이, 디코더(42)는 본 발명의 버퍼링 시스템(도 3 내지 도 7에서 도시됨)을 이용하는 HFC(도 3에 도시됨)를 포함한다. 디코더(42)는 또한, 내부 OSD 모듈에 출력하기 위한 포맷된 프로그램 안내 데이터를 생성하기 위해 유닛(40)으로부터의 하위 화상 데이터를 조립, 대조 및 해석한다. OSD 모듈은, 본 발명에 따른 플라즈마 디스플레이 디바이스(30) 상에 제공을 위한 선택 가능한 메뉴 옵션들 및 다른 항목들을 포함하는 정보 메뉴 디스플레이, 제어, 및 부제를 표현하는 픽셀 맵핑된 데이터(pixel mapped data representing subtitling)를 발생시키기 위해, RAM(44)와 협력하여 하위 화상 데이터 및 다른 정보를 처리한다.

<25> OSD 모듈에 의해 생성된 텍스트 및 그래픽들을 포함하는 제어 및 정보 디스플레이들은 제어기(34)의 지시 하에 오버레이 픽셀 맵 데이터(overlay pixel map data)의 형태로 발생된다. OSD 모듈로부터의 오버레이 픽셀 맵 데이터는 제어기(34)의 지시 하에 디코더(42)로부터의 압축 해제된 픽셀 표현 데이터와 조합 및 동기된다. 연관된 하위 화상 데이터와 함께 선택된 채널상의 비디오 프로그램을 표현하는 조합된 픽셀 맵 데이터는 디코더(42)에 의해 엔코딩되고, 디스플레이를 위해 디스플레이 구동기들(46)을 통해 플라즈마 디스플레이 디바이스(30)에 출력된다.

<26> 도 3을 참조하면, 본 발명의 HFC(50)가 도시되어 있다. HFC(50)는 FIFO 버퍼(52), HFC 필터(56), 및 HFC 제어기(54)를 포함한다. 동작에 있어서, 비디오 스트림의 픽셀들(예를 들면, 휘도 또는 채도 픽셀 표현 데이터(luma or chroma pixel representative data))은 HFC 제어기(54)의 제어 하에 FIFO 버퍼(52)에 기록된다. 줌 비율 신호(상기 논의됨)의 수신에 응답하여 HFC 제어기(54)는 HFC 필터(56)가 원하는 출력 픽셀들을 발생시킬 수 있게 HFC 필터(56)로 하여금 FIFO 버퍼(52)로부터 원하는 선택 가능한 수의 픽셀들을 판독하도록 한다. 특히, HFC 제어기(54)는 확장 모드(줌 비율이 1보다 더 크다면), 압축 모드(줌 비율이 1보다 더 작다면), 및 통과 모드(줌 비율이 1과 같다면)에 따라 FIFO 버퍼(52)에서 HFC 필터(56)로의 픽셀들의 판독을 적응시킨다.

<27> 도 4 내지 도 7을 참조하면, 압축 모드 동안 FIFO 버퍼(52)(제어기(54)에 의해 제어되는 바와 같이)를 통한 예시적 픽셀들의 흐름이 도시되어 있다. 예에서, 제어기(54)는 4/10의 줌 비율을 수신했다.

<28> 이제 도 4를 참조하면, 제 1 버퍼링된 픽셀 라인의 12개의 픽셀들이 FIFO 버퍼(52)에 도시되어 있다. FIFO 버퍼(52)는 3개의 병렬 버퍼들(60, 62 및 64)로 나뉘어 있고, 상기 픽셀들은 교대 방식으로 버퍼들(60, 62 및 64)에 기록되는데, 제 1 픽셀(픽셀 0)은 버퍼(60)에 기록되고, 제 2 픽셀(픽셀 1)은 버퍼(62)에 기록되며, 제 3 픽셀(픽셀 2)은 버퍼(64)에 기록되며, 제 4 픽셀(픽셀 3)은 버퍼(60)에 기록되고, 제 5 픽셀(픽셀 4)은 버퍼(62)에 기록되며, 픽셀 라인이 FIFO 버퍼(52)에서 버퍼링될 때까지 계속된다. 픽셀들(60, 62 및 64)을 버퍼링하는 대안적 방법은 다음의 알고리즘으로 표현될 수 있다:

<29> 입력 버퍼 = (이전 입력 버퍼 + 1)%3

<30> FIFO 버퍼는 본 기술 분야의 속련된 기술자들에 의해 알려진 바와 같이, 디지털 비디오 수신 시스템에서 요구되는 바와 같은 부가의 병렬 원형 버퍼들을 포함할 수 있음을 주지해야 한다.

<31> 줌 비율 신호를 수신한 후, HFC 제어기(54)가 메모리(도시되지 않음)에 저장된 알고리즘을 통해, FIFO 버퍼(5

2)의 원형 버퍼들(60 내지 64)로부터 판독될 픽셀들의 시퀀스를 결정된다. 줌 비율이 4/10이라면, 10개의 입력 픽셀들이 상기 기술된 바와 같이, 4개의 출력 픽셀들을 발생시키는데 필요하다. 이것은 첫 번째 3개의 입력 픽셀들(픽셀들 0, 1 및 2)로부터 제 1 출력 픽셀을 유도하고, 다음 2개의 입력 픽셀들(픽셀들 3 및 4)로부터 제 2 출력 픽셀을 유도하고, 다음 3개의 입력 픽셀들(픽셀들 5, 6 및 7)로부터 제 3 출력 픽셀을 유도하고, 다음 2개의 입력 픽셀들(픽셀들 8 및 9)로부터 제 4 출력 픽셀을 유도함으로써 성취된다. 따라서, HFC 제어기(54)는, HFC 필터(56)가 4개의 원하는 출력 픽셀들을 발생시키는 순서로 FIFO 버퍼(52)에서 HFC 필터(56)로 입력 픽셀들의 가변 시퀀스(3, 2, 3, 2...)가 판독되어야 함을 결정한다. 새로운 줌 비율이 수신될 때까지 HFC 제어기(54)가 압축 처리를 계속할 것임을 주지해야 한다.

<32> FIFO 버퍼(52)로부터 판독 동작의 시작시에, HFC 제어기(54)의 내부 레지스터(RMUX)는 버퍼링된 픽셀 라인의 제 1 픽셀(픽셀 0)을 포함하는 원형 버퍼를 가리킨다. FIFO 버퍼(52)로부터 판독될 픽셀들의 제 1 세트가 3개의 픽셀들의 세트이므로, HFC 제어기(54)는 3개의 픽셀들이 FIFO 버퍼(52)에서 HFC 필터(56)로 판독되는 것임을 나타내는 GO_PIXEL 신호를 발생시킨다. 특히, RMUX 레지스터는 원형 버퍼(60)에서 시작하는 FIFO 버퍼(52)로부터 픽셀들이 판독되는 것임을 나타내며, GO_PIXEL 신호는 차례로, 원형 버퍼(60)에서 시작하고 원형 버퍼(64)에서 종료하는 3개의 원형 버퍼들을 가능하게 한다. 나중에, HFC 필터(56)(HFC 제어기(54)의 제어 하에)는 원형 버퍼들(60, 62 및 64)로부터 별별로, 3개의 픽셀들(픽셀들 0, 1, 2)을 판독한다.

<33> 다음, 도 5에 도시된 바와 같이, HFC 제어기(54)의 RMUX 레지스터는 다음의 판독되지 않은 픽셀(픽셀 3)을 포함하는 원형 버퍼(60)를 가리키도록 생성된다. FIFO 버퍼(52)로부터 판독될 픽셀들의 제 2 세트는 2개의 픽셀들의 세트이므로, HFC 제어기(54)는 2개의 픽셀들이 FIFO 버퍼(52)에서 HFC 필터(56)로 판독되는 것임을 나타내는 GO_PIXEL을 발생시킨다. 특히, RMUX 레지스터는 원형 버퍼(60)에서 시작하는 FIFO 버퍼(52)로부터 판독되는 픽셀들을 나타내고, GO_PIXEL 신호는 차례로, 원형 버퍼(60)에서 시작하고 원형 버퍼(62)에서 종료하는 2개의 원형 버퍼들을 가능하게 한다. 그 후, HFC 필터(56)(HFC 제어기(54)의 제어 하에서)는 원형 버퍼들(60 및 62)로부터 별별로 두 픽셀들(픽셀들 3 및 4)을 판독한다.

<34> 이제 도 6을 참조하면, HFC 제어기(54)의 RMUX 레지스터는 다음의 판독되지 않은 픽셀(픽셀 5)을 포함하는 원형 버퍼(64)를 가리키도록 생성된다. FIFO 버퍼(52)로부터 판독될 픽셀들의 제 3 세트는 3개의 픽셀들의 세트이므로, HFC 제어기(54)는 3개의 픽셀들이 FIFO 버퍼(52)에서 HFC 필터(56)로 판독되는 것임을 나타내는 GO_PIXEL을 발생시킨다. 특히, RMUX 레지스터는 원형 버퍼(64)에서 시작하는 FIFO 버퍼(52)로부터 판독되는 픽셀들을 나타내고, GO_PIXEL 신호는 차례로, 원형 버퍼(64)에서 시작하고 원형 버퍼(62)에서 종료하는 3개의 원형 버퍼들을 가능하게 한다. 그 후, HFC 필터(56)(HFC 제어기(54)의 제어 하에서)는 원형 버퍼들(64, 60 및 62)로부터 별별로 3개의 픽셀들(픽셀들 5, 6 및 7)을 판독한다.

<35> 이제 도 7을 참조하면, HFC 제어기(54)의 RMUX 레지스터는 다음의 판독되지 않은 픽셀(픽셀 8)을 포함하는 원형 버퍼(64)를 가리키도록 생성된다. FIFO 버퍼(52)로부터 판독될 픽셀들의 제 4 세트는 2개의 픽셀들의 세트이므로, HFC 제어기(54)는 2개의 픽셀들이 FIFO 버퍼(52)에서 HFC 필터(56)로 판독되는 것임을 나타내는 GO_PIXEL을 발생시킨다. 더 구체적으로, RMUX 레지스터는 원형 버퍼(64)에서 시작하는 FIFO 버퍼(52)로부터 판독되는 픽셀들을 나타내고, GO_PIXEL 신호는 차례로, 원형 버퍼(64)에서 시작하고 원형 버퍼(60)에서 종료하는 2개의 원형 버퍼들을 가능하게 한다. 그 후, HFC 필터(56)(HFC 제어기(54)의 제어 하에서)는 원형 버퍼들(64 및 60)로부터 별별로 2개의 픽셀들(픽셀들 8 및 9)을 판독한다.

<36> 확장 모드에 있어서, HFC 제어기(54)는, 원형 버퍼들(60, 62 및 64)로부터 이전에 판독된 선택된 픽셀들이 HFC 필터(56)에 의해 반복적으로 처리되며, 원형 버퍼들(60, 62 및 64)로부터의 픽셀들의 판독을 적응시킨다. 이러한 선택된 픽셀들의 반복 처리는 HFC 필터(56)가 FIFO 버퍼(52)에서 버퍼링된 픽셀 라인을 확장하도록 허용한다. 통과 모드에 있어서, HFC 제어기(54)는, 픽셀들이 원형 버퍼들(60, 62 및 64)에서 버퍼링되었던 것과 동일한 교대 방식으로 원형 버퍼들(60, 62 및 64)에서 HFC 필터(56)로 픽셀들이 판독되며, 원형 버퍼들(60, 62 및 64)로부터의 픽셀들의 판독을 적응시킨다. 달리 말하면, 픽셀들은 다음의 알고리즘에 따라 FIFO 버퍼(52)로부터 판독된다:

<37> 출력 버퍼 = (이전 출력 버퍼 + 1)%3

<38> HFC 제어기(54)는 3개의 버퍼들이 픽셀 라인을 버퍼링하는데 필요하지 않다면 하나 이상의 원형 버퍼들(60, 62 및 64)을 선택적으로 차단할 수 있다. 불필요한 버퍼들을 차단하는 것은 전원을 절약하고, 본 발명의 버퍼링 방법 및 시스템이 배터리 작동 디바이스에 통합된다면 배터리 수명을 연장할 수 있다.

- <39> 본 발명이 나선 코일형 원형 버퍼로서 설명될 수 있으며, HFC 제어기(54)에 의해 발생된 상기 원형 버퍼 관독 인에 이블들은 나선 코일형과 유사한 패턴을 가진다는 것을 주지해야 한다.
- <40> 따라서, 본 발명의 버퍼링 방법 및 시스템은 병렬 픽셀들의 가변 시퀀스가 복잡한 처리회로의 이용 없이 HFC 버퍼에서 HFC 필터로 관독될 수 있게 HFC 버퍼를 적응시킴으로써 HFC에서 수평 픽셀 라인의 처리를 용이하게 한다.
- <41> 본 발명이 양호한 실시예들을 참조하여 기술되었지만, 첨부된 청구항에 의해 규정된 바와 같이, 본 발명의 정신 및 범위를 벗어나지 않고 실시예들에서 다양한 변경들이 만들어질 수 있음을 명백하다.

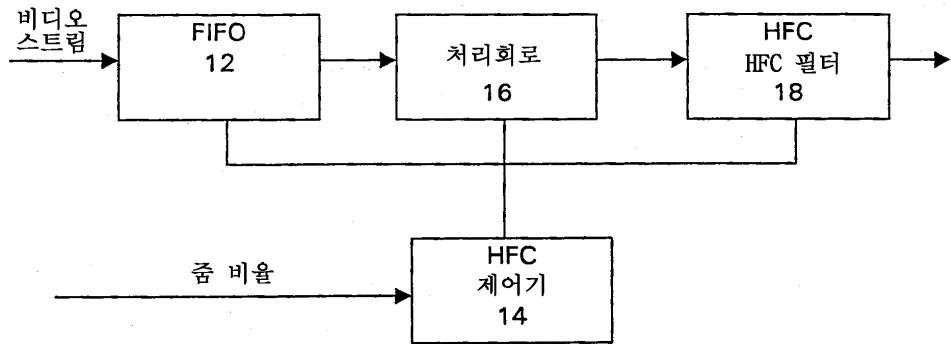
도면의 간단한 설명

- <11> 도 1은 종래의 수평 포맷 변환기의 블록도.
- <12> 도 2는 플라즈마 디스플레이를 위한 예시적 디지털 비디오 수신기 시스템을 도시한 도면.
- <13> 도 3은 본 발명의 수평 포맷 변환기의 블록도.
- <14> 도 4는 본 발명의 버퍼링 시스템에서의 예시적 데이터의 흐름을 도시한 블록도.
- <15> 도 5는 본 발명의 버퍼링 시스템에서의 예시적 데이터의 흐름을 도시한 블록도.
- <16> 도 6은 본 발명의 버퍼링 시스템에서의 예시적 데이터의 흐름을 도시한 블록도.
- <17> 도 7은 본 발명의 버퍼링 시스템에서의 예시적 데이터의 흐름을 도시한 블록도.

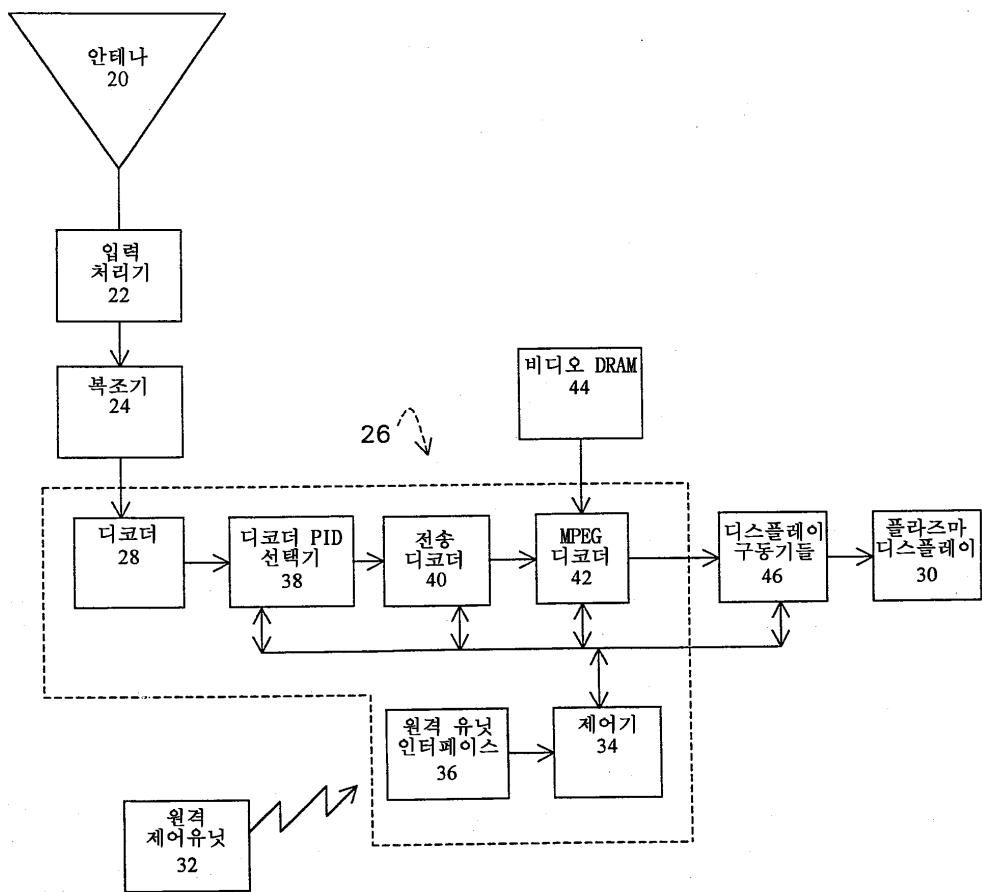
도면

도면1

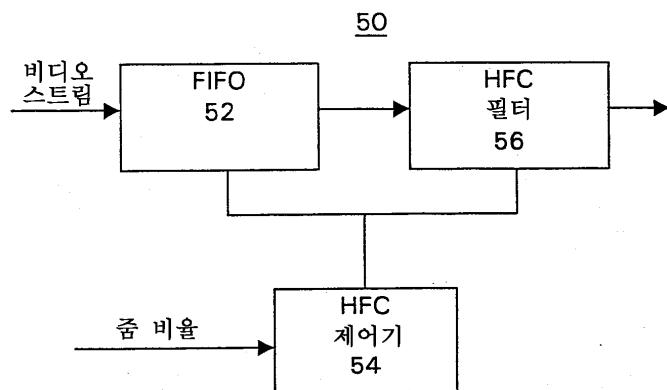
10



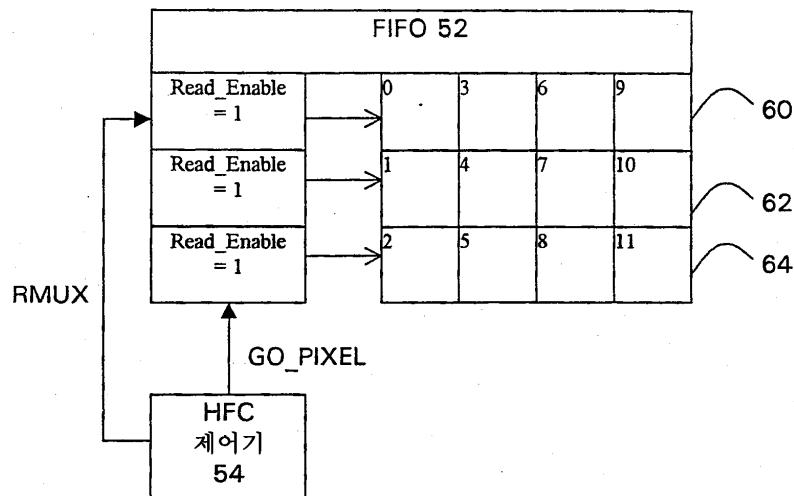
도면2



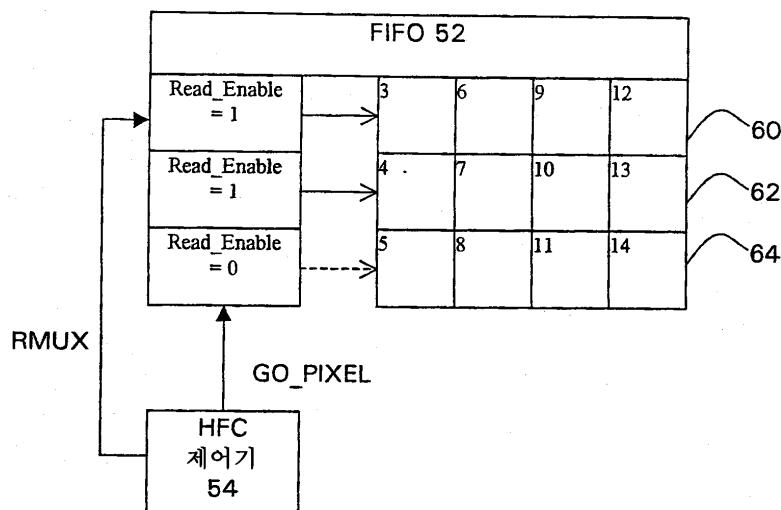
도면3



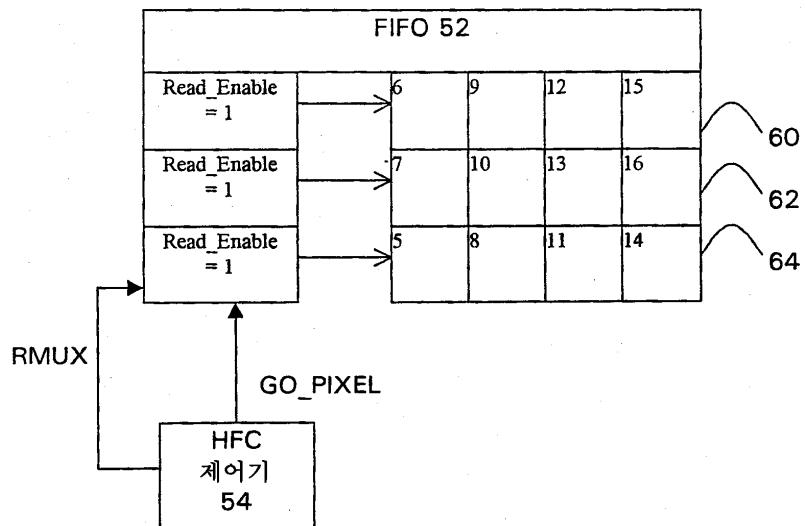
도면4



도면5



도면6



도면7

