

(12) 특허협력조약에 의하여 공개된 국제출원

(19) 세계지식재산권기구
국제사무국

(43) 국제공개일
2017년 8월 17일 (17.08.2017)



(10) 국제공개번호
WO 2017/138778 A1

(51) 국제특허분류:

H01L 33/02 (2010.01) H01L 31/101 (2006.01)
H01L 33/38 (2010.01) H01L 31/105 (2006.01)
H01L 33/10 (2010.01) H01L 31/075 (2006.01)
H01L 31/10 (2006.01)

(21) 국제출원번호: PCT/KR2017/001496

(22) 국제출원일: 2017년 2월 10일 (10.02.2017)

(25) 출원언어: 한국어

(26) 공개언어: 한국어

(30) 우선권정보:

10-2016-0016102 2016년 2월 12일 (12.02.2016) KR
10-2016-0052125 2016년 4월 28일 (28.04.2016) KR

(71) 출원인: 엘지이노텍(주) (LG INNOTEK CO., LTD.)
[KR/KR]; 04637 서울시 중구 후암로 98, Seoul (KR).

(72) 발명자: 오정훈 (OH, Jung Hun); 04637 서울시 중구 한강대로 416 (서울스퀘어), Seoul (KR). 박형조 (PARK, Hyung Jo); 04637 서울시 중구 한강대로 416 (서울스퀘어), Seoul (KR).

(74) 대리인: 박영복 (PARK, Young Bok) 등; 13494 경기도 성남시 분당구 판교역로 225-18 이룸빌딩 2층 KPH 어소시에이츠, Gyeonggi-do (KR).

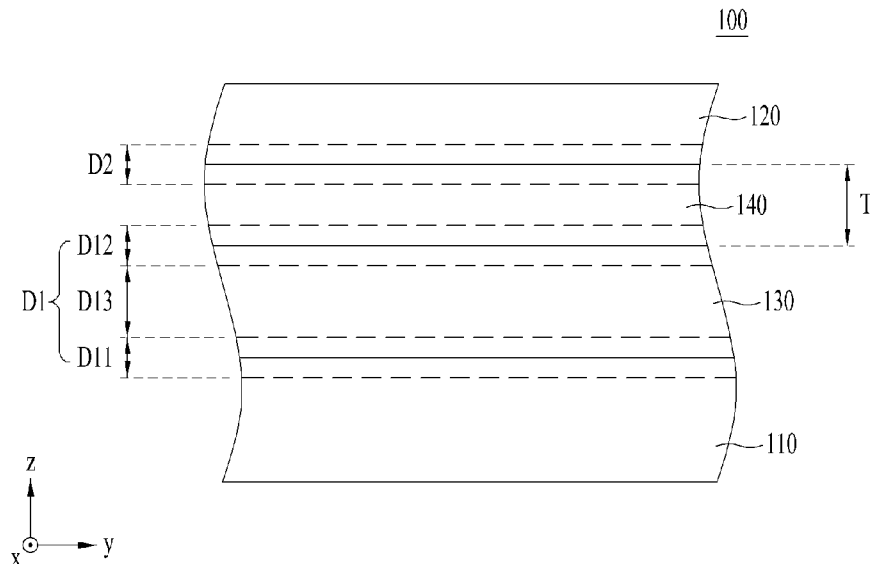
(81) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 국내 권리의 보호를 위하여): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KH, KN, KP, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 역내 권리의 보호를 위하여): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 유라시아 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 유럽 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR),

[다음 쪽 계속]

(54) Title: SEMICONDUCTOR DEVICE

(54) 발명의 명칭: 반도체 소자



(57) Abstract: A semiconductor device of an embodiment comprises: first and second semiconductor layers having different conductivity types; a third semiconductor layer disposed between the first and second semiconductor layers; and a fourth semiconductor layer, disposed between the second and third semiconductor layers, having a doping concentration lower than that of the first semiconductor layer and the same conductivity type as the first semiconductor layer, wherein the difference in doping concentration between the first semiconductor layer and the fourth semiconductor layer may be greater than $4 \times E18$ atoms/cm³.

(57) 요약서: 실시 예의 반도체 소자는 서로 다른 도전형을 갖는 제 1 및 제 2 반도체층과, 제 1 및 제 2 반도체층 사이에 배치된 제 3 반도체층 및 제 2 및 제 3 반도체층 사이에 배치되며, 제 1 반도체층보다 낮은 도핑 농도를 갖고, 제 1 반도체층과 동일한 도전형을 갖는 제 4 반도체층을 포함하고, 제 1 반도체층과 제 4 반도체층 간의 도핑 농도차는 $4 \times E18$ 원자수/cm³보다 클 수 있다.



WO 2017/138778 A1



OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, **공개:**
ML, MR, NE, SN, TD, TG).

— 국제조사보고서와 함께 (조약 제 21 조(3))

명세서

발명의 명칭: 반도체 소자

기술분야

- [1] 실시 예는 반도체 소자에 관한 것이다.

배경기술

- [2] GaN이나 AlGaN 등의 화합물을 포함하는 반도체 소자는 넓고 조정이 용이한 밴드 갭 에너지를 가지는 등의 많은 장점을 가지므로, 발광 소자나 수광 소자 등의 반도체 소자에 다양하게 사용되고 있다.
- [3] 발광 소자로서, III-V족 또는 II-VI족 화합물 반도체 물질을 이용한 발광 다이오드(Light Emitting Diode)나 레이저 다이오드(Laser Diode) 등이 있다. 이러한 발광소자는 박막 성장 기술 및 소자 재료의 개발로 적색, 녹색, 청색 및 자외선 등 다양한 색을 구현할 수 있으며, 형광 물질을 이용하거나 색을 조합함으로써 효율이 좋은 백색 광선도 구현이 가능하며, 형광등, 백열등 등 기존의 광원에 비해 저 소비전력, 반영구적인 수명, 빠른 응답속도, 안전성, 환경 친화성의 장점을 가진다. 따라서, 광 통신 수단의 송신 모듈, LCD(Liquid Crystal Display) 표시 장치의 백라이트를 구성하는 냉음극관(CCFL: Cold Cathode Fluorescence Lamp)을 대체하는 발광 다이오드 백라이트, 형광등이나 백열 전구를 대체할 수 있는 백색 발광 다이오드 조명 장치, 자동차 헤드 라이트 및 신호등에까지 응용이 확대되고 있다.
- [4] 수광 소자로서, 예를 들어, 광 검출기(photodetector)는 빛을 검출하여 그 강도를 전기 신호로 변환하는 일종의 트랜스듀서이다. 반도체를 이용한 수광 소자는 반도체에서 발생하는 광전 효과를 통해 전자기적 에너지를 전기적인 에너지로 변환한다. 이러한 수광 소자는 다양한 형태로 구현될 수 있다. 다양한 구조의 수광 소자 중에서, PIN 다이오드형 구조가 우수한 응답성을 가지므로, 이를 이용한 수광 소자의 반응 감도를 개선하기 위한 연구가 계속되고 있다.
- [5] PIN 다이오드형 수광 소자에 높은 역바이어스 전압을 인가하여 공핍 영역에서의 전계를 증가시켜 캐리어를 증배시킬 수 있다. 이와 같이, PIN 다이오드형 구조를 채택한 수광 소자의 응답성은 공핍 영역의 넓이(또는, 크기)와 관련된다. 기존 수광 소자의 경우, 공핍 영역이 작아 수광 소자의 응답성이 열악한 문제점이 있다. 게다가, PIN 방식을 채택한 수광 소자의 경우, I 영역을 완전히 공핍화시키기 위해서는 네가티브바이어스(negative bias)를 인가해야 하는 문제점이 수반될 수도 있다.

발명의 상세한 설명

기술적 과제

- [6] 실시 예는 입사광에 대한 우수한 반응 감도 즉, 우수한 응답성을 갖는 반도체 소자를 제공한다.

과제 해결 수단

- [7] 일 실시 예에 의한 반도체 소자는, 서로 다른 도전형을 갖는 제1 및 제2 반도체층; 상기 제1 및 제2 반도체층 사이에 배치된 제3 반도체층; 및 상기 제2 및 제3 반도체층 사이에 배치되며, 상기 제1 반도체층보다 낮은 도핑 농도를 갖고, 상기 제1 반도체층과 동일한 도전형을 갖는 제4 반도체층을 포함하고, 상기 제1 반도체층과 상기 제4 반도체층 간의 도핑 농도차는 4×10^{18} 원자수/cm³보다 클 수 있다.
- [8] 예를 들어, 상기 제3 반도체층은 진성 반도체층을 포함할 수 있다.
- [9] 예를 들어, 상기 제4 반도체층의 두께는 수 nm 내지 수백 nm이며, 1 μ m보다 작을 수 있다.
- [10] 예를 들어, 상기 제4 반도체층의 도핑 농도는 상기 제3 반도체층의 도핑 농도보다 클 수 있다.
- [11] 예를 들어, 상기 반도체 소자는, 상기 제1 반도체층 아래에 배치된 기판을 더 포함할 수 있다. 상기 반도체 소자는 상기 제2 반도체층 위에 배치된 오믹층을 더 포함할 수 있다. 상기 반도체 소자는 상기 제1 반도체층 위에 배치된 제1 전극; 및 상기 오믹층 위에 배치된 제2 전극을 더 포함할 수 있다. 또한, 상기 반도체 소자는, 상기 오믹층 위에 배치되며 아래와 같은 굴절률을 갖는 제1 반사 방지막을 더 포함할 수 있다.
- [12]
- $$n_1^2 = n_2^2 + n_3^2$$
- [13] 여기서, n_1 는 상기 제1 반사 방지막의 굴절률을 나타내고, n_2 는 공기의 굴절률을 나타내고, n_3 는 상기 제2 반도체층의 굴절률을 나타낸다.
- [14] 또는, 상기 반도체 소자는 상기 제1 반도체층 위에 배치된 기판을 더 포함할 수 있다. 또한, 상기 반도체 소자는, 상기 기판 위에 배치되며 아래와 같은 굴절률을 갖는 제2 반사 방지막을 더 포함할 수 있다.
- [15]
- $$n_4^2 = n_2^2 + n_5^2$$
- [16] 여기서, n_4 는 상기 제2 반사 방지막의 굴절률을 나타내고, n_2 는 공기의 굴절률을 나타내고, n_5 는 상기 기판의 굴절률을 나타낸다. 또한, 상기 반도체 소자는 상기 제1 반도체층 아래에 배치된 제1 전극; 상기 제2 반도체층 아래에 배치된 제2 전극; 및 상기 제1 전극과 상기 제2 전극 아래에 배치된 서브 마운트를 더 포함할 수 있다. 또한, 상기 반도체 소자는 상기 제2 반도체층과 상기 제2 전극 사이에 배치되며, 상기 제2 반도체층과 동일한 도전형을 갖는 제5 반도체층을 더 포함할 수 있다. 상기 제2 전극은 상기 제2 반도체층과 상기 서브 마운트 사이에 배치된 오믹층; 및 상기 오믹층과 상기 서브 마운트 사이에 배치된 반사층을 포함할 수 있다. 상기 오믹층과 상기 반사층은 단일층일 수

있다.

- [17] 예를 들어, 상기 반도체 소자는 광자를 흡수하는 제1 공핍 영역; 및 캐리어를 증배시키는 제2 공핍 영역을 포함할 수 있다. 상기 제1 공핍 영역은 상기 제1 반도체층과 상기 제3 반도체층 사이에 형성되는 제1-1 공핍 영역; 상기 제3 반도체층과 상기 제4 반도체층 사이에 형성되는 제1-2 공핍 영역; 및 상기 제3 반도체층 내부에 형성되는 제1-3 공핍 영역을 포함할 수 있다. 상기 제2 공핍 영역은 상기 제2 반도체층과 상기 제4 반도체층 사이에 위치할 수 있다.
- [18] 다른 실시 예에 의한 반도체 소자는, n형 제1 반도체층; p형 제1 반도체층; 상기 n형 제1 반도체층과 상기 p형 제1 반도체층 사이에 배치된 활성층; 상기 p형 제1 반도체층 위에 p형 전극; 상기 n형 제1 반도체층 위에 n형 전극을 포함하고, 상기 활성층의 전체가 공핍 영역일 수 있다.
- [19] 예를 들어, 상기 활성층은 반복 적층되는 복수의 PIN 구조물을 포함하고, 상기 복수의 PIN 구조물 각각은 n형 제2 반도체층; p형 제2 반도체층; 및 상기 n형 제2 반도체층과 상기 p형 제2 반도체층 사이에 배치된 제1 진성 반도체층을 포함할 수 있다.
- [20] 예를 들어, 상기 n형 제2 반도체층, 상기 제1 진성 반도체층 또는 상기 p형 제2 반도체층 중 적어도 하나는 초격자층일 수 있다.
- [21] 예를 들어, 상기 활성층은 상기 복수의 PIN 구조물 중 인접하는 PIN 구조물 사이에 배치되는 제2 진성 반도체층을 더 포함할 수 있다. 상기 제2 진성 반도체층은 초격자층일 수 있다.
- [22] 예를 들어, 상기 활성층은 반복 적층되는 복수의 PN 구조물을 포함하고, 상기 복수의 PN 구조물 각각은 n형 제3 반도체층; 및 상기 n형 제3 반도체층 위에 p형 제3 반도체층을 포함할 수 있다.
- [23] 예를 들어, 상기 n형 제3 반도체층과 상기 p형 제3 반도체층은 동일한 두께를 가질 수 있다.
- [24] 예를 들어, 상기 n형 제3 반도체층 및 상기 p형 제3 반도체층 각각은 초격자층일 수 있다.
- [25] 예를 들어, 상기 활성층은 280 nm 이하의 파장 대역을 갖는 광을 흡수할 수 있다.

발명의 효과

- [26] 일 실시 예에 따른 반도체 소자는 캐리어를 증배시킴으로써 동일한 바이어스 전압에서 기존보다 높은 전계를 생성할 수 있어 입사광에 대한 우수한 반응 감도 특성을 가질 수 있고,
- [27] 다른 실시 예에 따른 반도체 소자는 공핍층 영역이 넓어 우수한 응답성을 가지며, 구동시 네가티브 바이어스(negative bias)의 인가를 요구하지 않는다.

도면의 간단한 설명

- [28] 도 1은 일 실시 예에 의한 반도체 소자의 단면도를 나타낸다.
- [29] 도 2는 도 1에 도시된 반도체 소자의 일 실시 예의 단면도를 나타낸다.

- [30] 도 3은 도 1에 도시된 반도체 소자의 다른 실시 예의 단면도를 나타낸다.
- [31] 도 4는 도 1에 도시된 반도체 소자의 또 다른 실시 예의 단면도를 나타낸다.
- [32] 도 5는 비교 레에 의한 반도체 소자의 단면도를 나타낸다.
- [33] 도 6은 도 2 및 도 5에 각각 도시된 실시 레 및 비교 레에 의한 반도체 소자의 전계를 나타내는 그래프이다.
- [34] 도 7은 다른 실시 예에 의한 수광 소자의 평면도를 나타낸다.
- [35] 도 8은 도 7에 도시된 I-I'선을 따라 절개한 단면도를 나타낸다.
- [36] 도 9는 도 8에 도시된 활성층의 일 실시 예에 의한 단면도를 나타낸다.
- [37] 도 10은 도 8에 도시된 활성층의 다른 실시 예에 의한 단면도를 나타낸다.
- [38] 도 11은 도 8에 도시된 활성층의 또 다른 실시 예에 의한 단면도를 나타낸다.
- [39] 도 12a는 비교 레에 의한 수광 소자의 에너지 밴드 다이어그램을 나타낸다.
- [40] 도 12b는 실시 예에 의한 수광 소자의 에너지 밴드 다이어그램을 나타낸다.

발명의 실시를 위한 최선의 형태

- [41] 이하, 본 발명을 구체적으로 설명하기 위해 실시 예를 들어 설명하고, 발명에 대한 이해를 돕기 위해 첨부도면을 참조하여 상세하게 설명하기로 한다. 그러나, 본 발명에 따른 실시 예들은 여러 가지 다른 형태로 변형될 수 있으며, 본 발명의 범위가 아래에서 상술하는 실시 예들에 한정되는 것으로 해석되지 않아야 한다. 본 발명의 실시 예들은 당 업계에서 평균적인 지식을 가진 자에게 본 발명을 보다 완전하게 설명하기 위해서 제공되는 것이다.
- [42] 본 실시 예의 설명에 있어서, 각 구성요소(element)의 "상(위) 또는 하(아래)(on or under)"에 형성되는 것으로 기재되는 경우에 있어, 상(위) 또는 하(아래)(on or under)는 두 개의 구성요소(element)가 서로 직접(directly)접촉되거나 하나 이상의 다른 구성요소(element)가 상기 두 구성요소(element) 사이에 배치되어(indirectly) 형성되는 것을 모두 포함한다. 또한 "상(위)" 또는 "하(아래)(on or under)"로 표현되는 경우 하나의 element를 기준으로 위쪽 방향뿐만 아니라 아래쪽 방향의 의미도 포함할 수 있다.
- [43] 또한, 이하에서 이용되는 "제1" 및 "제2," "상/상부/위" 및 "하/하부/아래" 등과 같은 관계적 용어들은, 그런 실체 또는 요소들 간의 어떠한 물리적 또는 논리적 관계 또는 순서를 반드시 요구하거나 내포하지는 않으면서, 어느 한 실체 또는 요소를 다른 실체 또는 요소와 구별하기 위해서 이용될 수도 있다.
- [44] 반도체 소자는 반도체를 이용하여 구현되며 발광 소자나 수광 소자 등과 같은 다양한 소자를 포함할 수 있다. 발광 소자와 수광 소자는 모두 제1 도전형 반도체층, 활성층 및 제2 도전형 반도체층을 포함할 수 있다.
- [45] 먼저, 발광 소자는 상술한 바와 같이 제1 도전형 반도체층을 통해서 주입되는 전자와 제2 도전형 반도체층을 통해서 주입되는 정공이 활성층에서 서로 만나서 물질 고유의 에너지 밴드에 의해서 결정되는 에너지를 갖는 빛을 방출한다. 이때, 방출되는 빛은 물질의 조성에 따라 다를 수 있다.

- [46] 발광 소자는 발광소자 패키지로 구성되어, 조명 시스템의 광원으로 사용될 수 있는데, 예를 들어 영상 표시 장치의 광원이나 조명 장치 등의 광원으로 사용될 수 있다. 영상 표시 장치의 백라이트유닛으로 사용될 때 에지 타입의 백라이트유닛으로 사용되거나 직하 타입의 백라이트유닛으로 사용될 수 있고, 조명 장치의 광원으로 사용될 때 등기구나 벌브 타입으로 사용될 수도 있으며, 또한 이동 단말기의 광원으로 사용될 수도 있다.
- [47] 발광 소자는 발광 다이오드 외에 레이저 다이오드가 있다. 발광소자에서 방출되는 광은 여러 파장 영역의 광이 혼합되어 있으며 발광소자를 중심으로 방사상으로 광이 방출될 수 있다. 레이저 다이오드는, 상술한 구조의 제1 도전형 반도체층, 활성층 및 제2 도전형 반도체층을 포함할 수 있다. 그리고, p-형의 제1 도전형 반도체와 n-형의 제2 도전형 반도체를 접합시킨 뒤 전류를 흘려주었을 때 활성층에서 빛이 방출되는 전계 발광(electro-luminescence) 현상을 이용하나, 방출되는 광의 방향성과 파장 대역의 차이점이 있다. 즉, 레이저 다이오드는 여기 방출(stimulated emission)이라는 현상과 보강간섭 현상 등을 이용하여 하나의 특정한 파장(단색광, monochromatic beam)을 가지는 빛이 동일한 위상을 가지고 동일한 방향으로 방출될 수 있으며, 이러한 특성으로 인하여 광통신에 사용될 수 있다.
- [48] 수광 소자는 빛을 검출하여 그 강도를 전기 신호로 변환하는 일종의 트랜스듀서인 광 검출기(photodetector)를 의미할 수 있다. 이러한 광 검출기로서, 광전지(실리콘, 셀렌), 광도전 소자(황화 카드뮴, 셀렌화 카드뮴), 포토 다이오드(예를 들어, visible blind spectral region이나 true blind spectral region에서 피크 파장을 갖는 PD), 포토 트랜지스터, 광전자 증배(multiplication)관, 광전관(진공, 가스 봉입), IR(Infra-Red) 검출기 등이 있으나, 실시 예는 이에 국한되지 않는다.
- [49] 또한, 광검출기와 같은 수광 소자는 일반적으로 광변환 효율이 우수한 직접 천이 반도체(direct bandgap semiconductor)를 이용하여 제작될 수 있다. 또는, 광검출기의 구조는 다양하며, 가장 일반적인 구조로서 p-n 접합을 이용하는 pin형 광검출기와, 쇼트키접합(Schottky junction)을 이용하는 쇼트키형광검출기와, MSM(Metal Semiconductor Metal)형 광검출기 등이 있다. 이들 중 pin형 광검출기와 쇼트키형광검출기는 질화물 반도체 물질을 이용하여 구현될 수 있다.
- [50] 포토 다이오드(Photodiode) 같은 수광 소자는 발광소자와 동일하게, 제1 도전형 반도체층, 활성층 및 제2 도전형 반도체층을 포함할 수 있고, p-n 접합 또는 pin 구조로 이루어진다. 포토 다이오드에 역방향 바이어스 전압을 인가하면 저항이 매우 높아져서 미세한 전류가 흐르나, 광이 포토 다이오드에 입사되면 전자와 정공이 생성되어 전류가 흐르며, 이때 광 전류의 크기는 포토 다이오드에 입사되는 광의 강도에 거의 비례한다.
- [51] 광전지 또는 태양 전지(solar cell)는 포토 다이오드의 일종으로, 광전 효과를

이용하여 광을 전류로 변환할 수 있다. 태양 전지는, 발광 소자와 동일하게, 상술한 구조의 제1 도전형 반도체층, 활성층 및 제2 도전형 반도체층을 포함할 수 있다. 외부에서 태양광 등이 입사되면 n형의 제1 도전형 반도체층, p형의 제2 도전형 반도체층에서 전자(electron)와 홀(hole)이 각각 생성되고, 생성된 전자와 홀이 n형 전극과 p형 전극으로 각각 이동하며, n형 전극과 p형 전극을 서로 연결하면 전자가 n형 전극으로부터 p형 전극으로 이동하여 전류가 흐르게 된다.

[52] 태양 전지는 결정형 태양 전지와 박막형 태양 전지로 나눌 수 있고, 박막형 태양 전지는 무기 박막계 태양 전지와 유기 박막계 태양 전지로 나눌 수 있다.

[53] 또한, 상술한 반도체 소자는 반드시 반도체로만 구현되지 않으며 경우에 따라 금속 물질을 더 포함할 수도 있다. 예를 들어, 반도체를 이용한 수광 소자는 Ag, Al, Au, In, Ga, N, Zn, Se, 또는 As 중 적어도 하나를 이용하여 구현될 수 있으며, p형 도펀트나 n형 도펀트에 의해 도핑된 반도체 물질이나 진성 반도체 물질을 이용하여 구현될 수도 있다.

[54] 이하, 전술한 수광 소자에 해당하는 기능을 수행하는 실시 예에 의한 반도체 소자(100, 300)를 설명한다. 특히, 실시 예에 의한 반도체 소자는 캐리어를 증배(multiplication)시켜 이득을 개선시키는 애벌런치 수광 소자(APD: Avalanche Photo Diode)일 수 있다.

[55] 또한, 실시 예에 의한 반도체 소자(100, 100A, 100B, 100C, 300)는 데카르트 좌표계를 이용하여 설명되지만, 다른 좌표계를 이용하여 설명될 수 있음은 물론이다. 데카르트 좌표계에서, 각 도면에 도시된 x축과, y축과, z축은 서로 직교하지만 실시 예는 이에 국한되지 않는다. 즉, 다른 실시 예에 의하면, x축과, y축과, z축은 서로 교차할 수도 있다.

[56] 제1 실시 예

[57] 도 1은 일 실시 예에 의한 반도체 소자(100)의 단면도를 나타낸다.

[58] 도 1에 도시된 반도체 소자(100)는 제1 반도체층(110), 제2 반도체층(120), 제3 반도체층(130) 및 제4 반도체층(140)을 포함할 수 있다.

[59] 제1 반도체층(110)과 제2 반도체층(120)은 서로 다른 도전형을 가질 수 있다. 예를 들어, 제1 반도체층(110)은 제1 도전형 도펀트가 도핑된 제1 도전형 반도체층이고 제2 반도체층(120)은 제2 도전형 도펀트가 도핑된 제2 도전형 반도체층일 수 있다. 또는, 제1 반도체층(110)은 제2 도전형 반도체층이고 제2 반도체층(120)은 제1 도전형 반도체층을 가질 수 있다. 제1 도전형 도펀트는 n형 도펀트로서, Si, Ge, Sn, Se, Te를 포함할 수 있으나 이에 한정되지 않는다. 또한, 제2 도전형 도펀트는 p형 도펀트로서, Mg, Zn, Ca, Sr, Ba 등을 포함할 수 있으나, 이에 한정되지 않는다.

[60] 제3 반도체층(130)은 제1 및 제2 반도체층(110, 120) 사이에 배치될 수 있다. 제3 반도체층(130)은 진성 반도체층을 포함할 수 있다. 여기서, 진성 반도체층이란, 언도프드(Undoped) 반도체층 또는 비의도적 도핑(Unintentionally doped) 반도체층일 수 있다. 비의도적 도핑 반도체층이란, 반도체층의 성장 공정에서

도펀트 예를 들어, 실리콘(Si) 원자등과 같은 n형 도펀트의 도핑없이 N-vacancy가 발생한 것을 의미할 수 있다. 이때 N-vacancy가 많아지면 잉여 전자의 농도가 커져서, 제조공정에서 의도하지 않았더라도, n-형 도펀트로 도핑된 것과 유사한 전기적인 특성을 가질 수 있다.

- [61] 제4 반도체층(140)은 제2 및 제3 반도체층(120, 130) 사이에 배치되며, 제1 반도체층(110)의 제1 도핑 농도(N1)보다 낮은 제4 도핑 농도(N4)를 가질 수 있다. 또한, 제4 반도체층(140)은 제1 반도체층(110)과 동일한 도전형질을 가질 수 있다. 예를 들어, 제1 반도체층(110)이 n형 반도체층일 경우, 제4 반도체층(140)은 n형 반도체층일 수 있다.
- [62] 제1, 제2, 제3 및 제4 반도체층(110, 120, 130, 140) 각각은 반도체 화합물로 형성될 수 있으며, 예를 들어, $\text{In}_x\text{Al}_y\text{Ga}_{1-x-y}\text{N}$ ($0 \leq x \leq 1$, $0 \leq y \leq 1$, $0 \leq x+y \leq 1$)의 조성식을 갖는 반도체 물질을 포함하거나, InAlAs, GaN, InN, AlN, InGaN, AlGaIn, InAlGaIn, AlInN, AlGaAs, InGaAs, AlInGaAs, GaP, AlGaP, InGaP, AlInGaP, InP 중 어느 하나 이상을 포함할 수 있다.
- [63] 예를 들어, 제1 반도체층(110)은 n형 AlGaIn을 포함하고, 제2 반도체층(120)은 p형 AlGaIn을 포함하고, 제3 반도체층(130)은 i-AlGaIn을 포함하고, 제4 반도체층(140)은 n형 AlGaIn을 포함할 수 있다.
- [64] 또는, 제1 반도체층(110)은 n형 InP를 포함하고, 제2 반도체층(120)은 p형 InP를 포함하고, 제3 반도체층(130)은 언도프드 InGaAs를 포함하고, 제4 반도체층(140)은 n형 InP를 포함할 수도 있다.
- [65] 도 1에 도시된 반도체 소자(100)는 제1 공핍 영역(D1) 및 제2 공핍 영역(D2)을 가질 수 있다.
- [66] 제1 공핍 영역(D1)은 외부로부터 반도체 소자(100)로 입사되는 광의 광자를 흡수하는 역할을 하며, 제1-1 공핍 영역(D11), 제1-2 공핍 영역(D12) 및 제1-3 공핍 영역(D13)을 가질 수 있다. 제1-1 공핍 영역(D11)은 제1 반도체층(110)과 제3 반도체층(130) 사이에 형성되고, 제1-2 공핍 영역(D12)은 제3 반도체층(130)과 제4 반도체층(140) 사이에 형성되고, 제1-3 공핍 영역(D13)은 제3 반도체층(130) 내부에 형성될 수 있다.
- [67] 제2 공핍 영역(D2)은 캐리어를 증배시키는 역할을 하며, 서로 다른 도전형을 갖는 제2 반도체층(120)과 제4 반도체층(140) 사이에 위치할 수 있다.
- [68] 전술한 바와 같이, 실시 예에 의한 반도체 소자(100)의 경우, 제2 반도체층(120)과 제3 반도체층(130) 사이에 제4 반도체층(140)이 배치됨으로써, 제3 반도체층(130)과 제4 반도체층(140) 사이의 경계 및 그 경계 근처의 제4 반도체층(140)에서 강한 전계가 야기되고, 강한 전계 덕분에 캐리어(예를 들어, 전자)가 제4 반도체층(140)에서 증배되어 에벌런치됨으로써, 반도체 소자(100)의 이득이 개선될 수 있다. 이에 대해서는 비교 례에 의한 반도체 소자(200)와 대비하여 도 6을 참조하여 상세히 후술된다.
- [69] 전술한 바와 같이, 제4 반도체층(140)에서 강한 전계가 야기될 수 있도록 하기

위해서, 제4 반도체층(140)의 두께(T)가 결정될 수 있다. 제4 반도체층(140)의 두께(T)가 1 μm 보다 클 경우, 전계 피크 값이 작아져서 더 높은 외부 전압을 인가해야 하는 단점이 있다. 따라서, 실시 예에 의하면, 제4 반도체층(140)의 두께(T)는 1 μm 보다 작을 수 있으며, 예를 들어, 수 nm 내지 수백 nm일 수 있지만, 실시 예는 이에 국한되지 않는다.

[70] 또한, 제4 반도체층(140)에서 강한 전계가 야기될 수 있도록 하기 위해서, 제4 반도체층(140)의 도핑 농도와 제1 내지 제3 반도체층(110, 120, 130)의 도핑 농도 간의 관계를 결정할 수 있다. 예를 들어, 제1, 제3 및 제4 반도체층(110, 130, 140)의 도핑 농도는 다음 수학적 식 1과 같은 관계를 가질 수 있다.

[71] [수식1]

$$N3 < N4 < N1$$

[72] 여기서, N3는 제3 반도체층(130)의 도핑 농도를 나타내고, N4는 제4 반도체층(140)의 도핑 농도를 나타내고, N1은 제1 반도체층(110)의 도핑 농도를 각각 나타낸다.

[73] 예를 들어, N3는 1×10^{18} 원자수/ cm^3 보다 작고, N4는 1×10^{18} 원자수/ cm^3 보다 크고, N1은 5×10^{18} 원자수/ cm^3 보다 클 수 있으나, 실시 예는 N3, N4, N1의 특정 값에 국한되지 않는다.

[74] 또한, 제1 반도체층(110)의 도핑 농도(N1)와 제4 반도체층(140)의 도핑 농도(N4) 간의 도핑 농도차는 4×10^{18} 원자수/ cm^3 보다 클 수 있으나, 실시 예는 이에 국한되지 않는다.

[75] 또한, 제4 반도체층(140)에서 강한 전계가 야기될 수 있도록 하기 위해서, AIXG1-XN으로 이루어진 제1, 제2, 제3, 제4 반도체층(110, 120, 130, 140) 각각에서 Al의 조성(X) 간의 상대적인 비율을 결정할 수도 있다.

[76] 또한, 제4 반도체층(140)에서 캐리어를 증배시키기 위해서 야기되어야 하는 강한 전계의 최소값은 $1.5 \text{ MV}/\text{cm}$ 예를 들어 $2.7 \text{ MV}/\text{cm}$ 일 수 있으나, 실시 예는 이에 국한되지 않는다.

[77] 또한, 전술한 제1 공핍 영역(D1)과 제2 공핍 영역(D2)이 서로 연결되면 안된다. 왜냐하면, 제1 및 제2 공핍 영역(D1, D2)이 서로 연결될 경우, 제2 공핍 영역(D2)은 캐리어를 증배시키는 역할을 수행하는 대신에 광자를 흡수하는 역할을 수행할 수도 있기 때문이다. 이를 고려하여, 제1 공핍 영역(D1)과 제2 공핍 영역(D2)이 서로 만나지 않도록, 제4 반도체층(140)의 두께 또는 제1, 제3 및 제4 반도체층(110, 130, 140)의 농도(N1, N3, N4) 농도 중 적어도 하나를 결정할 수 있다.

[78] 이하, 도 1에 도시된 반도체 소자(100)는 다양한 본딩 형태를 가질 수 있다. 예를 들어, 반도체 소자(100)는 수평형 본딩 구조를 가질 수도 있고 플립 칩 본딩 구조를 가질 수 있다. 도 1에 도시된 반도체 소자(100)의 실시 예(100A, 100B,

100C)를 첨부된 도면을 참조하여 다음과 같이 설명하지만, 실시 예는 이에 국한되지 않는다.

- [79] 도 2는 도 1에 도시된 반도체 소자(100)의 일 실시 예(100A)의 단면도를 나타낸다.
- [80] 도 2에 도시된 반도체 소자(100A)는 제1 내지 제4 반도체층(110A, 120A, 130A, 140A), 기판(150A), 버퍼층(160A), 오믹층(170), 제1 반사 방지막(180A), 제1 및 제2 전극(192A, 194A)을 포함할 수 있다.
- [81] 도 2에 도시된 제1, 제2, 제3 및 제4 반도체층(110A, 120A, 130A, 140A)은 도 1에 도시된 제1, 제2, 제3 및 제4 반도체층(110, 120, 130, 140)에 각각 해당하므로 이들에 대한 중복되는 설명을 생략한다.
- [82] 기판(150A)은 제1 반도체층(110) 아래에 배치될 수 있다.
- [83] 또한, 기판(150A)과 수광 구조물(110A, 120A, 130A, 140A) 간의 열 팽창 계수의 차이 및 격자 부정합을 개선하기 위해, 기판(150A)과 제1 반도체층(110A) 사이에 버퍼층(160A)이 더 배치될 수 있다.
- [84] 오믹층(170)은 제2 반도체층(120A) 위에 배치될 수 있다. 오믹층(170)은 투명 전도성 산화막(TCO:Transparent Conductive Oxide)일 수도 있다. 예를 들어, 오믹층(170)은 ITO(indium tin oxide), IZO(indium zinc oxide), IZTO(indium zinc tin oxide), IAZO(indium aluminum zinc oxide), IGZO(indium gallium zinc oxide), IGTO(indium gallium tin oxide), AZO(aluminum zinc oxide), ATO(antimony tin oxide), GZO(gallium zinc oxide), IZON(IZO Nitride), AGZO(Al-Ga ZnO), IGZO(In-Ga ZnO), ZnO, IrOx, RuOx, NiO, RuOx/ITO, Ni/IrOx/Au, 및 Ni/IrOx/Au/ITO, Ag, Ni, Cr, Ti, Al, Rh, Pd, Ir, Sn, In, Ru, Mg, Zn, Pt, Au, Hf 중 적어도 하나를 포함하여 형성될 수 있으며, 이러한 재료에 한정되는 않는다.
- [85] 도 2의 경우 별도의 오믹층(170)이 배치된 것으로 예시되어 있지만, 실시 예는 이에 국한되지 않는다. 즉, 다른 실시 예에 의하며, 제2 전극(194A)이 오믹 접촉하는 물질을 포함하므로써, 오믹 역할을 수행하는 별도의 오믹층(170)이 배치되지 않고 생략될 수도 있다.
- [86] 제1 전극(192A)은 제1 반도체층(120A) 위에 배치될 수 있다. 예를 들어, 수광 구조물(110A, 120A, 130A, 140A)을 메사(Mesa) 식각하여 노출된 제1 반도체층(110A) 위에 제1 전극(192A)이 형성될 수 있다. 또한, 제2 전극(194A)은 오믹층(170) 위에 배치될 수 있다. 만일, 오믹층(170)이 생략될 경우, 제2 전극(194A)은 제2 반도체층(120A) 위에 직접 배치될 수도 있다.
- [87] 제1 반사 방지막(180A)은 오믹층(170) 위에 배치될 수 있다. 또한, 제1 반사 방지막(180A)은 오믹층(170) 뿐만 아니라 제2 전극(194A)의 측부 및 상부와, 메사 식각에 의해 노출된 수광 구조물의 측부 및 제1 도전형 반도체층(110A)의 상부와, 제1 전극(192A)의 측부와 상부에도 배치될 수 있다.
- [88] 만일, 오믹층(170)이 생략될 경우, 제1 반사 방지막(180A)은 제2 반도체층(120A) 위에 배치될 수 있다. 제1 반사 방지막(180A)은 다음 수학식 2와

같은 굴절률을 가질 수 있다.

[89] [수식2]

$$n_1^2 = n_2^2 + n_3^2$$

[90] 여기서, n_1 는 제1 반사 방지막(180A)의 굴절률을 나타내고, n_2 는 공기의 굴절률을 나타내고, n_3 는 제2 반도체층(120A)의 굴절률을 나타낼 수 있지만, 실시 예는 이에 국한되지 않는다. 예를 들어, 다른 실시 예에 의하면, 매질이 공기가 아닐 경우, n_2 는 에폭시나 패키지 내부의 매질의 굴절률을 나타낼 수도 있다.

[91] 만일, 오믹층(170)(만일, 오믹층(170)이 생략될 경우 제2 반도체층(120A))의 굴절률과 공기의 굴절률 간의 차이가 너무 클 경우, 오믹층(170)(또는, 제2 반도체층(120A))으로 입사되는 광은 오믹층(170)(또는, 제2 반도체층(120A))으로 입사되지 않고 반사될 수 있다. 이를 방지하기 위해, 제1 반사 방지막(180A)은 오믹층(170)(또는, 제2 반도체층(120A))으로 입사되는 광이 굴절률 차에 의해 오믹층(170)(또는, 제2 반도체층(120A))으로부터 입사되지 않고 반사되는 것을 방지하는 역할을 한다. 이와 같이, 제1 반사 방지막(180A)은 공기와 반도체 소자(100A)에서 광이 입사되는 입사면 간의 굴절률 차를 완충하는 역할을 한다.

[92] 도 2의 경우, 광이 기관(150A) 쪽이 아닌 제2 반도체층(120A) 쪽으로 입사되므로 제1 반사 방지막(180A)은 오믹층(170)(또는, 제2 반도체층(120A)) 위에 배치된다. 그러나, 실시 예는 이에 국한되지 않는다. 즉, 다른 실시 예에 의하면, 광이 제2 반도체층(120A) 쪽이 아닌 기관(150A) 쪽으로 입사될 경우, 제1 반사 방지막(180A)은 기관(150A)의 아래에 배치될 수도 있다.

[93] 도 2에 도시된 반도체 소자(100A)는 수평형 본딩 구조이기 때문에, 외부로부터의 광은 제2 전극(194A), 제1 반사 방지막(180A), 오믹층(170), 제2 반도체층(120A) 및 제4 반도체층(140A)을 통해 제1 공핍 영역(D1)으로 입사된다. 이를 위해, 제2 전극(194A), 제1 반사 방지막(180A), 오믹층(170), 제2 반도체층(120A) 및 제4 반도체층(140A)은 투광성을 갖는 물질로 이루어질 수 있다. 또한, 제1 반도체층(110A), 버퍼층(160A), 기관(150A) 및 제1 전극(192A)은 투광성이나 비투광성을 갖는 물질로 이루어질 수 있다.

[94] 전술한 도 2에 도시된 반도체 소자(100A)는 수평형 본딩 구조를 가지며, 이하에서 설명되는 도 3 및 도 4에 도시된 반도체 소자(100B, 100C)는 플립 칩 본딩 구조를 갖는다.

[95] 도 3은 도 1에 도시된 반도체 소자(100)의 다른 실시 예(100B)의 단면도를 나타낸다.

[96] 도 3에 도시된 반도체 소자(100B)는 제1, 제2, 제3 및 제4 반도체층(110B, 120B, 130B, 140B), 기관(150B), 서브 마운트(152), 버퍼층(160B), 제2 반사 방지막(180B), 제1 및 제2 전극(192B, 194B)을 포함할 수 있다.

- [97] 제1, 제2, 제3 및 제4 반도체층(110B, 120B, 130B, 140B)은 도 1에 도시된 제1, 제2, 제3 및 제4 반도체층(110, 120, 130, 140) 각각과 동일한 역할을 수행하므로, 중복되는 설명을 생략한다.
- [98] 기판(150B)은 제1 반도체층(110B) 위에 배치된다.
- [99] 도 2 및 도 3에 도시된 기판(150A, 150B) 각각은 도전형 물질 또는 비도전형 물질을 포함할 수 있다. 예를 들어, 기판(150A, 150B)은 사파이어(Al_2O_3), GaN, SiC, ZnO, GaP, InP, Ga_2O_3 , GaAs 및 Si 중 적어도 하나를 포함할 수 있으나, 실시 예는 기판(150A, 150B)의 특정한 물질에 국한되지 않는다.
- [100] 또한, 기판(150B)과 수광 구조물(110B, 120B, 130B, 140B) 간의 열 팽창 계수의 차이 및 격자 부정합을 개선하기 위해, 기판(150B)과 제1 반도체층(110B) 사이에 버퍼층(160B)이 더 배치될 수 있다.
- [101] 도 2 및 도 3에 도시된 버퍼층(160A, 160B) 각각은 예를 들어, Al, In, N 및 Ga로 구성되는 군으로부터 선택되는 적어도 하나의 물질을 포함할 수 있으나, 이에 국한되지 않는다. 또한, 버퍼층(160A, 160B)은 단층 또는 다층 구조를 가질 수 있다. 예를 들어, 버퍼층(160A, 160B)은 AlN으로 이루어질 수 있다.
- [102] 제2 반사 방지막(180B)은 기판(150B) 위에 배치되며 다음 수학식 3과 같은 굴절률을 가질 수 있다.
- [103] [수식3]

$$n_4^2 = n_2^2 + n_5^2$$

- [104] 여기서, n_4 는 제2 반사 방지막(180B)의 굴절률을 나타내고, n_2 는 공기의 굴절률을 나타내고, n_5 는 기판(150B)의 굴절률을 각각 나타내지만, 실시 예는 이에 국한되지 않는다. 예를 들어, 다른 실시 예에 의하면, 매질이 공기가 아닐 경우, n_2 는 에폭시나 패키지 내부의 매질의 굴절률을 나타낼 수도 있다.
- [105] 만일, 기판(150B)의 굴절률과 공기의 굴절률 간의 차이가 너무 클 경우, 기판(150B)으로 입사되는 광은 기판(150B)으로 입사되지 않고 반사될 수 있다. 이를 방지하기 위해, 제2 반사 방지막(180B)은 제1 반사 방지막(180A)과 마찬가지로, 기판(150B)으로 입사되는 광이 굴절률 차에 의해 기판(150B)으로 입사되지 않고 기판(150B)에서 반사되는 것을 방지하는 역할을 한다. 즉, 제2 반사 방지막(180B)은 공기와 기판(150B) 간의 굴절률 차를 완충시키는 역할을 한다.
- [106] 도 3에 도시된 반도체 소자(100B)의 경우, 광이 서브 마운트(152) 쪽이 아닌 기판(150B) 쪽으로 입사되므로 제2 반사 방지막(180B)은 기판(150B) 위에 배치된다. 그러나, 실시 예는 이에 국한되지 않는다. 즉, 다른 실시 예에 의하면, 광은 기판(150B) 쪽이 아닌 서브 마운트(152) 쪽으로 입사될 수도 있다. 이 경우, 제2 반사 방지막(180B)은 서브 마운트(152)의 아래나, 서브 마운트(152)와 제2 전극(194B)의 사이나, 또는 제2 반도체층(120B)과 제2 전극(194B)의 사이에

배치될 수도 있다.

- [107] 도 2 및 도 3에 도시된 제1 및 제2 반사 방지막(180A, 180B) 각각은 SiN 또는 SiO₂를 포함할 수 있으나, 실시 예는 제1 및 제2 반사 방지막(180A, 180B) 각각의 특정한 물질에 국한되지 않는다. 경우에 따라, 제1 및 제2 반사 방지막(180A, 180B)은 생략될 수도 있다.
- [108] 또한, 비록 도시되지는 않았지만, 제1 및 제2 반사 방지막(180A, 180B) 각각은 반구 형상의 단면 형상을 가질 수도 있으며, 그 밖에 다양한 패턴의 단면 형상을 가질 수도 있다.
- [109] 제1 전극(192B)은 제1 반도체층(110B) 아래에 배치되고, 제2 전극(194B)은 제2 반도체층(120B) 아래에 배치될 수 있다. 즉, 제1 전극(192B)은 제1 반도체층(110B)과 서브 마운트(152) 사이에 배치되고, 제2 전극(194B)은 제2 반도체층(120B)과 서브마운트(152) 사이에 배치될 수 있다.
- [110] 도 2 및 도 3에 도시된 제1 전극(192A, 192B) 및 제2 전극(194A, 194B) 각각은 금속으로 형성될 수 있으며, Ag, Ni, Ti, Al, Rh, Pd, Ir, Ru, Mg, Zn, Pt, Au, Hf, Cr 및 이들의 선택적인 조합으로 이루어질 수 있다.
- [111] 서브 마운트(152)는 제1 및 제2 전극(192B, 194B) 아래에 배치되며, 예를 들어 AlN, BN, 탄화규소(SiC), GaN, GaAs, Si 등의 반도체 기판으로 이루어질 수 있으며, 이에 국한되지 않고 열전도도가 우수한 반도체 물질로 이루어질 수도 있다.
- [112] 만일, 서브 마운트(152)가 Si와 같이 전기적 전도성을 갖는 물질로 구현된 경우, 도 3에 예시된 바와 달리, 제1 및 제2 전극(192B, 194B)와 서브 마운트(152) 사이에 보호층(미도시)이 더 배치될 수도 있다. 여기서, 보호층은 절연 물질로 이루어질 수 있다.
- [113] 도 2에 도시된 반도체 소자(100A)와 달리 도 3에 도시된 반도체 소자(100B)는 플립 칩 본딩 구조이기 때문에, 외부로부터의 광은 제2 반사 방지막(180B), 기판(150B), 버퍼층(160B), 제1 반도체층(110B)을 통해 제1 공핍 영역(D1)으로 입사된다. 이를 위해, 제2 반사 방지막(180B), 기판(150B), 버퍼층(160B), 제1 반도체층(110B)은 투광성을 갖는 물질로 이루어지고, 제2 반도체층(120B), 제4 반도체층(140B), 제1 전극(192B) 및 제2 전극(194B)은 투광성이나 비투광성을 갖는 물질로 이루어질 수 있다.
- [114] 도 4는 도 1에 도시된 반도체 소자(100)의 또 다른 실시 예(100C)의 단면도를 나타낸다.
- [115] 도 4에 도시된 반도체 소자(100C)는 제1, 제2, 제3 및 제4 반도체층(110B, 120B, 130B, 140B), 기판(150B), 서브 마운트(152), 버퍼층(160B), 제2 반사 방지막(180B), 제1 및 제2 전극(192B, 194C) 및 제5 반도체층(172)을 포함할 수 있다. 제5 반도체층(172)을 더 포함하고 제2 전극(194C)의 형태가 다름을 제외하면, 도 4에 도시된 반도체 소자(100C)는 도 3에 도시된 반도체 소자(100B)와 동일하다. 따라서, 동일한 부분에 대해서는 동일한 참조부호를

사용하였으며, 중복되는 설명을 생략한다.

- [116] 제5 반도체층(172)은 제2 반도체층(120B)과 제2 전극(194C) 사이에 배치되며, 제2 반도체층(120B)과 동일한 도전형을 가질 수 있다. 제5 반도체층(172)은 반도체 화합물로 형성될 수 있으며, 예를 들어, $\text{In}_x\text{Al}_y\text{Ga}_{1-x-y}\text{N}$ ($0 \leq x \leq 1$, $0 \leq y \leq 1$, $0 \leq x+y \leq 1$)의 조성식을 갖는 반도체 물질을 포함하거나, InAlAs , GaN , InN , AlN , InGaN , AlGaIn , InAlGaIn , AlInN , AlGaAs , InGaAs , AlInGaAs , GaP , AlGaP , InGaP , AlInGaP , InP 중 어느 하나 이상을 포함할 수 있다.
- [117] 예를 들어, 제2 반도체층(120B)이 p형 AlGaIn 으로 이루어지고 제5 반도체층(172)이 p형 GaIn 으로 이루어진 경우, 제5 반도체층(172)은 특정 파장 대역 예를 들어 360 nm 이하의 파장 대역의 광을 흡수할 수 있다. 따라서, 제5 반도체층(172) 아래에 배치된 제2 전극(194C)은 반사 특성을 갖는 물질을 포함하지 않을 수 있다. 그러나, 도 3에 도시된 바와 같이, 반도체 소자(100B)가 제5 반도체층(172)을 포함하지 않을 경우, 360 nm 이하의 파장 대역의 광은 제2 반도체층(120B)으로부터 서브 마운트(152)를 향하여 진행할 수 있다. 이를 방지하기 위해, 도 4에 도시된 제2 전극(194C)과 달리, 도 3에 도시된 제2 전극(194B)은 반사성 물질을 포함할 수 있다.
- [118] 예를 들어, 도 3에 도시된 제2 전극(194B)은 오믹층(194B-1) 및 반사층(194B-2)을 포함할 수 있다. 오믹층(194B-1)은 제2 반도체층(120B)과 서브 마운트(152) 사이에 배치된다. 즉, 오믹층(194B-1)은 제2 반도체층(120B)과 반사층(194B-2) 사이에 배치될 수 있다. 오믹층(194B-1)은 투명 전도성 산화막(TCO: Transparent Conductive Oxide)일 수도 있다. 예를 들어, 오믹층(194B-1)은 ITO(indium tin oxide), IZO(indium zinc oxide), IZTO(indium zinc tin oxide), IAZO(indium aluminum zinc oxide), IGZO(indium gallium zinc oxide), IGTO(indium gallium tin oxide), AZO(aluminum zinc oxide), ATO(antimony tin oxide), GZO(gallium zinc oxide), IZON(IZO Nitride), AGZO(Al-Ga ZnO), IGZO(In-Ga ZnO), ZnO, IrO_x , RuO_x , NiO, RuO_x/ITO , $\text{Ni}/\text{IrO}_x/\text{Au}$, 및 $\text{Ni}/\text{IrO}_x/\text{Au}/\text{ITO}$, Ag, Ni, Cr, Ti, Al, Rh, Pd, Ir, Sn, In, Ru, Mg, Zn, Pt, Au, Hf 중 적어도 하나를 포함하여 형성될 수 있으며, 이러한 재료에 한정되는 않는다.
- [119] 반사층(194B-2)은 오믹층(194B-1)과 서브 마운트(152) 사이에 배치될 수 있다. 반사층(194B-2)은 알루미늄(Al), 은(Ag), 니켈(Ni), 백금(Pt), 로듐(Rh), 혹은 Al이나 Ag이나 Pt나 Rh를 포함하는 합금을 포함하는 금속층으로 이루어질 수 있으나, 실시 예는 이에 국한되지 않는다.
- [120] 도 3에 예시된 바와 같이, 오믹층(194B-1)과 반사층(194B-2)은 별개의 층일 수 있지만, 실시 예는 이에 국한되지 않는다. 다른 실시 예에 의하면, 오믹층(194B-1)과 반사층(194B-2)은 단일층일 수도 있다. 즉, 단일층일 경우, 제2 전극(194B)은 오믹 특성을 갖는 반사 전극 재료로 단층 또는 다층으로 형성될 수 있다.
- [121] 이하, 비교 레에 의한 반도체 소자(200)와 도 2에 도시된 실시 예에 의한 반도체

소자(100A)를 첨부된 도면을 참조하여 다음과 같이 설명한다.

- [122] 도 5는 비교 레에 의한 반도체 소자(200)의 단면도를 나타낸다.
- [123] 도 5에 도시된 비교 레에 의한 반도체 소자(200)는 기판(210), 버퍼층(212), 제1 반도체층(220), 제2 반도체층(230) 및 제3 반도체층(240), 제1 및 제2 전극(252, 254)을 포함한다.
- [124] 도 5에 도시된 기판(210), 버퍼층(212), 제1, 제2 및 제3 반도체층(220, 230, 240), 제1 및 제2 전극(252, 254)은 도 2에 도시된 기판(150A), 버퍼층(160A), 제1, 제2 및 제3 반도체층(110A, 120A, 130A), 제1 및 제2 전극(192A, 194A)와 각각 동일한 역할을 수행하므로 이들에 대한 설명은 생략한다.
- [125] 도 5에 도시된 비교 레에 의한 반도체 소자(200)는 도 2에 도시된 실시 예에 의한 반도체 소자(100A)와 달리 제4 반도체층(140A), 제1 반사 방지막(180A), 오믹층(170)을 포함하지 않는다. 이를 제외하면, 도 5에 도시된 비교 레에 의한 반도체 소자(200)는 도 2에 도시된 실시 레에 의한 반도체 소자(100A)와 동일하다.
- [126] 도 5에 도시된 반도체 소자(200)는 제4 반도체층(140A)을 포함하지 않으므로, 도 2에 도시된 반도체 소자(100A)와 달리 제2 공핍 영역(D2)을 포함하지 않고 제1 공핍 영역(D1)만을 포함한다. 도 5에 도시된 반도체 소자(200)에서 제1 공핍 영역(D1)은 도 1에 도시된 바와 같이 제1 반도체층(220)과 제3 반도체층(240) 사이의 제1-1 공핍 영역(D11), 제2 반도체층(230)과 제3 반도체층(240) 사이의 제1-2 공핍 영역(D12), 및 제1-1 공핍 영역(D11)과 제1-2 공핍 영역(D12) 사이의 제1-3 공핍 영역(D13)을 포함할 수 있다.
- [127] 도 6은 도 2 및 도 5에 각각 도시된 실시 레 및 비교 레에 의한 반도체 소자(100A, 200)의 전계(electric field)를 나타내는 그래프로서, 횡축은 z축 좌표를 나타내고 종축은 전계를 나타낸다. 도 6에서, 각 층에서의 전계의 절대값은 일정할 수 있다.
- [128] 도 2 및 도 5에 각각 도시된 실시 레 및 비교 레에 의한 반도체 소자(100A, 200)는 수광 소자로서 순방향 바이어스(forward bias) 전압에서 동작하는 발광 소자와 달리 역방향 바이어스(reverse bias) 전압 또는 제로(zero) 바이어스 상태에서 동작한다. 즉, 역방향 바이어스 전압이 인가될 때(또는, 제로 바이어스 상태에서), 도 2 및 도 5에 도시된 반도체 소자(100A, 200)의 제1 공핍 영역(D1)에 흡수된 광이 전기 에너지로 변환되어 광을 감지할 수 있다.
- [129] 도 2 및 도 5에 도시된 바와 같이 제1 공핍 영역(D1)의 폭을 넓히기 위해, 제1 반도체층(110A, 220)과 제2 반도체층(120A, 230) 사이에 제3 반도체층(130A, 240)으로서 진성 반도체층을 삽입하여 광 흡수 효율의 개선을 도모한다.
- [130] 도 5에 도시된 비교 레에 의한 반도체 소자(200)에 높은 역방향 바이어스 전압을 인가할 경우 제1 공핍 영역(D1)에서의 전계가 증가하여 캐리어의 애벌런치 브레이크다운(breakdown)(즉, 증배) 현상을 통해 높은 전류 이득을 얻음으로써, 반도체 소자(200)의 반응 감도를 개선시킬 수 있다. 여기서, 전류

이득이란, 역방향 바이어스 전압을 반도체 소자(100A, 200)에 인가하지 않을 때의 광전류 대비 역방향 바이어스 전압을 인가할 때 증폭된 광 전류 간의 비율을 의미할 수 있다.

- [131] 그러나, 도 5에 도시된 반도체 소자(200)의 내부에서 강한 전계를 얻기 위해 반도체 소자(200)에 인가되는 높은 역방향 바이어스 전압 대비 상대적으로 높은 이득을 얻기 어렵다.
- [132] 비교 레에 의한 반도체 소자(200)에 역방향 바이어스 전압으로서 -10볼트를 인가할 경우, 도 6에 도시된 바와 같이 반도체 소자(200)의 제2 및 제3 반도체층(230, 240) 사이의 제1-2 공핢 영역(D12)에서 전계의 최대값은 0.7 MV/cm^2 가 된다.
- [133] 반면에, 도 2에 도시된 바와 같이 실시 예에 의한 반도체 소자(100A)에 역방향 바이어스 전압으로서 -10볼트를 인가할 경우, 도 6에 도시된 바와 같이 반도체 소자(100A)의 제2 및 제4 반도체층(120A, 140A) 사이의 제2 공핢 영역(D2)에서 전계의 최대값은 대략 1.5 MV/cm^2 가 된다. 이와 같이, 1.5 MV/cm^2 의 강한 전계가 생성될 경우, 제4 반도체층(140A)에서 캐리어(즉, 전자)가 애벌런치 형태로 증가하여, 반도체 소자(100A)의 이득은 비교 레에 의한 반도체 소자(200)보다 증가하게 된다.
- [134] 즉, 도 6을 참조하면, 실시 예에 의한 반도체 소자(100A)의 제3 반도체층(130A)에서의 전계는 비교 레에 의한 반도체 소자(200)의 제3 반도체층(240)에서의 전계보다 감소하지만, 감소된 전계만큼 반도체 소자(100A)의 제2 공핢 영역(D2)에서의 전계가 증가함으로써 캐리어의 증배에 기여할 수 있다. 도 6에서, 실시 예에 의한 전계(100A)의 적분값과 비교 레에 의한 전계(200)의 적분값은 서로 동일하다.
- [135] 전술한 바와 같이, 동일한 역방향 바이어스 전압이 인가될 때, 실시 예에 의한 반도체 소자(100A)에서 생성되는 전계의 레벨은 비교 레에 의한 반도체 소자(200)에서 생성되는 전계의 레벨보다 높다. 전계가 커질수록 반도체 소자(100A)의 이득이 증가하고 이득이 증가할수록, 외부로부터 반도체 소자(100A)로 입사되는 작은 빛에도 크게 반응할 수 있다. 즉, 반도체 소자(100A)의 이득이 증가할수록, 반도체 소자(100A)의 반응감도(responsivity) 특성이 우수해질 수 있다.
- [136] 제2 실시 예
- [137] 도 7은 일 실시 예에 의한 수광 소자(300)의 평면도를 나타내고, 도 8은 도 7에 도시된 I-I'선을 따라 절개한 단면도를 나타낸다.
- [138] 도 7 및 도 8를 참조하면, 실시 예에 의한 수광 소자(300)는 기판(310), 버퍼층(320), n형 제1 반도체층(330), p형 제1 반도체층(340), 활성층(350), 제1 전극(360) 및 제2 전극(370)을 포함할 수 있다.
- [139] 기판(310) 위에 수광 구조물이 배치된다. 예를 들어, 수광 구조물은 사파이어 기판(310)의 (0001) 면 상에 형성될 수 있다.

- [140] 기판(310)과 n형 제1 반도체층(330) 사이에 버퍼층(320)이 더 배치될 수도 있다.
- [141] 예를 들어, 버퍼층(320)은 AlN로 구현될 수 있으며, 버퍼층(320)의 제1 두께(t1)는 300 nm일 수 있으나, 실시 예는 이에 국한되지 않는다. 경우에 따라, 버퍼층(320)은 생략될 수도 있다.
- [142] 수광 구조물은 n형 제1 반도체층(330), p형 제1 반도체층(340) 및 활성층(350)을 포함할 수 있다.
- [143] n형 제1 반도체층(330)은 고농도로 도핑된 GaN으로 구현될 수 있으며, n형 제1 반도체층(330)의 제2 두께(t2)는 250 nm일 수 있으나, 실시 예는 이에 국한되지 않는다.
- [144] p형 제1 반도체층(340)은 고농도로 도핑된 GaN으로 구현될 수 있으며, p형 제1 반도체층(340)의 제3 두께(t3)는 30 nm일 수 있으나, 실시 예는 이에 국한되지 않는다.
- [145] 활성층(350)은 n형 제1 반도체층(330)과 p형 제1 반도체층(340) 사이에 배치될 수 있다.
- [146] 수광 소자(300)로 입사된 광자(photon)는 활성층(350)에서 전자 및 정공 쌍을 발생시킨다. 발생한 전자와 정공은 활성층(350)을 가로지르는 전계로 인해 서로 반대 방향으로 움직여 n형 및 p형 전극(360, 370)과 각각 만나, 전류로서 검출될 수 있다. 비록 도시되지는 않았지만, n형 전극(360)과 p형 전극(370)에 전류계(미도시)의 음의 단자와 양의 단자가 각각 연결되어 수광 소자(300)에서 발생한 전류를 측정할 수 있다.
- [147] 실시 예에 의하면 활성층(350)의 전체가 공핍 영역일 수 있다. 활성층(350)은 심자외선 파장 대역의 광을 흡수할 수 있다. 예를 들어, 활성층(350)은 280 nm 이하의 파장 대역을 갖는 광을 흡수할 수 있다. 그러나, 실시 예는 활성층(350)에서 흡수하는 광의 특정한 파장 대역에 국한되지 않는다.
- [148] 예를 들어, 활성층(350)의 제4 두께(t4)는 10Å 내지 수십 μm 일 수 있으나, 실시 예는 제4 두께(t4)의 특정한 값에 국한되지 않는다.
- [149] 전술한 n형 제1 반도체층(330), p형 제1 반도체층(340) 및 활성층(350) 각각은 질화물 반도체를 포함할 수 있다.
- [150] 도 9는 도 8에 도시된 활성층(350)의 일 실시 예(350A)에 의한 단면도를 나타낸다.
- [151] 도 9를 참조하면, 활성층(350A)은 반복 적층되는 복수의 PIN 구조물(350A-1 내지 350A-K)을 포함할 수 있다. 여기서, K는 2 이상의 양의 정수를 나타내며 망대특성으로서 클수록 바람직하다.
- [152] 복수의 PIN 구조물(350A-1 내지 350A-K) 각각(350A-k)은 n형 제2 반도체층(352A), 제1 진성(intrinsic) 반도체층(354A) 및 p형 제2 반도체층(356A)을 포함할 수 있다. 여기서, $1 \leq k \leq K$ 이다.
- [153] 제1 진성 반도체층(354A)은 n형 제2 반도체층(352A)과 p형 제2 반도체층(356A) 사이에 배치될 수 있다. 제1 진성 반도체층(354A)은 의도적으로 도핑되지 않으나

약한 도핑 농도를 가질 수 있다.

- [154] n형 제2 반도체층(352A)은 $\text{Al}_x\text{Ga}_{(1-x)}\text{N}$ ($0 \leq x \leq 1$)의 조성식을 갖는 반도체 물질을 포함할 수 있고, p형 제2 반도체층(356A)은 $\text{Al}_y\text{Ga}_{(1-y)}\text{N}$ ($0 \leq y \leq 1$)의 조성식을 갖는 반도체 물질을 포함할 수 있고, 제1 진성 반도체층(354A)은 $\text{Al}_z\text{Ga}_{(1-z)}\text{N}$ ($0 \leq z \leq 1$)의 조성식을 갖는 반도체 물질을 포함할 수 있다.
- [155] 수광 소자(300)는 광자가 기판(310) 쪽으로 입사되는 후방 조사(back illumination)형일 수도 있고, p형 제1 반도체층(340) 쪽으로 입사되는 전방 조사(forward illumination)형일 수도 있다.
- [156] 만일, 수광 소자(300)가 전방 조사형일 때, p형 제2 반도체층(356A)과 제1 진성 반도체층(354A)의 에너지 밴드갭이 서로 동일할 경우, p형 제2 반도체층(356A)에서 캐리어가 여기되어 흡수되어 제1 진성 반도체층(354A)으로 제공되기 어려울 수도 있다. 이에, 알루미늄(Al)을 제1 진성 반도체층(354A)에 첨가한다면, p형 제2 반도체층(356A)에서 캐리어가 흡수되는 현상은 더 심화될 수도 있다. 이를 방지하기 위해, p형 제2 반도체층(356A)의 에너지 밴드 갭을 키워 캐리어가 p형 제2 반도체층(356A)에서 흡수되지 못하도록 할 수도 있다. 따라서, p형 제2 반도체층(356A)의 에너지 밴드갭을 제1 진성 반도체층(354A)의 에너지 밴드 갭보다 더 키우기 위해, Al을 p형 제2 반도체층(356A)에 더 많이 첨가할 수 있다. 즉, 제1 진성 반도체층(354A)에 포함된 알루미늄의 함량(z)은 p형 제2 반도체층(356A)에 포함된 알루미늄의 함량(y)보다 작을 수 있다. 그러나, p형 제2 반도체층(356A)과 제1 진성 반도체층(354A)의 에너지 밴드갭은 이에 국한되지 않는다. 왜냐하면, p형 제2 반도체층(356A)의 두께를 충분히 얇게 할 경우, 캐리어가 p형 제2 반도체층(356A)에서 흡수되지 않을 수도 있기 때문이다.
- [157] 예를 들어, n형 제2 반도체층(352A)은 GaN을 포함하고, p형 제2 반도체층(356A) 및 제1 진성 반도체층(354A) 각각은 $\text{Al}_{0.45}\text{Ga}_{0.55}\text{N}$ 의 조성식을 갖는 반도체 물질을 포함할 수 있다. 또한, 전술한 바와 같이, p형 제2 반도체층(356A)의 두께는 제1 진성 반도체층(354A)의 두께보다 훨씬 얇을 수 있다.
- [158] 또한, 수광 소자(300)가 전방 조사형인가 후방 조사형인가에 따라, n형 제2 반도체층(352A), 제1 진성 반도체층(354A) 및 p형 제2 반도체층(356A) 간의 에너지 밴드 갭의 대소나 두께가 결정될 수 있으며, 실시 예는 이러한 에너지 밴드 갭의 상대적인 크기 및 두께의 특정한 값에 국한되지 않는다.
- [159] n형 제2 반도체층(352A), 제1 진성 반도체층(354A) 또는 p형 제2 반도체층(356A) 중 적어도 하나는 초격자(SL:SuperLattice)층(또는, 초접합(SL:super junction))층일 수 있다.
- [160] n형 제2 반도체층(352A), 제1 진성 반도체층(354A) 및 n형 제2 반도체층(356A) 각각의 두께의 최소값은 $50\text{\AA}$, $50\text{\AA}$ 및 $10\text{\AA}$ 일 수 있으나, 실시 예는 이에 국한되지 않는다.
- [161] 도 10은 도 8에 도시된 활성층(350)의 다른 실시 예(350B)에 의한 단면도를

나타낸다.

- [162] 도 10에 도시된 활성층(350B)은 L개의 PIN 구조물(350B-1 내지 350B-L) 뿐만 아니라 L-1개의 제2 진성 반도체층(354C-1 내지 354C-L-1)을 포함할 수 있다. 여기서, L은 2 이상의 양의 정수를 나타낸다.
- [163] 도 10에 도시된 활성층(350B)은 도 9에 도시된 활성층(350A) L-1개의 제2 진성 반도체층(354C-1 내지 354C-L-1)을 더 포함한다. 이와 같이, 활성층(350)에 진성 반도체층이 더 포함될 경우 반도체 소자의 응답 특성이 더 우수해질 수 있다. 왜냐하면, 진성 반도체층은 도핑되지 않는 반면, 반도체층이 n형 또는 p형으로 도핑될 경우 도펀트와 캐리어 간의 스캐터링에 의해 모빌리티가 저하될 수 있기 때문이다.
- [164] 복수의 PIN 구조물(350B-1 내지 350B-L) 각각(350A-1)은 n형 제2 반도체층(352B), 제1 진성 반도체층(354B) 및 p형 제2 반도체층(356B)을 포함할 수 있다. 여기서, $1 \leq 1 \leq L$ 이다.
- [165] 제1 진성 반도체층(354B)은 n형 제2 반도체층(352B)과 p형 제2 반도체층(356B) 사이에 배치될 수 있다.
- [166] 또한, 도 10에 도시된 n형 제2 반도체층(352B), 제1 진성 반도체층(354B) 및 p형 제2 반도체층(356B)은 도 9에 도시된 n형 제2 반도체층(352A), 제1 진성 반도체층(354A) 및 p형 제2 반도체층(356A)와 각각 동일할 수도 있고 다를 수도 있다.
- [167] L-1개의 제2 진성 반도체층(354C-1 내지 354C-L-1)은 복수의 PIN 구조물(350B-1 내지 350B-L) 사이에 배치될 수 있다. 즉, 인접하는 PIN 구조물 사이에 제2 진성 반도체층이 삽입되어 배치될 수 있다. 예를 들어, 인접하는 PIN 구조물(350B-1, 350B-2) 사이에 제2 진성 반도체층(354C-1)이 배치되고, 인접하는 PIN 구조물(350B-2, 350B-3) 사이에 제2 진성 반도체층(354C-2)이 배치되고, 인접하는 PIN 구조물(350B-L-1, 350B-L) 사이에 제2 진성 반도체층(354C-L-1)이 배치될 수 있다.
- [168] 이와 같이, 활성층(350B)이 L-1 개의 제2 진성 반도체층(354C-1 내지 354C-L-1)을 더 포함하는 것을 제외하면, 도 10에 도시된 활성층(350B)은 도 9에 도시된 활성층(350A)과 동일하다.
- [169] 또한, 도 10에 도시된 제2 진성 반도체층(354C-1 내지 354C-L-1) 각각은 초격자층(SL)(또는, 초접합층(SJ))일 수 있다.
- [170] 도 11은 도 8에 도시된 활성층(350)의 또 다른 실시 예(350C)의 단면도를 나타낸다.
- [171] 도 11을 참조하면, 활성층(350C)은 반복 적층되는 복수의 PN 구조물(350C-1 내지 350C-M)을 포함할 수 있다. 여기서, M은 2 이상의 양의 정수를 나타낸다.
- [172] 복수의 PN 구조물(350C-1 내지 350C-M) 각각(350C-m)은 n형 제3 반도체층(353) 및 p형 제3 반도체층(355)을 포함할 수 있다. 여기서, $1 \leq m \leq M$ 이다.

- [173] n형 제3 반도체층(353) 및 p형 제3 반도체층(355)은 AlGaIn을 포함할 수 있다. p형 제3 반도체층(355)은 n형 제3 반도체층(353) 위에 배치될 수 있다. 또한, n형 제3 반도체층(353)과 p형 제3 반도체층(355)은 동일한 두께를 가질 수 있다. 또한, n형 제3 반도체층(353) 또는 p형 제3 반도체층(355) 중 적어도 하나는 초격자층(SL)(또는, 초접합층(SJ))일 수 있다.
- [174] 한편, 다시 도 8를 참조하면, 수광 소자(300)는 p형 제4 반도체층(380)을 더 포함할 수 있다. p형 제4 반도체층(380)은 p형 제1 반도체층(340)과 활성층(350) 사이에 배치될 수 있다. 예를 들어, p형 제4 반도체층(380)은 농도 구배를 갖는 그레이딩(grading) AlGaIn으로 구현될 수 있으며, p형 제4 반도체층(380)의 제5 두께(t5)는 15 nm일 수 있으나, 실시 예는 이에 국한되지 않는다. 경우에 따라, p형 제4 반도체층(380)은 생략될 수도 있다. 부연하면, p형 제4 반도체층(380)이 AlGaIn으로 구현되고 p형 제1 반도체층(340)이 p형 GaIn으로 구현될 경우, 결정성이 확보되면서 성장될 수 있다. 그러나, p형 제4 반도체층(380)이 생략될 경우 공핍층의 면적이 더 넓어질 수 있다.
- [175] n형 전극(360)은 n형 제1 반도체층(330) 위에 배치되고, p형 전극(370)은 p형 제1 반도체층(340) 위에 배치될 수 있다.
- [176] 도 8의 경우 p형 전극(370)은 p형 제1 반도체층(340)의 중앙에 배치된 것으로 도시되어 있지만, 실시 예는 이에 국한되지 않는다. 즉, 실시 예에 의한 수광 소자가 전방형일 경우 광자가 입사됨을 방해하지 않도록, p형 전극(370)은 p형 제1 반도체층(340)의 전체에 배치되지 않고, p형 제1 반도체층(340)의 상부 중앙보다는 상부 가장 자리에 배치될 수도 있다.
- [177] n형 전극(360)은 단층 또는 다층 구조를 가질 수 있다. 예를 들어, n형 전극(360)은 n형 제1 층(미도시) 및 n형 제2 층(미도시)을 포함할 수 있다. n형 제1 층은 Ti를 포함하며 n형 제1 반도체층(330) 위에 배치될 수 있다. n형 제2 층은 Al을 포함하며, n형 제1 층 위에 배치될 수 있다.
- [178] p형 전극(370)은 단층 또는 다층 구조를 가질 수 있다. 예를 들어, p형 전극(370)은 p형 제1 층(미도시) 및 p형 제2 층(미도시)을 포함할 수 있다. p형 제1 층은 Ni를 포함하며 p형 제1 반도체층(340) 위에 배치되고, p형 제2 층은 Au를 포함하며 p형 제1 층 위에 배치될 수 있다.
- [179] 이하, 비교 례에 의한 수광 소자와 실시 예에 의한 수광 소자를 첨부된 도면을 참조하여 다음과 같이 설명한다. 비교 례 및 실시 예에 의한 수광 소자는 서로 활성층(350)이 구조가 다르다. 즉, 비교 례에 의한 수광 소자의 활성층은 하나의 PIN 구조물을 포함하고, 실시 예에 의한 수광 소자의 활성층(350A)은 도 9에 도시된 바와 같이, 반복하여 적층된 PIN 구조물(350A-1 내지 350A-K)을 포함하는 것으로 설명한다. 또한, 이하에서 설명되는 에너지 밴드 다이어그램은 수광 소자가 전광 입사형일 경우이다.
- [180] 도 12a는 비교 례에 의한 수광 소자의 에너지 밴드 다이어그램을 나타내고, 도 12b는 도 9에 도시된 활성층(350A)을 포함하는 실시 예에 의한 수광 소자(300)의

에너지 밴드 다이어그램을 각각 나타낸다.

- [181] 도 12a 및 도 12b 각각에서 횡축은 수광 구조물의 두께 방향(예를 들어 x축 방향)으로의 거리를 나타내고 종축은 에너지 레벨을 각각 나타낸다. 또한, EC는 전도 대역(conduction band)의 에너지 레벨을 나타내고, EV는 가전자 대역(valence band)의 에너지 레벨을 나타낸다.
- [182] 비교 레에 의한 수광 소자의 경우 활성층에 하나의 PIN 구조물만을 포함하며, 활성층의 공핍 영역은 도 12a에 도시된 바와 같은 제1 폭(W1)을 갖는다.
- [183] 반면에, 실시 예에 의한 수광 소자(300)의 경우 활성층(350A)에 복수의 PIN 구조물(350A-1 내지 350A-K)을 포함하며, 활성층(350A)의 공핍 영역은 도 12b에 도시된 바와 같은 제2 폭(W2)을 갖는다. 여기서, 제2 폭(W2)은 제1 폭(W1)보다 넓다.
- [184] 수광 소자(300)에 광자(hv)가 입사되었을 때, 전자-정공 쌍은 공핍 영역의 넓이가 증가할수록 많아진다. 이는 수광 소자(300)에서 주요 전류원은 공핍 영역에서 생성되는 광 여기된 캐리어이기 때문이다. 이를 고려할 때, 전술한 실시 예에 의한 수광 소자(300)의 경우, 활성층(350A, 350B, 350C)이 복수의 PIN 구조물을 포함하거나 복수의 PN 구조물을 포함하므로, 공핍층의 영역이 증가하여 즉, 활성층(350)의 전체가 완전히 공핍 영역화되어 우수한 응답성(responsibility)을 가질 수 있다.
- [185] 또한, 실시 예에 의한 수광 소자(300)의 경우 제로 바이어스(zero bias) 상태에서 활성층(350)이 완전히 공핍화되어 있다. 따라서, 구동시 네가티브 바이어스(negative bias)를 수광 소자에 인가할 필요가 없다.
- [186] 전술한 실시 예에 의한 발광 소자(300)는 가시 블라인드 또는 투르솔라 스펙트럴 영역(visible blind or true solar blind spectral regions)에서 피크 감도를 가질 수 있다. 투르솔라 블라인드 검출은 대략 300 nm 이하의 파장에서 감도를 요구하는 반면, 가시 블라인드 검출은 대략 400 nm 이하의 파장에서 감도를 요구한다. 만일, 투르솔라 블라인드 검출기가 개발된다면, 대기 아래에 광원은 태양의 간섭을 배제하면서 검출될 수 있다. 이러한 기술은 생물학적 흡수 스펙트럼, 수소 불꽃(non-visible hydrogen flames) 및 위성 통신 등의 분야에 응용될 수 있다.
- [187] 한편, 서로 상반된다고 명시적으로 기재되어 있지 않은 한, 전술한 실시 예에 따른 발광 소자 패키지(100, 300) 중 어느 실시 예에 대한 설명은 다른 실시 예에도 적용될 수 있다. 즉, 서로 상반되지 않은 한, 실시 예(100)에 대한 설명은 다른 실시 예(300)에도 적용될 수 있고, 실시 예(300)에 대한 설명은 다른 실시 예(100)에도 적용될 수 있다.
- [188] 이상에서 실시 예를 중심으로 설명하였으나 이는 단지 예시일 뿐 본 발명을 한정하는 것이 아니며, 본 발명이 속하는 분야의 통상의 지식을 가진 자라면 본 실시 예의 본질적인 특성을 벗어나지 않는 범위에서 이상에 예시되지 않은 여러 가지의 변형과 응용이 가능함을 알 수 있을 것이다. 예를 들어, 실시 예에

구체적으로 나타난 각 구성 요소는 변형하여 실시할 수 있는 것이다. 그리고 이러한 변형과 응용에 관계된 차이점들은 첨부된 청구 범위에서 규정하는 본 발명의 범위에 포함되는 것으로 해석되어야 할 것이다.

발명의 실시를 위한 형태

- [189] 발명의 실시를 위한 형태는 전술한 "발명의 실시를 위한 최선의 형태"에서 충분히 설명되었다.

산업상 이용가능성

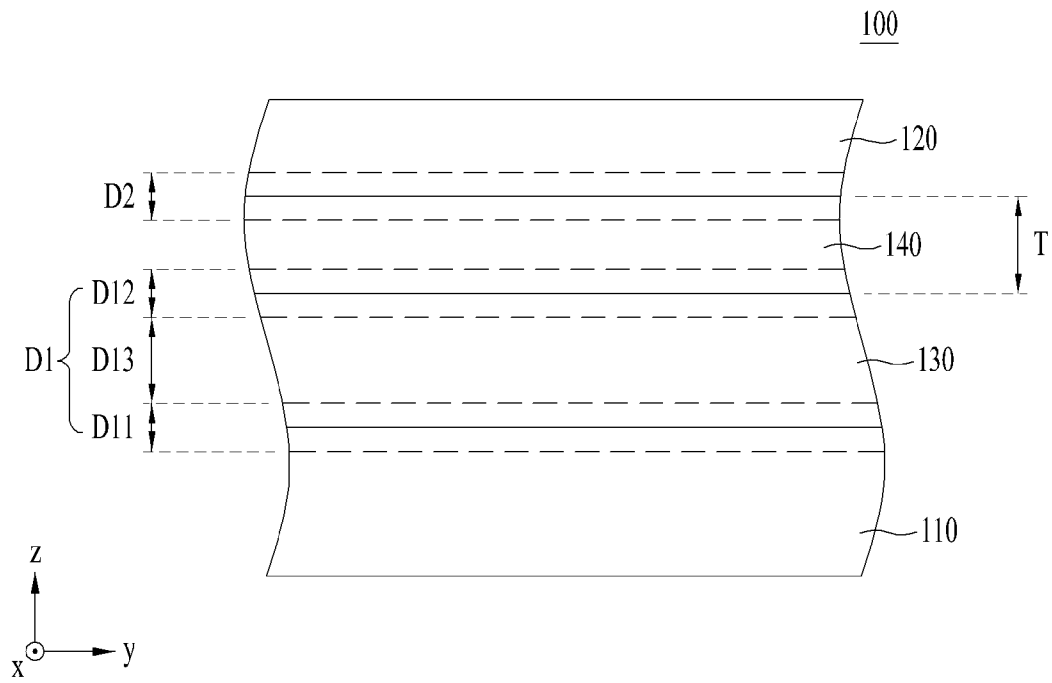
- [190] 실시 예에 의한 반도체 소자는 광전지 또는 태양 전지, 광 센서 및 생물학적 흡수 스펙트럼, 수소 불꽃(non-visible hydrogen flames) 및 위성 통신 등의 분야에 응용될 수 있다.

청구범위

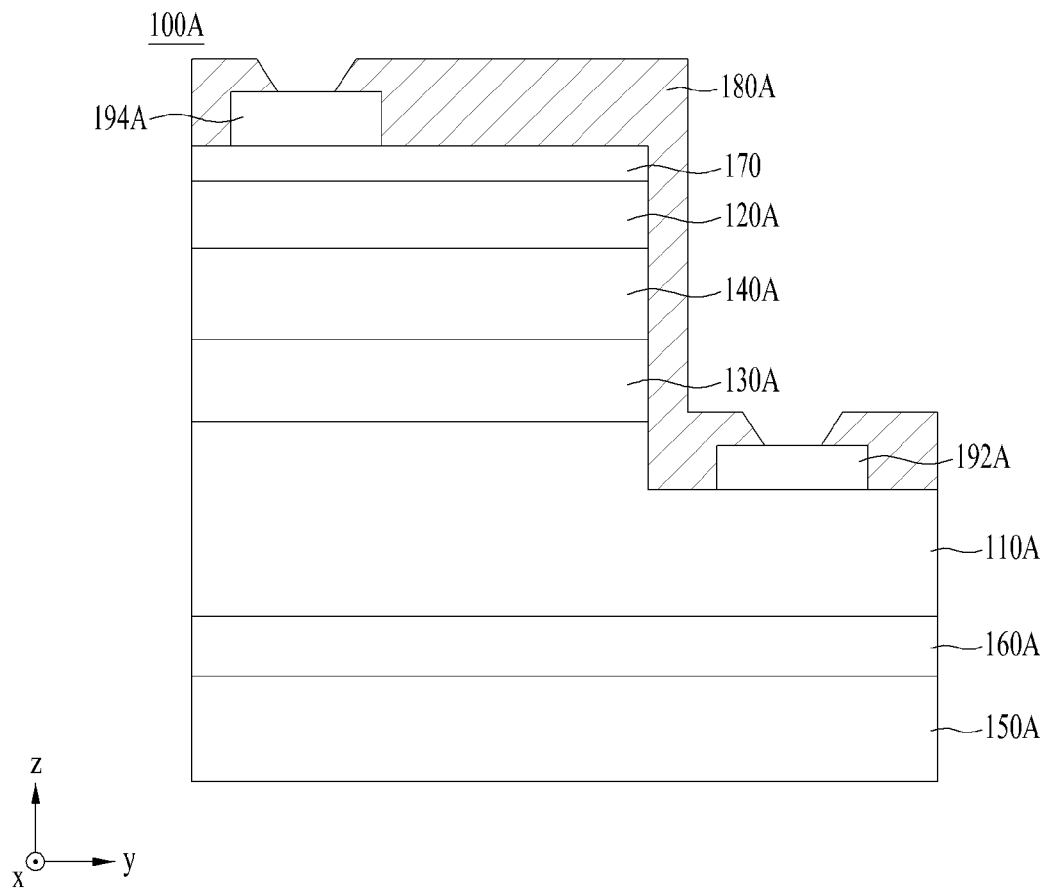
- [청구항 1] 서로 다른 도전형을 갖는 제1 및 제2 반도체층;
 상기 제1 및 제2 반도체층 사이에 배치된 제3 반도체층; 및
 상기 제2 및 제3 반도체층 사이에 배치되며, 상기 제1 반도체층보다 낮은 도핑 농도를 갖고, 상기 제1 반도체층과 동일한 도전형을 갖는 제4 반도체층을 포함하고,
 상기 제1 반도체층과 상기 제4 반도체층 간의 도핑 농도차는 4×10^{18} 원자수/cm³보다 큰 반도체 소자.
- [청구항 2] 제1 항에 있어서, 상기 제1 반도체층 아래에 배치된 기판을 더 포함하는 반도체 소자.
- [청구항 3] 제2 항에 있어서, 상기 제2 반도체층 위에 배치된 오믹층을 더 포함하는 반도체 소자.
- [청구항 4] 제3 항에 있어서, 상기 반도체 소자는
 상기 제1 반도체층 위에 배치된 제1 전극; 및
 상기 오믹층 위에 배치된 제2 전극을 더 포함하는 반도체 소자.
- [청구항 5] 제1 항에 있어서, 상기 반도체 소자는
 상기 제1 반도체층 위에 배치된 기판; 및
 상기 제2 반도체층과 상기 제2 전극 사이에 배치되며, 상기 제2 반도체층과 동일한 도전형을 갖는 제5 반도체층을 더 포함하는 반도체 소자.
- [청구항 6] 제1 항에 있어서, 상기 반도체 소자는
 광자를 흡수하는 제1 공핍 영역; 및
 캐리어를 증배시키는 제2 공핍 영역을 포함하고,
 상기 제1 공핍 영역은
 상기 제1 반도체층과 상기 제3 반도체층 사이에 형성되는 제1-1 공핍 영역;
 상기 제3 반도체층과 상기 제4 반도체층 사이에 형성되는 제1-2 공핍 영역; 및
 상기 제3 반도체층 내부에 형성되는 제1-3 공핍 영역을 포함하고,
 상기 제2 공핍 영역은 상기 제2 반도체층과 상기 제4 반도체층 사이에 위치하는 반도체 소자.
- [청구항 7] n형 제1 반도체층;
 p형 제1 반도체층;
 상기 n형 제1 반도체층과 상기 p형 제1 반도체층 사이에 배치된 활성층;
 상기 p형 제1 반도체층 위에 p형 전극; 및
 상기 n형 제1 반도체층 위에 n형 전극을 포함하고,
 상기 활성층의 전체가 공핍 영역인 반도체 소자.

- [청구항 8] 제7 항에 있어서, 상기 활성층은 반복 적층되는 복수의 PIN 구조물을 포함하고,
상기 복수의 PIN 구조물 각각은
n형 제2 반도체층;
p형 제2 반도체층; 및
상기 n형 제2 반도체층과 상기 p형 제2 반도체층 사이에 배치된 제1 진성 반도체층을 포함하는 반도체 소자.
- [청구항 9] 제8 항에 있어서, 상기 활성층은
상기 복수의 PIN 구조물 중 인접하는 PIN 구조물 사이에 배치되는 제2 진성 반도체층을 더 포함하는 반도체 소자.
- [청구항 10] 제7 항에 있어서, 상기 활성층은 반복 적층되는 복수의 PN 구조물을 포함하고,
상기 복수의 PN 구조물 각각은
n형 제3 반도체층; 및
상기 n형 제3 반도체층 위에 p형 제3 반도체층을 포함하는 반도체 소자.

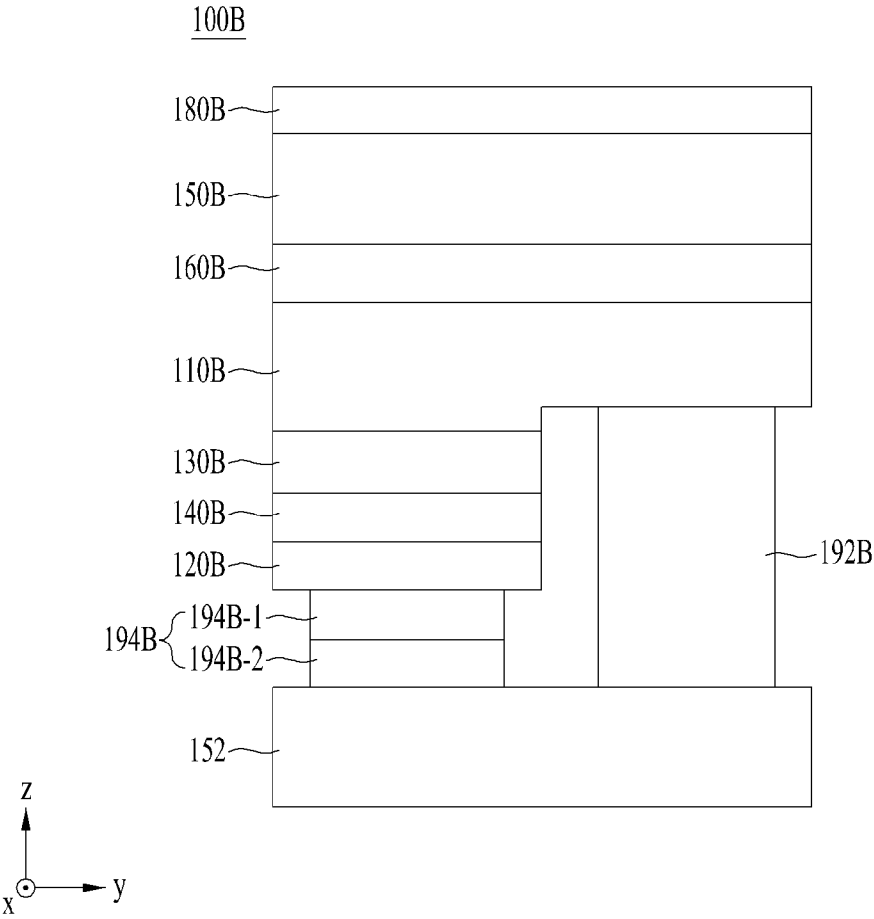
[도1]



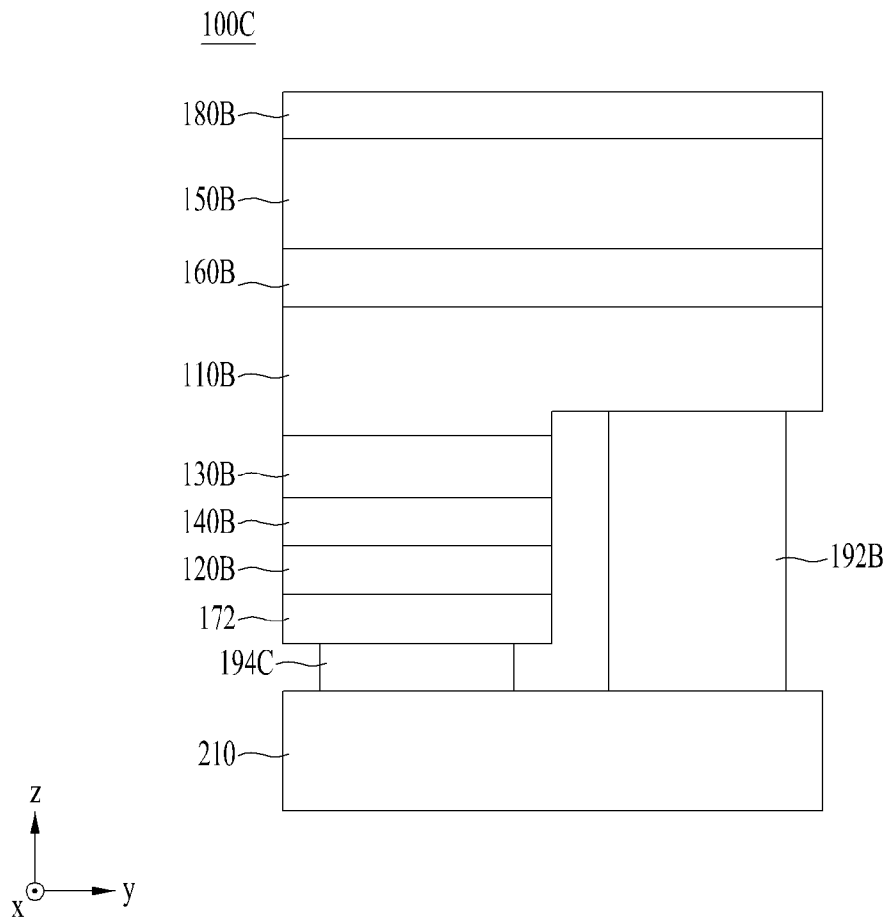
[도2]



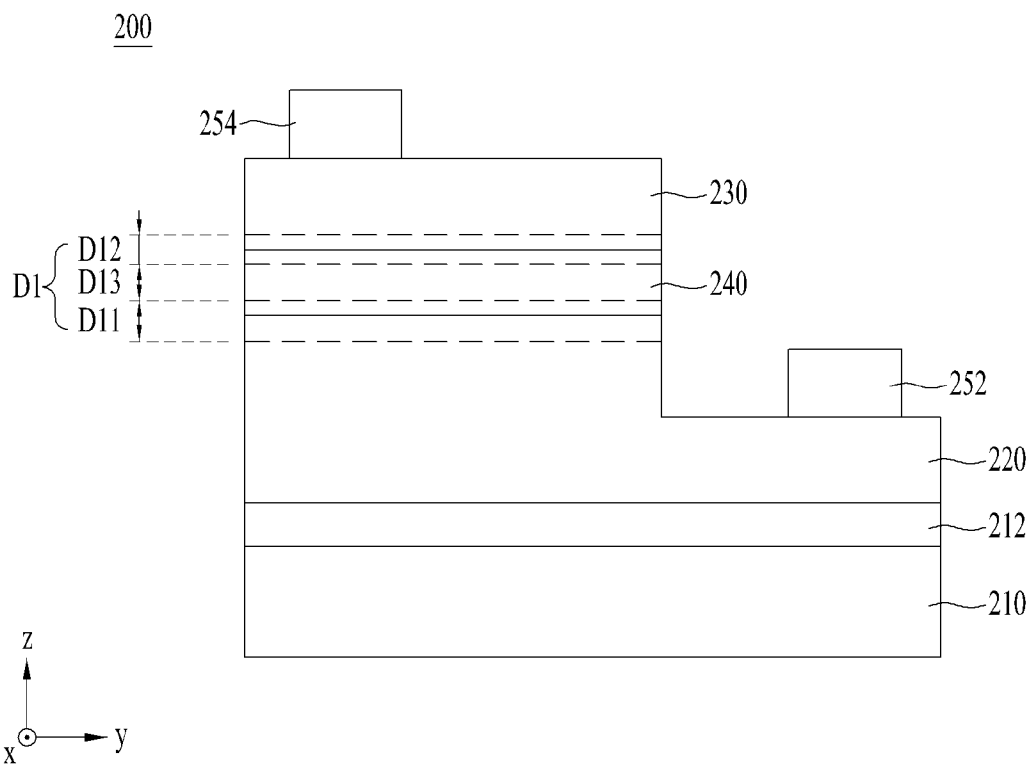
[도3]



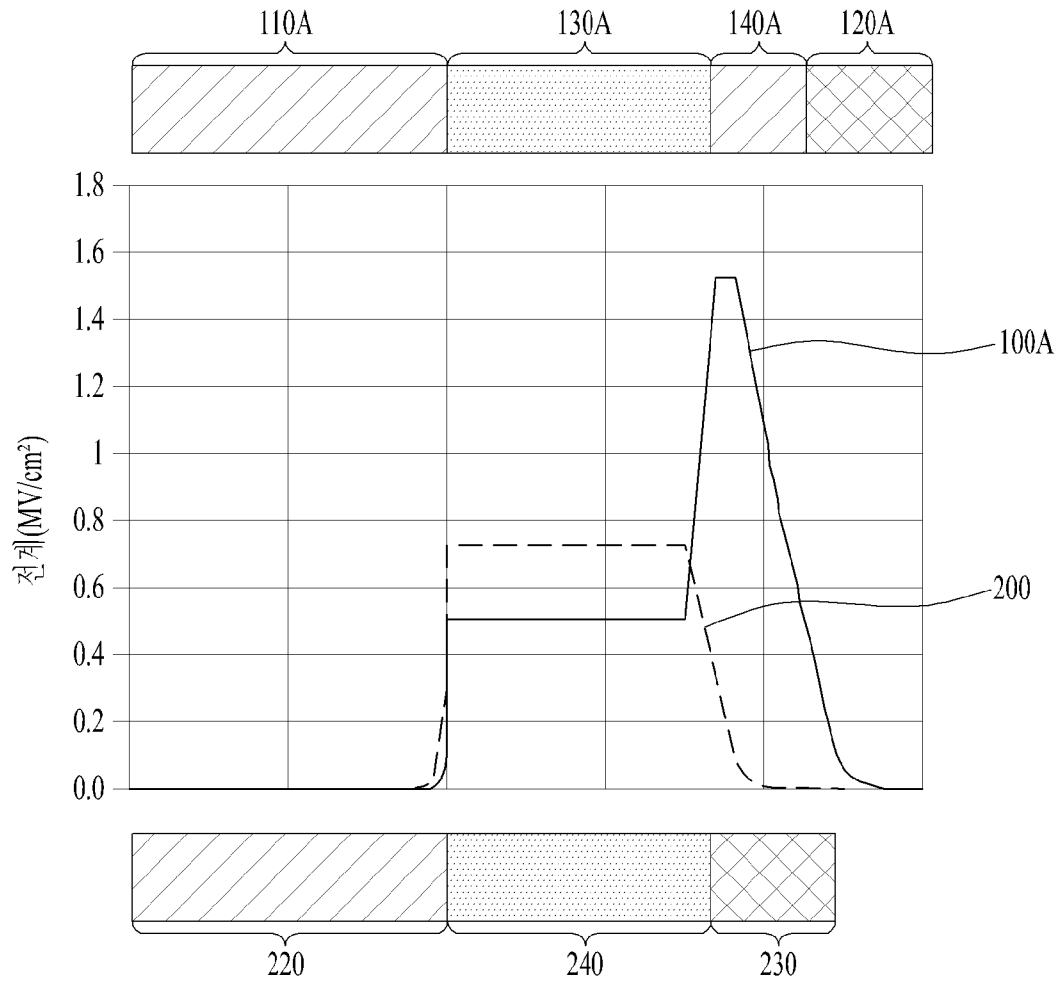
[도4]



[도5]

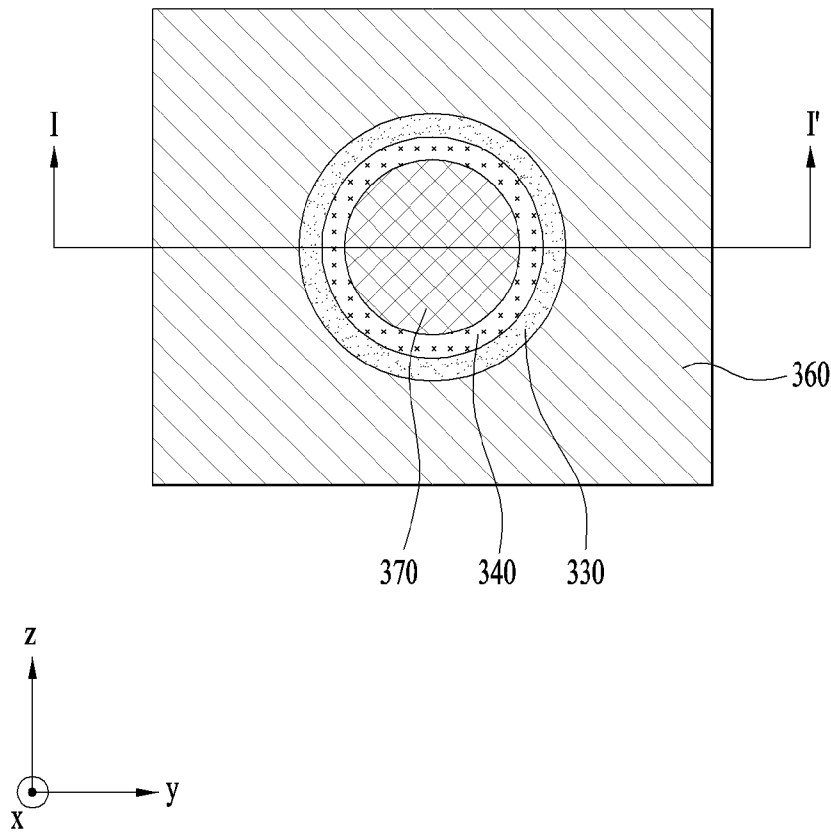


[도6]

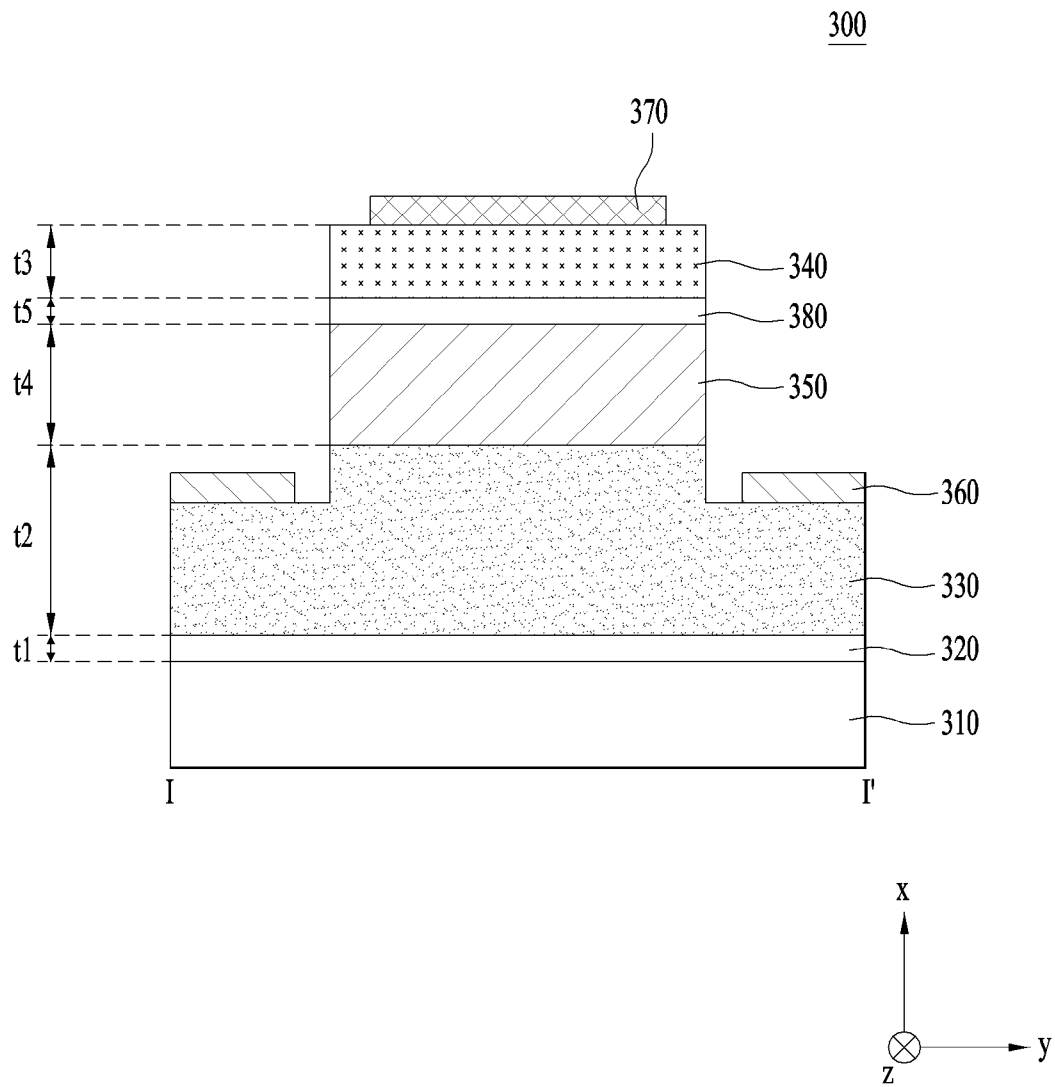


[도7]

300

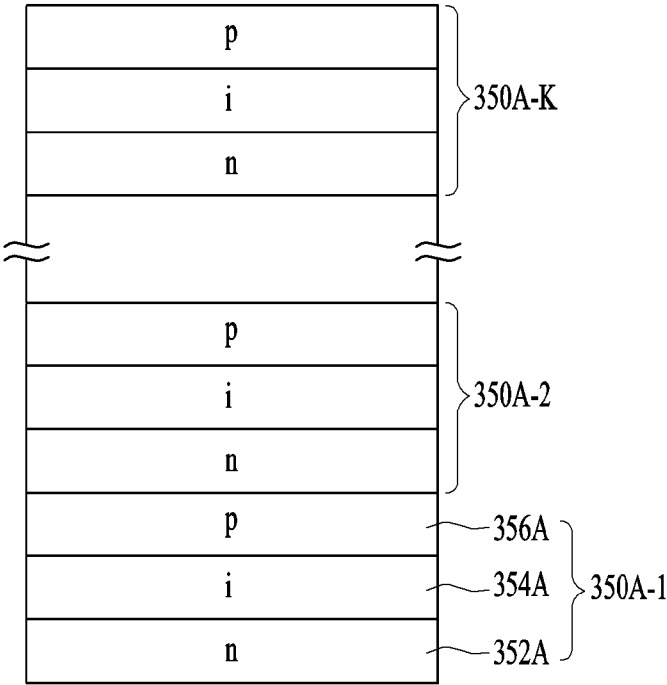


[도8]

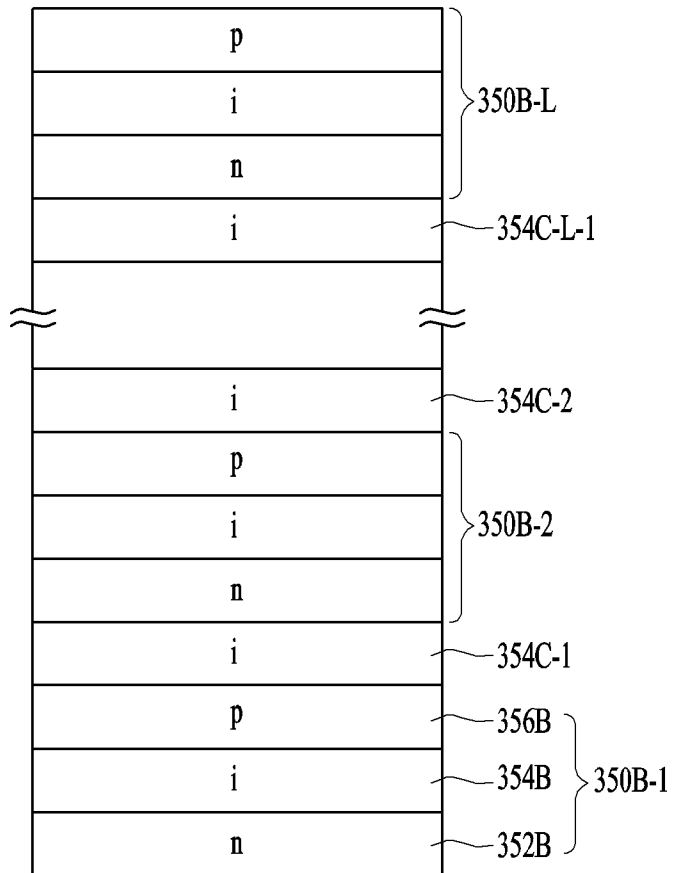


[도9]

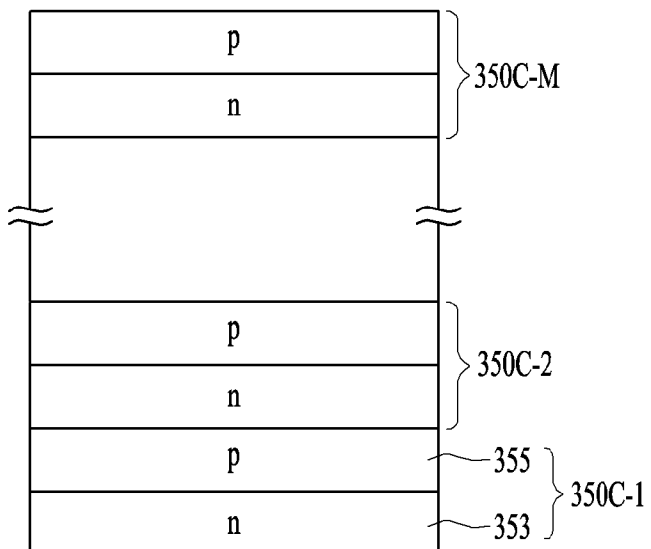
350A



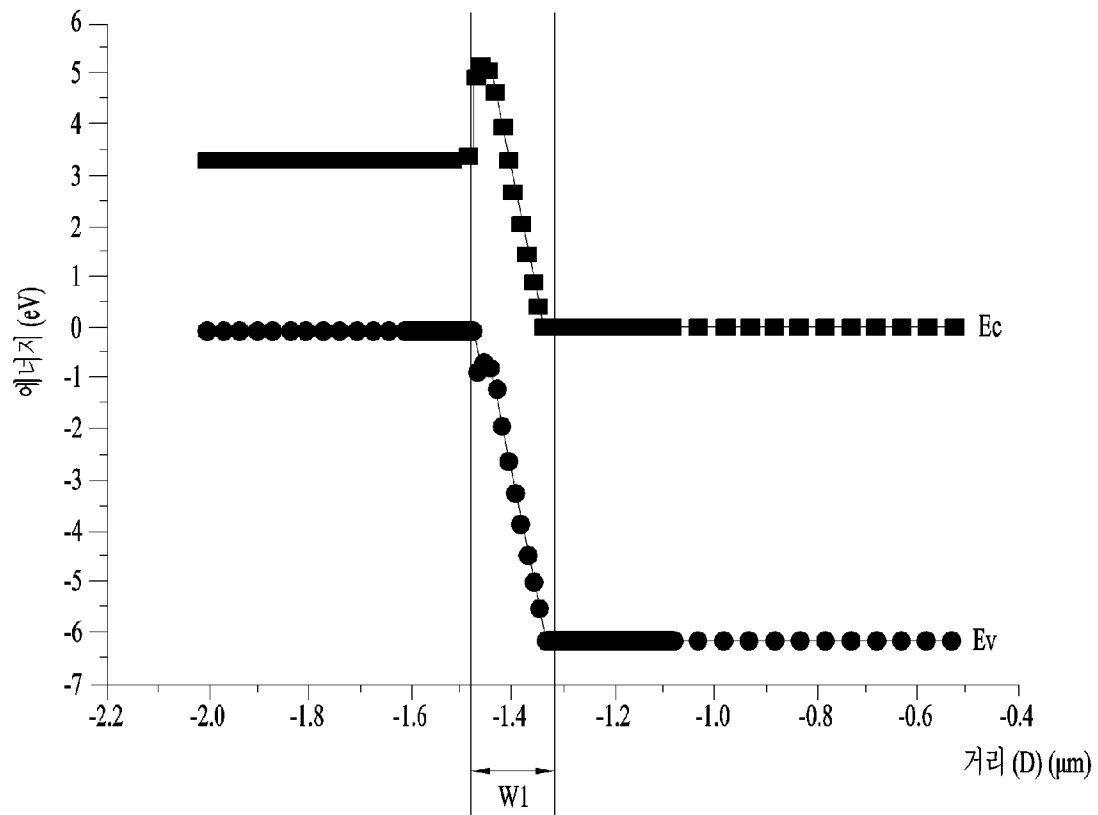
[도10]

350B

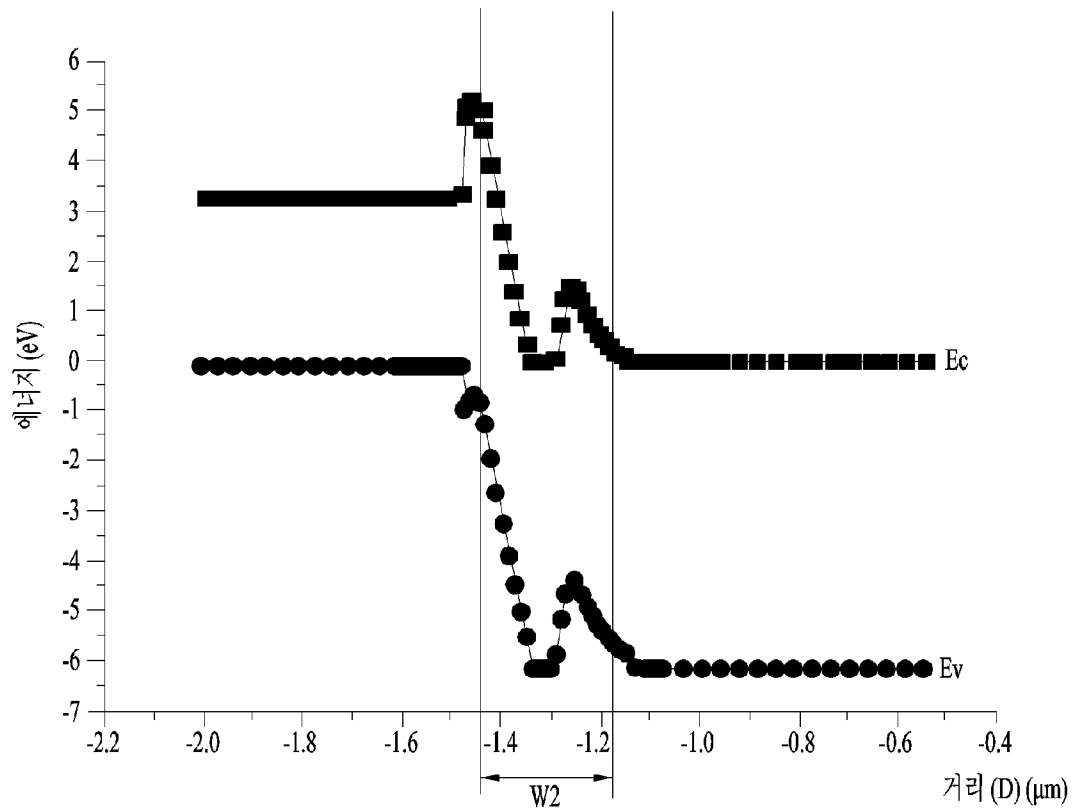
[도11]

350C

[도12a]



[도12b]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/KR2017/001496

A. CLASSIFICATION OF SUBJECT MATTER

H01L 33/02(2010.01)i, H01L 33/38(2010.01)i, H01L 33/10(2010.01)i, H01L 31/10(2006.01)i, H01L 31/101(2006.01)i, H01L 31/105(2006.01)i, H01L 31/075(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L 33/02; H01L 33/28; H01L 33/26; H01L 31/10; H01L 33/00; H01L 27/15; H01L 33/14; H01L 33/04; H01L 33/38; H01L 33/10; H01L 31/101; H01L 31/105; H01L 31/075

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Korean Utility models and applications for Utility models: IPC as above

Japanese Utility models and applications for Utility models: IPC as above

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

eKOMPASS (KIPO internal) & Keywords: doping density, depletion, active layer, PIN diode

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	KR 10-2011-0035273 A (SEMICON LIGHT CO., LTD.) 06 April 2011 See paragraphs [4]-[25], claim 1 and figures 1-4.	1-5,7-10
A		6
Y	JP 2009-246207 A (ASAHI KASEI ELECTRONICS CO., LTD.) 22 October 2009 See paragraphs [26]-[60], claims 1-5 and figures 1-8.	1-5
Y	KR 10-2004-0050281 A (LG INNOTEK CO., LTD.) 16 June 2004 See page 2, claim 1 and figures 1-4.	7-10
Y	JP 2005-317931 A (NICHIA CHEM. IND., LTD.) 10 November 2005 See paragraphs [15]-[40], claim 1 and figures 1-6.	8-10
A	US 2014-0217540 A1 (TELEDYNE SCIENTIFIC & IMAGING, LLC.) 07 August 2014 See paragraphs [31]-[48], claim 1 and figures 1-3.	1-10



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search

17 MAY 2017 (17.05.2017)

Date of mailing of the international search report

17 MAY 2017 (17.05.2017)

Name and mailing address of the ISA/KR



Korean Intellectual Property Office
Government Complex-Daejeon, 189 Sconsa-ro, Daejeon 302-701,
Republic of Korea

Facsimile No. +82-42-481-8578

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/KR2017/001496

Patent document cited in search report	Publication date	Patent family member	Publication date
KR 10-2011-0035273 A	06/04/2011	KR 10-1134063 B1 US 2011-0073870 A1 US 8373174 B2	13/04/2012 31/03/2011 12/02/2013
JP 2009-246207 A	22/10/2009	JP 5266521 B2	21/08/2013
KR 10-2004-0050281 A	16/06/2004	NONE	
JP 2005-317931 A	10/11/2005	JP 4977957 B2 US 2005-0212002 A1 US 7615798 B2	18/07/2012 29/09/2005 10/11/2009
US 2014-0217540 A1	07/08/2014	NONE	

A. 발명이 속하는 기술분류(국제특허분류(IPC))

H01L 33/02(2010.01)i, H01L 33/38(2010.01)i, H01L 33/10(2010.01)i, H01L 31/10(2006.01)i, H01L 31/101(2006.01)i, H01L 31/105(2006.01)i, H01L 31/075(2006.01)i

B. 조사된 분야

조사된 최소문헌(국제특허분류를 기재)

H01L 33/02; H01L 33/28; H01L 33/26; H01L 31/10; H01L 33/00; H01L 27/15; H01L 33/14; H01L 33/04; H01L 33/38; H01L 33/10; H01L 31/101; H01L 31/105; H01L 31/075

조사된 기술분야에 속하는 최소문헌 이외의 문헌

한국등록실용신안공보 및 한국공개실용신안공보: 조사된 최소문헌란에 기재된 IPC
일본등록실용신안공보 및 일본공개실용신안공보: 조사된 최소문헌란에 기재된 IPC

국제조사에 이용된 전산 데이터베이스(데이터베이스의 명칭 및 검색어(해당하는 경우))

eKOMPASS(특허청 내부 검색시스템) & 키워드: 도핑 농도, 공핍, 활성층, PIN 다이오드

C. 관련 문헌

카테고리*	인용문헌명 및 관련 구절(해당하는 경우)의 기재	관련 청구항
Y	KR 10-2011-0035273 A (주식회사 세미콘라이트) 2011.04.06 단락 4-25, 청구항 1 및 도면 1-4 참조.	1-5, 7-10
A		6
Y	JP 2009-246207 A (ASAHI KASEI ELECTRONICS CO., LTD.) 2009.10.22 단락 26-60, 청구항 1-5 및 도면 1-8 참조.	1-5
Y	KR 10-2004-0050281 A (엘지이노텍 주식회사) 2004.06.16 페이지 2, 청구항 1 및 도면 1-4 참조.	7-10
Y	JP 2005-317931 A (NICHIA CHEM. IND., LTD.) 2005.11.10 단락 15-40, 청구항 1 및 도면 1-6 참조.	8-10
A	US 2014-0217540 A1 (TELEDYNE SCIENTIFIC & IMAGING, LLC.) 2014.08.07 단락 31-48, 청구항 1 및 도면 1-3 참조.	1-10

☐ 추가 문헌이 C(계속)에 기재되어 있습니다.

☒ 대응특허에 관한 별지를 참조하십시오.

* 인용된 문헌의 특별 카테고리:

“A” 특별히 관련이 없는 것으로 보이는 일반적인 기술수준을 정의한 문헌

“T” 국제출원일 또는 우선일 후에 공개된 문헌으로, 출원과 상충하지 않으며 발명의 기초가 되는 원리나 이론을 이해하기 위해 인용된 문헌

“E” 국제출원일보다 빠른 출원일 또는 우선일을 가지나 국제출원일 이후에 공개된 선출원 또는 특허 문헌

“X” 특별한 관련이 있는 문헌. 해당 문헌 하나만으로 청구된 발명의 신규성 또는 진보성이 없는 것으로 본다.

“L” 우선권 주장에 의문을 제기하는 문헌 또는 다른 인용문헌의 공개일 또는 다른 특별한 이유(이유를 명시)를 밝히기 위하여 인용된 문헌

“Y” 특별한 관련이 있는 문헌. 해당 문헌이 하나 이상의 다른 문헌과 조합하는 경우로 그 조합이 당업자에게 자명한 경우 청구된 발명은 진보성이 없는 것으로 본다.

“O” 구두 개시, 사용, 전시 또는 기타 수단을 언급하고 있는 문헌

“&” 동일한 대응특허문헌에 속하는 문헌

“P” 우선일 이후에 공개되었으나 국제출원일 이전에 공개된 문헌

국제조사의 실제 완료일

2017년 05월 17일 (17.05.2017)

국제조사보고서 발송일

2017년 05월 17일 (17.05.2017)

ISA/KR의 명칭 및 우편주소



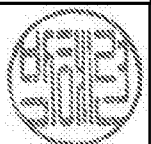
대한민국 특허청
(35208) 대전광역시 서구 청사로 189,
4동 (둔산동, 정부대전청사)

팩스 번호 +82-42-481-8578

심사관

박혜련

전화번호 +82-42-481-3463



국제조사보고서에서 인용된 특허문헌	공개일	대응특허문헌	공개일
KR 10-2011-0035273 A	2011/04/06	KR 10-1134063 B1 US 2011-0073870 A1 US 8373174 B2	2012/04/13 2011/03/31 2013/02/12
JP 2009-246207 A	2009/10/22	JP 5266521 B2	2013/08/21
KR 10-2004-0050281 A	2004/06/16	없음	
JP 2005-317931 A	2005/11/10	JP 4977957 B2 US 2005-0212002 A1 US 7615798 B2	2012/07/18 2005/09/29 2009/11/10
US 2014-0217540 A1	2014/08/07	없음	