



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2015-0007980  
(43) 공개일자 2015년01월21일

(51) 국제특허분류(Int. Cl.)  
*H02H 9/02* (2006.01) *H02H 3/027* (2006.01)  
(21) 출원번호 10-2014-0086636  
(22) 출원일자 2014년07월10일  
심사청구일자 없음  
(30) 우선권주장  
14/300,999 2014년06월10일 미국(US)  
61/845,491 2013년07월12일 미국(US)

(71) 출원인  
리니어 테크놀러지 코포레이션  
미합중국 캘리포니아 95035-7487 밀피타스 맥카씨  
블러바드 1630  
(72) 발명자  
시몬슨, 조슈아 존  
미국, 캘리포니아 94586, 엘라미다, 선슬, 킬케어  
로드 505  
수, 레이빗 헨리  
미국, 캘리포니아 94024, 로스 알토스, 벤비뉴 에  
비뉴 645  
옴밍어, 크리스토퍼 브루스  
미국, 캘리포니아 94041, 마운틴 뷰, 부시 스트리  
트 561  
(74) 대리인  
특허법인씨엔에스

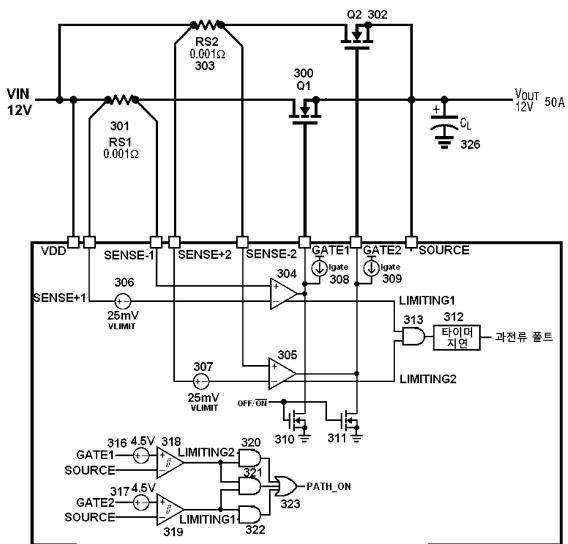
전체 청구항 수 : 총 27 항

(54) 발명의 명칭 여러 스위치를 이용한 돌입 제어

### (57) 요약

입력 노드로부터 출력 노드에 연결된 부하로 전력을 공급하는 신규한 시스템이 제안된다. 본 시스템은 입력 노드와 출력 노드에 연결된 여러 스위치를 가질 수 있다. 하나 이상의 제한 회로가 스위치의 출력을 제한하기 위하여 스위치를 제어하도록 구성될 수 있다. 예를 들어, 제한 회로는 해당하는 스위치를 통한 전류를 제한할 수 있다. 하나 이상의 타이머는 제한이 개시된 후에 폴트 상태를 나타내기 위한 지연 기간을 설정할 수 있다.

대 표 도 - 도3



## 특허청구의 범위

### 청구항 1

입력 노드로부터 출력 노드에 연결된 부하로 전력을 공급하는 시스템에 있어서,  
상기 입력 노드 및 상기 출력 노드 사이에 연결된 제1 및 제2 스위치;  
상기 제1 스위치의 출력을 제한하기 위하여 상기 제1 스위치를 제어하도록 구성되는 제1 제한 회로;  
상기 제2 스위치의 출력을 제한하기 위하여 상기 제2 스위치를 제어하도록 구성되고, 상기 제1 제한 회로와 독립적으로 동작하는 제2 제한 회로; 및  
상기 제1 제한 회로가 상기 제1 스위치의 출력을 제한하고 있는 것을 나타내는 제1 상태 신호에 응답하고, 상기 제2 제한 회로가 상기 제2 스위치의 출력을 제한하고 있는 것을 나타내는 제2 상태 신호에 응답하는 논리 회로를 포함하고,  
상기 논리 회로는 상기 제1 상태 신호 및 상기 제2 상태 신호를 모두 수신한 후에 출력 신호를 생성하도록 구성되는,  
전력을 공급하는 시스템.

### 청구항 2

제1항에 있어서,  
상기 제1 제한 회로는 상기 제1 스위치를 통한 전류를 제한하고, 상기 제2 제한 회로는 상기 제2 스위치를 통한 전류를 제한하는,  
전력을 공급하는 시스템.

### 청구항 3

제1항에 있어서,  
지연 기간의 만료 후에 폴트 상태를 나타내기 위하여 상기 논리 회로의 출력 신호에 응답하는 타이머 회로를 더 포함하는,  
전력을 공급하는 시스템.

### 청구항 4

제1항에 있어서,  
상기 제1 스위치에서 전류를 감지하기 위한 제1 전류 감지 요소와, 상기 제2 스위치에서 전류를 감지하기 위한 제2 전류 감지 요소를 더 포함하는,  
전력을 공급하는 시스템.

### 청구항 5

제4항에 있어서,  
상기 제1 전류 제한 회로는 제1 감지 요소에 의해 감지된 전류에 응답하고, 상기 제2 전류 제한 회로는 제2 감

지 요소에 의해 감지된 전류에 응답하는,  
전력을 공급하는 시스템.

#### 청구항 6

제5항에 있어서,  
상기 입력 노드와 상기 출력 노드 사이에 제공되는 전력 경로가 턴온된 것을 나타내는 경로 온 신호(path on signal)를 생성하기 위한 표시 회로(indicative circuit)를 더 포함하고,  
상기 표시 회로는,  
상기 제1 스위치가 온 상태인 것을 검출하기 위한 제1 검출 회로, 및  
상기 제2 스위치가 온 상태인 것을 검출하기 위한 제2 검출 회로  
를 포함하는,  
전력을 공급하는 시스템.

#### 청구항 7

제6항에 있어서,  
상기 표시 회로는, 상기 제1 및 제2 스위치 모두가 온 상태에 있을 때, 또는 상기 제1 및 제2 스위치 중 어느 하나가 온 상태에 있고 상기 제1 및 제2 스위치 중 다른 하나와 관련된 제한 회로가 해당하는 스위치의 출력을 제한하고 있을 때, 상기 경로 온 신호를 생성하도록 구성되는,  
전력을 공급하는 시스템.

#### 청구항 8

제1항에 있어서,  
상기 제1 스위치는 상기 입력 노드 및 상기 출력 노드 사이에 연결되고, 상기 제2 스위치는 상기 입력 노드 및 상기 출력 노드 사이에 상기 제1 스위치에 병렬로 연결되는,  
전력을 공급하는 시스템.

#### 청구항 9

제1항에 있어서,  
상기 제1 및 제2 스위치는 동시에 턴온 또는 턴오프되는,  
전력을 공급하는 시스템.

#### 청구항 10

제3항에 있어서,  
상기 제1 및 제2 스위치는 상기 지연 기간의 만료 후에 턴오프되는,  
전력을 공급하는 시스템.

### 청구항 11

입력 노드로부터 출력 노드에 연결된 부하로 전력을 공급하는 시스템에 있어서,  
상기 입력 노드 및 상기 출력 노드 사이에 연결된 제1 및 제2 스위치;  
상기 제1 스위치를 통해 흐르는 전류를 제1 값으로 제한하기 위하여 상기 제1 스위치를 제어하도록 구성되는 제1 전류 제한 회로;  
상기 제2 스위치를 통해 흐르는 전류를 상기 제1 값보다 더 큰 제2 값으로 제한하기 위하여 상기 제2 스위치를 제어하도록 구성되는 제2 전류 제한 회로  
를 포함하는,  
전력을 공급하는 시스템.

### 청구항 12

제11항에 있어서,  
상기 제2 스위치는 상기 제1 스위치가 턴온될 때 오프 상태로 유지되고,  
상기 제2 스위치는 상기 제1 스위치가 온 상태에 있는 것을 나타내는 신호에 응답하여 턴온되는,  
전력을 공급하는 시스템.

### 청구항 13

제12항에 있어서,  
상기 제2 스위치는 상기 제1 스위치 주위로 부하 전류를 위한 저저항 경로를 제공하도록 구성되는,  
전력을 공급하는 시스템.

### 청구항 14

제11항에 있어서,  
상기 제1 스위치에서 전류를 감지하기 위한 제1 전류 감지 요소와, 상기 제2 스위치에서 전류를 감지하기 위한 제2 전류 감지 요소를 더 포함하고, 상기 제1 전류 감지 요소의 민감도는 상기 제2 전류 감지 요소의 민감도보다 더 큰,  
전력을 공급하는 시스템.

### 청구항 15

제14항에 있어서,  
상기 제1 전류 제한 회로는 상기 제1 감지 요소에 의해 감지된 전류에 응답하고, 상기 제2 전류 제한 회로는 상기 제2 감지 요소에 의해 감지된 전류에 응답하는,  
전력을 공급하는 시스템.

### 청구항 16

제11항에 있어서,

상기 제1 전류 제한 회로가 상기 제1 스위치를 통한 전류를 제한하기 위하여 전류 제한 모드로 동작하기 시작하는 것을 나타내는 제1 상태 신호에 응답하여 제1 지연 기간을 개시하는 제1 타이머, 및

상기 제2 전류 제한 회로가 상기 제2 스위치를 통한 전류를 제한하기 위하여 전류 제한 모드로 동작하기 시작하는 것을 나타내는 제2 상태 신호에 응답하여 제2 지연 기간을 개시하는 제2 타이머

를 구비하는 타이머 회로를 더 포함하는,

전력을 공급하는 시스템.

### 청구항 17

제16항에 있어서,

상기 타이머 회로는 상기 제1 지연 기간 또는 상기 제2 지연 기간의 만료 후에 폴트 상태를 나타내도록 구성되는,

전력을 공급하는 시스템.

### 청구항 18

제11항에 있어서,

상기 입력 노드와 상기 출력 노드 사이에 제공되는 전력 경로가 턴온된 것을 나타내는 경로 온 신호를 생성하기 위한 표시 회로를 더 포함하고, 상기 표시 회로는, 상기 제1 스위치의 상태를 검출하지 않고서, 상기 제2 스위치가 온 상태에 있을 때 상기 경로 온 신호를 생성하도록 구성되는,

전력을 공급하는 시스템.

### 청구항 19

입력 노드로부터 출력 노드에 연결된 부하로 전력을 공급하는 시스템에 있어서,

상기 입력 노드 및 상기 출력 노드 사이에 연결된 제1 및 제2 스위치로서, 상기 제1 스위치는 상기 제2 스위치 보다 더 많은 전력을 소비하도록 구성되는, 상기 제1 및 제2 스위치; 및

상기 제2 스위치의 출력을 레귤레이트하지 않으면서 상기 제1 스위치의 출력을 제한하기 위하여 상기 제1 스위치를 제어하도록 구성되는 제한 회로

를 포함하는,

전력을 공급하는 시스템.

### 청구항 20

제19항에 있어서,

상기 제한 회로는 상기 제1 스위치를 통한 전류를 제한하는,

전력을 공급하는 시스템.

### 청구항 21

제20항에 있어서,

상기 제한 회로는 상기 제2 스위치가 턴오프될 때 상기 제1 스위치를 통해 흐르는 전류를 제한하기 위하여 상기

제1 스위치를 제어하도록 구성되는,  
전력을 공급하는 시스템.

#### 청구항 22

제19항에 있어서,  
상기 제2 스위치는 상기 제1 스위치가 턴온될 때 오프 상태로 유지되고, 상기 제2 스위치는 상기 제1 스위치가 온 상태에 있고 상기 제2 스위치에 걸린 전압이 임계 레벨 아래에 있을 때 턴온되는,  
전력을 공급하는 시스템.

#### 청구항 23

제19항에 있어서,  
상기 제2 스위치는 상기 제1 스위치 주위로 부하 전류를 위한 저저항 경로를 제공하도록 구성되는,  
전력을 공급하는 시스템.

#### 청구항 24

제19항에 있어서,  
상기 제2 스위치는 상기 제2 스위치에 걸린 전압이 임계 레벨을 초과할 때 턴오프되는,  
전력을 공급하는 시스템.

#### 청구항 25

제19항에 있어서,  
상기 제2 스위치는 상기 제1 스위치의 게이트-소스 전압이 임계 레벨 아래로 떨어질 때 턴오프되는,  
전력을 공급하는 시스템.

#### 청구항 26

제19항에 있어서,  
상기 제2 스위치는 상기 제1 스위치가 턴오프될 때 턴오프되는,  
전력을 공급하는 시스템.

#### 청구항 27

제19항에 있어서,  
상기 입력 노드와 상기 출력 노드 사이에 제공되는 전력 경로가 턴온된 것을 나타내는 경로 온 신호를 생성하기 위한 표시 회로를 더 포함하고, 상기 표시 회로는, 상기 제2 스위치의 상태를 검출하지 않고서, 상기 제1 스위치가 온 상태에 있을 때 상기 경로 온 신호를 생성하도록 구성되는,  
전력을 공급하는 시스템.

## 명세서

### 기술분야

[0001] 본 출원은 2013년 7월 12일 출원되고 발명의 명칭이 "INRUSH CONTROL WITH MULTIPLE SWITCHES"인 미국 가특허 출원 제61/845,491호의 우선권을 주장한다.

[0002] [기술분야]

[0003] 본 개시 내용은 일반적으로 전기 시스템에서 돌입 전류(inrush current) 및 고장 전류(fault current)를 제한하기 위한 회로에 관한 것이다. 특히, 본 개시 내용은 고전력 시스템에서 돌입 전류와 고장 전류를 제한하기 위하여 여러 스위치를 병렬로 동작시키는 방법을 제공한다.

### 배경기술

[0004] 핫 스왑(hot swap) 회로는 전력을 입력 소스로부터 부하로 제어 및 보호 방식으로 인가한다. 이러한 컨트롤러의 한 가지 기능은, 전력이 먼저 인가될 때 또는 전원 전압이 갑자기 증가하는 경우, 전원으로부터 부하, 특히 부하 커패시턴스로의 돌입 전류를 제한하는 것이다. 다른 기능은 부하가 너무 많은 전류를 인입하려고 시도하는 경우, 예를 들어, 부하에 단락 전류가 있는 경우, 전류를 제한하는 것이다.

[0005] 도 1은 전류를 제한하기 위한 제어 회로와 함께 전류 감지 저항(102)(RS1)과 직렬로 단일 MOSFET(100)을 이용하는 종래의 핫 스왑 회로를 도시한다. 다양한 이러한 회로는 상업적으로 입수 가능하다. 전류를 제한할 때, 전류 제한 증폭기(104)는 전류 감지 저항(102)에 걸린 전압 및 이에 따른 MOSFET(100)을 통한 전류를 제한하기 위하여 MOSFET 게이트-소스 전압을 조정한다. 전류 제한 증폭기(104)는 전류 감지 저항(102)에서의 전류를 나타내는 전압을 전압원(106)에 의해 생성되는 전압 VLIMIT와 비교하여 감지된 전류가 전압 VLIMIT에 의해 확립되는 최댓값을 초과할 때 출력 전류를 감소시키도록 MOSFET(100)의 게이트를 제어한다. 전류원(108)은 게이트 전압을 풀업(pull up)하기 위하여 제공된다. 트랜지스터(110)는 핫 스왑 회로를 턴온 또는 턴오프하기 위하여 제공된다.

[0006] 이 동안, MOSFET(100)을 통한 전압 및 전류는 모두 커서, MOSFET(100)에서의 고전력 소비를 야기한다. 이러한 전력 소비가 지속된다면, MOSFET(100)은 손상을 일으키는 온도에 도달할 수 있다. MOSFET 제조자는 MOSFET 전압, 전류 및 시간에 대한 안전 허용치를 SOA(Safe Operating Area)라 하는 곡선으로서 제공한다. 일반적으로, 타이머 회로(112)는 MOSFET이 전류 허용치 내에 동작하는 최대 시간을 설정한다. 타이머 회로(112)는 전류 제한 증폭기(104)가 전류를 제한하기 시작하는 순간을 검출하기 위하여 전류 제한 증폭기(104)의 상태 편에 연결된다. 타이머 회로(112)에 의해 설정된 지연 기간이 만료할 때, MOSFET(100)은 과열을 방지하기 위하여 턴오프된다. 부하는 전력을 잃을 것이며, 핫 스왑 컨트롤러는 폴트가 발생하였다는 것을 나타낼 것이다.

[0007] 종종 고전력 핫 스왑 애플리케이션은 부하에 걸쳐 대형의 바이패스 커패시터(126)(C<sub>L</sub>)를 충전할 필요가 있다. MOSFET(100)에서 스트레스를 감소시키기 위하여, 부하는 바이패스 커패시터(126)가 충전될 때까지 오프 상태로 유지될 수 있다. 커패시턴스에 대한 작은 충전 전류는 MOSFET(100)에서의 전력을 온도의 위험한 상승을 방지하기에 충분히 낮게 유지한다. 충전 전류를 감소시키기 위한 하나의 방법은 게이트 편의 전압 슬루 레이트(slew rate)를 제한하기 위하여 MOSFET 게이트와 접지 사이에 연결된 커패시터(125)를 이용한다. 게이트 전압은 통상적으로 10 내지 50 $\mu$ A의 범위에 있는 전류원(108)으로부터의 전류에 의해 풀업된다. MOSFET(100)은 부하 커패시턴스를 충전하는 동안 소스 팔로워(source follower) 역할을 한다. 다른 방법은 부하 커패시턴스를 충전하는 전류를 설정하기 위하여 전류 제한 증폭기(104)를 이용한다. 어떠한 방법도 스타트업 기간이 MOSFET(100)의 SOA 내에 머무르도록 돌입 전류를 강하시킬 수 있다. 충전이 완료되면, 핫 스왑 컨트롤러는 전체 전류가 부하에 사용 가능하다는 것을 보여주도록 전류 경로가 온인 것을 나타내는 출력(PATH\_ON)을 제공할 수 있다. 스위

치의 온 상태는 이의 제어 신호를 모니터링함으로써 결정될 수 있다. MOSFET 스위치(100)에 대하여, 예를 들어, 이것은 MOSFET(100)의 게이트-소스 전압을 MOSFET(100)의 임계 전압보다 훨씬 높은 전압원(116)에 의해 생성된 임계 전압, 예를 들어 4.5V와 비교하는 히스테리시스 비교기(118)로 수행될 수 있다.

**[0008]** 핫 스왑 스위치 자체는 시스템에서의 전력 손실의 원인인 저항을 가진다. MOSFET 스위치에서, 이 저항은 온저항(on-resistance)라 한다. 큰 부하 전류를 갖는 고전력 시스템은 이 온저항 때문에 상당한 전력 손실을 가진다. 종종, 도 2에 도시된 바와 같이, 종래의 고전류 핫 스왑 회로는 단일 MOSFET을 이용하여 획득 가능하지 않은 낮은 온저항을 달성하기 위하여 병렬로 배열된 여러 MOSFET(200, 203)(Q1 및 Q2)을 사용한다. 도 2에서의 핫 스왑 회로는 도 1에서의 해당하는 요소와 유사한 전류 및 전력 제어 회로 요소(202, 204, 206, 208 210, 212, 216, 218, 225, 226)를 이용한다.

**[0009]** 높은 전력 레벨에서, 충분한 SOA 능력과 핫 스왑 스위치 역할을 하기에 충분히 낮은 온저항 모두를 갖는 MOSFET을 찾는 것은 어렵다. 높은 SOA 성능은 전력을 소비할 수 있는 MOSFET에서의 다이 면적(die area)의 양에 강하게 연관된다. 대부분의 현대의 MOSFET 제조는 다이 면적 및 온저항 모두를 감소시키는데 초점이 맞추어져 있으며, 이는 역시 SOA 성능을 감소시킨다. 높은 SOA를 갖는 MOSFET 공정은 일반적으로 단위 다이 면적 당 높은 온저항을 가진다. 반대로, 낮은 SOA를 갖는 MOSFET은 단위 면적당 낮은 온저항을 가지는 경향이 있다. 고전력 애플리케이션에 대하여, 단일 MSOFET에서 필요한 SOA를 획득하는 것은 종종 실용적이지도 않고 경제적이지도 않다.

**[0010]** 여러 MOSFET을 병렬로 이용하는 것은 결합 온저항을 감소시키지만, SOA를 반드시 증가시키는 것은 아니다. 병렬 MOSFET은 MOSFET 온저항이 양의 온도 계수를 가지기 때문에 채널이 완전히 강화될 때 전류를 양호하게 공유한다. 그러나, 전류를 제한할 때, 병렬 MOSFET은 높은 드레인-소스 전압으로 보통 포화되어 동작한다. 이들의 임계 전압이 일치되지 않고 음의 온도 계수를 갖기 때문에, 이들은 전류를 양호하게 공유하지 않는다. 이것은 가장 낮은 임계 전압을 갖는 MOSFET이 다른 것보다 더 많은 전류를 반송하게 한다. 이 MOSFET이 발열함에 따라, 그 임계 전압이 더 강하하기 때문에 훨씬 더 많은 전류를 반송하는 경향이 있다. 따라서, 모든 부하 전류가 단일 MOSFET에 의해 반송될 수 있다. 이러한 이유로, 병렬 MOSFET 그룹이 전류를 제한하도록 동작할 때, 이들은 단일 MOSFET의 SOA를 갖는 것으로만 기대될 수 있다.

**[0011]** 모든 부하가 스타트업 및 돌입 동안 턴오프될 수 있는 것은 아니다. 게이트 커패시터는 부하 커패시턴스에 대한 돌입 전류를 제한한다. 그러나, 이는 부하에 걸쳐 저항성 폴트 또는 저항성 부하로 흐르는 전류를 제한하지 않는다. 추가 전류는 MOSFET 스위치에 부과된 스트레스에 더해지고 필요 SOA를 증가시킨다.

**[0012]** 따라서, 전술한 단점을 극복하기 위하여 여러 스위치를 제어하기 위한 돌입 전류 제어 회로 및 방법을 개발하는 것이 바람직할 것이다.

### 발명의 내용

**[0013]** 본 개시 내용은 입력 노드로부터 출력 노드에 연결된 부하에 전력을 공급하는 신규한 시스템을 제공한다.

**[0014]** 본 개시 내용의 일 양태에 따르면, 시스템은 입력 노드 및 출력 노드 사이에 연결된 제1 및 제2 스위치와, 제1 스위치의 출력을 제한하기 위하여 제1 스위치를 제어하도록 구성되는 제1 제한 회로와, 제2 스위치의 출력을 제한하기 위하여 제2 스위치를 제어하도록 구성되는 제2 제한 회로를 포함한다. 제2 제한 회로는 제1 제한 회로에 독립적으로 동작하도록 구성된다. 예를 들어, 제1 제한 회로는 제1 스위치를 통한 전류를 제한할 수 있고, 제2 제한 회로는 제2 스위치를 통한 전류를 제한할 수 있다. 논리 회로는 제1 및 제2 상태 신호에 응답하여 출력 신호를 생성하도록 제공된다. 제1 상태 신호는 제1 제한 회로가 제1 스위치의 출력을 제한하고 있는 것을

나타내고, 제2 상태 신호는 제2 제한 회로가 제2 스위치의 출력을 제한하고 있는 것을 나타낸다. 논리 회로는 제1 상태 신호 및 제2 상태 신호를 모두 수신한 후에 출력 신호를 생성한다.

[0015] 논리 회로의 출력 신호에 응답하는 타이머 회로는 지연 기간의 만료 후에 폴트 상태를 나타낼 수 있다.

[0016] 제1 전류 감지 요소는 제1 스위치에서의 전류를 감지하도록 제공될 수 있으며, 제2 전류 감지 요소는 제2 스위치에서의 전류를 감지하도록 제공될 수 있다.

[0017] 제1 제한 회로는 제1 감지 요소에 의해 감지된 전류에 응답할 수 있으며, 제2 제한 회로는 제2 감지 요소에 의해 감지된 전류에 응답할 수 있다.

[0018] 또한, 본 시스템은 입력 노드와 출력 노드 사이에 제공된 전력 경로가 턴온되어 있는 것을 나타내는 경로 온 신호(path on signal)를 생성하기 위한 표시 회로를 가질 수 있다. 표시 회로는 제1 스위치가 온 상태 있는 것을 검출하는 제1 검출 회로와, 제2 스위치가 온 상태 있는 것을 검출하는 제2 검출 회로를 포함할 수 있다.

[0019] 표시 회로는 제1 및 제2 스위치 모두가 온 상태에 있거나, 제1 및 제2 스위치 중 하나가 온 상태에 있고 제1 및 제2 스위치 중 다른 하나와 관련된 전류 제한 회로가 전류 제한 모드에 있을 때 경로 온 신호를 생성하도록 구성될 수 있다.

[0020] 예시적인 실시예에서, 제1 스위치는 입력 노드와 출력 노드 사이에 연결될 수 있고, 제2 스위치는 입력 노드와 출력 노드 사이에 제1 스위치와 병렬로 연결될 수 있다. 제1 및 제2 스위치는 동시에 턴온 또는 턴오프될 수 있다. 제1 및 제2 스위치 모두는 지연 기간의 만류 후에 턴오프될 수 있다.

[0021] 본 개시 내용의 다른 양태에 따르면, 입력 노드로부터 출력 노드에 연결된 부하에 전력을 공급하는 시스템은 입력 노드와 출력 노드 사이에 연결된 제1 및 제2 스위치와, 제1 스위치를 통해 흐르는 전류를 제1 값으로 제한하기 위하여 제1 스위치를 제어하도록 구성되는 제1 제한 회로와, 제2 스위치를 통해 흐르는 전류를 제1 값보다 더 큰 제2 값으로 제한하기 위하여 제2 스위치를 제어하도록 구성되는 제2 제한 회로를 포함한다.

[0022] 제2 스위치는 제1 스위치가 턴온될 때 오프 상태로 유지될 수 있고, 제2 스위치는 제1 스위치가 온 상태에 있는 것을 나타내는 신호에 응답하여 턴온될 수 있다. 제2 스위치는 제1 스위치 주위로 부하 전류를 위한 저저항(low resistance) 경로를 제공하도록 구성될 수 있다.

[0023] 제1 전류 감지 요소가 제1 스위치에서 전류를 감지하기 위하여 제공될 수 있고, 제2 전류 감지 요소가 제2 스위치에서 전류를 감지하기 위하여 제공될 수 있다. 제1 전류 감지 요소의 민감도는 제2 전류 감지 요소의 민감도 보다 더 클 수 있고, 전류 감지 요소들은 감지 저항일 수 있으며, 민감도는 해당하는 저항의 전기 저항값에 대응할 수 있다. 제1 전류 제한 회로는 제1 감지 요소에 의해 감지된 전류에 응답할 수 있고, 제2 전류 제한 회로는 제2 감지 요소에 의해 감지된 전류에 응답할 수 있다.

[0024] 본 시스템은, 제1 전류 제한 회로가 제1 스위치를 통한 전류를 제한하기 위하여 전류 제한 모드로 동작하기 시작하는 것을 나타내는 제1 상태 신호에 응답하여 제1 지연 기간을 개시하도록 구성된 제1 타이머와, 제2 전류 제한 회로가 제2 스위치를 통한 전류를 제한하기 위하여 전류 제한 모드로 동작하기 시작하는 것을 나타내는 제2 상태 신호에 응답하여 제2 지연 기간을 개시하도록 구성된 제2 타이머를 구비하는 타이머 회로를 더 포함할

수 있다. 제1 지연 기간은 제2 지연 기간보다 더 길 수 있다. 타이머 회로는 제1 지연 기간 또는 제2 지연 기간의 만료 후에 폴트 상태를 나타내도록 구성될 수 있다.

[0025] 표시 회로는, 제1 스위치의 상태를 검출하지 않고서, 제2 스위치가 온 상태에 있을 때 경로 온 신호를 생성하도록 구성될 수 있다.

[0026] 본 개시 내용의 다른 양태에 따라, 시스템은 입력 노드로부터 출력 노드에 연결된 부하로 전력을 공급하는 시스템은 입력 노드 및 출력 노드 사이에 연결된 제1 및 제2 스위치를 포함하며, 제1 스위치는 제2 스위치보다 더 많은 전력을 소비하도록 구성된다. 단일 제한 회로가 제2 스위치의 출력을 레귤레이트하지 않으면서 제1 스위치의 출력을 제한하기 위하여 제1 스위치를 제어하도록 구성될 수 있다. 예를 들어, 단일 제한 회로는 제2 스위치가 턴오프될 때 제1 스위치를 통한 전류를 제한하기 위하여 제1 스위치를 제어하도록 구성될 수 있다.

[0027] 제2 스위치는 제1 스위치가 턴온될 때 오프 상태로 유지될 수 있고, 제2 스위치는 제1 스위치가 온 상태에 있고 제2 스위치에 걸린 전압이 임계 레벨 아래에 있을 때 턴온될 수 있다. 제2 스위치는 제1 스위치 주위로 부하 전류를 위한 저저항 경로를 제공하도록 구성될 수 있다. 제2 스위치는, 제2 스위치에 걸린 전압이 임계 레벨을 초과할 때, 제1 스위치의 게이트-소스 전압이 임계 레벨 아래로 떨어질 때, 또는 제1 스위치가 턴오프될 때 턴오프될 수 있다.

[0028] 표시 회로는, 제2 스위치의 상태를 검출하지 않고서, 제1 스위치가 온 상태에 있을 때 경로 온 신호를 생성하도록 구성될 수 있다.

[0029] 본 개시 내용의 추가적인 이점 및 양태는 이어지는 발명을 실시하기 위한 구체적인 내용으로부터 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자에게 명백하게 될 수 있으며, 본 개시 내용의 실시예들은 단지 본 개시 내용을 실시하기 위하여 착안된 최상의 형태에 대한 예로서 예시되고 설명된다. 설명되는 바와 같이, 본 개시 내용은, 본 개시 내용의 기술적 사상을 벗어나지 않으면서, 다른 상이한 실시예가 가능하고, 이의 여러 상세는 명확하고 다양한 사항에서 수정될 수 있다. 따라서, 도면 및 설명은 한정적인 것이 아니라 본질적으로 예시적인 것으로 간주되어야 한다.

### 도면의 간단한 설명

[0030] 본 개시 내용의 이어지는 발명을 실시하기 위한 구체적인 내용은 반드시 배율에 맞춰 작성될 필요가 없고 적절한 특징을 최상으로 예시하도록 작성되는 다음의 도면과 함께 읽어질 때 가장 잘 이해될 수 있다.

도 1 및 2는 종래의 핫 스왑 컨트롤러를 도시한다.

도 3은 본 개시 내용에 따른 핫 스왑 컨트롤러의 예시적인 제1 실시예를 도시한다.

도 4는 본 개시 내용에 따른 핫 스왑 컨트롤러의 예시적인 제2 실시예를 도시한다.

도 5는 본 개시 내용에 따른 핫 스왑 컨트롤러의 예시적인 제3 실시예를 도시한다.

### 발명을 실시하기 위한 구체적인 내용

[0031] 본 개시 내용은 여러 MOSFET을 제어하는 개별 제어 회로를 제공한다. 이러한 제어는 여러 MOSFET이 동시에 병렬로 동작되거나 스테이지들 사이에서 시간 지연을 가지면서 단계적으로 스타트업될 수 있게 한다. 이는 MOSFET에 대한 가열 스트레스가 동시에 또는 시간상 분리되어 여러 MOSFET에 걸쳐 분산될 수 있게 한다.

[0032] 본 개시 내용에 따라, 각각의 스위치에 대한 개별 제어 회로가 스위치들 사이에서 전력 소비를 분산할 수 있다.

각각의 스위치의 SOA 성능은 더욱 효율적으로 사용된다. 상이한 시간에 스위치를 터온하는 것은 상이한 MOSFET이 스트리밍 돌입 및 입력 전압 단계 돌입 동안 그리고 부하 전류가 터온될 때 사용될 수 있게 한다. 이러한 상이한 동작 모드에 대하여 최적화된 MOSFET은 모든 동작 모드를 다루는데 필요한 MOSFET보다 저가일 수 있다.

[0033] 본 개시 내용은 도 3, 4 및 5에 제공된 핫 스왑 컨트롤러에 대한 특정 예를 이용하여 이루어질 것이다. 그러나, 본 개시 내용은 부하에 전력을 공급하기 위한 임의의 스위칭 회로에 적용 가능하다.

[0034] 도 3은 병렬로 동시에 동작하는 2개의 MOSFET(300, 302)을 갖는 핫 스왑 컨트롤러에 대한 예시적인 실시예를 도시한다. 각각의 MOSFET(300, 302)은 해당하는 전류 감지 저항(301, 303) 및 해당하는 전류 제한 증폭기(304, 305)를 이용하여 독립적으로 제어된다. 전류 감지 저항(301)은 양의 노드(SENSE+1)와 MOSFET(300)을 나타내는 음의 노드(SENSE-1) 사이에 연결되고, 전류 감지 저항(303)은 양의 노드(SENSE+2)와 MOSFET(302)을 나타내는 음의 노드(SENSE-2) 사이에 연결된다. 전류 제한 증폭기(304, 305)의 각각은, 해당하는 저항(301, 302)에서 감지된 전류가 해당하는 전압원(306, 307)에 의해 제공된 VLIMIT 전압에 의해 정의되는 최대 전류값을 초과할 때 MOSFET(300, 302)의 출력에서 전류를 제한하기 위하여 다른 증폭기로부터 독립적으로 해당하는 MOSFET(300, 302)의 게이트를 제어한다. 전류원(308, 309)은 각각 MOSFET(300, 302)의 게이트 전압을 풀업하기 위한 전류를 제공한다. 트랜지스터(310, 311)는 해당하는 MOSFET(300, 302)을 터온 및 터오프하기 위하여 제공된다.

[0035] 전류 제한 증폭기(304, 305)의 상태 출력에서 각각 생성된 신호 LIMITING1 및 LIMITING2는 과전류 폴트 상태(overcurrent fault condition)를 나타내기 위한 지연 기간을 설정하는 타이머(312)로 공급되는 출력 신호를 생성하는 AND 게이트(313)의 해당하는 입력에 공급된다.

[0036] 전류를 제한할 때, 전류 제한 증폭기(304, 305)에 의해 제공된 독립적인 게이트 제어는 이들의 임계 전압 또는 온도에서의 어떠한 불일치에도 불구하고 MOSFET(300, 302) 사이에 전류 및 스트레스를 정확하게 분할한다. 따라서, 주어진 부하 전력에 대하여, 2개의 더 작고 덜 비싼 MOSFET을 이용할 수 있다. 기판 저항(board resistance), 증폭기 오프셋 및 불일치 효과는 전류 제한 증폭기(304, 305) 중 하나가 제2 전류 증폭기보다 더 낮은 레벨로 전류를 제한하게 한다. 제2 전류 제한 증폭기와 관련된 MOSFET이 완전한 온 상태를 유지하기 때문에, MOSFET(300, 302) 모두에 대하여 드레인-소스 전압(VDS)을 낮게 유지하면, 어떠한 MOSFET도 이 상태에서 상당한 발열을 겪지 않을 것이다. 스위치(300, 302)의 결합 임피던스는 여전히 낮고 부하는 동작을 계속할 수 있다.

[0037] 부하 전류가 MOSFET(300, 302)의 모두가 전류를 제한하기 시작하는 지점까지 증가할 때에만, VDS 및 소비 전력은 증가하기 시작하여, MOSFET이 보호를 위하여 셧오프될 필요가 있다. AND 게이트(313) 때문에, 타이머(312)는 LIMITING 1 및 LIMITING 2 신호 모두가 생성될 때에만, 즉, 전류 증폭기(304, 305)가 모두 전류를 제한하기 위하여 동작하고 있을 때에만, 타이머(312)가 개시된다. 타이머(312)에 의해 확립된 지연 기간이 만료할 때, MOSFET(300, 302)이 모두 터오프되어야만 한다는 것을 나타내기 위한 과전류 폴트 신호가 생성된다.

[0038] 또한, 도 3에서의 핫 스왑 회로는, 완전한 전류가 부하에 사용 가능하다는 것을 나타내기 위하여, 전력 경로가 온인 것을 나타내는 신호 PATH\_ON을 생성하는 회로를 포함할 수 있다. 이 회로는 임계 전압원(316, 317), 히스테리시스 비교기(318, 319), AND 게이트(320, 321, 322) 및 OR 게이트(323)를 포함한다. 비교기(318)는 MOSFET(300)의 게이트-소스 전압이 전압원(316)에 의해 생성된 임계 전압을 언제 초과하는지 모니터하고, 비교기(319)는 MOSFET(302)의 게이트-소스 전압이 전압원(317)에 의해 생성된 임계 전압을 언제 초과하는지 나타낸다. 양 임계 전압은 MOSFET 임계 전압보다 훨씬 높게, 예를 들어, 4.5V로 설정될 수 있다.

[0039] AND 게이트(320)의 하나의 입력은 비교기(318)의 출력 신호를 수신하고, AND 게이트(320)의 다른 하나의 입력은 LIMITING 2 신호를 공급받는다. AND 게이트(321)는 비교기(318, 319)의 출력 신호를 공급받는다. AND 게이트

(322)의 하나의 입력은 비교기(319)의 출력 신호를 수신하고, AND 게이트(322)의 다른 하나의 입력은 LIMITING 1 신호를 공급받는다. AND 게이트(320, 321, 322)의 출력은 OR 게이트(323)의 해당하는 입력에 연결된다. 그 결과, OR 게이트(323)는 양 MOSFET의 어떤 것이 완전히 온으로 될 때, 또는 MOSFET 중 하나가 다른 MOSFET이 전류 제한 모드로 동작하고 있을 때 완전히 온인 경우에, PATH\_ON 신호를 나타낸다. MOSFET(300, 302)의 양쪽이 턴오프되는 경우에 PATH\_ON 신호는 로우(low)가 될 것이다. 또한, 도 3은 부하에 제공된 바이패스 커패시터(326)를 도시한다.

[0040] 돌입 전류가 낮은 레벨로 제한될 수 있는 애플리케이션에서, 병렬 MOSFET은, 병렬 MOSFET(400, 402)을 갖는 핫스왑 컨트롤러에 대한 예시적인 실시예를 제공하는 도 4에 도시된 바와 같이, 단계적으로 동작될 수 있다. MOSFET(400)은 MOSFET(402)보다 전력을 덜 소비할 수 있다. 특히, MOSFET(400)은 부하가 저전류 상태에서 유지되는 동안 부하 전압을 제공하여 부하 커패시턴스를 충전하기 위한 스타트업 MOSFET으로서 동작한다. 이것은 MOSFET(400)이 높은 온저항, 작은 전류 제한 및 낮은 SOA를 가질 수 있게 한다. 따라서, MOSFET(400)은 소형이고 저렴할 수 있다. 후술되는 바와 같이, MOSFET(402)은 스타트업 MOSFET(400)이 완전히 턴온된 후에만 턴온되는 션트(shunt) MOSFET으로서 동작한다.

[0041] 도 4에서의 핫 스왑 컨트롤러는 전류 감지 저항(401, 403)과 해당하는 전류 제한 증폭기(404, 405)를 구비한다. 전류 감지 저항(401)은 MOSFET(400)을 통한 전류의 측정을 허용하도록 양의 노드(SENSE+1)와 음의 노드(SENSE-1) 사이에 연결되고, 전류 감지 저항(403)은 MOSFET(402)을 통한 전류의 측정을 허용하도록 양의 노드(SENSE+2)와 음의 노드(SENSE-2) 사이에 연결된다. 전류 감지 저항(401)은, MOSFET(402)보다 더 작은 전류 제한으로 MOSFET(400)을 동작시키도록, 전류 감지 저항(403)의 저항값보다 훨씬 더 높은 저항값을 가질 수 있다.

[0042] 전류 제한 증폭기(404, 405)는, 해당하는 저항(401, 403)에서 감지된 전류가 해당하는 VLIMIT 소스(406, 407)에 의해 정의되는 최대 전류값을 초과할 때 MOSFET(400, 402)의 출력에서 전류를 제한하도록, 해당하는 MOSFET(400, 402)의 게이트를 제어한다. 전류원(408, 409)은 각각 MOSFET(400, 402)의 게이트 전압을 풀업하기 위한 전류를 제공한다. 트랜지스터(410, 411)는 해당하는 MOSFET(400, 402)을 턴온 및 턴오프하기 위하여 제어된다.

[0043] 또한, 도 4에서의 회로는 타이머(412, 414), OR 게이트(413), RS 래치 회로(415), 전압원(416, 417), 히스테리시스 비교기(418, 419)를 포함한다. 게이트 커패시터(425)는 MOSFET(425)의 게이트와 접지 사이에 연결되어 낮은 충전 전류를 획득할 수 있다. 바이패스 부하 커패시터(426)가 부하에 걸쳐 연결될 수 있다.

[0044] 전류 제한 증폭기(404, 405)의 상태 출력에서 각각 생성된 신호 LIMITING 1 및 LIMITING 2는 타이머(412, 414)에 공급된다. 스타트업 MOSFET(400)과 관련된 타이머(412)에 의해 정의되는 지연 기간은 MOSFET(402)과 관련된 타이머(414)의 지연 기간보다 더 길 수 있다.

[0045] 스타트업 MOSFET(400)이 완전히 턴온된 후, 션트 MOSFET(402)가 턴온된다. 래치 회로(415)는 게이트-소스 전압이 임계 전압을 초과하였다고 결정함으로써 MOSFET(400)이 온인 것을 비교기(418)가 검출할 때까지 MOSFET(402)을 오프로 유지한다. 션트 MOSFET(402)은 MOSFET(400) 주위로 부하 전류를 위한 저저항 경로를 제공한다.

[0046] VDS가 작을 때 션트 MOSFET(402)가 턴온되기 때문에, 이는 큰 SOA를 가질 필요가 없다. 또한, 이는 더 작은 SOA에 대응하는, 타이머(414)에 의해 제공되는 더 짧은 지연 기간을 필요로 할 수 있다. 2개의 MOSFET(400, 402)로 전력을 단계적으로 인가함으로써, 양 MOSFET의 SOA 요구가 감소되고, MOSFET(400)의 온저항 요구는 더 커질 수 있다. 전력 경로가 온인 것을 나타내는 PATH\_ON 신호는, 션트 MOSFET(402)의 게이트-소스 전압이 임계 전압을 초과하였을 때 비교기(419)에 의해 생성되어, 저저항 채널이 완전히 온이 되어 부하 전류를 지원할 수 있다는 것을 나타낸다.

[0047]

일부 애플리케이션은, 심지어 스타트업 동안에서도, 항상 온인 부하를 가지거나, 핫 스왑 MOSFET에 추가적인 스트레스를 주는 입력 계단(step) 및 출력 서지(surge)에 노출된다. 이러한 경우에, 핫 스왑 컨트롤러 내의 병렬 MOSFET은, 감지 저항(501)에 걸린 전압과 전압원(506)에 의해 생성된 VLIMIT 전압에 기초하여 출력 전류를 제한하기 위하여, MOSFET(500, 502)과, MOSFET(500, 502)에 의해 공유되는 단일 감지 저항(501)과, MOSFET(500)의 게이트를 제어하기 위한 단일 전류 제한 증폭기(504)를 포함하는 핫 스왑 컨트롤러의 예시적인 실시예를 제공하는 도 5에 도시된 바와 같이, 단계적으로 동작될 수 있다. 전류원(508, 509)은 각각 MOSFET(500, 502)의 게이트 전압을 풀업하기 위한 전류를 제공한다. 트랜지스터(510, 511)는 해당하는 MOSFET(500, 502)을 턴온 및 턴오프하도록 제어된다. 타이머(512)는, 타이머(512)에 의해 설정된 지연 기간이 만료한 후에 과전류 폴트 상태를 나타내기 위하여 전류 제한 모드로 진입하는 때를 검출하기 위해 전류 제한 증폭기(504)에 연결된다.

[0048]

또한, 도 5에서의 핫 스왑 컨트롤러는 전압원(516)에 의해 생성된 임계 전압에 대하여 MOSFET(500)의 게이트-소스 전압을 모니터링하는 히스테리시스 비교기(518)를 포함한다. PATH\_ON 신호를 생성하는 비교기(518)의 출력은 GATE1\_OFF 신호를 OR 게이트(521)의 입력에 공급하는 인버터(520)에 연결된다. OR 게이트(521)의 출력은 트랜지스터(511)의 게이트를 제어하는 OR 게이트(522)의 입력에 공급되는 STRESS 신호를 생성한다. OR 게이트(522)의 다른 입력은 MOSFET(500)을 턴온 및 턴오프하는 OFF/ON# 신호를 제공받는다. 히스테리시스 비교기(524)는 전압원(523)에 의해 생성된 임계 전압에 대하여 MOSFET(500, 502)의 드레인-소스 전압을 모니터하고, STRESS 신호를 생성하는 OR 게이트(521)의 입력에 출력 신호를 공급한다.

[0049]

MOSFET(500)은 부하 커패시턴스(526)를 충전하고 부하 전압을 제공하기 위한 스트레스 MOSFET으로서 동작한다. 이는 스타트업과 같은 제한된 지속 시간을 갖는 과도 기간 동안 부하 전류를 제공하고 입력 전압을 변경한다. MOSFET(500)은 MOSFET(502)보다 더 큰 전력 소비를 갖는다. MOSFET(500)은 큰 전류 및 큰 VDS로 동작하며, 높은 SOA 등급을 가진다. 그러나, MOSFET(500)은 제한된 지속 시간의 과도 기간 동안에만 부하 전류를 지원하기 때문에 낮은 온저항을 요구하지 않는다. 또한, 이는 타이머(512)에 의해 제공된 긴 지연 기간을 필요로 한다.

[0050]

MOSFET(502)은 상태가 안정적이고 변동하고 있지 않을 때 MOSFET(500) 주위로 부하 전류를 위한 저저항 경로를 제공하기 위한 션트 MOSFET로서 동작한다. MOSFET(502)은 VDS가 전압원(523)에 의해 제공되는 임계 전압을 초과할 때마다 또는 MOSFET(500)의 게이트-소스 전압이 전압원(516)에 의해 제공된 임계 전압 아래에 있는 경우에, 예를 들어 MOSFET(500)이 전류 제한 모드로 동작할 때, 보호를 위하여 STRESS 신호에 의해 턴오프된다. 전압원(523)에 의해 정의되는 임계 전압은, 예를 들어 200mV로 설정될 수 있으며, 전압원(516)의 임계 전압은, 예를 들어, 4.5V로 설정될 수 있다.

[0051]

MOSFET(502)은, MOSFET(500)이 완전히 턴온되고 VDS가 전압원(523)에 의해 정의되는 임계 전압 아래에 있다는 것을 나타내는, STRESS 신호가 로우일 때만 턴온된다. 따라서, MOSFET(502)은 매우 낮은 온저항을 가질 수 있다. MOSFET(502)이 낮은 VDS로 턴온되기 때문에, 큰 SOA를 가질 필요가 없다. MOSFET(502)은 결코 포화되어 동작하지 않고, 따라서 낮은 온저항을 획득하기 위하여 MOSFET(502) 대신에 여러 병렬 MOSFET이 사용될 수 있다. 비교기(528)에 의해 생성된 PATH\_ON 신호는 스트레스 MOSFET(500)의 온 상태로부터 얻어진다. MOSFET(500)이 온일 때마다, 부하가 전력을 끌어오는 것이 허용된다.

[0052]

따라서, 본 개시 내용은 개별적으로 제어되는 병렬 MOSFET을 이용하여 핫 스왑 컨트롤러의 SOA 성능을 개선하는 것을 가능하게 한다.

[0053]

MOSFET의 게이트-소스 전압 레벨은 핫 스왑 컨트롤러 내의 스위치가 온인지 결정하기 위한 조건으로서 사용될 수 있다. 이 대신에, MOSFET의 드레인-소스 전압이 핫 스왑 컨트롤러 내의 스위치가 온인지 결정하기 위한 조건으로서 사용될 수 있다. 신호에 있어서의 스위치의 조합이 부하 전류가 턴온될 수 있는지 여부를 나타내기

위하여 PATH\_ON 신호를 생성하기 위하여 사용될 수 있다.

[0054] 2개의 스위치 경로가 도 3 내지 5에서의 예시적인 실시예에 도시되지만, 핫 스왑 컨트롤러의 구성은 더 많은 병렬 스위치 경로로 확장될 수 있다.

[0055] 또한, 경로 당 단일 MOSFET 스위치가 도 3 내지 5에 도시된다. 그러나, 이들 경로의 각각은 여러 MOSFET 스위치를 병렬로 사용할 수 있다.

[0056] 또한, N 타입 MOSFET 스위치가 제공된 예시적인 실시예에 도시되지만, 스위치는 PMOS 트랜지스터, 바이폴라 트랜지스터, IGBT 또는 릴레이와 같은 다른 장치로 구현될 수 있다.

[0057] 더하여, 도 5에서의 예시적인 실시예를 위한 STRESS 신호는 게이트-소스 전압, 드레인-소스 전압을 모니터링하는 것, 또는 STRESS MOSFET에서의 전류 제한 또는 션트 MOSFET 온도를 검출하는 것을 단독으로 또는 조합하여 수행함으로써 생성될 수 있다.

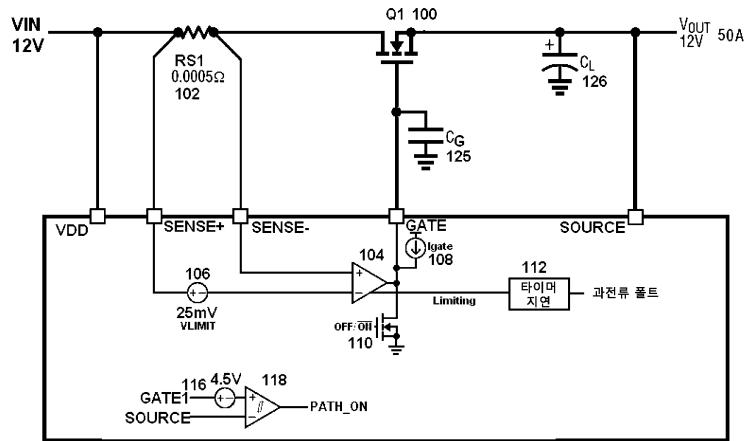
[0058] MOSFET이 온인 것을 나타내는 표시는 게이트-소스 전압 또는 드레인-소스 전압을 단독으로 또는 조합하여 모니터링함으로써 얻어질 수 있다. 또한, 도 3, 4 및 5에 제공된 개별 스위치 제어 회로는, 예시적인 실시예에서 나타낸 바와 같이, 병렬이 아니라 직렬로 배열된 스위치를 제어하는데 사용될 수 있다.

[0059] 전술한 발명을 실시하기 위한 구체적인 내용은 본 발명의 양태를 예시하고 설명한다. 또한, 본 개시 내용은 단지 바람직한 실시예만을 나타내고 설명하지만, 전술한 바와 같이, 본 발명은 다양한 다른 조합, 변형 및 환경에서 사용될 수 있고, 본 명세서에 표현된 바와 같은 본 발명의 개념의 범위 내에서 전술한 내용 및/또는 관련 기술 분야에서의 기술이나 지식과 상응하여 변경 또는 수정이 가능하다.

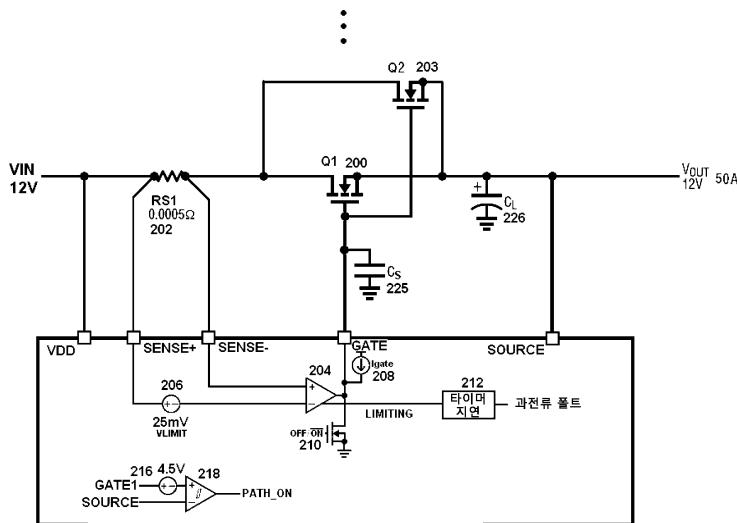
[0060] 더하여, 전술한 실시예는 본 발명을 실시하기 위한 최선의 형태를 설명하고, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 본 발명의 특정 애플리케이션 또는 용도에 의해 요구되는 다양한 변형으로 그러한 실시예 또는 다른 실시예에서 본 발명을 활용할 수 있게 하도록 의도된다. 따라서, 발명을 실시하기 위한 구체적인 내용은 본 발명을 본 명세서에 개시된 형태로 제한하려고 의도되지 않는다.

## 도면

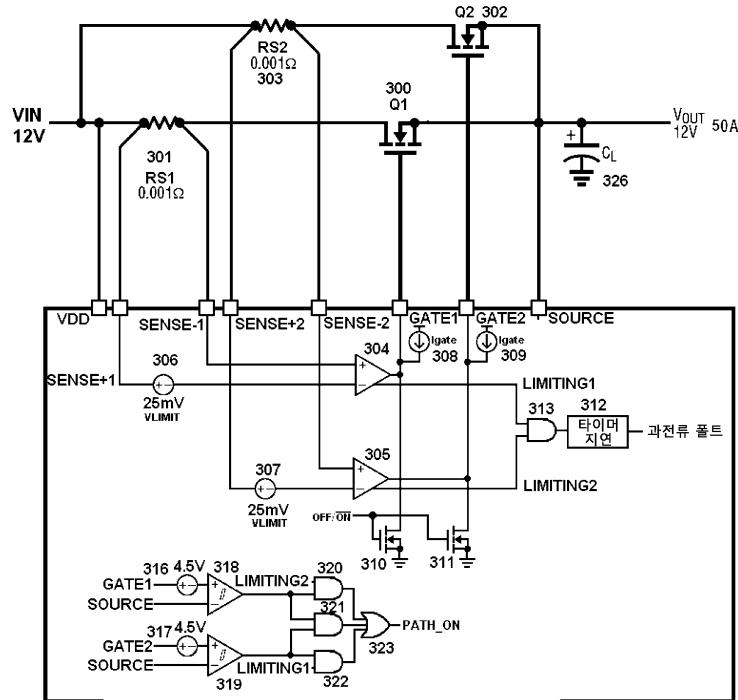
## 도면1



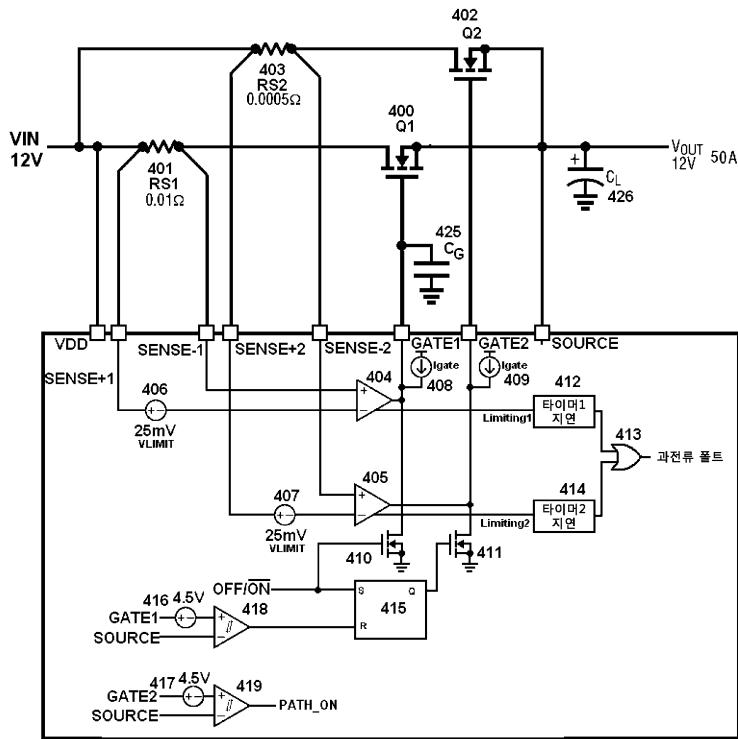
## 도면2



## 도면3



## 도면4



## 도면5

