

(43) 国際公開日
2007 年 12 月 6 日 (06.12.2007)

PCT

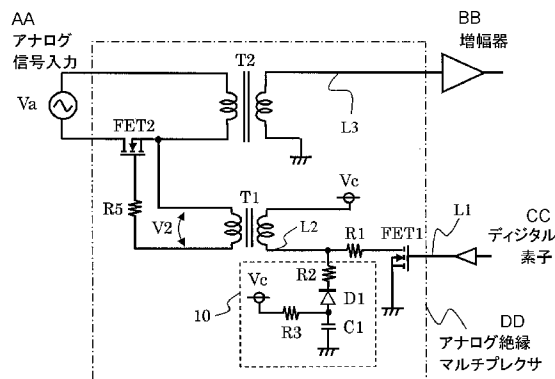
(10) 国際公開番号
WO 2007/138791 A1

- (51) 国際特許分類:
H03K 17/693 (2006.01) H03F 3/38 (2006.01)
- (21) 国際出願番号: PCT/JP2007/057876
- (22) 国際出願日: 2007 年 4 月 10 日 (10.04.2007)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願2006-146599 2006 年 5 月 26 日 (26.05.2006) JP
- (71) 出願人 (米国を除く全ての指定国について): 三菱電機株式会社 (MITSUBISHI ELECTRIC CORPORATION) [JP/JP]; 〒1008310 東京都千代田区丸の内二丁目 7 番 3 号 Tokyo (JP).
- (72) 発明者; および
(75) 発明者/出願人 (米国についてのみ): 斉藤 成一 (SAITO, Seiichi) [JP/JP]; 〒1008310 東京都千代田区丸の内二丁目 7 番 3 号 三菱電機株式会社内 Tokyo (JP).
- (74) 代理人: 曾我 道照, 外 (SOGA, Michiteru et al.); 〒1000005 東京都千代田区丸の内三丁目 1 番 1 号 国際ビルディング 8 階 曾我特許事務所 Tokyo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL,

[続葉有]

(54) Title: ANALOG INSULATION/MULTIPLEXER

(54) 発明の名称: アナログ絶縁マルチプレクサ



AA... ANALOG SIGNAL INPUT
BB... AMPLIFIER
CC... DIGITAL ELEMENT
DD... ANALOG INSULATION MULTIPLEXER

(57) Abstract: It is possible to provide an analog insulation/multiplexer not causing magnetic saturation even when a small-size transformer is used and having a wide use temperature range. The analog insulation/multiplexer includes: a first switching element (FET1) for generating a drive control signal in response to an external signal; a drive insulation transformer (T1) having a primary side to which the drive control signal is applied via a first resistor (R1) and a secondary side to which an insulated drive control signal is outputted; a second switching element (FET2) for chopping the analog signal input in accordance with the insulated drive control signal; and an analog signal insulation transformer (T2) for outputting the insulated chopping analog signal to the secondary side. The analog insulation/multiplexer further includes a secondary side output adjusting circuit (10) having a second resistor (R2) connected to the primary side of the drive insulation transformer (T1) in parallel to the first resistor (R1) and a capacitor (C1) having one end grounded and the other end connected in series to the second resistor.

(57) 要約: 小型のトランスを用いた場合でも磁気飽和を起こさず、使用温度範囲の広いアナログ絶縁マルチプレクサを得る。外部信号に応じてドライブ制御信号を生成する第1のスイッチング素子FET1と、ドライブ制御信号が第1の抵抗R1を介して1次側に印加され、絶縁されたドライブ制御信号を2次側に出力するドライブ用絶縁トランスT1と、絶縁されたドライブ制

[続葉有]

WO 2007/138791 A1



SM, SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ,
VC, VN, ZA, ZM, ZW.

TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW,
ML, MR, NE, SN, TD, TG).

- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, LV, MC, MT, NL, PL, PT, RO, SE, SI, SK,

添付公開書類:

— 国際調査報告書

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

御信号に応じてアナログ信号入力をチョッピングする第2のスイッチング素子FET2と、絶縁されたチョッピングアナログ信号を2次側に出力するアナログ信号絶縁トランスT2とを備え、ドライブ用絶縁トランスT1の一次側に、第1の抵抗R1と並列接続された第2の抵抗R2と、一端が接地され他端が第2の抵抗に直列接続されたコンデンサC1とを有する2次側出力調整回路10をさらに備える。

明 細 書

アナログ絶縁マルチプレクサ

技術分野

[0001] 本発明は、信号源のグラウンドの影響を除去してアナログ信号を収集するために用いられるアナログ絶縁マルチプレクサに関する。

背景技術

[0002] 信号源のグラウンドの影響を除去し、かつ低コストにアナログ信号を収集するために、アナログ信号の各点をグラウンドと絶縁したアナログ絶縁マルチプレクサを用いたアナログ信号収集装置が従来から用いられている。

[0003] 図6は、従来のアナログ絶縁マルチプレクサを実装したアナログ信号収集装置の構成図である。また、図7は、従来のアナログ絶縁マルチプレクサの回路構成図である。図7に示すアナログ絶縁マルチプレクサにおいて、アナログ信号をグラウンドと絶縁して入力するために、アナログ信号をFETスイッチFET2(第2のスイッチング素子に相当)でチョッパしたものをアナログ信号絶縁トランスT2の1次側に加える必要がある。

[0004] 従って、FETスイッチFET2をドライブするために、ドライブ用絶縁トランスT1の1次側を別のFETスイッチFET1(第1のスイッチング素子に相当)により電流の入り切りを制御する方法がとられていた(例えば、特許文献1参照)。特許文献1には、アナログ信号絶縁トランスT2の1次側のFETスイッチFET2の各種構成が示されているとともに、ドライブ用絶縁トランスT1をパルス駆動することが示されている。

[0005] また、ドライブ用絶縁トランスT1をドライブする回路としては、ダイオードおよびコイルを組み合わせることによって、ドライブ時間をデータに応じて減らしてサグを減らす方法が提案されている(例えば、特許文献2参照)。

[0006] 特許文献1:特公昭60-10449号公報

特許文献2:特開昭63-158911号公報

発明の開示

発明が解決しようとする課題

[0007] しかしながら、従来技術には次のような課題がある。従来のアナログ絶縁マルチプ

レクサでは、ドライブ用絶縁トランスは、一定のパルス電圧をドライブする方法である。そのため、トランスを小型化しようとするサグが大きくなる、あるいは高温時にトランスが磁気飽和を起こすことにより、正常にアナログデータを収集できない場合がある。

[0008] 図8は、従来のアナログ絶縁マルチプレクサにおけるドライブ用絶縁トランスT1の2次側電圧V2の時間波形を示した図である。トランス小型化によって、ドライブ開始時には、FETスイッチFET2のスレシヨルド電圧 V_{th} を超える十分な電圧を有する。しかしながら、ドライブ後半では、サグによって電圧が低下して V_{th} を超えることができず、FETスイッチFET2がオンできなくなってしまう。

[0009] また、データに応じてドライブ時間を制御するなどのドライブ時間を短くする方法は、アナログマルチプレクサにおいては、ドライブパルスが一定間隔で行なわれる場合が多く、適用が難しい。そして、ドライブ時間を短くすると、マルチプレクサから出力されるアナログ信号のパルス幅が狭くなるため、接続される増幅器の応答時間が不足して十分セトリングされない、あるいは後段のサンプルホールドが応答できないといった問題が起こる。

[0010] 本発明は上述のような課題を解決するためになされたもので、小型あるいは超小型のトランスを用いた場合でも磁気飽和を起こさず、使用温度範囲の広いアナログ絶縁マルチプレクサを得ることを目的とする。

課題を解決するための手段

[0011] 本発明に係るアナログ絶縁マルチプレクサは、外部信号に応じたスイッチングによりドライブ制御信号を生成する第1のスイッチング素子と、ドライブ制御信号が第1の抵抗を介して1次側に印加され、絶縁されたドライブ制御信号を2次側に出力するドライブ用絶縁トランスと、絶縁されたドライブ制御信号に応じてアナログ信号入力をチョッピングし、チョッピングアナログ信号を生成する第2のスイッチング素子と、チョッピングアナログ信号が1次側に印加され、絶縁されたチョッピングアナログ信号を2次側に出力するアナログ信号絶縁トランスとを備えたアナログ絶縁マルチプレクサにおいて、ドライブ用絶縁トランスの一次側と第1の抵抗との間に一端が接続された第2の抵抗と、一端が接地され他端が第2の抵抗に直列接続されたコンデンサとを有する2次側出力調整回路をさらに備えたものである。

発明の効果

- [0012] 本発明によれば、抵抗およびコンデンサの直列回路を含む2次側出力調整回路を備え、この2次側出力調整回路の素子値を所望の値に設計することにより、ドライブ用絶縁トランスの2次側の電圧波形を所望の形状近づけることができ、小型あるいは超小型のトランスを用いた場合でも磁気飽和を起こさず、使用温度範囲の広いアナログ絶縁マルチプレクサを得ることができる。

図面の簡単な説明

- [0013] [図1]本発明の実施の形態1におけるアナログ絶縁マルチプレクサの構成図である。
[図2]本発明の実施の形態1におけるドライブ用絶縁トランスの2次側電圧の時間波形を示した図である。
[図3]本発明の実施の形態2におけるアナログ絶縁マルチプレクサの構成図である。
[図4]本発明の実施の形態3におけるアナログ絶縁マルチプレクサの構成図である。
[図5]本発明の実施の形態4におけるアナログ絶縁マルチプレクサの構成図である。
[図6]従来のアナログ絶縁マルチプレクサを実装したアナログ信号収集装置の構成図である。
[図7]従来のアナログ絶縁マルチプレクサの回路構成図である。
[図8]従来のアナログ絶縁マルチプレクサにおけるドライブ用絶縁トランスの2次側電圧の時間波形を示した図である。

発明を実施するための最良の形態

- [0014] 以下、本発明のアナログ絶縁マルチプレクサの好適な実施の形態につき図面を用いて説明する。

本発明のアナログ絶縁マルチプレクサは、2次側出力調整回路を備えることにより、アナログ信号入力をチョッピングするためのドライブ用絶縁トランスの2次側電圧を、外部からの制御信号のON/OFF期間に応じてスレショルド電圧を超える十分な期間を確保するとともに、バックスイングの収束を速くさせることを可能にするものである。

- [0015] 実施の形態1.

図1は、本発明の実施の形態1におけるアナログ絶縁マルチプレクサの構成図であ

る。図1におけるアナログ絶縁マルチプレクサは、ドライブ用絶縁トランスT1、アナログ信号絶縁トランスT2、電界効果トランジスタFET1、FET2、抵抗R1～R3、ダイオードD1、およびコンデンサC1で構成される。

[0016] ここで、電界効果トランジスタFET1は、第1のスイッチング素子に相当し、電界効果トランジスタFET2は、第2のスイッチング素子に相当する。また、抵抗R1～R3は、それぞれ第1の抵抗～第3の抵抗に相当する。なお、以下においては、スイッチング素子として電界効果トランジスタを用いる場合を説明するが、トランジスタ等の他のスイッチング素子を適用することも可能である。

[0017] 次に、本実施の形態1におけるアナログ絶縁マルチプレクサの動作について説明する。デジタル素子から出力された外部からの制御信号は、信号ラインL1からFET1のゲートに加えられる。そして、FET1は、この外部からの制御信号のON/OFF期間に応じてスイッチング動作を行ない、その結果として、信号ラインL2にドライブ制御信号が得られる。

[0018] FET1がONとなった瞬間は、コンデンサC1には電源電圧Vcが充電されており、FET1のON直後の十分短い時間内において、コンデンサC1は、電圧Vcの電池と考えられる。また、ドライブ用絶縁トランスT1の1次巻線は、FET1がONとなった直後の過渡状態ではインピーダンスが大きく、電流はほとんど流れない。したがって、ドライブ用絶縁トランスT1に接続される信号ラインL2の電圧 V_{L2} は、FET1のON直後において、下式(1)で与えられる。

[0019] [数1]

$$V_{L2} = \frac{R1}{R1 + R2} (Vc - V_{D1}) \quad (1)$$

[0020] 図2は、本発明の実施の形態1におけるドライブ用絶縁トランスT1の2次側電圧V2の時間波形を示した図である。図2に示すように、FET1がONとなった時刻t1におけるV2の値をVsとすると、電圧 $Vs = V_{L2}$ であり、R1とR2の値を調整することで、FET2のスレシヨルド電圧Vthを超える電圧に設定可能である。

[0021] 次に、FET1がONとなり、時間が経つにつれ、Vcに充電されているコンデンサC1

からR2およびR1経由で放電電流が流れ、信号ラインL2の電圧が徐々に上昇する。この放電電流の時定数 τ は、下式(2)で与えられ、C1の容量および(R1+R2)により時定数を変更できる。

[0022] [数2]

$$\tau = (R1+R2) \times C1 \quad (2)$$

[0023] 信号ラインL2の電圧とほぼ同様の電圧が、ドライブ用絶縁トランスT1の2次側の電圧として現れ、図2に示す波形となる。すなわち、抵抗R1、R2の抵抗値およびコンデンサC1の容量値を、上式(1)(2)に基づいて適切に設計することにより、従来技術で問題となるサグの影響が少なく、外部からの制御信号のON期間に応じた十分な時間Tdrvに渡ってV2をVth以上に保つことが可能となる。

[0024] この結果、Tdrvの期間、FET2がONとなり、その期間、アナログ信号Vaがアナログ信号絶縁トランスT2を経由して2次側の信号ラインL3に、Vaの振幅に応じた出力として得られる。

[0025] 外部からの制御信号に応じてFET1がONからOFFとなる(図2における時刻t2に相当)と、ドライブ用絶縁トランスT1の1次側に流れる電流が遮断されるため、ドライブ用絶縁トランスT1のもつインダクタンスにより逆起電力が発生する。

[0026] この逆起電力により、信号ラインL2の電圧がVcの電圧より上昇し、ダイオードD1が逆バイアスとなってD1がOFF(このときはD1がない状態と等価)となる。したがって、信号ラインL2からコンデンサC1が切り離された状態となり、C1が接続されている場合に比べて、バックスイングの収束を速くすることができる。

[0027] 以上のように、実施の形態1によれば、ドライブ用絶縁トランスの1次側に2次側出力調整回路を備えることにより、ドライブ用絶縁トランスの2次側の電圧波形を外部の制御信号に応じた所望の形状に近づけることができる。この結果、ドライブ用絶縁トランスとして小型あるいは超小型のトランスを用いた場合にも、磁気飽和を起こさず、使用温度範囲の広いアナログ絶縁マルチプレクサを得ることができる。

[0028] 実施の形態2.

図3は、本発明の実施の形態2におけるアナログ絶縁マルチプレクサの構成図である。本実施の形態2における図3の構成は、先の実施の形態1における図1の構成と比較すると、2次側出力調整回路10の内部構成が異なっている。具体的には、ダイオードの数が、図1においてはD1の1つだけであったが、図3においてはD1、D2の2つで構成されている。

[0029] 基本的な動作は、先の実施の形態1と同様である。すなわち、FET1がONとなった瞬間は、コンデンサC1には電源電圧V_cが充電されており、FET1のON直後の十分短い時間内において、コンデンサC1は、電圧V_cの電池と考えられる点は、実施の形態1と同じである。

[0030] そして、本実施の形態2では、ダイオードD1およびD2が直列に接続されているため、D1およびD2が同一の電圧降下があるとすれば $2V_{D1}$ が逆バイアス電圧となる。そして、ドライブ用絶縁トランスT1に接続される信号ラインL2の電圧V_{L2}は、FET1のON直後において、下式(3)で与えられる。

[0031] [数3]

$$V_{L2} = \frac{R1}{R1 + R2} (V_c - 2V_{D1}) \quad (3)$$

[0032] すなわち、本実施の形態2においても、R1とR2の値を調整することで、V_sの値をFET2のスレシヨルド電圧V_{th}を超える電圧に設定可能である。特に、本実施の形態2では、先の実施の形態1に比べてV_{D1}だけ過渡時のV_{L2}電圧が下がるので、R2の値を小さくすることができ、設計の自由度が得られる。

[0033] 以上のように、実施の形態2によれば、2次側出力調整回路のダイオードを2個以上直列接続することによっても、先の実施の形態1と同様の効果を得ることができる。さらに、ダイオードの数を増やすことにより、抵抗値の設計自由度を増大させることができる。

[0034] 実施の形態3.

図4は、本発明の実施の形態3におけるアナログ絶縁マルチプレクサの構成図である。本実施の形態3における図4の構成は、先の実施の形態1における図1の構成と

比較すると、2次側出力調整回路10の内部構成が異なっている。具体的には、図1におけるダイオードD1の代わりに、第3のスイッチング素子に相当するFET3、抵抗R6、コンデンサC2を備えている。2次側出力調整回路10以外の基本的な構成は、図1と同様である。

[0035] 図4において、デジタル素子から出力された外部からの制御信号は、信号ラインL1からFET1およびFET3のゲートに加えられ、この制御信号が「H」のときには、FET1およびFET3の両方がONとなる。FET3がONとなると、コンデンサC1が接続され、C1と(R1+R2)の時定数回路となる点は、先の実施の形態1と同様である。

[0036] すなわち、FET1がONとなった瞬間は、コンデンサC1には電源電圧V_cが充電されており、FET1のON直後の十分短い時間内において、コンデンサC1は、電圧V_cの電池と考えられる。

[0037] また、ドライブ用絶縁トランスT1の1次巻線は、FET1がONとなった直後の過渡状態では、インピーダンスが大きく電流はほとんど流れない。したがって、ドライブ用絶縁トランスT1に接続される信号ラインL2の電圧V_{L2}は、FET1のON直後において実施の形態1で述べた式(1)で与えられる。

[0038] FET1が外部からの制御信号に従ってOFFとなると、同時にFET3もOFFとなり、信号ラインL2からコンデンサC1が切り離される。この結果、バックスイングの収束を速くすることができる。FET1がON直後の動作およびOFF後の動作とも、実施の形態1と同様であり、図2に示した波形図がそのまま適用できる。

[0039] 以上のように、実施の形態3によれば、2次側出力調整回路において、ダイオードの代わりに第3のスイッチング素子を用いることによっても、先の実施の形態1と同様の効果を得ることができる。さらに、第3のスイッチング素子を用いてダイオードを不要とすることにより、ダイオードによる順方向電圧ドロップ分を考慮せずに、2次側出力調整回路内の素子値を設計できる。

[0040] 実施の形態4.

図5は、本発明の実施の形態4におけるアナログ絶縁マルチプレクサの構成図である。本実施の形態4における図5の構成は、先の実施の形態1における図1の構成と比較すると、2次側出力調整回路10の内部構成が異なっている。具体的には、図1

におけるダイオードD1、抵抗R3を不要とする代わりに、第4の抵抗に相当する抵抗R4を備えている。2次側出力調整回路10以外の基本的な構成は、図1と同様である。

- [0041] 図5において、デジタル素子から出力された外部からの制御信号は、信号ラインL1からFET1のゲートに加えられ、この制御信号が「H」のときには、FET1がONとなる。FET1がONとなると、コンデンサC1が接続され、C1と(R1+R2)の時定数回路となる点は、先の実施の形態1と同様である。
- [0042] デジタル素子がON時の動作波形は、図2と同様である。一方、デジタル素子がOFFとなったときは、トランスの1次巻線に抵抗R4およびR2経由でC1が接続された状態となる。
- [0043] トランスのバックスイングを早く収束させる上では、実施の形態1～3のようにデジタル素子がOFFとなったときに、C1を切り離した方がよい。しかしながら、C1とトランス1次巻線との間にある程度以上の抵抗値をもたせることでもバックスイング整定効果がある。
- [0044] そこで、本実施の形態4における2次側出力調整回路10は、図5に示すように、ドライブ用絶縁トランスT1の1次側に第4の抵抗に相当する抵抗R4をさらに挿入した構成となっている。すなわち、トランス1次巻線とC1との間に抵抗R2に加えて、第4の抵抗である抵抗R4を加えたことにより、デジタル素子がOFFとなったときのバックスイングを抑える。
- [0045] 以上のように、実施の形態4によれば、2次側出力調整回路において、ダイオードあるいは第3のスイッチング素子をなくす代わりに、第4の抵抗を用いることによっても、外部からの制御信号のON期間に対しては、先の実施の形態1と同様の効果を得ることができる。さらに、外部からの制御信号のOFF期間に対しては、ダイオードあるいは第3のスイッチング素子を用いた場合に比べるとバックスイングの収束性は劣るものの、回路構成を簡易にした上でバックスイングを抑制できる。

請求の範囲

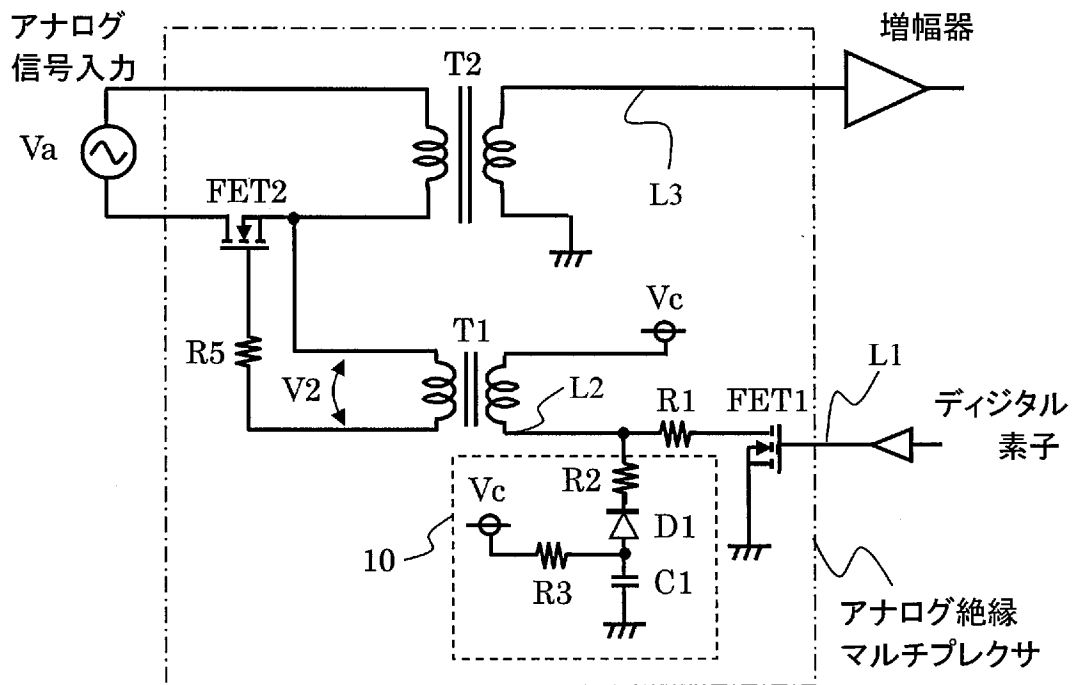
- [1] 外部信号に応じたスイッチングによりドライブ制御信号を生成する第1のスイッチング素子と、
前記ドライブ制御信号が第1の抵抗を介して1次側に印加され、絶縁されたドライブ制御信号を2次側に出力するドライブ用絶縁トランスと、
前記絶縁されたドライブ制御信号に応じてアナログ信号入力をチョッピングし、チョッピングアナログ信号を生成する第2のスイッチング素子と、
前記チョッピングアナログ信号が1次側に印加され、絶縁されたチョッピングアナログ信号を2次側に出力するアナログ信号絶縁トランスと
を備えたアナログ絶縁マルチプレクサにおいて、
前記ドライブ用絶縁トランスの一次側と前記第1の抵抗との間に一端が接続された第2の抵抗と、一端が接地され他端が前記第2の抵抗に直列接続されたコンデンサとを有する2次側出力調整回路をさらに備えたことを特徴とするアナログ絶縁マルチプレクサ。
- [2] 請求項1に記載のアナログ絶縁マルチプレクサにおいて、
前記2次側出力調整回路は、
前記第2の抵抗と前記コンデンサとの間に直列に挿入されたダイオードと、
一端が電源に接続され他端が前記コンデンサと前記ダイオードとの間の接続線に接続される第3の抵抗と
をさらに備えたことを特徴とするアナログ絶縁マルチプレクサ。
- [3] 請求項2に記載のアナログ絶縁マルチプレクサにおいて、
前記2次側出力調整回路内の前記ダイオードは、2個以上のダイオードを直列接続して構成されることを特徴とするアナログ絶縁マルチプレクサ。
- [4] 請求項1に記載のアナログ絶縁マルチプレクサにおいて、
前記2次側出力調整回路は、
前記第2の抵抗と前記コンデンサとの間に直列に挿入され、前記外部信号に応じたスイッチングにより前記第1のスイッチング素子と同様にスイッチングする第3のスイッチング素子と、

一端が電源に接続され他端が前記コンデンサと前記第3のスイッチング素子との間の接続線に接続される第3の抵抗と

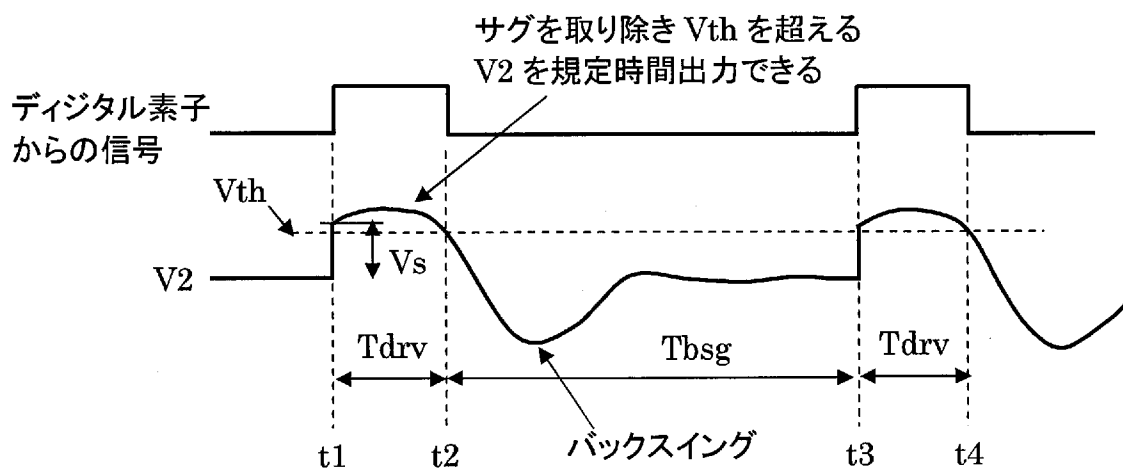
をさらに備えたことを特徴とするアナログ絶縁マルチプレクサ。

- [5] 請求項1に記載のアナログ絶縁マルチプレクサにおいて、
前記2次側出力調整回路は、
前記第1の抵抗および前記第2の抵抗の並列回路と前記ドライブ用絶縁トランスの1次側との間に直列に挿入された第4の抵抗をさらに備えたことを特徴とするアナログ絶縁マルチプレクサ。
- [6] 請求項1ないし5のいずれか1項に記載のアナログ絶縁マルチプレクサにおいて、
前記スイッチング素子は、電界効果トランジスタであることを特徴とするアナログ絶縁マルチプレクサ。
- [7] 請求項1ないし5のいずれか1項に記載のアナログ絶縁マルチプレクサにおいて、
前記スイッチング素子は、トランジスタであることを特徴とするアナログ絶縁マルチプレクサ。

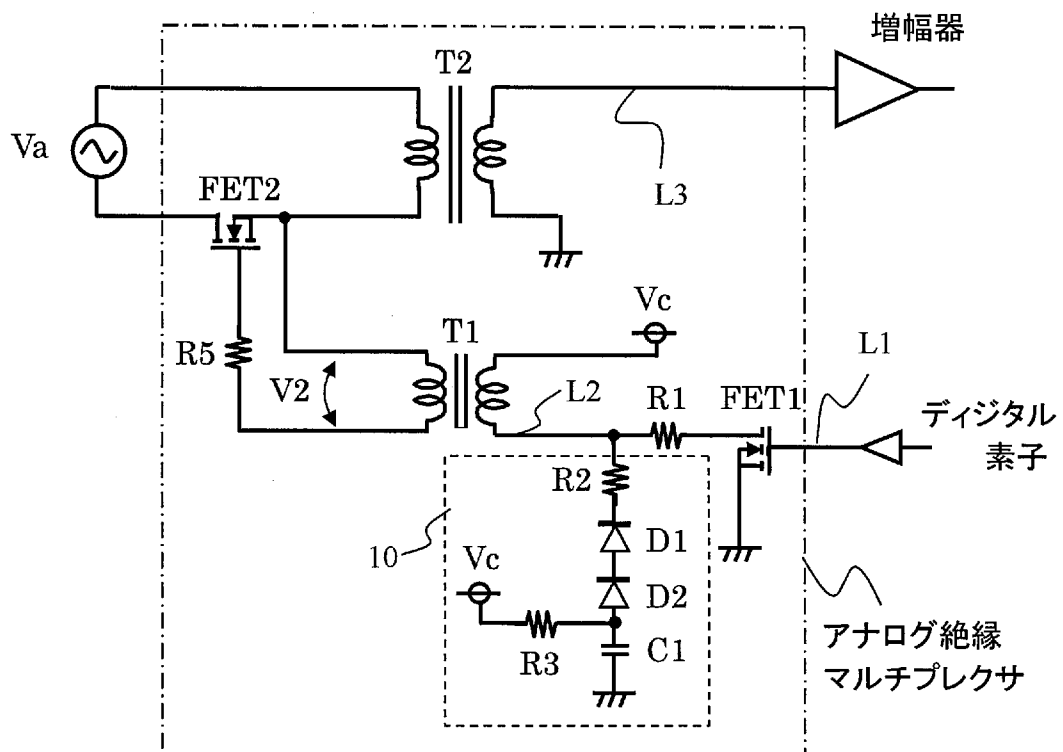
[図1]



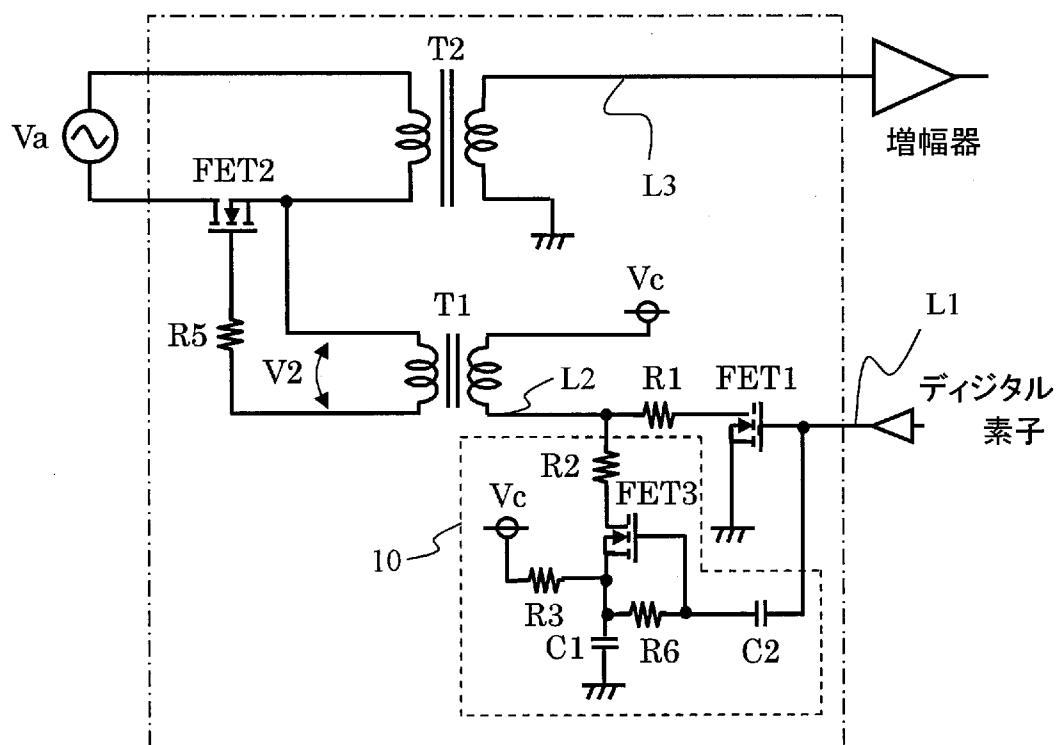
[図2]



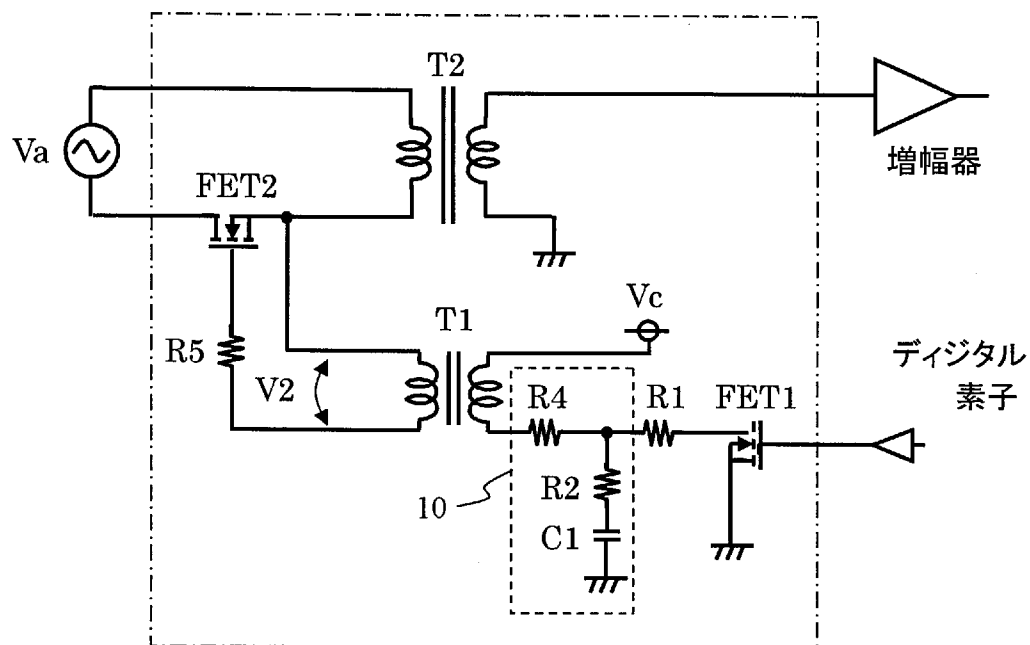
[図3]



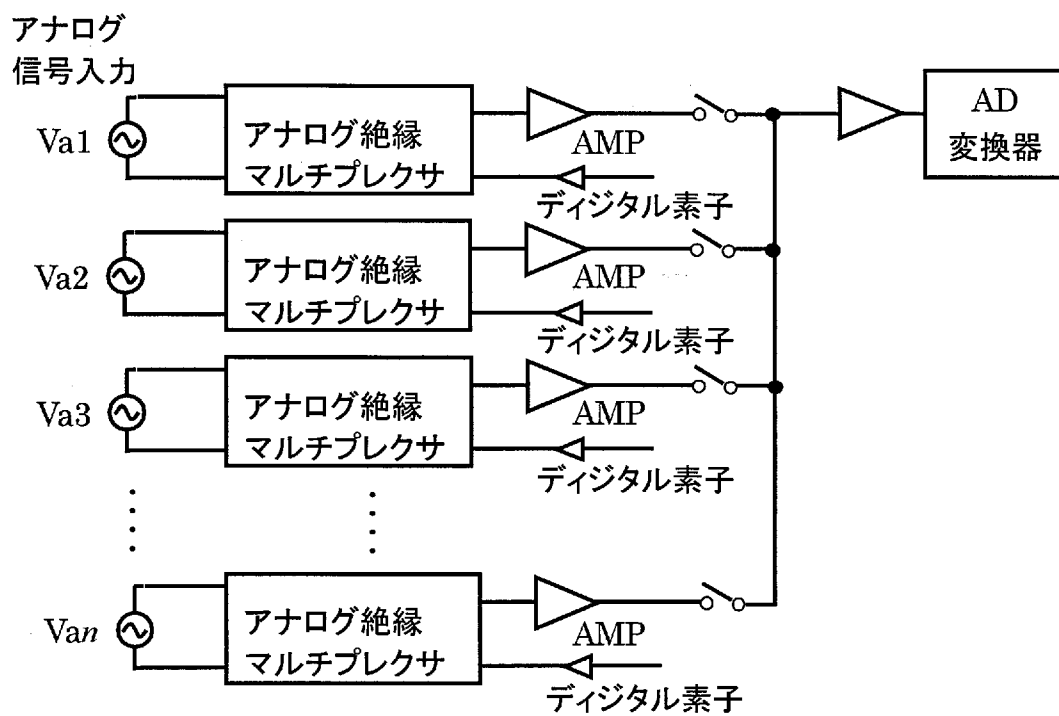
[図4]



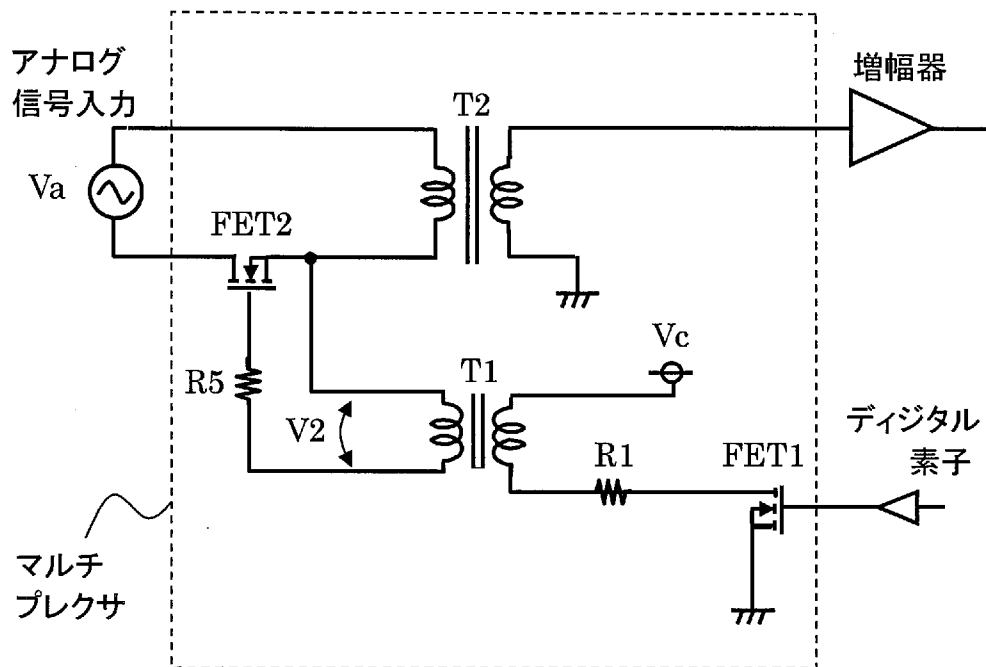
[図5]



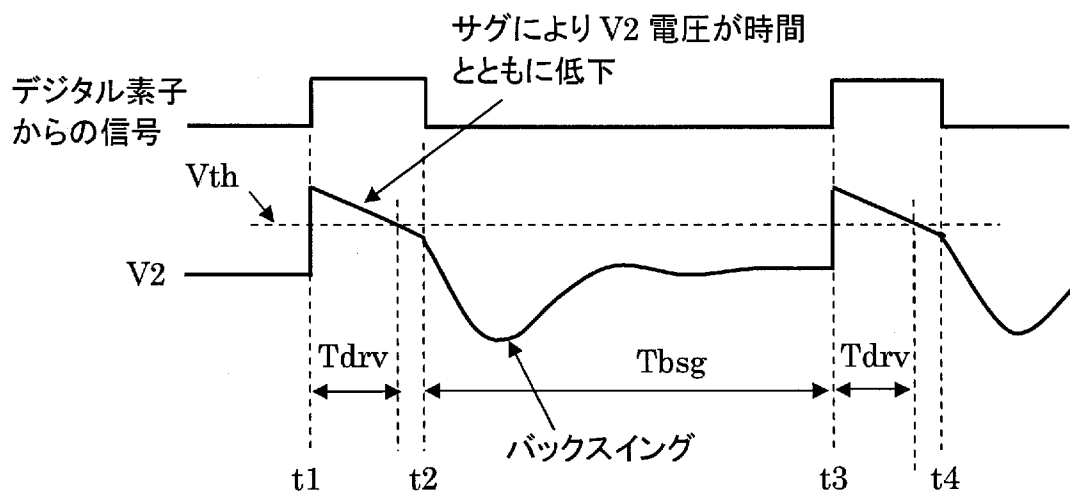
[図6]



[図7]



[図8]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2007/057876

A. CLASSIFICATION OF SUBJECT MATTER

H03K17/693(2006.01) i, H03F3/38(2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H03K17/693, H03F3/38

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2007
Kokai Jitsuyo Shinan Koho	1971-2007	Toroku Jitsuyo Shinan Koho	1994-2007

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	JP 52-32350 A (Mitsubishi Electric Corp.), 05 September, 1977 (05.09.77), Full text; Figs. 2, 3 (Family: none)	1-3, 5-7 4
Y A	JP 62-62619 A (FDK Corp.), 19 March, 1987 (19.03.87), Full text; Fig. 3 (Family: none)	1-3, 5-7 4
Y A	JP 53-52347 A (Denki Onkyo Co., Ltd.), 12 May, 1978 (12.05.78), Full text; Fig. 1 (Family: none)	1-3, 5-7 4

☐ Further documents are listed in the continuation of Box C.☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
28 June, 2007 (28.06.07)Date of mailing of the international search report
10 July, 2007 (10.07.07)Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類（国際特許分類（I P C）） Int.Cl. H03K17/693(2006.01)i, H03F3/38(2006.01)i			
B. 調査を行った分野 調査を行った最小限資料（国際特許分類（I P C）） Int.Cl. H03K17/693, H03F3/38			
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2007年 日本国実用新案登録公報 1996-2007年 日本国登録実用新案公報 1994-2007年			
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）			
C. 関連すると認められる文献			
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示		関連する 請求の範囲の番号
Y A	J P 52-32350 A （三菱電機株式会社） 1977.09.05、 全文、第2図及び第3図 （ファミリーなし）		1-3、5-7 4
Y A	J P 62-62619 A （富士電気化学株式会社） 1987.03.19、 全文、第3図 （ファミリーなし）		1-3、5-7 4
Y A	J P 53-52347 A （電気音響株式会社） 1978.05.12、 全文、第1図 （ファミリーなし）		1-3、5-7 4
☐ C欄の続きにも文献が列挙されている。 ☐ パテントファミリーに関する別紙を参照。			
* 引用文献のカテゴリー 「A」 特に関連のある文献ではなく、一般的技術水準を示すもの 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） 「O」 口頭による開示、使用、展示等に言及する文献 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願日の後に公表された文献 「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」 同一パテントファミリー文献			
国際調査を完了した日 28.06.2007		国際調査報告の発送日 10.07.2007	
国際調査機関の名称及びあて先 日本国特許庁（I S A / J P） 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号		特許庁審査官（権限のある職員） 石田 勝 電話番号 03-3581-1101 内線 3596	5 X 3572