

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3779251号
(P3779251)

(45) 発行日 平成18年5月24日(2006.5.24)

(24) 登録日 平成18年3月10日(2006.3.10)

(51) Int. Cl.

H04L 12/28 (2006.01)

F I

H04L 12/28 ZOOM

請求項の数 1 (全 8 頁)

(21) 出願番号 特願2002-280927 (P2002-280927)
 (22) 出願日 平成14年9月26日(2002.9.26)
 (65) 公開番号 特開2004-120354 (P2004-120354A)
 (43) 公開日 平成16年4月15日(2004.4.15)
 審査請求日 平成15年8月25日(2003.8.25)

(73) 特許権者 000000572
 アンリツ株式会社
 神奈川県厚木市恩名五丁目1番1号
 (74) 代理人 100079337
 弁理士 早川 誠志
 (72) 発明者 橋本 礼一
 東京都港区南麻布五丁目10番27号 ア
 ンリツ株式会社内

審査官 矢頭 尚之

(56) 参考文献 特開平04-077158 (JP, A)
 特開平04-043745 (JP, A)

最終頁に続く

(54) 【発明の名称】 データ解析装置

(57) 【特許請求の範囲】

【請求項1】

フレームとフレームとの間にギャップデータ部とフレームの先頭位置を示すブリアンブルとを含む所定の隙間が存在するデータ列を伝送するネットワークに接続され、該ネットワーク上を伝送するデータ列を取り込むとともに、該データ列に含まれる各フレームのエラー検知と該各フレームの終了位置の検知とを行なうインタフェース(21)と、

時刻情報を出力する時刻発生手段(22)と、

前記インタフェースによるエラー検知結果を受けるとともに、前記時刻発生手段からの時刻情報を取込時刻として受け、前記インタフェースによって取り込まれたデータ列のフレームとフレームの間の前記隙間に、前記インタフェースによって検知された前記フレームの終了位置情報に基づいて前記隙間の前側にあるフレームに対するエラー検知結果と取込時刻の少なくとも一方を含む付帯情報を書き込む付帯情報挿入手段(23)と、

メモリ(25)と、

前記付帯情報挿入手段によって付帯情報が書き込まれたデータ列を前記メモリに時系列に書き込む書込手段(24)と、

前記メモリに書き込まれたデータ列を読み出して、該データ列に含まれる各フレームおよび付帯情報の解析を行なう解析部(26)とを備えたデータ解析装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

10

20

本発明は、ネットワーク上を伝送するデータを取り込んで解析を行なうデータ解析装置において、少ないメモリで効率的に解析を行なえるようにするための技術に関する。

【0002】

【従来の技術】

ネットワークの試験等を行なう場合、そのネットワークに試験用のデータ列を入力し、そのネットワーク上を伝送するデータ列を解析するという方法が用いられる。

【0003】

ここで、ネットワークの伝送レートが遅い場合には、そのネットワーク上を伝送するデータ列を取り込みながらデータ列に含まれるフレームの解析をほぼリアルタイムに行なうことが可能であるが、例えば10Gbpsのイーサネット（登録商標）のように伝送レートが高速になるとリアルタイム解析を行なうことができないため、所定期間に取り込まれたデータ列を時系列にメモリに書き込み、そのメモリに書き込まれたデータ列を読み出して各フレームの解析を行なっている。なお、この解析は、そのフレーム自体の内容だけでなく、フレームの到着時刻やエラー検知結果等の付帯情報も対象となる。

10

【0004】

図5は、上記の解析を行なう従来のデータ解析装置10の構成を示すものである。

【0005】

図5において、インタフェース11は、ネットワーク1に接続して、ネットワーク1上を伝送するデータ列を内部に取り込むとともに、そのデータ列に含まれるフレームに対するFCS等のエラー検知を行なう。また、時刻発生手段12は時刻情報Tをリアルタイムに出力する。

20

【0006】

データ列書込手段13は、インタフェース11によって取り込まれたデータ列Dを時系列にデータ列メモリ14に書き込む。

【0007】

また、付帯情報書込手段15は、インターフェイス11による各フレーム毎のエラー検知結果Eとフレーム毎の取込時刻（到着時刻）とからなる付帯情報Hを付帯情報メモリ16に書き込む。

【0008】

解析部17は、データ列メモリ14にアクセスして、そのデータ列を読み出し、さらに、付帯情報メモリ16にアクセスして付帯情報Hを読み出し、読み出したデータ列に含まれるフレームのデータと付帯情報とに基づいて、種々の解析を行なう。

30

【0009】

【発明が解決しようとする課題】

しかしながら、上記のように構成された従来のデータ解析装置10では、データ列メモリ14と付帯情報メモリ16の2種類の独立したメモリが必要となり、構成が複雑化し、解析部17が解析に必要なデータを取得するのに時間がかかるという問題があった。

【0010】

本発明は、この課題を解決して、少ないメモリで効率化に解析が行なえるデータ解析装置を提供することを目的としている。

40

【0011】

【課題を解決するための手段】

前記目的を達成するために、本発明のデータ解析装置は、

フレームとフレームとの間にギャップデータ部とフレームの先頭位置を示すプリアンブルとを含む所定の隙間が存在するデータ列を伝送するネットワークに接続され、該ネットワーク上を伝送するデータ列を取り込むとともに、該データ列に含まれる各フレームのエラー検知と該各フレームの終了位置の検知とを行なうインタフェース（21）と、

時刻情報を出力する時刻発生手段（22）と、

前記インタフェースによるエラー検知結果を受けるとともに、前記時刻発生手段からの時刻情報を取込時刻として受け、前記インタフェースによって取り込まれたデータ列のフ

50

フレームとフレームの間の前記隙間に、前記インタフェースによって検知された前記フレームの終了位置情報に基づいて前記隙間の前側にあるフレームに対するエラー検知結果と取込時刻の少なくとも一方を含む付帯情報を書き込む付帯情報挿入手段（２３）と、

メモリ（２５）と、

前記付帯情報挿入手段によって付帯情報が書き込まれたデータ列を前記メモリに時系列に書き込む書込手段（２４）と、

前記メモリに書き込まれたデータ列を読み出して、該データ列に含まれる各フレームおよび付帯情報の解析を行なう解析部（２６）とを備えている。

【００１２】

【発明の実施の形態】

以下、図面に基づいて本発明の実施の形態を説明する。

図１は、本発明を適用したデータ解析装置２０の構成を示している。

【００１３】

図１において、インタフェース２１は、例えば１０Ｇｂｐｓのイーサネット（登録商標）のように高速な伝送レートを有し、フレーム間に所定の隙間（ギャップデータ部やプリアンプル）が設けられたデータ列を伝送するネットワーク１に接続して、ネットワーク１上を伝送するシリアルなデータ列Ｄを装置内に取り込むとともに、そのデータ列Ｄに含まれるフレーム毎のエラー検知やシリアルパラレル変換処理等を行なう。

【００１４】

このインタフェース２１は、取り込んだデータ列に含まれる各フレームの終了位置または先頭位置とを検知し、所定ビット（例えば１２８ビット）でパラレル出力するデータ列Ｄ（シリアルで入力されるデータ列Ｄと実質的に同一なので同一符号を付す）における各フレームの終了位置情報ｅ（または終了位置情報ｓ）を出力する。また、各フレームについてのＦＣＳエラーチェックとフレーム長チェックとを行い、そのチェック結果Ｅ、Ｌを出力する。

【００１５】

時刻発生手段２２は時刻情報Ｔをリアルタイムに出力する。

【００１６】

付帯情報挿入手段２３は、インタフェース２１からの各フレーム毎のエラー検知結果Ｅ、Ｌ、終了位置情報ｅ（または先頭位置情報ｓ）および時刻発生手段２２からの時刻情報Ｔを受けて、各フレーム毎にエラー検知結果Ｅ、Ｌと取込時刻Ｔ_a（図示せず）とからなる付帯情報Ｈを生成し、この付帯情報Ｈを、パラレルで入力されるデータ列Ｄの各フレームの後のギャップデータが挿入されている部分（あるいは、フレームの先頭位置を示すプリアンプル部でもよい）に順次挿入して出力する。この挿入位置は、各フレームの終了位置情報ｅに基づいて設定する。

【００１７】

つまり、本発明で定義されるフレーム間の隙間は、実際にデータ信号が無い状態だけでなく、隙間を生めるためのギャップデータが挿入されている部分やフレームの先頭位置を示すプリアンプルが挿入されている部分も含むものとする。

【００１８】

なお、ここでは、インタフェース２１においてパラレルに変換されたデータ列Ｄに付帯情報Ｈを挿入する場合について説明するが、インタフェース２１において、シリアルなデータ列を例えば１６ビット幅のパラレルのデータ列に変換して付帯情報挿入手段２３に出力し、付帯情報挿入手段２３において、その１６ビット幅のパラレルのデータ列に付帯情報Ｈを挿入して、さらにその８倍の１２８ビット幅のデータ列に変換して出力するようにしてもよい。

【００１９】

図２は、付帯情報Ｈのフォーマット例であり、hour（時間）、min（分）、s（秒）、ms（ミリ秒）、μs（マイクロ秒）、ns（ナノ秒）の各データからなる４５ビットの時刻情報Ｔ_aと、フレーム長についての２ビットのエラー検知結果Ｌ、ＦＣＳについ

10

20

30

40

50

ての１ビットのエラー検知結果Ｅとで構成されている。

【００２０】

書込手段２４は、付帯情報挿入手段２３によって付帯情報Ｈが挿入されたデータ列Ｄ'を時系列にメモリ２５に書き込む。

【００２１】

解析部２６は、メモリ２５にアクセスして、そのデータ列から解析対象のフレームのデータと付帯情報Ｈとを読み出して、種々の解析を行なう。

【００２２】

次にこのデータ解析装置２０の動作を説明する。

始めにネットワーク１上に、図３の（ａ）のようにフレームＦ（ｉ）、Ｆ（ｉ＋１）の間にギャップデータが挿入されている部分とフレームの先頭を示すプリアンプル部とからなる所定長の隙間Ｇ（ｉ）が設けられたデータ列が伝送されている状態で、所定のタイミ

10

ングｔ０にインタフェース２１がそのデータ列Ｄの取り込みを開始する。

【００２３】

この取り込まれたシリアルなデータ列Ｄは、インタフェース２１によってシリアルパラレル変換処理され、図３の（ｂ）のように、所定ビット（例えば１２８ビット）幅のパラレルデータ列Ｄに変換されて、付帯情報挿入手段２３へ順次出力される。

【００２４】

付帯情報挿入手段２３は、図３の（ｃ）に示しているように、入力されるパラレルのデータ列Ｄに含まれる各フレームＦ（ｉ）の終了位置の直後にそのフレームＦ（ｉ）について

20

の付帯情報Ｈ（ｉ）を挿入して書込手段２４に出力する。

【００２５】

書込手段２４に入力されたデータ列Ｄ'は、図４のように、メモリ２５に所定のアドレス順に時系列に書き込まれる。

【００２６】

そして、解析部２６は、所定時間分のデータ列がメモリ２５に書き込まれた段階で、メモリ２５にアクセスして、書き込まれたデータ列を読み出し、そのデータ列に含まれる各フレームのデータと付帯情報とに基づいて、種々の解析を行なう。

【００２７】

ここで、解析部２６が行なう解析としては、付帯情報Ｈの取込時刻Ｔ_aに基づく各フレームの伝送遅延時間（ネットワークの伝搬遅延特性）、エラー頻度等である。

30

【００２８】

このように、実施形態のデータ解析装置２０では、ネットワーク１のフレーム間に、ギャップ部やプリアンプルのように解析に不要な隙間があることを利用し、データ列に含まれる各フレームについての付帯情報を、その隙間にそれぞれ挿入した状態でメモリ２５に書き込むようにしている。

【００２９】

このため、付帯情報Ｈを記憶するための専用のメモリと書込み手段が不要となり、また、解析対象のフレームのデータとそのフレームについての付帯情報とを一括に読み出すことができ、解析を効率的に行なうことができる。

40

【００３０】

なお、ここでは付帯情報Ｈとして、取込時刻Ｔ_aとエラー検知情報Ｅ、Ｌとが含まれていたが、解析内容によっては、そのいずれか一方のみを付帯情報Ｈとしてデータ列のフレーム間に挿入してもよく、また、そのフレームに関する他の情報を含めた付帯情報Ｈをデータ列のフレーム間に挿入してもよい。

【００３１】

また、ここでは、付帯情報Ｈを各フレームの末尾側のギャップデータ挿入部分に挿入する場合について説明したが、付帯情報Ｈをフレームの先頭側（プリアンプル部）に挿入してもよい。この場合には、付帯情報Ｈを挿入する位置をフレームの先頭位置情報ｓに基づいて設定する。

50

【 0 0 3 2 】

また、ここではイーサネット（登録商標）等のネットワーク上のデータ列について解析を行なう場合について説明したが、フレーム間に隙間を確保して伝送する他のネットワークに対するデータの解析を行なう場合においても、本発明を適用できる。

【 0 0 3 3 】

また、ここでは、データの解析のみを行なう装置について説明したが、試験の用のデータ列をネットワークに入力する機能を有する試験装置のデータ解析部に、本発明を適用することも可能である。

【 0 0 3 4 】

【 発明の効果 】

10

以上説明したように、本発明のデータ解析装置は、ネットワーク上を伝送するデータ列のフレームとフレームの間に存在する隙間を利用し、データ列に含まれる各フレームについての付帯情報を、その隙間にそれぞれ挿入した状態でフレームのデータとともにメモリに書き込むようにしている。

【 0 0 3 5 】

このため、付帯情報を記憶するための専用のメモリと書き込み手段が不要となり、また、解析対象のフレームのデータとそのフレームについての付帯情報とを一括に読み出すことができ、解析を効率的に行なうことができる。

【 図面の簡単な説明 】

【 図 1 】 本発明の実施形態の構成を示す図

20

【 図 2 】 実施形態の要部が挿入する付帯情報のフォーマット例

【 図 3 】 実施形態の動作説明図

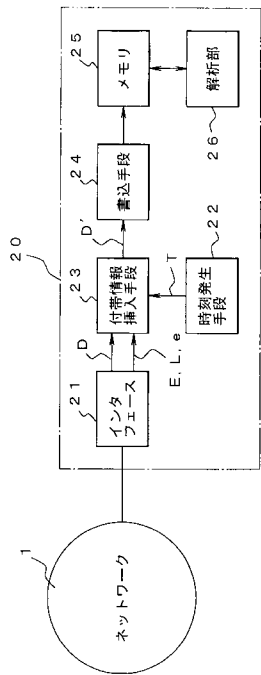
【 図 4 】 実施形態のメモリに記憶されたデータ列の例を示す図

【 図 5 】 従来装置の構成を示す図

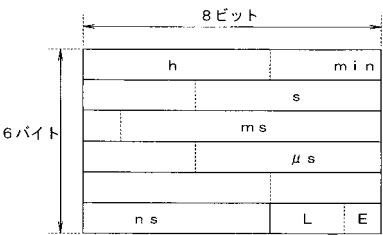
【 符号の説明 】

1 ... ネットワーク、 2 0 ... データ解析装置、 2 1 ... インタフェース、 2 2 ... 時刻発生手段、 2 3 ... 付帯情報挿入手段、 2 4 ... 書込手段、 2 5 ... メモリ、 2 6 ... 解析部

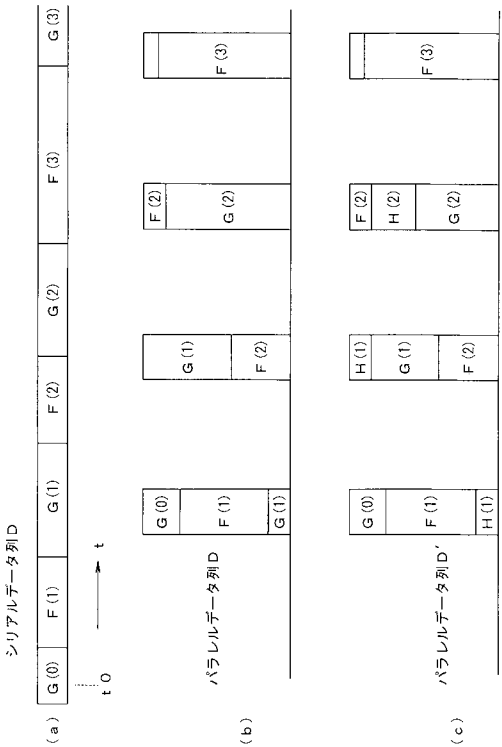
【図 1】



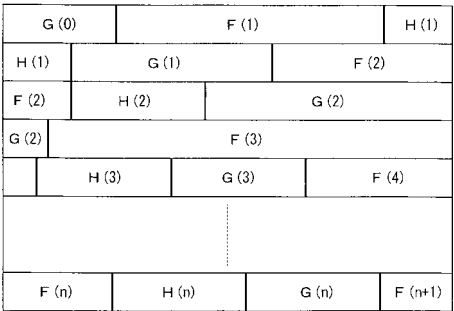
【図 2】



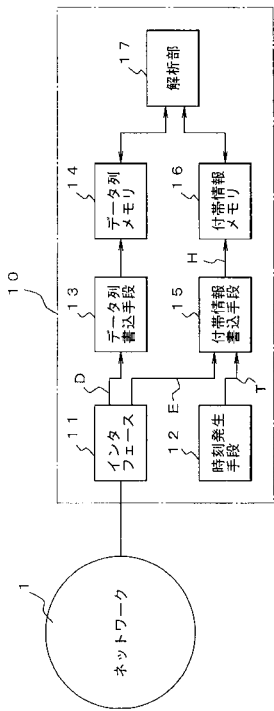
【図 3】



【図 4】



【図 5】



フロントページの続き

(58)調査した分野(Int.Cl. , D B 名)

H04L 12/28 200

H04L 29/14