



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I722557 B

(45)公告日：中華民國 110 (2021) 年 03 月 21 日

(21)申請案號：108132219

(22)申請日：中華民國 108 (2019) 年 09 月 06 日

(51)Int. Cl. : **H03M1/66 (2006.01)**

(30)優先權：2018/09/06	美國	62/727,576
2018/09/07	美國	62/728,126
2019/09/03	美國	16/558,796

(71)申請人：新加坡商聯發科技（新加坡）私人有限公司 (新加坡) MEDiatek SINGAPORE PTE. LTD. (SG)
新加坡

(72)發明人：夏柏 艾曼 SHABRA, AYMAn (SA)；何 適 HO, STACY (US)；阿士伯恩 J r 米迦勒 A ASHBURN JR., MICHALE A. (US)

(74)代理人：洪澄文

(56)參考文獻：

US 2015/0171886A1

US 2015/0295584A1

審查人員：范士隆

申請專利範圍項數：10 項 圖式數：13 共 46 頁

(54)名稱

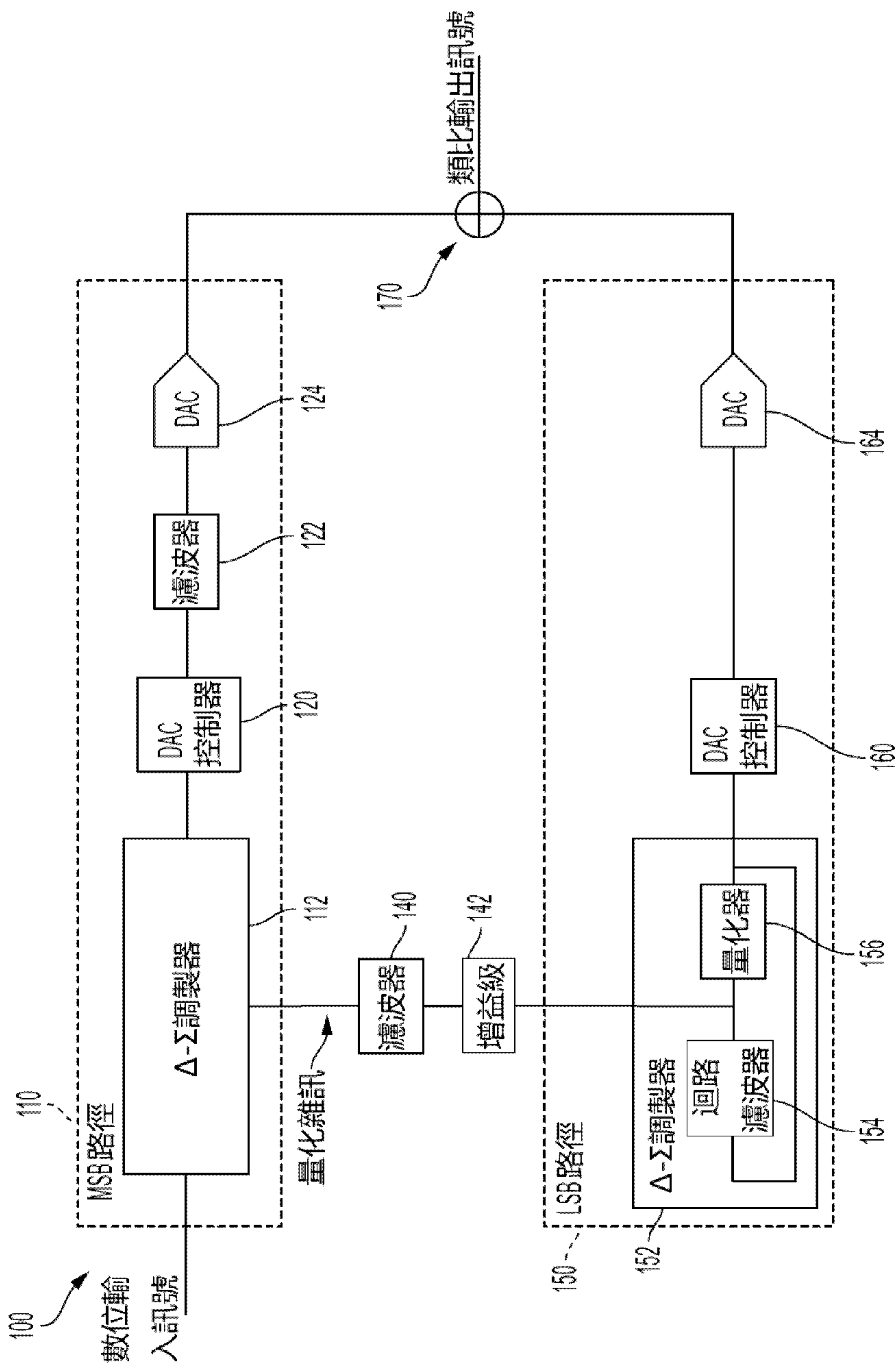
數位類比轉換電路及方法

(57)摘要

本發明提供一種數位類比轉換電路，包括：最高有效位元路徑，包括：第一 Δ - Σ 調製器，具有第一輸出和第二輸出；以及第一數位類比轉換器，耦合到該第一 Δ - Σ 調製器的第一輸出；數位濾波器，耦合到該第一 Δ - Σ 調製器的第二輸出；以及最低有效位元路徑，包括：第二 Δ - Σ 調製器，包括迴路濾波器和量化器，該量化器具有耦合到該迴路濾波器和該數位濾波器的輸入；以及第二數位類比轉換器，耦合到該量化器的輸出。

Circuits and methods for converting digital input signals into the analog domain are described. Such circuits may perform the conversion in a segmented fashion. For example, a circuit may include a most significant bit (MSB) path and a least significant bit (LSB) path. The MSB path may include a first delta-sigma modulator having first and second outputs and a first digital-to-analog converter coupled to the first output of the first delta-sigma modulator. The LSB path comprises a second delta-sigma modulator comprising a loop filter and a quantizer. The quantizer may have an input coupled to the loop filter and to the digital filter. The LSB path may further include a second digital-to-analog converter coupled to an output of the quantizer. The circuit may further include a digital filter and/or a gain stage interposed between the MSB path and the LSB path.

指定代表圖：



第 1 圖

- 符號簡單說明：
- 100:數位類比轉換電路
 - 110:MSB 路徑
 - 112、152: Δ - Σ 調製器
 - 120、160:DAC 控制器
 - 122、140:濾波器
 - 124、164:DAC
 - 142:增益級
 - 150:LSB 路徑
 - 154:迴路濾波器
 - 156:量化器
 - 170:加法器

I722557

【發明摘要】

【中文發明名稱】數位類比轉換電路及方法

【英文發明名稱】 A DIGITAL-TO-ANALOG CONVERTER AND A CONVERT
MEHTOD OF THEREOF

【中文】

本發明提供一種數位類比轉換電路，包括：最高有效位元路徑，包括：第一 Δ - Σ 調製器，具有第一輸出和第二輸出；以及第一數位類比轉換器，耦合到該第一 Δ - Σ 調製器的第一輸出；數位濾波器，耦合到該第一 Δ - Σ 調製器的第二輸出；以及最低有效位元路徑，包括：第二 Δ - Σ 調製器，包括迴路濾波器和量化器，該量化器具有耦合到該迴路濾波器和該數位濾波器的輸入；以及第二數位類比轉換器，耦合到該量化器的輸出。

【英文】

Circuits and methods for converting digital input signals into the analog domain are described. Such circuits may perform the conversion in a segmented fashion. For example, a circuit may include a most significant bit (MSB) path and a least significant bit (LSB) path. The MSB path may include a first delta-sigma modulator having first and second outputs and a first digital-to-analog converter coupled to the first output of the first delta-sigma modulator. The LSB path comprises a second delta-sigma modulator comprising a loop filter and a quantizer. The quantizer may have an input coupled to the loop filter and to the digital filter. The LSB path may further include a second digital-to-analog converter coupled to an output of the

quantizer. The circuit may further include a digital filter and/or a gain stage interposed between the MSB path and the LSB path.

【指定代表圖】 第1 圖

【代表圖之符號簡單說明】

100～數位類比轉換電路；

110～MSB 路徑；

112、152～ Δ - Σ 調製器；

120、160～DAC 控制器；

122、140～濾波器；

124、164～DAC；

142～增益級；

150～LSB 路徑；

154～迴路濾波器；

156～量化器；

170～加法器。

【特徵化學式】 無

【發明說明書】

【中文發明名稱】數位類比轉換電路及方法

【英文發明名稱】A DIGITAL-TO-ANALOG CONVERTER AND A CONVERT
MEHTOD OF THEREOF

【技術領域】

【0001】 本發明涉及電路技術領域，尤其涉及一種數位類比轉換電路及方法。

【先前技術】

【0002】 數位類比轉換器（DAC）是將數位訊號轉換為類比訊號的系統。DAC 通常用於音樂播放機中，以將數位資料流程轉換為類比音訊訊號。DAC 還用於電視和行動電話，以將數位視訊資料轉換為類比視訊訊號，連接到螢幕驅動器以顯示單色或彩色圖像。

【0003】 然而，目前的數位類比轉換電路量化雜訊較高，因此，期望一種新穎的數位類比轉換電路。

【發明內容】

【0004】 有鑑於此，本發明提供一種數位類比轉換電路及方法，可以抑制或至少減弱量化雜訊。

【0005】 根據本發明的第一方面，公開一種數位類比轉換電路，包括：
最高有效位元路徑，包括：第一 Δ - Σ 調製器，具有第一輸出和第二輸出；
以及第一數位類比轉換器，耦合到該第一 Δ - Σ 調製器的第一輸出；

數位濾波器，耦合到該第一 Δ - Σ 調製器的第二輸出；以及

最低有效位元路徑，包括：第二 Δ - Σ 調製器，包括迴路濾波器和量化器，該量化器具有耦合到該迴路濾波器和該數位濾波器的輸入；以及第二數位類比轉換器，耦合到該量化器的輸出。

【0006】 根據本發明的第二方面，公開一種數位類比轉換方法，該方法包括：

使用 Δ - Σ 調製器處理數位輸入訊號；以及

基於處理後的數位輸入訊號，產生包括 N 個控制位元的控制訊號，N 個控制位元中的每一個配置為控制 DAC 的複數個開關中的相應開關，其中：

該產生包括 N 個控制位元的控制訊號的步驟包括：在複數個時脈週期的每一個中，將該 N 個控制位元的相同數量的控制位元從第一值切換到第二值，該數量小於 N，以及

該將該 N 個控制位元的相同數量的控制位元從第一值切換到第二值的步驟包括：設置閾值。

【0007】 本發明提供的數位類比轉換電路由於包括最高有效位元路徑及最低有效位元路徑，並且還有設置在最高有效位元路徑及最低有效位元路徑之間的數位濾波器，因此可以透過減去最低有效位元路徑的輸出與最高有效位元路徑的輸出的組合來抑制或至少減弱最高有效位元路徑的量化雜訊；並且本發明可以使用數量更少的 DAC 等元件，減小晶片的總面積，簡化電路設計，有助於晶片的小型化並且可以節省成本，以及具有更低的功耗。

【圖式簡單說明】

【0008】 透過閱讀後續的詳細描述和實施例可以更全面地理解本發明，本實施例參照附圖給出，其中：

第 1 圖是示出根據一些實施例的多段 (multi-segment) 數位類比轉換電路 100 的框圖。

第 2 圖是示出根據一些實施例的第 1 圖的電路的最高有效位元路徑的 Δ - Σ 調製器的實施方案的框圖。

第 3 圖是示出根據一些實施例的第 1 圖的電路的最低有效位元路徑的 Δ - Σ 調製器的實施方案的框圖。

第 4 圖是示出根據一些實施例的第 1 圖的電路的具體實施方案的框圖。

第 5 圖是示出根據一些實施例的用於將數位輸入轉換為類比域的方法的流程圖。

第 6 圖是示出根據一些實施例的具有複數個開關的 DAC 和用於控制複數個開關的電路的框圖。

第 7A-7B 圖是示出根據一些實施例的在存在符號間干擾的情況下，從數位類比轉換器的元件輸出的電流的曲線圖。

第 8A 圖是示出根據一些實施例的與 ADC 類比輸出訊號相關聯的功率頻譜密度的曲線圖。

第 8B 圖是示出根據一些實施例的在存在失配和符號間干擾的情況下，與 DAC 類比輸出訊號相關聯的功率頻譜密度的曲線圖。

第 9A 圖是示出根據一些實施例的如何隨時間切換控制位元的示例的圖表。

第 9B 圖是示出根據一些實施例的 DAC 控制器的示例的框圖。

第 10A 圖是示出根據一些實施例的 DAC 控制器的另一實施例的框圖。

第 10B 圖是示出根據一些實施例的第 10A 圖的訊號 sy_i 的示例的曲線圖。

第 10C 圖是示出根據一些實施例的訊號 sy_i 如何隨時間變化的曲線圖。

第 11A 圖是示出根據一些實施例的排序演算法的流程圖。

第 11B 圖是示出根據一些實施例的搜索演算法的流程圖。

第 12A-12B 圖示意性地示出了根據一些實施例的搜索演算法的示例。

第 13 圖是示出根據一些實施例的用於選擇位元子集的演算法的圖。

【實施方式】

I 分段

【0009】 分段（Segmentation）是用於數位類比轉換的技術，以降低轉換器的複雜性和面積。分段依賴於分兩層級（tranche）轉換的數位序列的分離。第一層級對應於最高有效位元（most significant bit，MSB），第二層級（least significant bit，LSB）對應於最低有效位元。分段的數位轉換器（digital-to-converter，DAC）的一個優點是它們不僅在頻帶內（在輸入訊號的頻寬內）顯著降低量化雜訊（quantization noise），而且在頻帶外（在輸入訊號的頻寬之外）也可以顯著降低量化雜訊。在高動態音域應用中，降低頻帶外量化雜訊特別有用，其中頻帶外雜訊可以由於 DAC 之後的放大器的非線性而移動到頻帶內。

【0010】 然而，發明人已經意識到，在某些應用中，例如高保真數位音訊系統，分段的 DAC 可能太多雜訊。發明人進一步認識到，分段 DAC 中的主要雜訊來源是與最高有效位元的量化相關聯的量化。

【0011】 發明人已經開發了分段 DAC，分段 DAC 設計為抑制與最高有效位元的量化相關聯的量化雜訊。這些 DAC 的設計涉及對最高有效位元使用一個（或多於一個） Δ - Σ （delta-sigma）調製器，對於最低有效位元使用一個（或多於一個） Δ - Σ 調製器（當然與最高有效位元使用的 Δ - Σ 調製器不同）。在一些實施例中，可以透過提取與最高有效位元相關聯的量化雜訊並且透過將提取的雜訊直接注入到 Δ - Σ 調製器的量化器（quantizer）中來獲得最低有效位元以實現雜訊抑制。在被注入量化器之前所提取的雜訊可以以這樣的方式處理：與最高有效位元相關聯的 DAC 的輸出處存在的相同量化雜訊也出現在與最低有效位元

相關聯的 DAC 的輸出處。以這種方式，可以透過從彼此減去這些 DAC 的輸出來抑制與最高有效位元的量化相關聯的雜訊。在一些實施例中，提取的量化雜訊的處理可以涉及對提取的量化雜訊的濾波。另外或替代地，提取的量化雜訊的處理可以涉及放大所提取的量化雜訊。

【0012】 第 1 圖是根據一些實施例的多段 (multi-segment) 數位類比轉換電路 100 的框圖。電路 100 包括最高有效位元 (MSB) 路徑 100 和最低有效位元 (LSB) 路徑 150。MSB 路徑 110 配置為將數位輸入訊號的最高有效位元轉換為類比域 (domain)，並且配置 LSB 路徑 150 將數位輸入訊號的最低有效位元轉換為類比域。

【0013】 MSB 路徑 110 包括 Δ - Σ 調製器 112，數位類比轉換器 (DAC) 控制器 120，濾波器 122 和 DAC 124。LSB 路徑 150 包括 Δ - Σ 調製器 152，DAC 控制器 160 和 DAC 160。MSB 路徑和 LSB 路徑可以以任何合適的方式實現，包括例如使用電阻一元權重 (unary-weight) DAC 或其他類型的電阻 DAC。

【0014】 DAC 控制器 120 和 160 可以包括分別用於控制 DAC 124 和 DAC 164 的運行的電路 (例如數位電路)。在一些實施例中，可以使用有限脈衝回應 (finite impulse response, FIR) 濾波器來實現濾波器 122。FIR 濾波器的使用可以導致 DAC 控制器 124 處理的位元數量的減少，這樣可以降低 DAC 控制器 120 的複雜性。

【0015】 Δ - Σ 調製器 112 具有兩個輸出。一個輸出耦合到 DAC 控制器 120。另一個輸出耦合到 LSB 路徑。如下面將進一步詳細描述的，第二輸出 (耦合到 LSB 路徑的) 可以用於提取在 Δ - Σ 調製器 112 內部生成的量化雜訊，並將這種雜訊注入到 LSB 路徑的 Δ - Σ 調製器中。

【0016】 Δ - Σ 調製器 152 包括迴路 (loop) 濾波器 154 和量化器 156， Δ - Σ 調製器 152 將來自一組高精度值的輸入映射到來自一組有限離散值的輸出。

N 位元量化器將輸入映射到來自一組 2^N 值的輸出。迴路濾波器 154 具有耦合到量化器 156 的輸出的輸入和耦合到量化器 156 的輸入的輸出。迴路濾波器 154 可以設計為抑制或至少減少在類比輸出訊號中的頻帶外雜訊（要轉換的訊號頻帶外的雜訊）。例如迴路濾波器 154 可以包括數位積分器。

【0017】 在一些實施例中，濾波器 140 可以插入在 MSB 路徑 110 和 LSB 路徑 160 之間。在一些實施例中，可以使用數位 FIR 濾波器來實現濾波器 140。濾波器 140 可用於代替由 DAC 164 和設置在 DAC 控制器 160 和 DAC 164 之間的濾波器組成的 FIR-DAC 濾波器。相對於其中濾波器設置在 DAC 控制器 160 和 DAC 164 之間的 FIR-DAC 實現方式，使用插入在 MSB 路徑和 LSB 路徑之間的數位濾波器(濾波器 140)可以簡化電路的設計(也即 DAC 控制器 160 和 DAC 164 之間不設濾波器而設置在 MSB 路徑和 LSB 路徑之間)，因為類比濾波器通常需要更多數量的 DAC，這樣將會增加了晶片的總面積。在實現類比濾波器的一個示例中，在 DAC 控制器 160 的輸出處存在十六個 DAC。然而，透過用數位濾波器 140 替換類比濾波器，可以將 DAC 的數量減少到一個單元(或一個)。因此本實施例中的濾波器 140 的設置方式，可以使用數量更少的 DAC 等元件，減小晶片的總面積，簡化電路設計，有助於晶片的小型化並且可以節省成本，以及具有更低的功耗。

【0018】 在一些實施例中，增益級 (gain stage) 142 可以插入在 MSB 路徑 110 和 LSB 路徑 150 之間。增益級 142 可以設置在 MSB 路徑 110 和濾波器 140 之間，或者設置在濾波器 140 和 LSB 路徑 150 之間。在一些實施例中，電路 100 可以包括濾波器 140 和增益級 142。在其他實施例中，電路 100 可以僅包括濾波器 140 和增益級 142 之間的一個。增益級 142 也可稱為放大器。

【0019】 可以使用諸如數位乘法器或數位加法器的放大器來實現增益級 142。如下面進一步詳細描述的，在 MSB 路徑和 LSB 路徑之間提供增益級（例

如增益級 142) 可以減輕量化器 156 的量化雜訊對輸出訊號的影響。

【0020】 此外，在 MSB 路徑 110 和 LSB 路徑 150 之間插入增益級 (例如增益級 142) 可以放寬 (relax) DAC 164 所需的增益以提供期望的信噪比。這樣可以使晶片面積的顯著減小，因為 DAC 的增益通常使用大電阻來實現。因此，本實施例中增益級 142 (增益級 142 的加入) 可以消除對大電阻器的需要 (因為不再需要具有大電阻的 DAC 的增益)。

【0021】 透過使用加法器 170 將 DAC 124 的輸出與 DAC 164 的輸出相加來獲得電路 100 輸出的類比輸出訊號。

【0022】 第 2 圖是說明根據一些實施例的第 1 圖的電路的最高有效位元路徑的 Δ - Σ 調製器的實施方案的框圖。在該實施例中， Δ - Σ 調製器 112 包括加法器 115 和 117，濾波器 114 和量化器 116。

【0023】 量化器 116 將來自一組高精度值的輸入映射到來自一組有限離散值的輸出。濾波器 114 可以設計為消除或至少減少頻帶外雜訊。例如，濾波器 114 可以包括 FIR 濾波器或延時器。加法器 115 將濾波器 114 的輸出加到數位輸入訊號上。加法器 115 的輸出作為輸入提供給量化器 116。加法器 117 從量化器 116 的輸出中減去加法器 115 的輸出。加法器 117 的輸出 (標記為 “E1”) 作為輸入提供給濾波器 114 並作為輸入提供給 LSB 路徑 150。在第 1-2 圖的實施例中，例如，加法器 117 的輸出耦合到濾波器 140 的輸入。

【0024】 訊號 E1 從量化器 116 的輸出導出 (derive)，訊號 E1 具有表示量化器 116 的量化雜訊的特性。例如，在一些實施例中，訊號 E1 的振幅 (amplitude) 與量化器 116 的量化雜訊的幅度成比例。

【0025】 第 3 圖是說明根據一些實施例的第 1 圖的電路的最低有效位元路徑的 Δ - Σ 調製器的實施方案的框圖。在該實施例中， Δ - Σ 調製器 152 包括加法器 155 和 157，濾波器 158 和量化器 156。濾波器 158 和加法器 155 可以共同用

作第 1 圖的迴路濾波器 154。

【0026】 加法器 157 從濾波器 158 的輸出中減去 MSB 路徑 110 的輸出(可以經由濾波器 140 和/或增益級 142 來到加法器 157)。加法器 157 的輸出作為輸入提供給量化器 156。加法器 155 從量化器 156 的輸出中減去濾波器 158 的輸出。

【0027】 在一些實施例中，MSB 路徑的量化雜訊可以注入到 LSB 路徑的量化器中，使得 LSB 路徑不僅反映 LSB 路徑本身的量化雜訊，而且還反映 MSB 路徑的量化雜訊。在一些實施例中，可以透過減去 LSB 路徑的輸出與 MSB 路徑的輸出的組合來抑制（或至少減弱）MSB 路徑的量化雜訊。

【0028】 根據一些非限制性實施例，第 4 圖的電路佈置為抑制（或至少減弱）MSB 路徑的量化雜訊。訊號 U 和 V 分別代表電路的輸入和輸出。訊號 V1 表示量化器 116 的輸出。訊號 E1 表示量化器 116 的量化雜訊。訊號 V2 表示量化器 156 的輸出。訊號 E2 表示量化器 156 的量化雜訊。增益級 142 的增益是-K，增益 DAC 124 的增益為 1，DAC 164 的增益為 1/K。濾波器 122 和 140 的轉換函數（transfer function）可以設置為大致相同的值（第 4 圖的示例中的 H_{FIR} ）。濾波器 114 和 158 的雜訊轉換函數可以設置為大致相同的值（第 4 圖的示例中的 NTF）。應當理解，對於濾波器，DAC 和增益級的響應，不同的實施例可以具有的不同值。

【0029】 V1 和 V2 可以透過以下運算式得出：

【0030】 $V1 = U + \text{NTF} \times E1$

【0031】 $V2 = \text{NTF} (-K \times H_{\text{FIR}} \times E1 + E2)$

【0032】 V1 經過（穿過或通過）濾波器 122（具有響應 H_{FIR} ）和 DAC 124（具有單一（unitary）增益）。V2 經過 DAC 164（增益為 1 / K）。因此，輸出 V 由下式得出：

$$\begin{aligned}
 \text{【0033】} \quad V &= (V1 \times H_{\text{FIR}}) + (V2/K) = \\
 &= (U \times H_{\text{FIR}}) + (\text{NTF} \times E1 \times H_{\text{FIR}}) - (\text{NTF} \times E1 \times H_{\text{FIR}}) + (\text{NTF} \times E2)/K = \\
 &= (U \times H_{\text{FIR}}) + (\text{NTF} \times E2)/K
 \end{aligned}$$

【0034】 因此，本實施抑制了 MSB 路徑 E1 的量化雜訊，從而改善了輸出訊號的信噪比。

【0035】 應當理解，在 LSB 路徑和 MSB 路徑之間具有-K 的增益允許 DAC 164 的增益從 1 減小到 $1/K$ 。這樣可以使 DAC 164 的量化步長 (step size) 的減小，並且因此導致整個電路的空間減小，從而簡化電路及減小電路面積。DAC 164 的輸入比 DAC 124 的輸入更少，例如 DAC 164 的輸入的位元比 DAC 124 的輸入的位元更少。作為其中一個示例，DAC 164 的輸入為 6 位元而 DAC124 的輸入為 10 位元，當然這僅僅是舉例說明，DAC 164 的輸入為其他數量的位元（例如 8、10、16 等等），而 DAC124 的輸入為比 DAC 164 的輸入更多的位元（例如 24、32、36 等等）。

【0036】 第 5 圖是說明根據一些實施例的用於將數位輸入轉換到類比域的方法的流程圖。在一些實施例中，可以使用電路 100（例如電路 400）來實現方法 500。

【0037】 方法 500 開始於動作 502，其中使用第一 Δ - Σ 調製器處理輸入訊號。例如參考第 1 圖，可以用 Δ - Σ 調製器 112 處理數位輸入訊號。

【0038】 在動作 504 處，使用 DAC（例如第 1 圖的 DAC 124）轉換 Δ - Σ 調製器（第一 Δ - Σ 調製器）的輸出。

【0039】 在動作 506，對從第一 Δ - Σ 調製器提取的量化雜訊（例如第 4 圖的訊號 E1）進行濾波（例如使用濾波器 140）。可選地，可以使用增益級（例如增益級 142）來放大量化雜訊。

【0040】 在動作 508，使用第二 Δ - Σ 調製器的量化器（例如第 1 圖的量化

器 156) 量化濾波後的量化雜訊。

【0041】 在動作 510 處，可以使用第二 DAC (例如，第 1 圖的 DAC 164) 來轉換量化濾波後的量化雜訊。

【0042】 在動作 512 處，第一 DAC 的輸出可以與第二 DAC 的輸出組合以生成輸出類比訊號。

II DAC 控制器

【0043】 某些音訊應用，在此稱為“高動態音域音訊應用”，需要高達 130dB 或更高的動態音域。雖然一些聽眾可能無法感知到例如 120db 動態音域和 130dB 動態音域之間的任何有意義的差異，但是另一些聽眾的聽覺更敏銳，當動態音域超過 130dB 時，他們能夠欣賞到音訊整體品質的提高。

【0044】 發明人已經意識到 DAC 代表限制某些音訊系統的動態音域的主要因素 (或至少一個因素)。更具體地，一個限制因素是由於 DAC 中不可避免地出現的符號間干擾 (inter-symbol interference, ISI)。ISI 是一種脈衝的上升沿和下降沿呈現不同的斜率的現象。當 ISI 發生時，下降沿的持續時間與上升沿的持續時間不同。結果是引入了可能導致非線性失真的寄生諧波 (spurious harmonics)。

【0045】 另一個限制因素是由於製造公差 (fabrication tolerance) 導致的電阻 DAC 中可能出現的電阻失配 (mismatches)。當設計為具有相同電阻器的電阻 DAC 具有不同電阻的電阻器時 (例如由於製造公差導致)，這會導致頻帶內雜訊的增加，這也會限制音訊系統增加動態音域的能力。

【0046】 發明人已經開發出 DAC 控制器，其減少由 ISI 引起的非線性失真的負面影響並減少電阻失配的負面影響 (至少在那些設計為具有匹配的電阻器的電阻 DAC 中)。由發明人開發的 DAC 控制器涉及在複數個時脈週期內切換 (導通和/或截止) 固定數量的 DAC 元件。這種技術在本文中稱為“固定轉換

加權平均值”或“FTWA（fixed transition weighting average）”。發明人已經意識到執行 FTWA 可以將 ISI 引起的誤差分成兩個部分：系統分量和隨機分量。系統分量可以包括 ISI 的 DC（directed current，定向電流）內容，而隨機分量可以包括 ISI 的高頻內容。因此，系統分量可以是頻帶內的（例如，可以具有與數位訊號的頻譜重疊），而隨機分量可以是頻帶外的（例如，可以與數位訊號沒有頻譜重疊）。在頻帶外，在一些實施例中，可以透過濾波消除或至少減弱隨機分量。

【0047】 執行 FTWA（固定轉換加權平均值）可以涉及設置閾值，其中僅導通（或截止）與超過閾值的訊號相關聯的 DAC 元件。此外，執行 FTWA 可以涉及導通（和/或截止）固定數量的 DAC 元件。因此，在一些實施例中，執行 FTWA 涉及保持超過閾值的訊號的數量隨時間固定。

【0048】 可以利用不同的技術來保持超過閾值的訊號的數量隨時間固定。在一些實施例中，可以使用排序演算法（sort algorithm）來設置閾值。排序演算法可以基於訊號的幅度（magnitude）對訊號進行排序，並且可以僅選擇 M 個最大訊號。然後，與 M 個最大訊號相關聯的 DAC 元件導通（或截止），而其他 DAC 元件的狀態保持不變。在其他實施例中，可以使用搜索演算法（search algorithm）來設置閾值。與排序演算法不同，搜索演算法可以不涉及基於訊號的幅度對訊號進行排序（或者可以根本不涉及對訊號進行排序）。相反，搜索演算法可以涉及改變閾值直到預定數量的訊號（這裡稱為“狀態訊號”）超過該閾值。發明人已經意識到，相對於排序演算法，搜索演算法可以導致實質上更有效率的 DAC 設計。在一個示例中，當基於排序演算法實現時，64 元件（64-element）DAC 可以設計為具有大約一萬五千個邏輯門，而當基於搜索演算法實現時，僅具有二十二千個邏輯門。邏輯門的減少可以導致總功耗的降低和/或整個電路佔用面積的減少。

【0049】 第 6 圖是根據一些實施例的示出 Δ - Σ 調製器 612，DAC 控制器 620 和 DAC 624 的框圖。第 6 圖的電路可以與分段的類比數位轉換電路（例如第 1 圖的分段的類比數位轉換電路）結合使用。例如， Δ - Σ 調製器 612 可以用作第 1 圖的 Δ - Σ 調製器 112。另外或可替代地，DAC 控制器 620 可以用作第 1 圖的 DAC 控制器 120。另外或可替代地，DAC 624 可以用作 DAC 124。第 6 圖所示的框圖可以用在 MSB 路徑和/或 LSB 路徑中（例如第 1 圖所示的 MSB 路徑和/或 LSB 路徑）。然而，在其他實施例中，第 6 圖的電路可以與非分段的類比數位轉換電路結合使用。儘管未在第 6 圖中示出，但是濾波器（諸如濾波器 122）可以與第 6 圖的電路一起使用，例如設置在 DAC 控制器 620 和 DAC 624 之間。

【0050】 DAC 624 包括複數個開關和電阻器。這樣，DAC 624 可以視為電阻 DAC。在所示的示例中，與開關 s1，s2 和 s3 串聯連接的電阻器具有相等的電阻 R1，但並非所有實施例在這方面都受到限制，因為不同的電阻器可具有不同的電阻（例如上述三個電阻器可以具有不同的電阻，或者至少兩個不同）。當開關啟用（處於導通狀態）時，相應的電阻連接到參考電壓 VREF。因此，電流流過電阻器，從而有助於經由電阻器 R1 並在運算放大器（OA）630 的輸入端出現的電流（“Iin”）。反之亦然，當開關禁用時（處於斷開狀態），沒有電流流過相應的電阻器 R1。因此，這種電阻器對 Iin 沒有貢獻。在 OA 630 的輸出端出現的電壓振幅（“Vout”）的影響因素除了其他參數外，還取決於哪些開關啟用以及哪些開關禁用。

【0051】 開關的狀態（啟用或禁用）由相應的控制位元 z1，z2，z3 zN 確定。例如，當控制位元設置為 1 時，可以啟用相應的開關，並且當控制位元設置為 0 時，可以禁用相應的開關，當然本實施例中也可以使用相反的邏輯。控制位元在本文中統稱為“控制訊號”，並由 DAC 控制器 620 產生。在一些實施例中，DAC 控制器 620 基於從 Δ - Σ 調製器 612 接收的訊號產生控制位元（控

制訊號)。 Δ - Σ 調製器 612 可以以任何合適的方式處理輸入數位訊號。例如， Δ - Σ 調製器 612 可以對量化雜訊進行整形 (shape) 以將雜訊推離數位訊號的頻帶。

【0052】 在一些實施例中，第 6 圖的數位-類比轉換電路可能遭受 ISI。在第 7A 圖中描繪了一種這樣的情況，示出了電流 I_1 (參見第 6 圖) 與時間的關係。第 7A 圖的曲線圖描繪了當第 6 圖中的控制位元 (例如， z_1) 從 1 轉變為 0 然後從 0 轉變為 1 時的 I_1 。如第 7A 圖所示，1 到 0 轉變的斜率大於 0 到 1 轉換的斜率。因此，下降沿的持續時間 (Δt_f ，等於 $t_{f2}-t_{f1}$) 小於上升沿的持續時間 (Δt_r ，等於 $t_{r2}-t_{r1}$)。當然在其他實施例中，下降沿 (Δt_f) 的持續時間可以大於上升沿的持續時間 (Δt_r)，本實施例中僅為了說明存在這種上升沿的持續時間與下降沿的持續時間不同。這種沿 (edge) 持續時間的不平衡 (上升沿與下降沿持續時間的不平衡) 可能由多種原因引起，包括例如，在一些實施例中，由於在產生 z_1 的邏輯電路中的使用的 NMOS 和 PMOS 電晶體的具有不相等的驅動強度。ISI 的存在可能導致非線性失真 (non-linear distortion)。考慮例如第 7B 圖的曲線圖，其中第 7A 圖的訊號分解為兩個分量：系統分量和隨機分量。系統分量代表理想情形，即上升沿和下降沿具有相等的持續時間。隨機分量表示理想情景與實際情景之間的差異。因此，隨機分量包括 t_{r1} 和 t_{r2} 之間的脈衝，並且在 t_{int} 處具有峰值。

【0053】 在一些實施例中，隨機分量的存在可能導致非線性失真。一種這樣的場景在第 8A-8B 圖中示出。第 8A 圖示出了沒有 ISI 的情況。在這種情況下，訊號包括單個音調 (tone) 801 (或主音調 (dominant tone) 和其他可忽略的音調)。相反，第 8B 圖示出了 ISI 的存在引起音調 801 的多次諧波 (harmonics) 的情況 (參見諧波 802 和 803)。這種諧波的功率可能很大，從而導致非線性失真。

【0054】 在一些實施例中，如上所述，DAC 624 可以設計為包括匹配電阻 R1 的電阻器。然而，在一些這樣的實施例中，有限的製造公差可能導致電阻器具有略微不同的電阻。如第 8A-8B 圖中進一步所示，具有不匹配的電阻器可能影響系統抑制雜訊的能力。在第 8A 圖中，數位類比轉換電路的雜訊頻譜響應 (810) 具有 40dB /十進位 (decade) 的斜率，這是由 Δ - Σ 調製器 612 是二階 (second-order) Δ - Σ 調製器產生的，例如，二階濾波器（當然也可以有除了二階之外的階數用於其他實施例中的 Δ - Σ 調製器 612，例如三階、四階等）。然而，在第 8B 圖中，雜訊頻譜回應 (811) 的斜率是平坦的（相對於第 8A 圖的斜率來說），因此降低了系統抑制訊號頻帶中的雜訊的能力。這種斜率降低是由具有不匹配的電阻的 DAC 產生的。

【0055】 在一些實施例中，可以透過使用 FTWA 演算法來消除 ISI 和電阻失配的負面影響，由此在複數個時脈週期上導通和/或截止固定數量的 DAC 開關。第 9A 圖中示出了該技術的示例。

【0056】 第 9A 圖是示出開關 s1-s10 的狀態的圖表(假設在該示例中 DAC 624 具有十個開關)。圖表的每行 (column) 代表一個開關的狀態。每列 (row) 代表不同的時脈週期。例如，“t = t1”表示第一個時脈週期，“t = t2”表示第二個時脈週期等。因此，舉例來說，位於“s4”行與 “t = t6” 列的交叉處的方框 表示第六個時脈週期的第四個開關的狀態。

【0057】 深色框表示在相應的時脈週期啟用相應的開關。白框表示在相應的時脈週期禁用相應的開關。標有“x”的框表示在相應的時脈週期相應的開關狀態從禁用狀態切換到啟用狀態。

【0058】 在第 9A 圖的示例中，FTWA 演算法涉及將固定數量的開關（在該示例中為 3 個）從禁用狀態切換到啟用狀態（但是，另外或可替代地，FTWA 演算法可以涉及將固定數量開關從啟用狀態切換到禁用狀態）。例如，在 t = t2

時，僅開關 s14，s15 和 s16 從禁用狀態切換到啟用狀態；在 $t = t3$ 時，只有開關 s11，s12 和 s13 從禁用狀態切換到啟用狀態；在 $t = t4$ ，只有開關 s8，s9 和 s10 從禁用狀態切換到啟用狀態；等等。

【0059】 在一些實施例中，控制訊號可用於設置開關的狀態。例如，在第 6 圖的系統中，包括控制位元 $z1, z2, z3 \dots zN$ 的控制訊號可用於設置開關 s1，s2，s3 sN 的狀態。當控制位元為 1 時，相應的開關啟用；當控制位元為 0 時，相應的開關禁用（當然也可以使用相反的邏輯）。在一些實施例中，切換固定數量的開關可以涉及切換固定數量的控制位元。例如，將固定數量的開關從禁用狀態切換到啟用狀態可以涉及將固定數量的控制位元從 0 切換到 1。

【0060】 在一些實施例中，如第 9A 圖的示例中所示，將固定數量的開關從一種狀態切換到另一種狀態可以減少 ISI 和電阻失配的負面影響。例如，在一些實施例中，將固定數量的開關從一種狀態切換到另一種狀態可以將由 ISI 引起的誤差劃分為系統分量和隨機分量。系統分量可以包括 ISI 的 DC 內容。隨機分量可以包括 ISI 的高頻內容。因此，系統分量可能出現在頻帶內，而隨機分量可能出現在頻帶外。作為頻帶外，可以透過由 Δ - Σ 調製器 612 定義的濾波器消除或至少減弱隨機分量。

【0061】 根據一些非限制性實施例，第 9B 圖中示出了用於執行 FTWA 的 DAC 控制器 620 的一個示例（例如第 6 圖中）。在該示例中，DAC 控制器 620 以 16 位元運行（例如，使得它可以控制具有 16 個開關的 DAC）。具體地，每個子系統輸出控制位元（ $z1 \dots z16$ ），以控制相應開關的狀態。

【0062】 第 9B 圖中的 FTWA DAC 控制器 620 包括二進位到溫度計編碼器（binary to thermometer encoder）902，左旋轉寄存器（left rotate register）904 和模 2 累加器（modulo 2 accumulator）906。模 2 累加器 906 在 908 中累加常數值，908 為 3，以產生旋轉指針（rotate pointer）。二進位到溫度計編碼器 902

接收輸入 **DataIn**（可以來自 Δ - Σ 調製器 612 的輸出）。在一個實施例中，**DataIn** 例如可以為 4 位元，而經由二進位到溫度計編碼器 902 之後可以產生一組 16（2 的 4 次方）值（或位元）的輸出。旋轉指針用作左旋轉寄存器 904 的輸入，以旋轉 16 位元寄存器輸入，從而產生輸出到 DAC 624 的輸出 **DataOut**。

【0063】 根據一些非限制性實施例，在第 10A 圖中示出了用於執行固定轉換向量元素選擇邏輯 **FTVESL**（fixed transition vector element selection logic）的 DAC 控制器 620 的另一示例。在該示例中，DAC 控制器 620 以 64 位元運行（例如，使得它可以控制具有 64 個開關的 DAC）。因此，在該示例中，DAC 控制器 620 包括 64 個子系統 $620_1 \dots 620_{64}$ ，每個子系統配置為控制 DAC 624 的相應開關。具體地，每個子系統輸出控制位元（ $z_1 \dots z_{64}$ ），以控制相應開關的狀態。

【0064】 出於清楚說明的目的，本實施例僅示出了子系統 620_1 的電路。其他子系統可以具有類似的實現方式。子系統 620_1 包括加法器 1002 和 1004，延遲單元 1006，固定轉換向量量化器（fixed transition vector quantizer，FTVQ）1008 和放大器 1010。在一些實施例中，作為輸入提供給 FTVQ 1008 的相同訊號（ m ）也作為輸入提供給加法器 1002，因此延遲單元 1006 的輸出保持有界限（bounded）並且不發散（diverge），因此迴授迴路（feedback loop）是穩定的。訊號 m 可以表示 Δ - Σ 調製器 612 的輸出。

【0065】 加法器 1002 從訊號 m 中減去放大器 1010 的輸出。加法器 1002 的輸出作為輸入提供給加法器 1004。加法器 1004 將加法器 1002 的輸出加到延遲單元 1006 的輸出。加法器 1004 的輸出作為輸入提供給延遲單元 1006。延遲單元 1006 的輸出作為 FTVQ 1008 的輸入，FTVQ 1008 的輸出控制 DAC 624 的開關的狀態，並且還作為輸入提供給放大器 1010。

【0066】 訊號 sy_i ，也即延遲單元 1006 的輸出在此也稱為“狀態訊號”。

下標 “i”表示存在用於每個子系統 $620_1 \dots 620_{64}$ 的狀態訊號。如第 10B 圖所示，在一些實施例中，狀態訊號 sy_i 可以根據三角波 (triangular wave) 隨時間變化 (呈現三角波)。第 10C 圖示出了根據三角波變化的狀態訊號 (在這種情況下為 sy_1 , sy_2 , sy_3 , sy_4 , sy_5 , sy_6 和 sy_{64}) 的代表性子集。x 軸表示離散時間指標表示的時間變數。y 軸表示狀態訊號的值。

【0067】 在一些實施例中，切換固定數量的 DAC 開關可以涉及監視 DAC 控制器 620 的狀態訊號。在一些實施例中，DAC 控制器 620 可以基於狀態訊號選擇要切換的開關。除了其他可能的技術之外，這可以根據排序演算法或根據搜索演算法來完成。

【0068】 根據一些非限制性實施例，第 11A 圖中描繪了排序演算法 1100 的示例。在動作 1102，DAC 控制器 620 將所有 sy_i 值存儲到記憶體中。在動作 1104，DAC 控制器 620 按大小 (例如，從最小到最大，或最大到最小) 對 sy_i 值進行排序。在動作 1106，DAC 控制器 620 選擇包括 M 個最大 sy_i 值的第一子集，M 個最大 sy_i 值對應於等於零的 z_i 值。在動作 1108，DAC 控制器 620 選擇包括 $M - [m(n) - m(n-1)]$ 個最小 sy_i 值的第二子集， $M - [m(n) - m(n-1)]$ 個最小 sy_i 值對應於等於 1 的 z_i 值。在動作 1110，DAC 控制器 620 切換對應於第一子集和第二子集 (第一子集和第二子集具有相同的 i 指標 (index)) 的 M 個控制位元 z_i 。在動作 1112，增加時脈計數並重複動作 1102-1110 (也即在下一個時脈週期重複動作 1102-1110)。因此，在每個時脈週期，固定數量的控制位元 z_i (以及相應地，固定數量的 DAC 開關) 從一個值切換到另一個值 (例如 0 到 1，或 1 到 0)。

【0069】 根據一些非限制性實施例，第 11B 圖中描繪了搜索演算法 1150 的示例。第 12A 圖和 12B 是在視覺上示出搜索演算法的示例的圖。在動作 1152，DAC 控制器 620 設置高閾值和低閾值。例如，參考第 12A 圖，可以將高閾值設

置為特定（預設）初始值。在動作 1154，DAC 控制器 620 確定有多少 sy_i 值超過高閾值，同時對應於 z_i 值等於零（也即對應於 $z_i=0$ ，確定超過高閾值的 sy_i 值的數量）。在第 12A 圖的示例中，DAC 控制器 620 確定四個 sy_i 值超過閾值，即 sy_{22} ， sy_{53} ， sy_{24} 和 sy_{49} ，並且其中 $z_{22} = z_{53} = z_{24} = z_{49} = 0$ 。在動作 1156，DAC 控制器 620 調整（例如，增大或減小）閾值（高閾值），直到僅僅 M 個 sy_i 值超過閾值（高閾值）（在該示例中將假設 $M = 3$ ，但是 M 可以設置為任何其他合適的值），同時對應於 z_i 值等於零。在第 12B 圖的示例中，閾值增加直到僅 3 個 sy_i 值超過閾值，在這種情況下為 sy_{53} ， sy_{24} 和 sy_{49} 。在動作 1158，DAC 控制器 620 確定有多少 sy_i 不超過低閾值，同時對應於 z_i 的值等於 1（也即對應於 $z_i=1$ ，確定不超過低閾值的 sy_i 值的數量）。在動作 1160，DAC 控制器 620 調整低閾值，直到僅 $M - [m(n) - m(m-1)]$ 個 sy_i 值不超過低閾值並且同時對應於 $z_i = 1$ 。在動作 1162，DAC 控制器 620 將 M 個控制位元（對應於超過高閾值的 sy_i 值，也即超過高閾值的那些 sy_i 值）從第一值（例如，0）切換到第二值（例如，1）。或者說，將那些超過高閾值的 sy_i 值（ M 個）所對應的 z_i 值從 $z_i=0$ 設置為 $z_i=1$ （例如從禁用設置為啟用）。在該示例中，DAC 控制器 620 切換控制位元 z_{53} ， z_{24} 和 z_{49} 。這導致開關 s_{53} ， s_{24} 和 s_{49} 的狀態被切換（例如，從禁用到啟用）。在動作 1164，DAC 控制器 620 將 $M - [m(n) - m(n-1)]$ 個控制位元（對應不超過低閾值的 sy_i 值，也即不超過低閾值的那些 sy_i 值）從第二值（例如，1）切換到第一值（例如，0）。或者說，將那些不超過低閾值的 sy_i 值（ $M - [m(n) - m(n-1)]$ 個）所對應的 z_i 值從 $z_i=1$ 設置為 $z_i=0$ （例如從啟用設置為禁用）。在一些實施例中，可以使用二分搜索（binary search）（例如，將閾值的值移動到超過閾值的範圍的中間值（middle value）的搜索）來執行第 11B 圖的搜索。透過利用樣本與樣本之間的閾值的統計相關性來減小搜索範圍，可以加快搜索的收斂速度。此外，可以透過使用預測（predictive）演算法來估計

閾值的新的值來加速收斂，例如使用來自先前指針值的零階（zero-order）或一階（first-order）外推的方法（extrapolation）。

【0070】 在第 12A-12B 圖的示例中，僅對應於超過閾值的狀態訊號的位元從第一值切換到第二值。然而，在其他實施例中，只有對應於低於閾值的狀態訊號的位元可以從第一值切換到第二值。

【0071】 在第 13 圖的示例中，結合搜索演算法使用一對閾值（高閾值和低閾值）。第 13 圖是其中 x 軸表示元素指標 i 並且 y 軸表示相應的 sy_i 值的大小（ sy_i 值的幅度）的曲線圖。在這種情況下，調整（或設置）高閾值直到只有等於 $M1$ 的 sy_i 值的數量超過高閾值，相應的 $z_i = 0$ ，並且調整（或設置）低閾值直到只有等於 $M2$ 的 sy_i 值的數量低於低閾值，相應的 $z_i = 1$ 。對應於超過高閾值的 sy_i 值的 $M1$ （個）控制位元可以從第一值（例如，0）切換到第二值（例如，1）。對應於低於閾值的 sy_i 值的 $M2$ （個）控制位元可以從第二值切換到第一值。因此，對應於 $M1$ （個）控制位元的 $M1$ （個）開關從第一狀態（例如，禁用）切換到第二狀態（例如，啟用），並且對應於 $M2$ （個）控制位元的 $M2$ （個）開關從第二狀態（例如，啟用）切換到第一狀態（例如，禁用）。

【0072】 搜索演算法可以具有優於排序演算法的若干優點。首先，它可以提高數位類比轉換收斂的速度。其次，它可以降低 DAC 控制器的複雜性（例如，減少電晶體的數量），以及減小電路的面積，使電路可以小型化，節省成本等。

【0073】 III 結論

【0074】 在申請專利範圍中使用諸如“第一”，“第二”，“第三”等的序數術語來修飾申請專利範圍元素本身並不意味著一個申請專利範圍元素優先於另一個申請專利範圍的優先順序，優先權或順序。或者執行方法的動作的時間順序，而是僅用作標記以將具有特定名稱的一個申請專利範圍元素與具有相同名稱的另一個元素（但是對於序數術語的使用）區分，以區分申請專利範圍

元素。

【0075】 此外，這裡使用的措辭和術語是出於描述的目的，而不應被視為限制。本文中“包括”，“包含”，“具有”，“含有”或“涉及”及其變化形式的使用旨在涵蓋其後列出的項目及其等同物以及其他項目。

【0076】 “耦合”或“連接”的使用意味著指代彼此直接連結或透過中間組件連結的電路元件或訊號。

【0077】 術語“大約”，“基本上”和“大約”可以用於表示在一些實施例中的目標值的 $\pm 20\%$ 內，在一些實施例中在目標值的 $\pm 10\%$ 內，在 $\pm 5\%$ 內。在一些實施方案中，在目標值的 $\pm 2\%$ 範圍內。術語“接近”和“大約”可以包括目標值。

【0078】 儘管已經對本發明實施例及其優點進行了詳細說明，但應當理解的是，在不脫離本發明的精神以及申請專利範圍所定義的範圍內，可以對本發明進行各種改變、替換和變更。所描述的實施例在所有方面僅用於說明的目的而並非用於限制本發明。本發明的保護範圍當視所附的申請專利範圍所界定者為準。本領域技術人員皆在不脫離本發明之精神以及範圍內做些許更動與潤飾。

【符號說明】

【0079】

100～數位類比轉換電路；

110～MSB 路徑；

112、152、612～ Δ - Σ 調製器；

120、160、620～DAC 控制器；

114、122、140、158～濾波器；

124、164、624～DAC；

630～運算放大器；

142～增益級；

150～LSB 路徑；

154～迴路濾波器；

116、156～量化器；

115、117、155、157、170、1002、1004～加法器；

500～方法；

502、504、506、508、510、512、1102、1104、1106、1108、1110、1112、1152、

1154、1156、1158、1160、1162、1164、1166～動作；

801～音調；

802、803～諧波；

801、811～雜訊頻譜響應；

902～二進位到溫度計編碼器；

904～左旋轉寄存器；

906～模 2 累加器；

1006～延遲單元；

1008～固定轉換向量量化器；

1010～放大器；

620₁、620₆₄～子系統；

1100～排序演算法；

1150～搜索演算法。

【發明申請專利範圍】

【第1項】 一種數位類比轉換電路，包括：

最高有效位元路徑，包括：第一 Δ - Σ 調製器，具有第一輸出和第二輸出；
以及第一數位類比轉換器，耦合到該第一 Δ - Σ 調製器的第一輸出；

數位濾波器，耦合到該第一 Δ - Σ 調製器的第二輸出；以及

最低有效位元路徑，包括：第二 Δ - Σ 調製器，包括迴路濾波器和量化器，
該量化器具有耦合到該迴路濾波器和該數位濾波器的輸入；以及第二數位類比
轉換器，耦合到該量化器的輸出；

增益級，耦合在該數位濾波器和該第二 Δ - Σ 調製器之間；

其中該第二 Δ - Σ 調製器還包括第一加法器，該第一加法器透過該數位濾波
器和該增益級耦合到該第二輸出，並且該第一加法器直接耦合到該迴路濾波器的
輸出以及直接耦合到該量化器的輸入，以及該量化器的輸出直接耦合到該迴
路濾波器的輸入。

【第2項】 如申請專利範圍第 1 項所述的數位類比轉換電路，其中該第一 Δ - Σ 調製器包括第一量化器，

其中該第一 Δ - Σ 調製器的該第一輸出是該第一量化器的輸出，以及

其中該量化器是第二量化器。

【第3項】 如申請專利範圍第 2 項所述的數位類比轉換電路，其中該第一 Δ - Σ 調製器的第二輸出是從該第一量化器的輸出導出的。

【第4項】 如申請專利範圍第 2-3 項中任一項所述的數位類比轉換電路，其
中該第一 Δ - Σ 調製器還包括第一迴路濾波器，第一加法器和第二加法器，

其中該第一加法器耦合到該第一量化器的輸入，該第二加法器耦合到該第
一量化器的輸出，該第一迴路濾波器耦合在該第一加法器和該第二加法器之間，

以及

其中該迴路濾波器是第二迴路濾波器。

【第5項】 如申請專利範圍第 4 項所述的數位類比轉換電路，其中該第一 Δ - Σ 調製器的第二輸出是該第二加法器的輸出。

【第6項】 如申請專利範圍第 1-2 項任一項所述的數位類比轉換電路，其中該第二數位類比轉換器具有比該第一數位類比轉換器更少的輸入。

【第7項】 如申請專利範圍第 1-2 項任一項所述的數位類比轉換電路，還包括耦合到該數位濾波器的放大器。

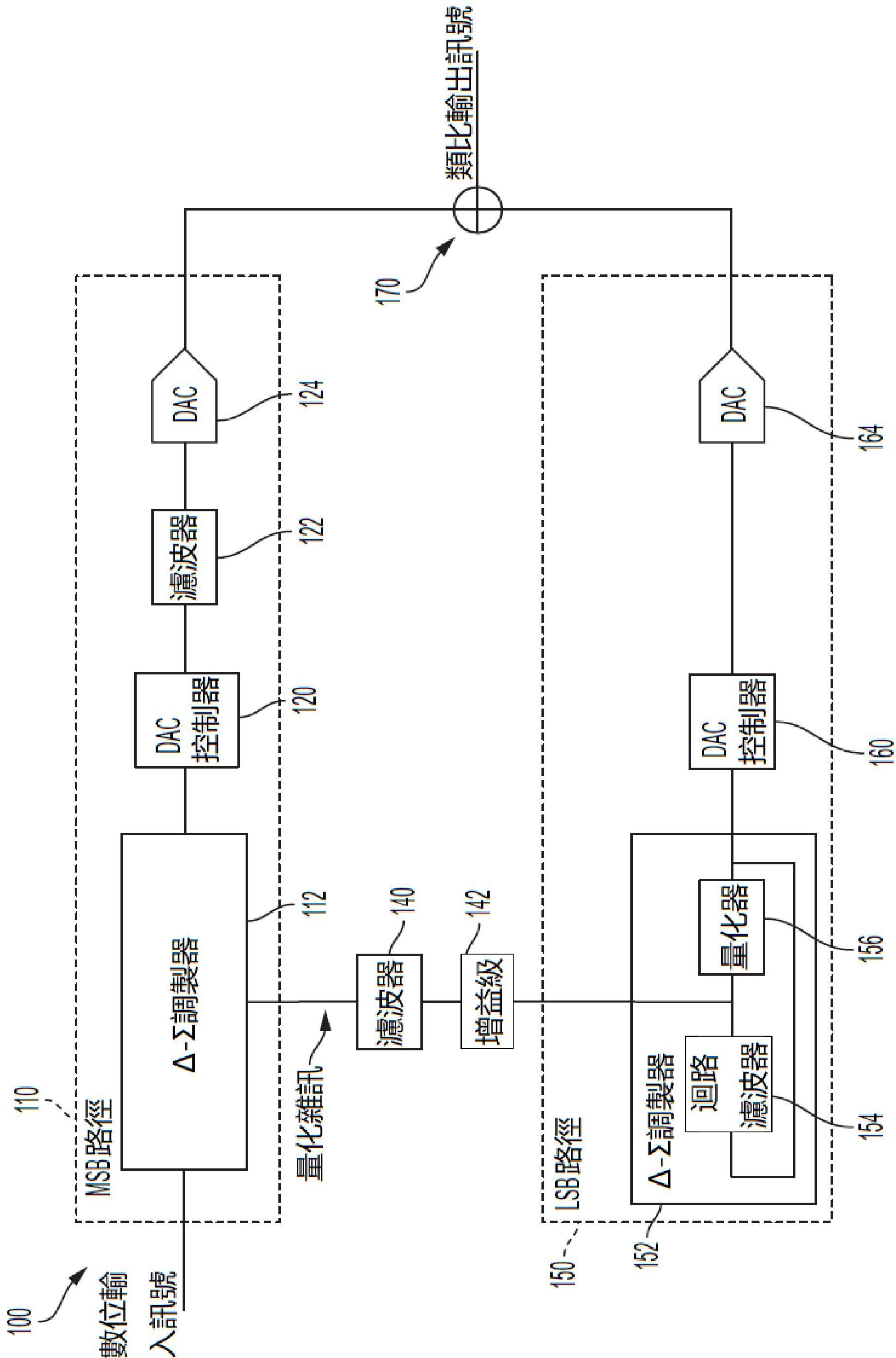
【第8項】 如申請專利範圍第 1-2 項任一項所述的數位類比轉換電路，其中該迴路濾波器包括第一濾波器和第二加法器，

該第二加法器耦合到該量化器的輸出，並且該第一濾波器耦合在該第一加法器和該第二加法器之間。

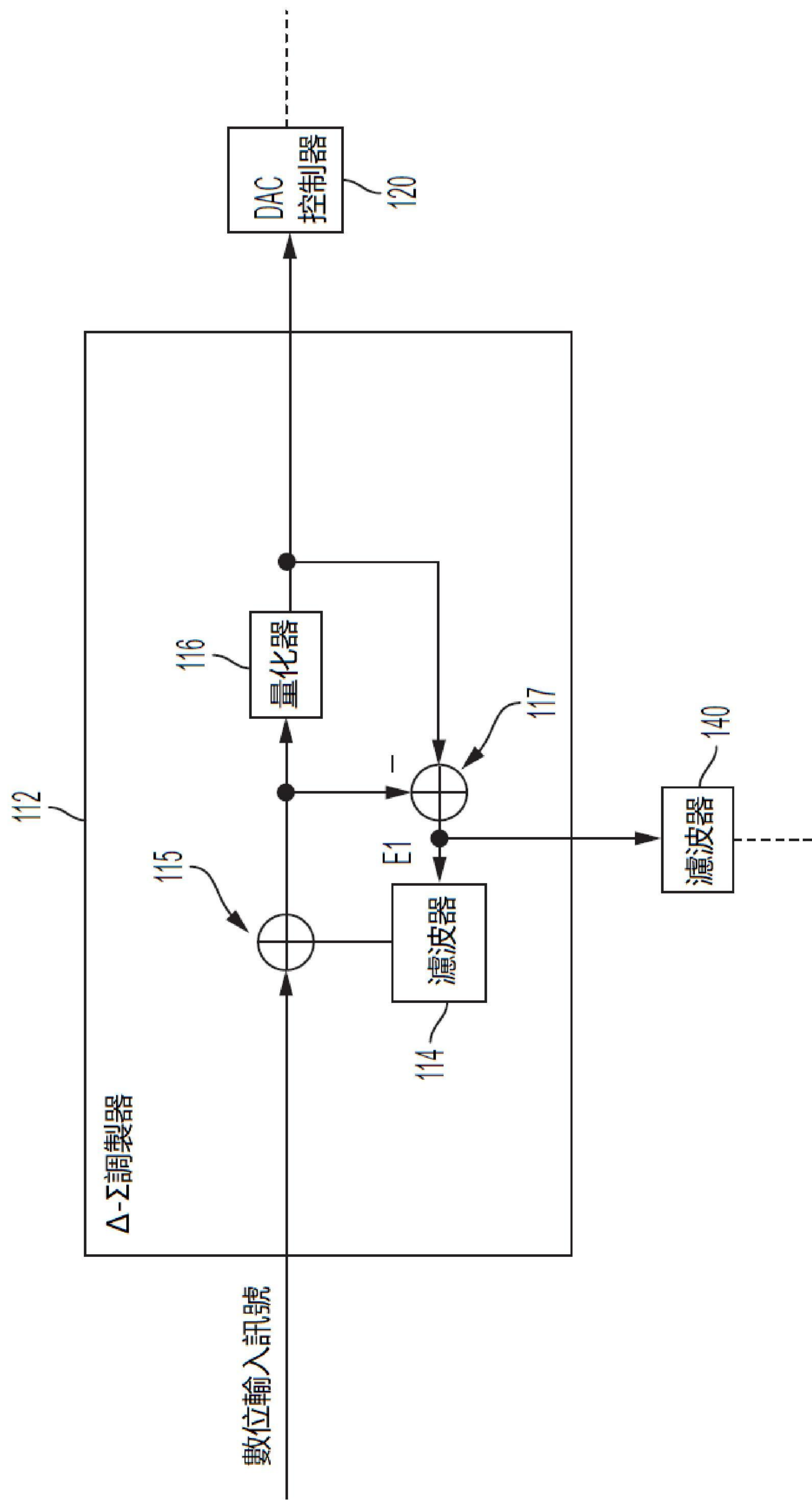
【第9項】 如申請專利範圍第 1 項所述的數位類比轉換電路，還包括數位類比轉換器控制器，耦合到該第一 Δ - Σ 調製器的第一輸出；該數位類比轉換器控制器包括：二進位到溫度計編碼器、左旋轉寄存器和模 2 累加器；該二進位到溫度計編碼器接收該第一輸出以產生輸出至該左旋轉寄存器，該模 2 累加器產生旋轉指針用作該左旋轉寄存器的輸入，以旋轉該二進位到溫度計編碼器的輸入，該左旋轉寄存器產生輸出到該第一數位類比轉換器。

【第10項】 如申請專利範圍第 1 項所述的數位類比轉換電路，還包括數位類比轉換器控制器，耦合到該第一 Δ - Σ 調製器的第一輸出；該數位類比轉換器控制器包括子系統，每個該子系統配置為控制該第一數位類比轉換器的相應開關，每個該子系統包括：第一加法器、第一加法器、延遲單元、固定轉換向量量化器、和放大器；該第一加法器和該固定轉換向量量化器接收該第一輸出，該第一加法器從該第一輸出中減去該放大器的輸出，該第一加法器的輸出作為

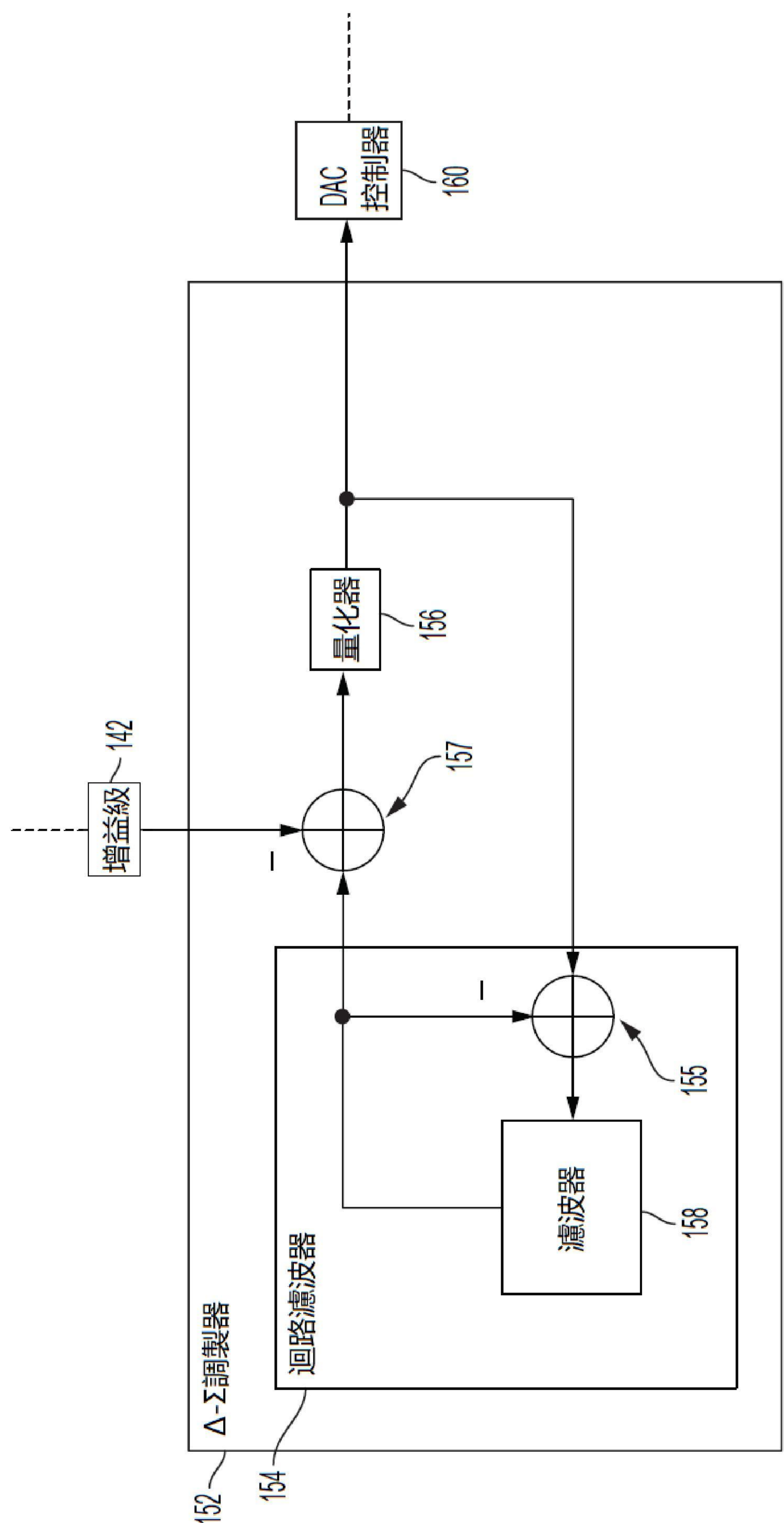
輸入提供給該第二加法器，該第二加法器將該第一加法器的輸出加到該延遲單元的輸出，該第二加法器的輸出作為輸入提供給該延遲單元，該延遲單元的輸出作為該固定轉換向量量化器的輸入，該固定轉換向量量化器的輸出控制該第一數位類比轉換器的開關的狀態，並且還作為輸入提供給該放大器。



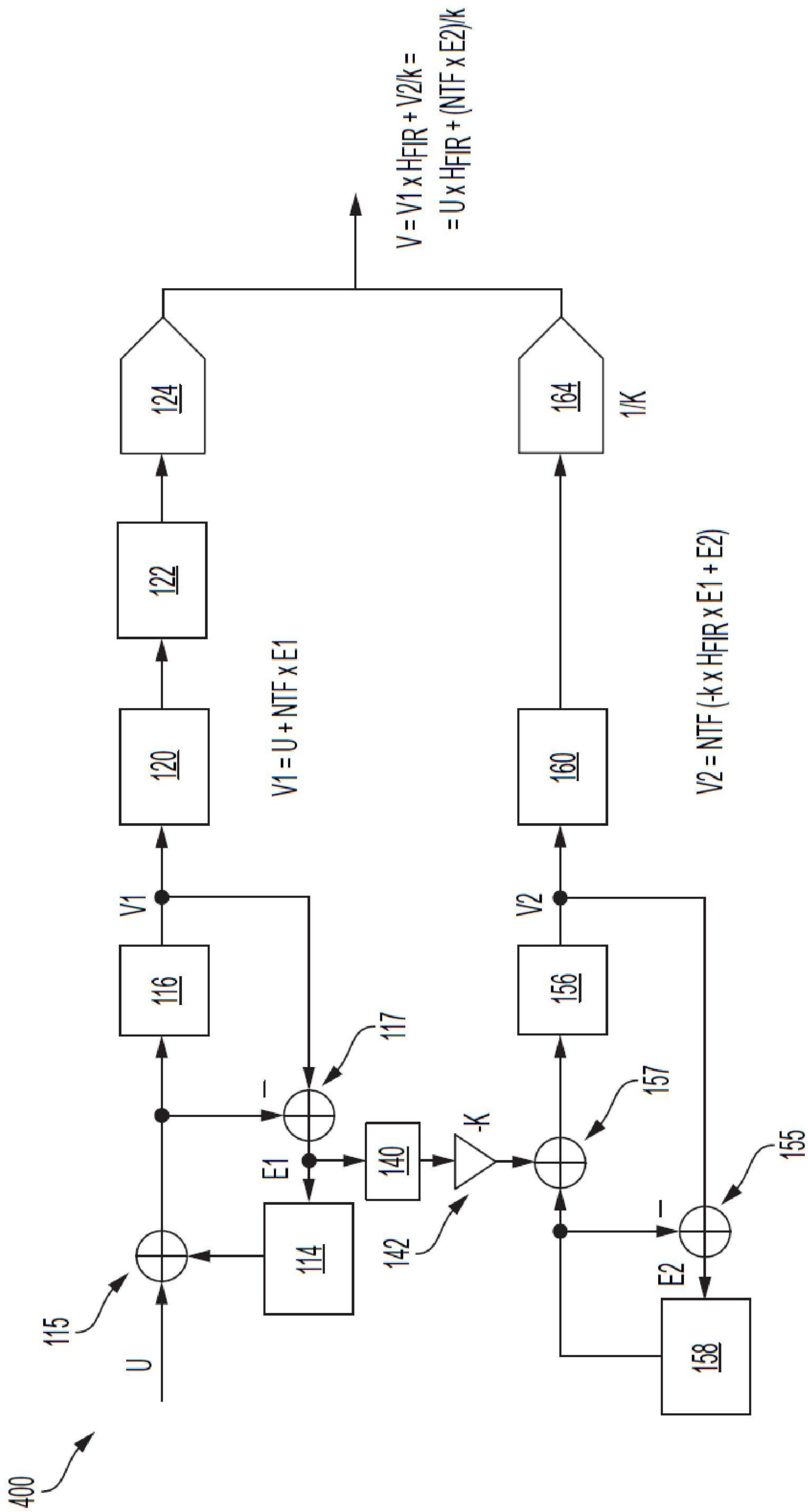
第 1 圖



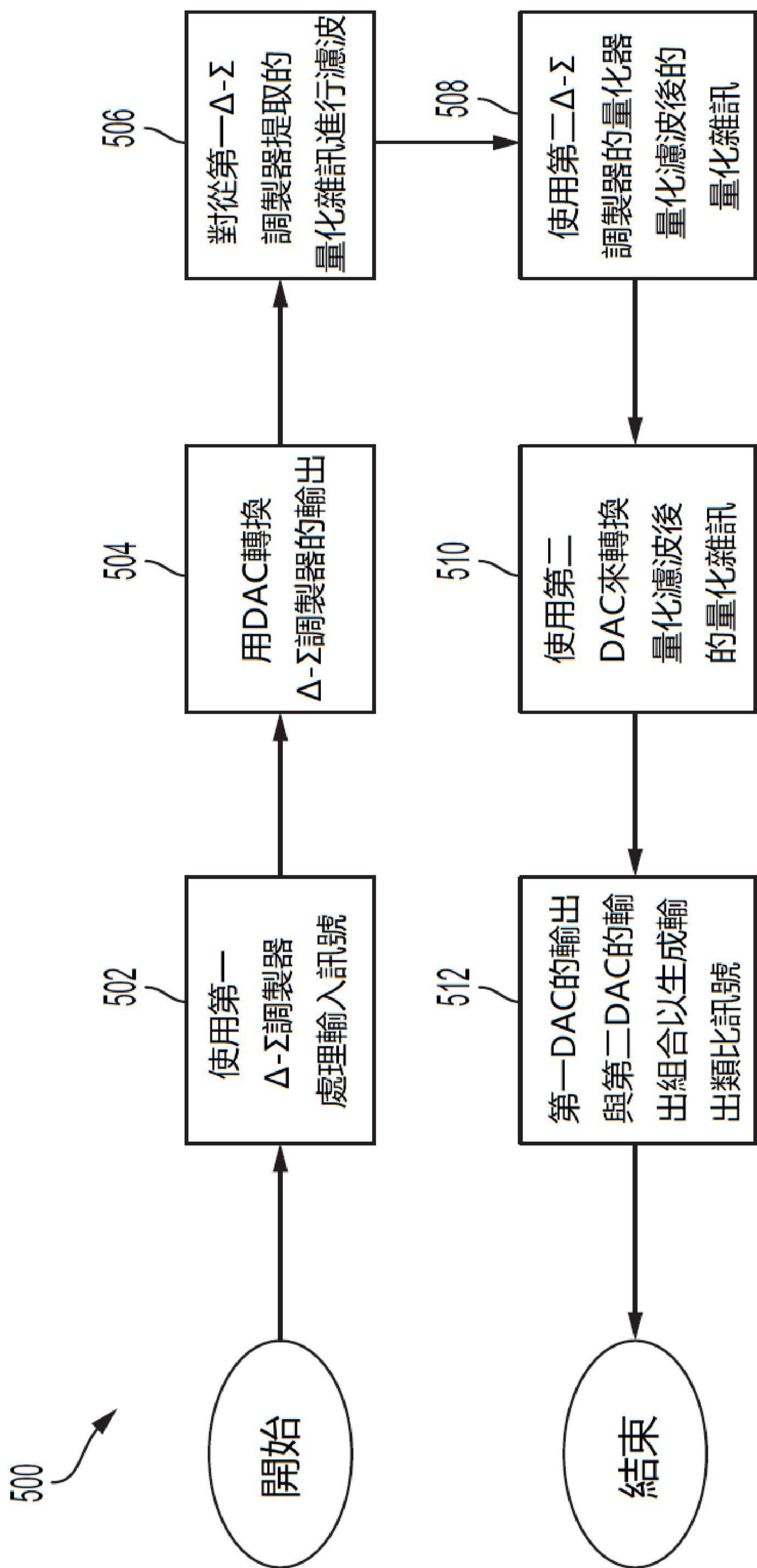
第 2 圖



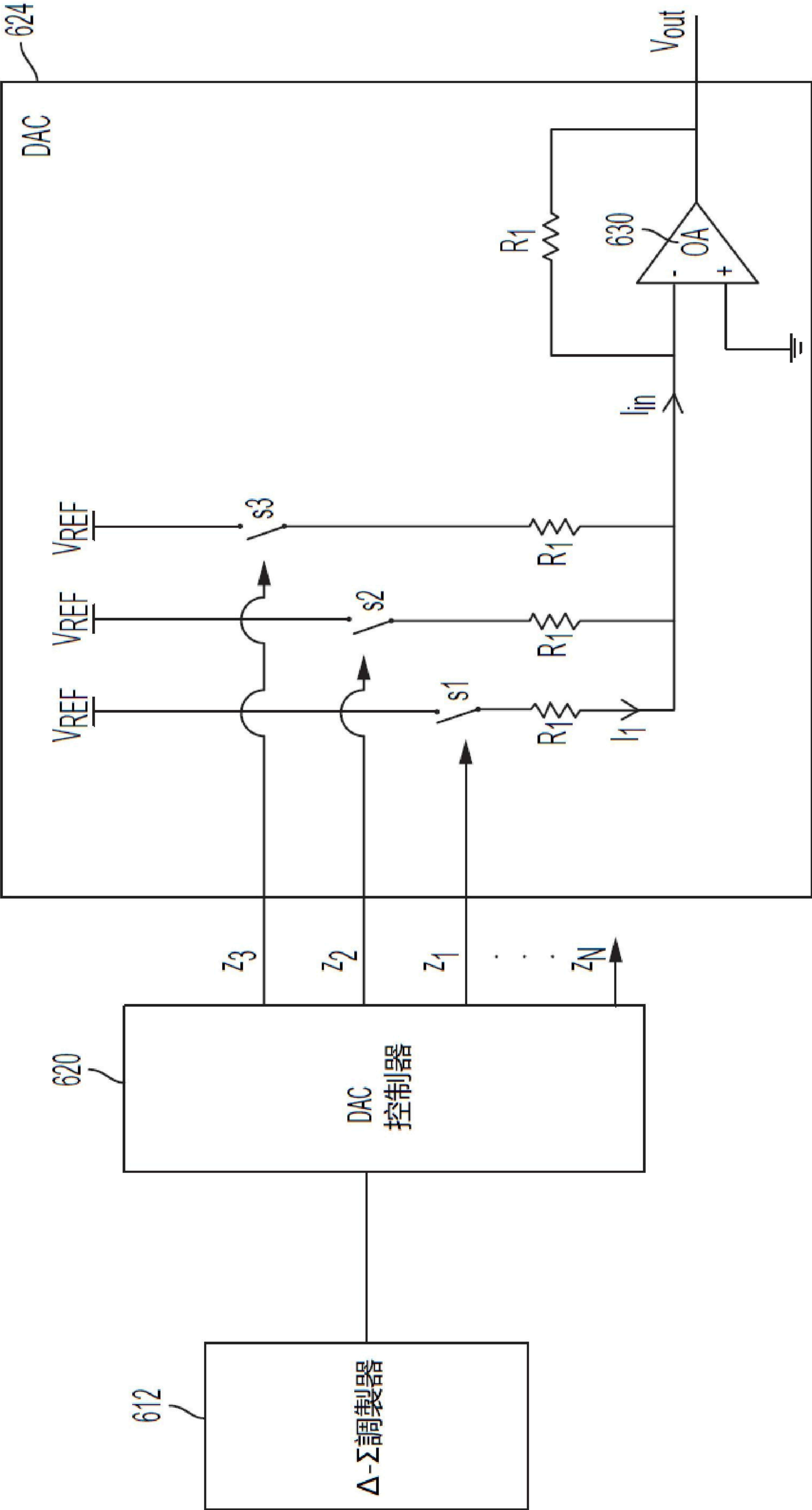
第 3 圖



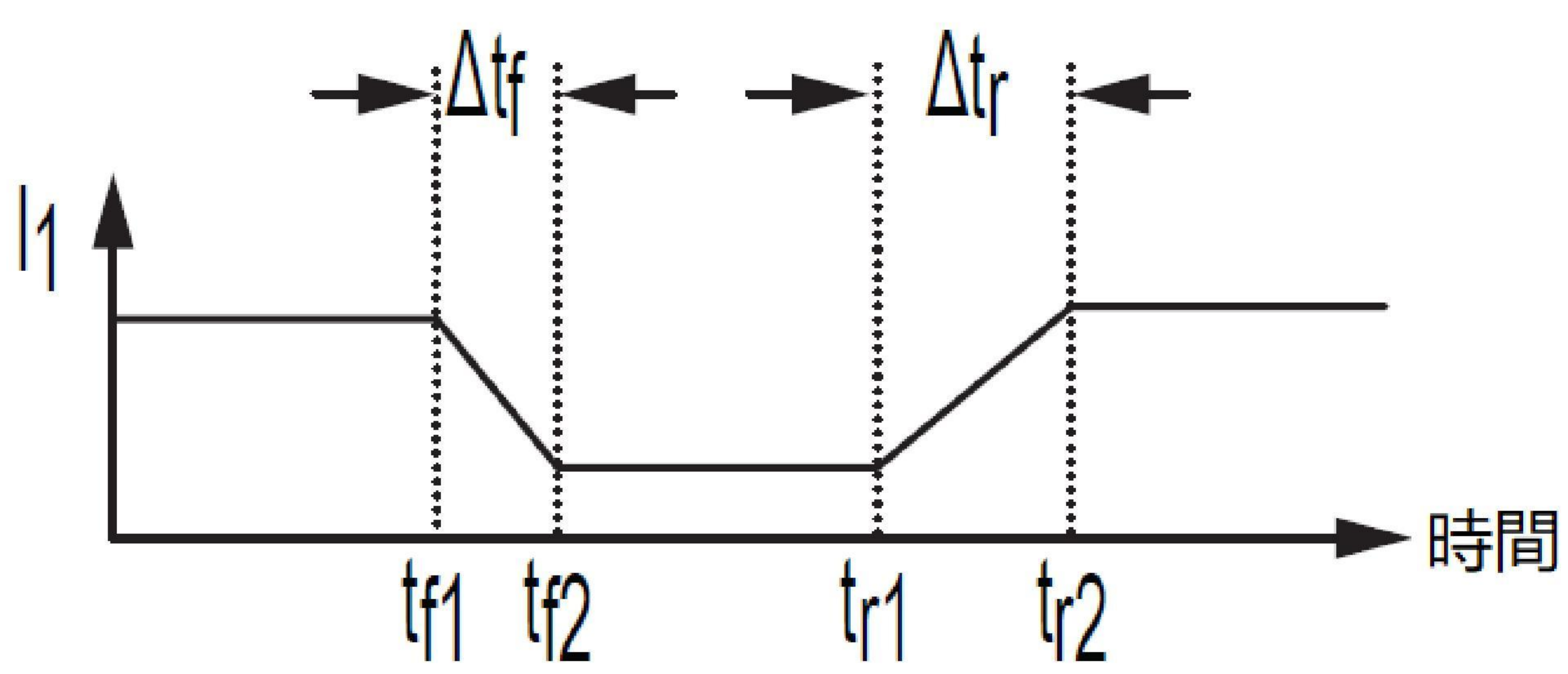
第 4 圖



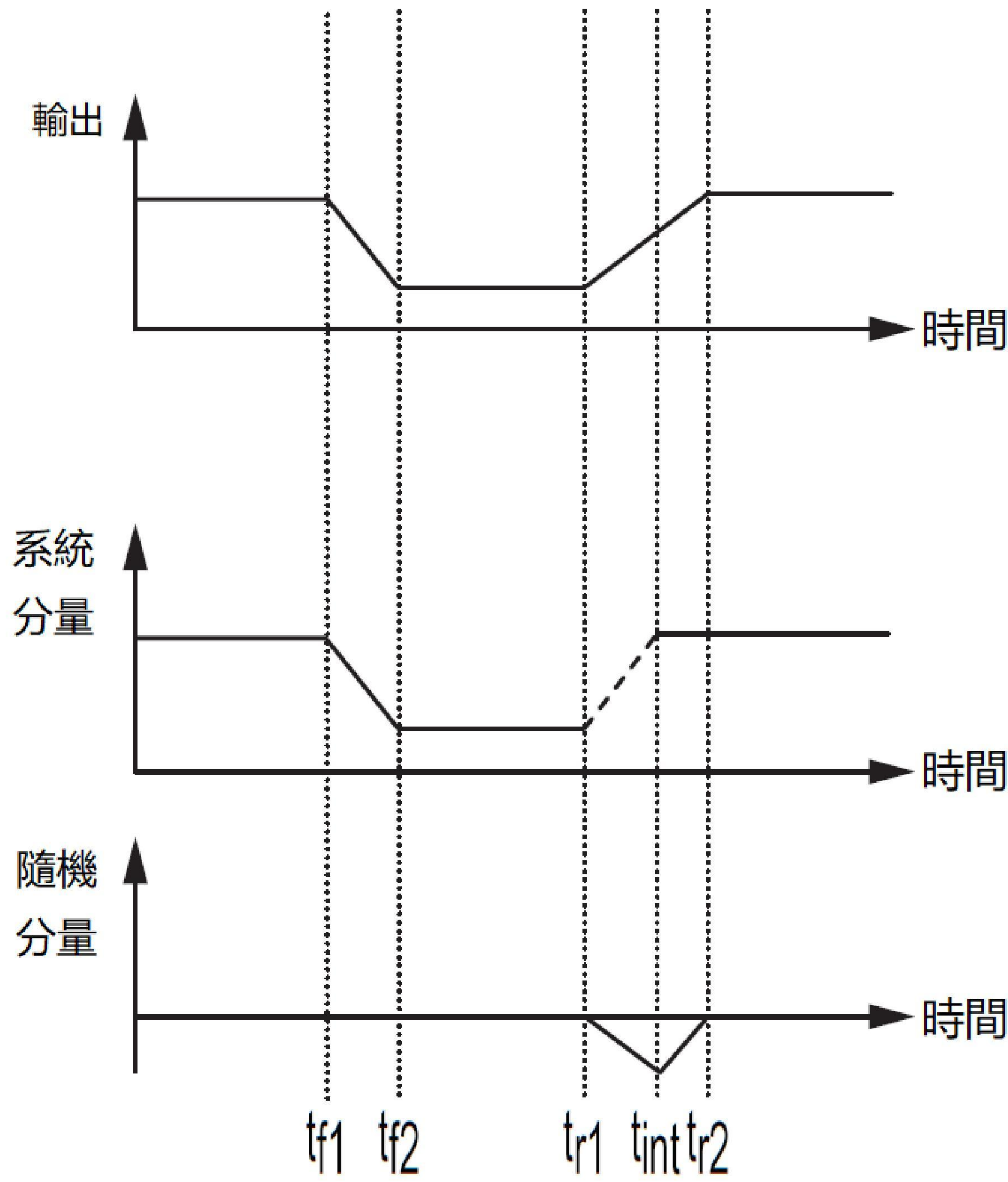
第 5 圖



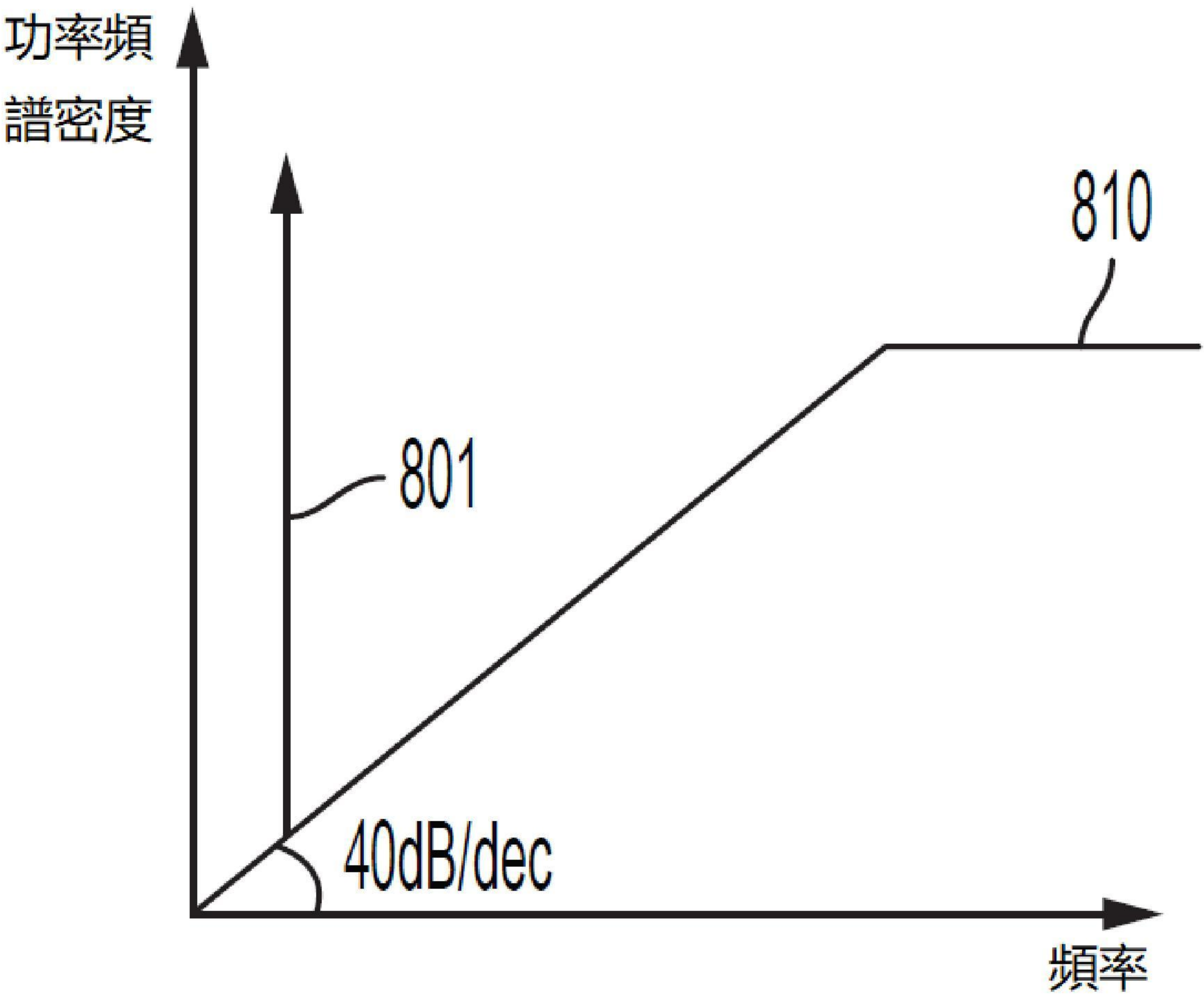
第 6 圖



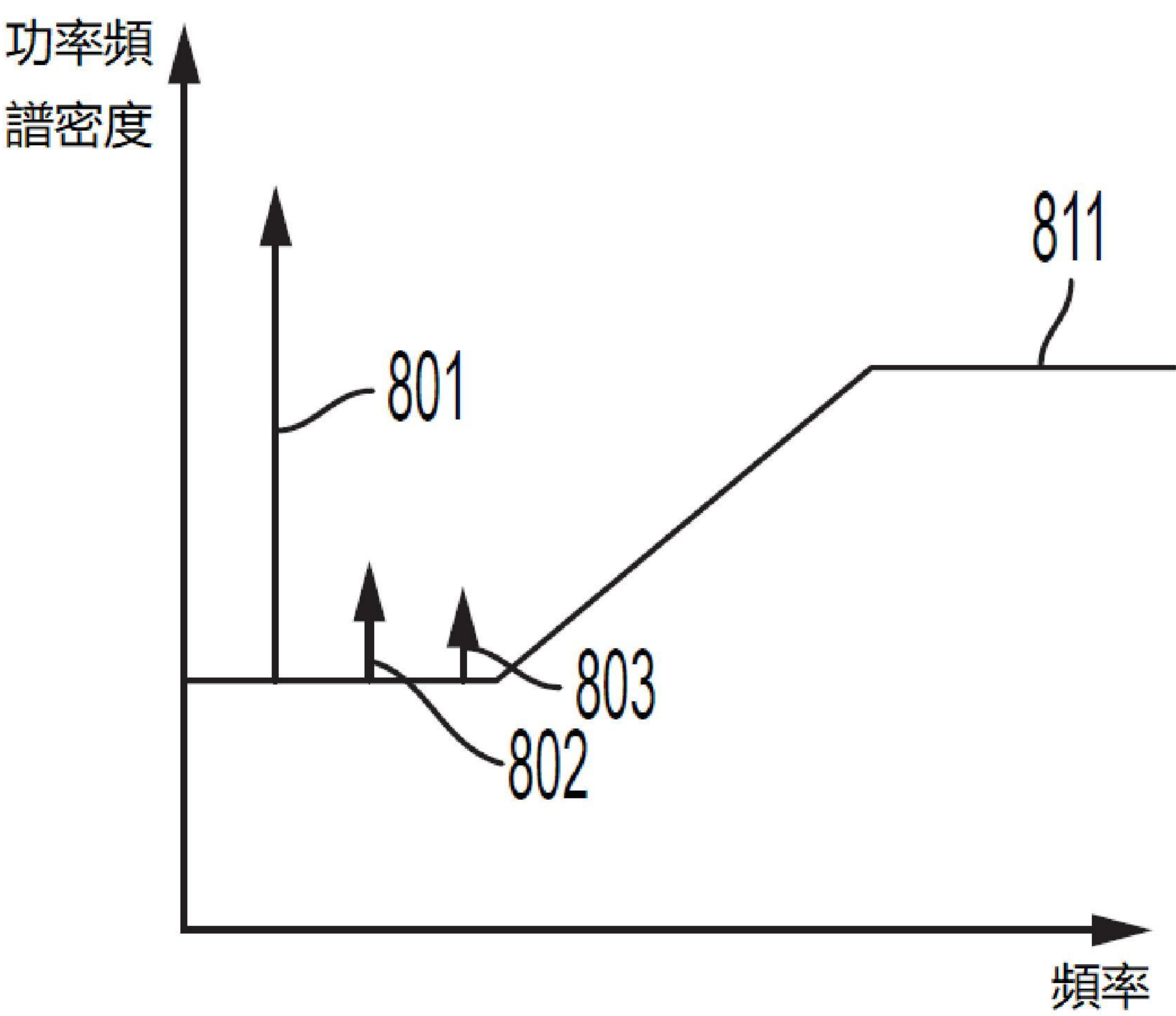
第 7A 圖



第 7B 圖



第 8A 圖



第 8B 圖

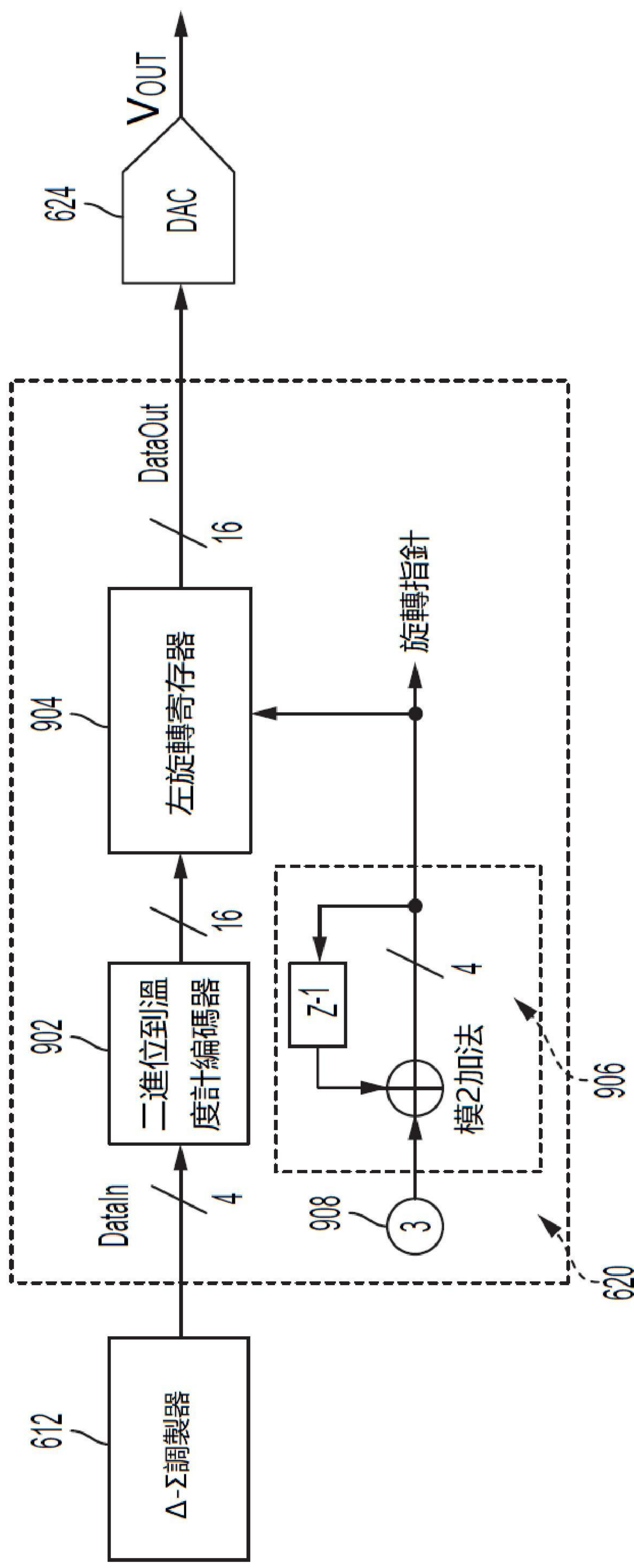
	s1	s2	s3	s4	s5	s6	s7	s8	s9	s10	s11	s12	s13	s14	s15	s16
t=1																
t=2														X	X	X
t=3											X	X	X			
t=4								X	X	X						
t=5						X	X									
t=6		X	X	X												
t=7	X														X	X
t=8												X	X	X		
t=9									X	X	X					
t=10						X	X	X								

開關啟用

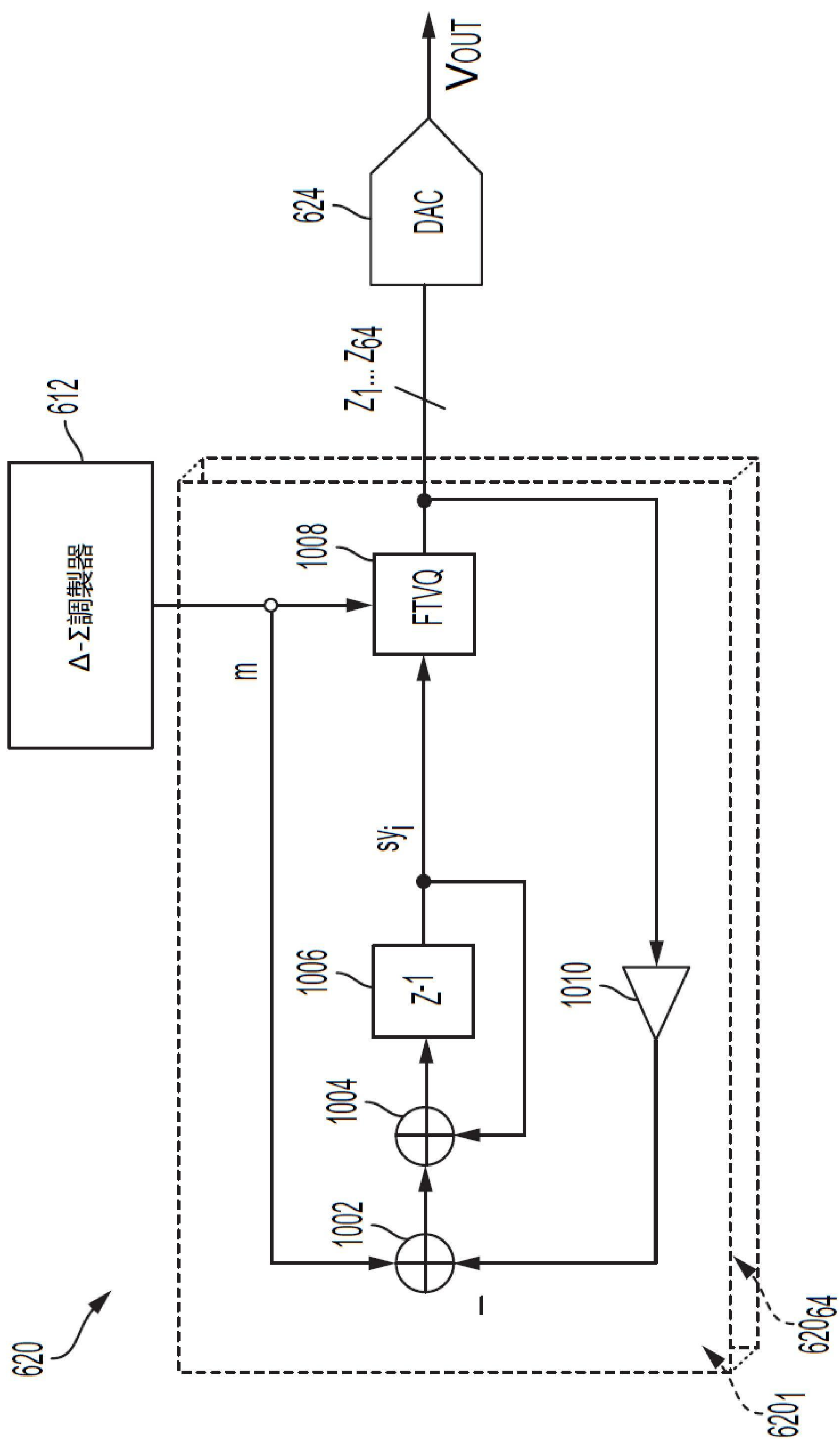
開關禁用

X

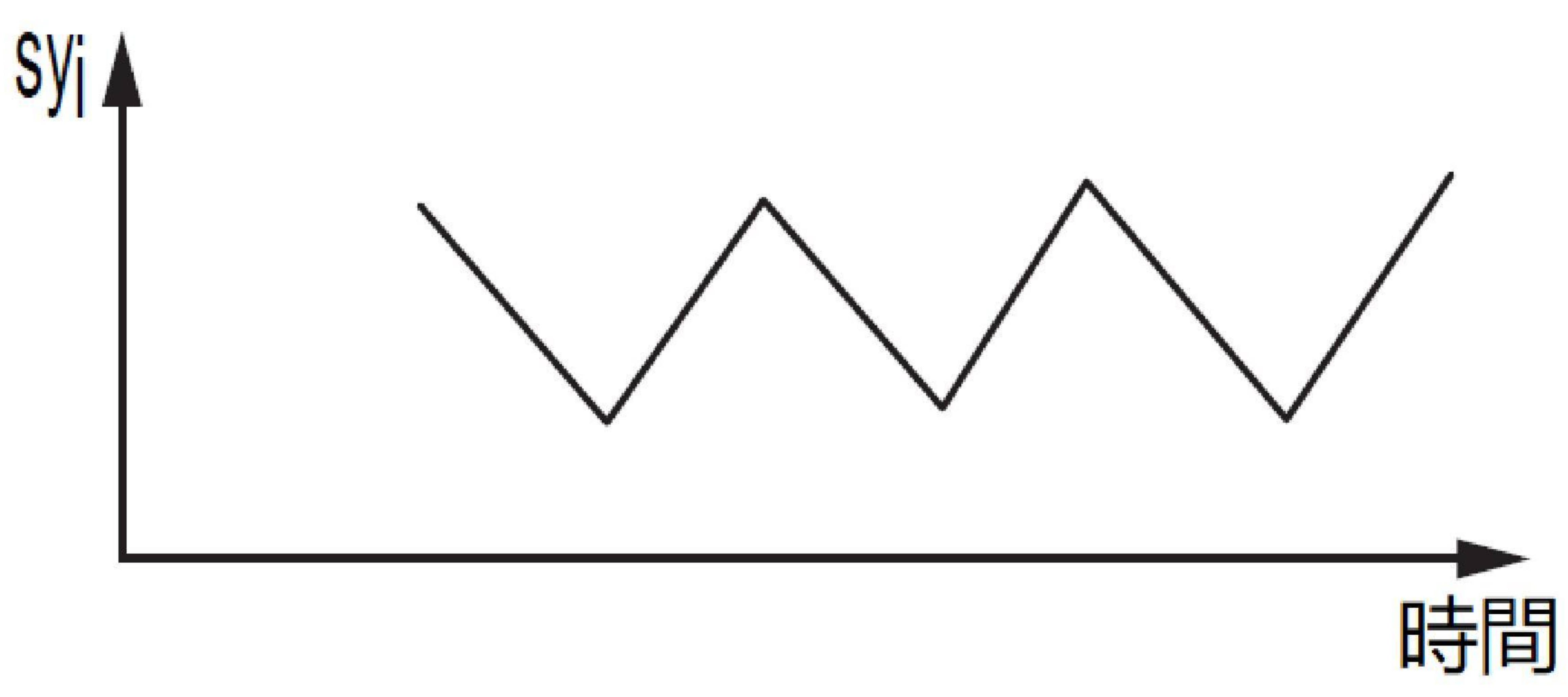
開關從禁用切換到啟用



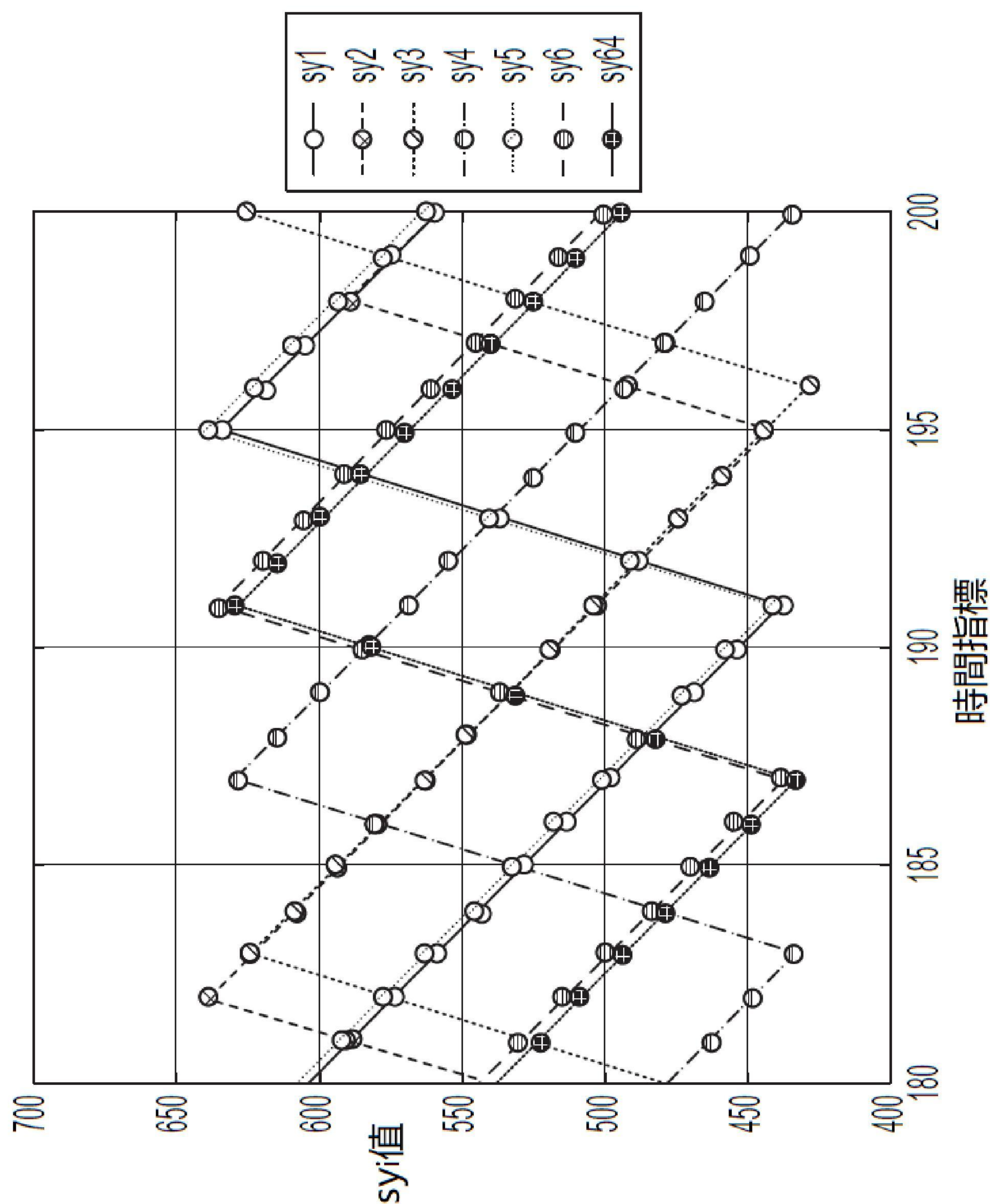
第 9B 圖



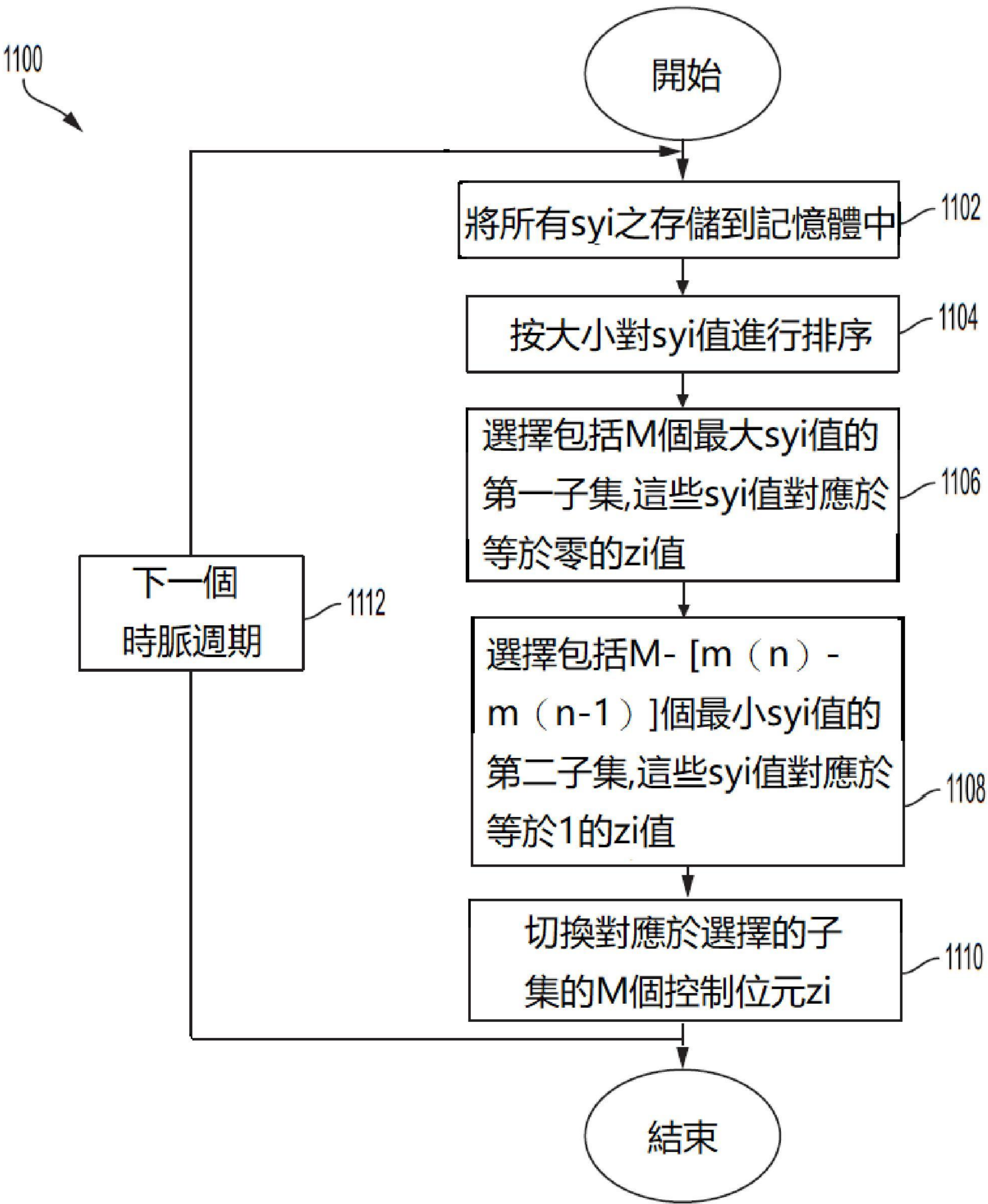
第 10A 圖



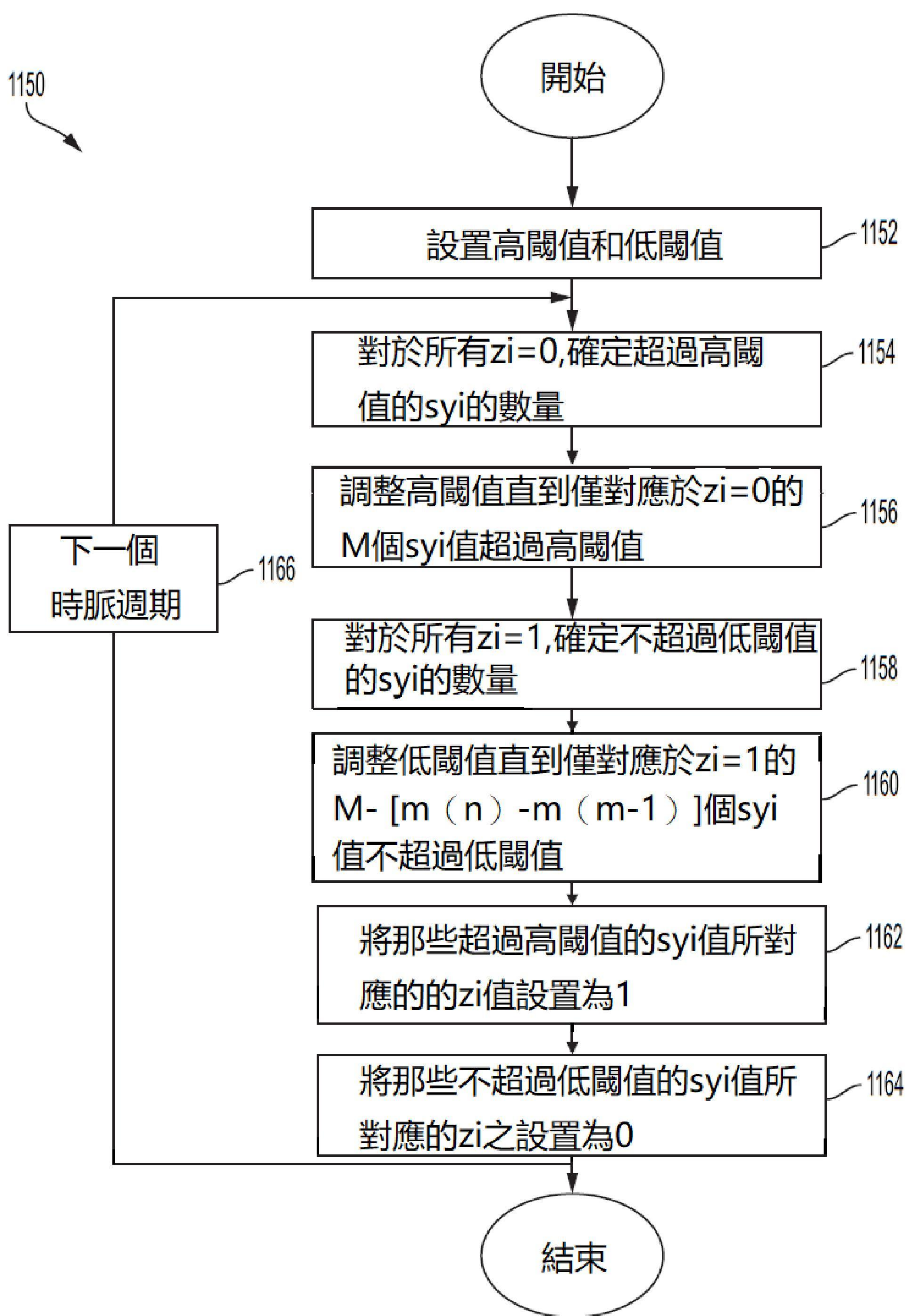
第 10B 圖



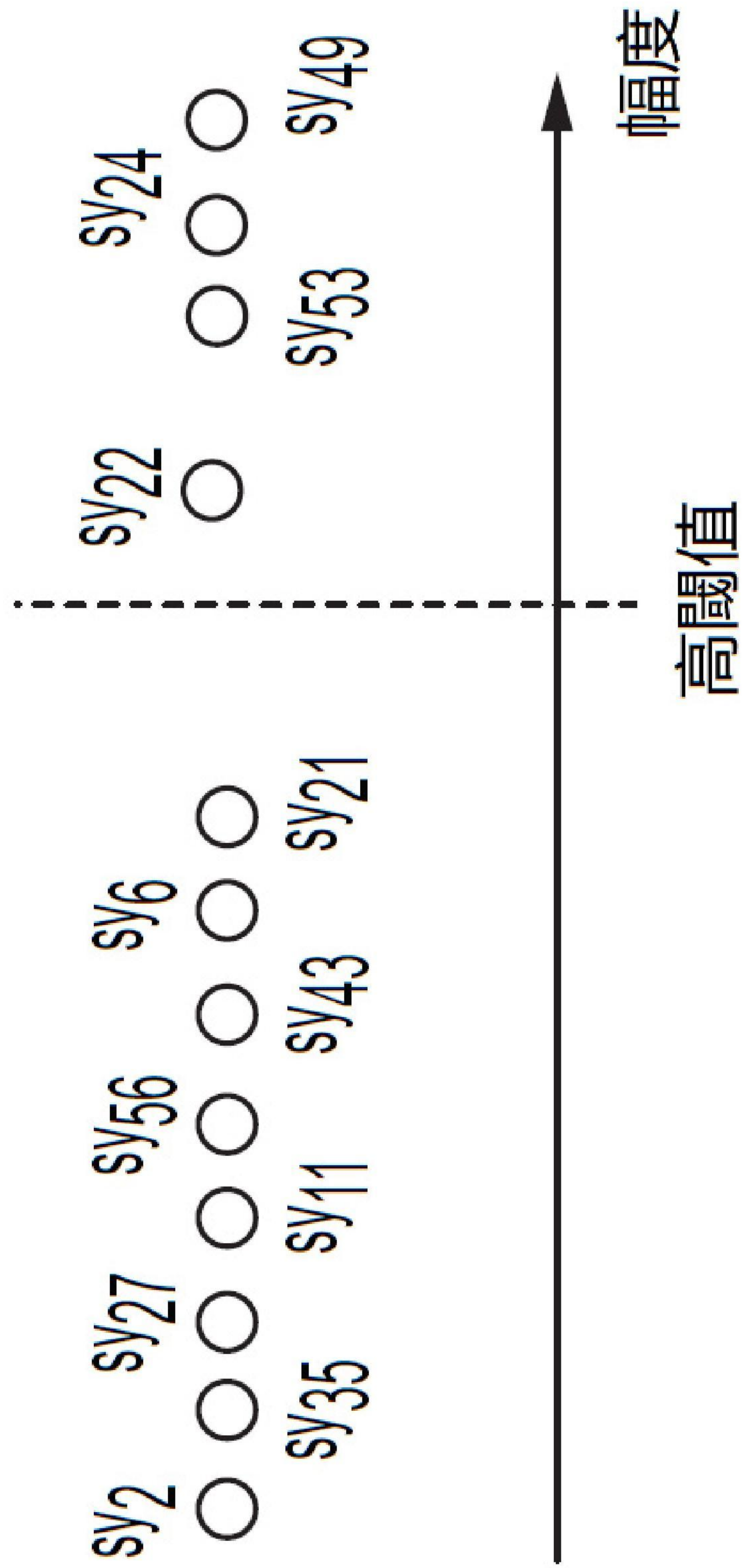
第 10C 圖



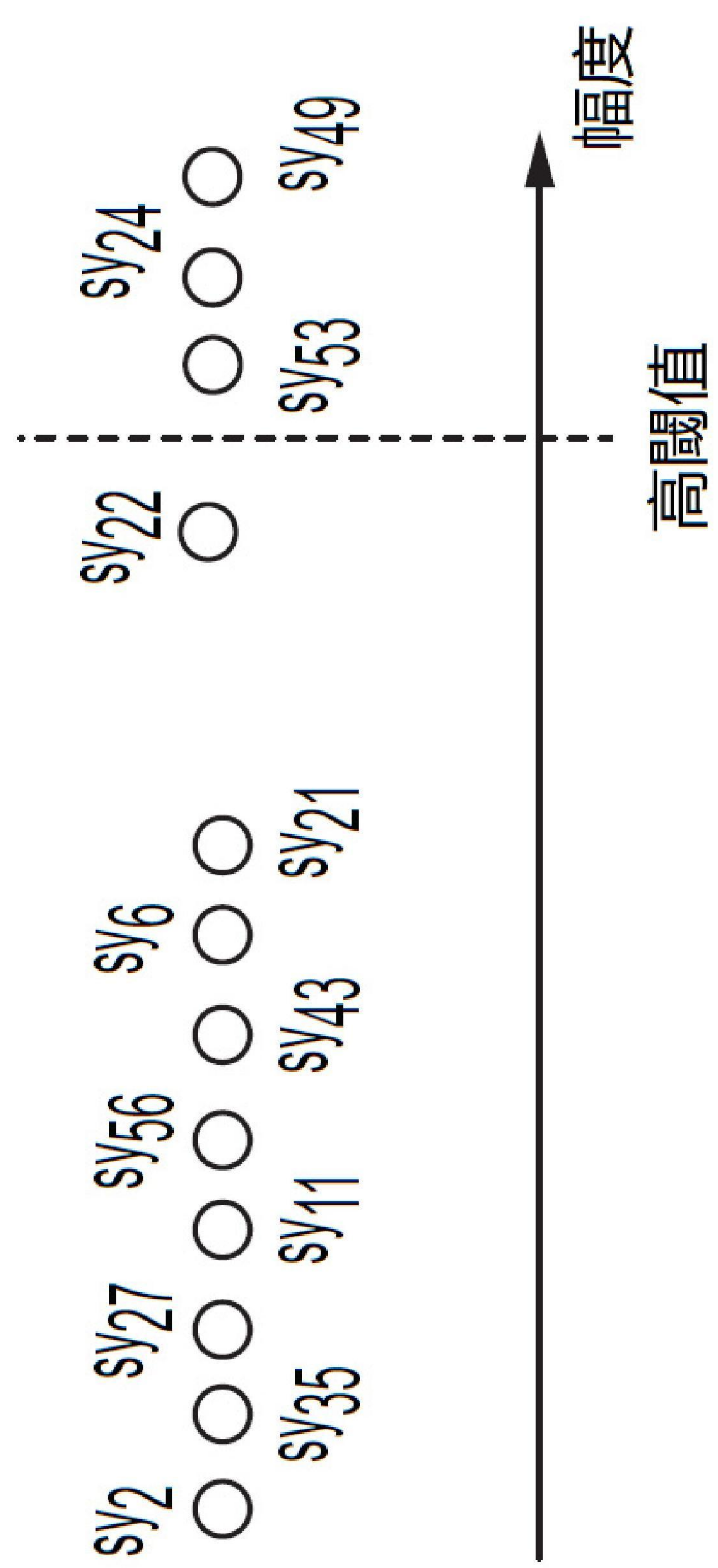
第 11A 圖



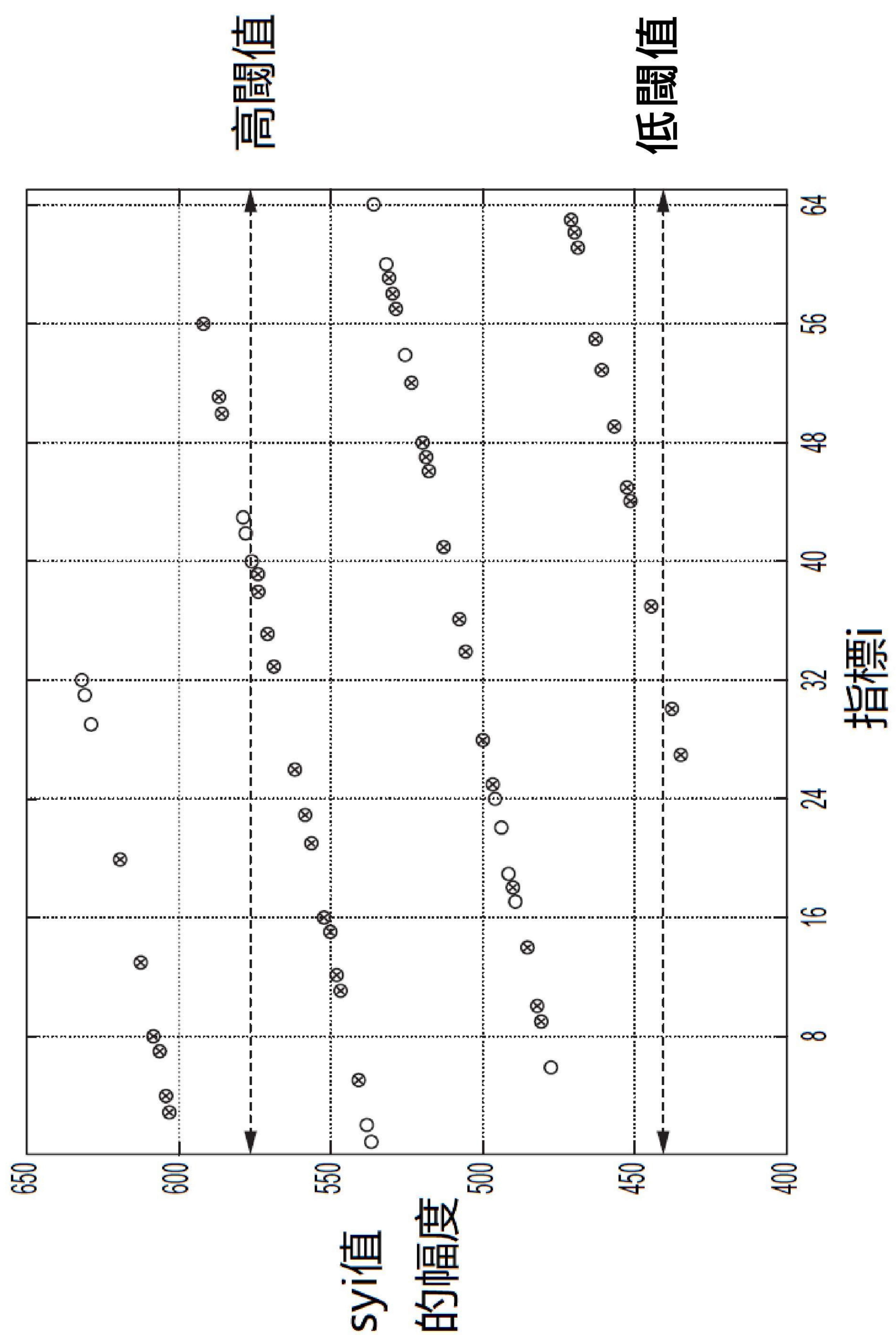
第 11B 圖



第 12A 圖



第 12B 圖



第 13 圖