



**(19) 대한민국특허청(KR)**  
**(12) 등록특허공보(B1)**

(45) 공고일자 2019년01월11일  
 (11) 등록번호 10-1937232  
 (24) 등록일자 2019년01월04일

(51) 국제특허분류(Int. Cl.)  
 G11C 29/00 (2006.01) G11C 7/10 (2015.01)  
 (21) 출원번호 10-2012-0150998  
 (22) 출원일자 2012년12월21일  
 심사청구일자 2017년11월16일  
 (65) 공개번호 10-2014-0081347  
 (43) 공개일자 2014년07월01일  
 (56) 선행기술조사문헌  
 US20090027939 A1  
 US20110013469 A1  
 US20110205796 A1

(73) 특허권자  
 에스케이하이닉스 주식회사  
 경기도 이천시 부발읍 경충대로 2091  
 (72) 발명자  
 이주현  
 경기도 부천시 원미구 계남로 106 금강마을 403동 306호  
 전준현  
 경기도 용인시 처인구 양지면 학촌로70번길 34-4 삼성전원마을 A-19  
 송호욱  
 경기 이천시 부발읍 신아로92번길 74-25, 704동 1802호 (아미리7차현대아파트)  
 (74) 대리인  
 특허법인태평양

전체 청구항 수 : 총 1 항

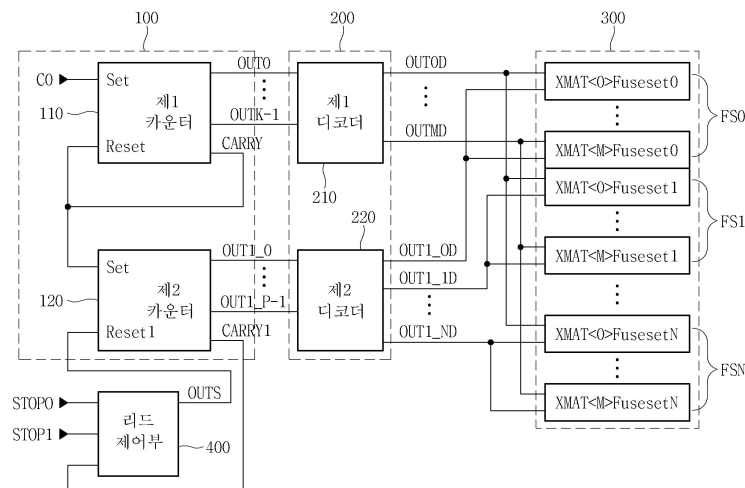
심사관 : 나영준

(54) 발명의 명칭 **반도체 장치**

**(57) 요약**

본 발명은 반도체 장치에 관한 것으로, 퓨즈 어레이를 포함하는 반도체 장치의 리드 시간을 줄일 수 있도록 하는 기술이다. 이러한 본 발명은 복수의 퓨즈셋을 포함하는 퓨즈 어레이, 컬럼 리드신호를 카운팅 하는 카운팅부, 카운팅부의 출력을 디코딩하여 퓨즈 어레이에 출력하는 디코딩부, 및 리드 제어신호와 카운팅부로부터 인가되는 제 2실행신호에 따라 퓨즈 어레이의 리드 동작 영역을 제어하는 리드 제어부를 포함하고, 리드 제어신호의 조합에 따라 카운팅부의 리셋 동작을 제어하여 퓨즈 어레이 중 리페어된 일부 퓨즈셋만 리드할 수 있도록 한다.

**대표도 - 도1**



## 명세서

### 청구범위

#### 청구항 1

복수의 퓨즈셋을 포함하는 퓨즈 어레이;

컬럼 리드신호를 카운팅 하는 카운팅부;

상기 카운팅부의 출력을 디코딩하여 상기 퓨즈 어레이에 출력하는 디코딩부; 및

리드 제어신호와 상기 카운팅부로부터 인가되는 제 2실행신호에 따라 퓨즈 어레이의 리드 동작 영역을 제어하는 리드 제어부를 포함하는 것을 특징으로 하는 반도체 장치.

#### 청구항 2

◆청구항 2은(는) 설정등록료 납부시 포기되었습니다.◆

제 1항에 있어서, 상기 퓨즈 어레이는 복수의 퓨즈셋 그룹으로 구분되는 것을 특징으로 하는 반도체 장치.

#### 청구항 3

◆청구항 3은(는) 설정등록료 납부시 포기되었습니다.◆

제 1항에 있어서, 상기 카운팅부는

상기 컬럼 리드신호를 카운팅하여 복수의 제 1카운팅 신호와 제 1실행신호를 출력하는 제 1카운터; 및

상기 제 1카운터의 출력신호를 카운팅하여 복수의 제 2카운팅 신호와 상기 제 2실행신호를 출력하는 제 2카운터를 포함하는 것을 특징으로 하는 반도체 장치.

#### 청구항 4

◆청구항 4은(는) 설정등록료 납부시 포기되었습니다.◆

제 3항에 있어서, 상기 제 1카운터는 세트 단자를 통해 상기 컬럼 리드신호가 입력되고 상기 제 1실행신호가 리셋 단자로 입력되는 것을 특징으로 하는 반도체 장치.

#### 청구항 5

◆청구항 5은(는) 설정등록료 납부시 포기되었습니다.◆

제 3항에 있어서, 상기 제 2카운터는 세트 단자를 통해 상기 제 1실행신호가 입력되고 리셋 단자를 통해 상기 리드 제어부의 출력신호가 입력되는 것을 특징으로 하는 반도체 장치.

#### 청구항 6

◆청구항 6은(는) 설정등록료 납부시 포기되었습니다.◆

제 3항에 있어서, 상기 디코딩부는

상기 복수의 제 1카운팅 신호를 디코딩하여 복수의 제 1디코딩 신호를 출력하는 제 1디코더; 및

상기 복수의 제 2카운팅 신호를 디코딩하여 복수의 제 2디코딩 신호를 출력하는 제 2디코더를 포함하는 것을 특징으로 하는 반도체 장치.

#### 청구항 7

◆청구항 7은(는) 설정등록료 납부시 포기되었습니다.◆

제 6항에 있어서, 상기 퓨즈 어레이는 복수의 퓨즈셋 그룹으로 구분되고,

상기 복수의 제 1디코딩 신호 중 첫 번째 디코딩 신호는 제 1퓨즈셋 그룹의 첫 번째 퓨즈셋으로 입력되고, 상기 복수의 제 2디코딩 신호 중 마지막 디코딩 신호는 제 1퓨즈셋 그룹의 마지막 퓨즈셋으로 입력되는 것을 특징으로 하는 반도체 장치.

**청구항 8**

◆청구항 8은(는) 설정등록료 납부시 포기되었습니다.◆

제 6항에 있어서, 상기 퓨즈 어레이는 복수의 퓨즈셋 그룹으로 구분되고, 상기 복수의 제 2디코딩 신호 중 첫 번째 디코딩 신호는 첫 번째 퓨즈셋 그룹으로 입력되고, 상기 복수의 제 2디코딩 신호 중 마지막 디코딩 신호는 마지막 퓨즈셋 그룹으로 입력되는 것을 특징으로 하는 반도체 장치.

**청구항 9**

◆청구항 9은(는) 설정등록료 납부시 포기되었습니다.◆

제 1항에 있어서, 상기 리드 제어부는 상기 리드 제어신호와 상기 카운팅부의 출력에 따라 상기 카운팅부의 리셋 동작을 제어하는 것을 특징으로 하는 반도체 장치.

**청구항 10**

◆청구항 10은(는) 설정등록료 납부시 포기되었습니다.◆

제 1항에 있어서, 상기 리드 제어부는 상기 카운팅부의 출력에 따라 상기 복수의 퓨즈셋 중 리페어된 일부 퓨즈셋만 리드 되도록 제어하는 것을 특징으로 하는 반도체 장치.

**청구항 11**

◆청구항 11은(는) 설정등록료 납부시 포기되었습니다.◆

제 1항에 있어서, 상기 리드 제어부는 상기 리드 제어신호 중 제 1리드 제어신호와 제 2리드 제어신호의 로직 값 조합에 따라 상기 퓨즈 어레이의 리드 동작 영역을 설정하는 것을 특징으로 하는 반도체 장치.

**청구항 12**

◆청구항 12은(는) 설정등록료 납부시 포기되었습니다.◆

제 1항에 있어서, 상기 복수의 퓨즈셋은 전기 퓨즈를 포함하는 것을 특징으로 하는 반도체 장치.

**발명의 설명**

**기술 분야**

[0001] 본 발명은 반도체 장치에 관한 것으로, 퓨즈 어레이를 포함하는 반도체 장치의 리드 타임을 줄일 수 있도록 하는 기술이다.

**배경 기술**

[0002] 일반적으로 반도체 메모리 장치는 수많은 메모리 셀을 포함하며, 공정 기술이 발달함에 따라 집적도가 증가하여 그 개수가 더욱 증가하고 있다. 이러한 메모리 셀 들 중 어느 하나에라도 결함이 발생하면 해당 반도체 메모리 장치가 오동작하게 된다. 따라서, 불량 셀을 포함하는 반도체 메모리 장치는 원하는 동작을 수행하지 못하기 때문에 폐기 처분되어야 한다.

[0003] 하지만, 요즈음 반도체 메모리 장치의 공정 기술이 발달함에 따라 확률적으로 소량의 메모리 셀에만 결함이 발생하며, 이러한 소량의 불량으로 인하여 반도체 메모리 장치 전체를 불량품으로 폐기 처분하기에는 제품의 수율(yield)을 고려해 볼 때 매우 비효율적이다. 따라서, 이를 보완하기 위하여 반도체 메모리 장치 내에는 노말

메모리 셀(nomal memory cell)과 더불어 리던던시 메모리 셀(redundancy memory cell)을 추가적으로 구비한다.

[0004] 즉, 셀에 결함이 발생한 경우 테스트를 통해 이를 미리 인지하고 있다가 해당 셀에 대한 접근 요청이 발생하면 결함이 발생한 셀 대신 리던던시 회로에 포함된 셀로 접속을 전환하기 위한 리던던시 제어 회로가 이용되고 있다. 여기에서, 리던던시 회로란 메모리 셀 내에 별도로 구비해 둔 여분의 메모리 셀 집합으로서, 결함이 발생한 셀의 대체 셀로 사용된다.

[0005] 리던던시 메모리 셀은 노말 메모리 셀에 불량 발생 하는 경우 이 불량이 발생한 메모리 셀(이하, '리페어 대상 메모리 셀'이라 칭함)을 리페어하기 위해 구비되는 회로이다.

[0006] 보다 자세히 설명하면, 예컨대 읽기 및 쓰기 동작시 리페어 대상 메모리 셀이 액세스 되는 경우 내부적으로 리페어 대상 메모리 셀이 아닌 정상적인 메모리 셀을 액세스한다. 이때, 액세스되는 메모리 셀이 리던던시 메모리 셀이다. 따라서, 반도체 메모리 장치는 리페어 대상 메모리 셀에 대응하는 어드레스가 입력되는 경우 리페어 대상 메모리 셀이 아닌 리던던시 메모리 셀을 액세스하기 위한 동작(이하, '리페어 동작'이라 칭함)을 수행하며, 이러한 리페어 동작을 통해 반도체 메모리 장치는 정상적인 동작을 보장받는다.

[0007] 한편, 반도체 메모리 장치는 리페어 동작을 수행하기 위하여 리던던시 메모리 셀 뿐만 아니라 이외에 다른 회로 구성을 필요로 하며, 그중 하나가 리페어 퓨즈 회로이다. 리페어 퓨즈 회로는 리페어 대상 메모리 셀에 대응하는 어드레스(이하, '리페어 대상 어드레스'라 칭함)를 저장하기 위한 것이다. 리페어 퓨즈 회로는 퓨즈에 리페어 대상 어드레스를 프로그래밍한다. 반도체 장치는 이렇게 프로그래밍 된 리페어 대상 어드레스를 이용하여 리페어 동작을 수행한다.

**발명의 내용**

**해결하려는 과제**

[0008] 본 발명은 반도체 메모리 장치의 부트-업(Boot-up) 동작시 퓨즈 어레이 정보의 리드 타임을 감소시킬 수 있도록 하는 특징을 갖는다.

**과제의 해결 수단**

[0009] 본 발명의 실시예에 따른 반도체 장치는, 복수의 퓨즈셋을 포함하는 퓨즈 어레이; 컬럼 리드신호를 카운팅 하는 카운팅부; 카운팅부의 출력을 디코딩하여 퓨즈 어레이에 출력하는 디코딩부; 및 리드 제어신호와 카운팅부로부터 인가되는 제 2실행신호에 따라 퓨즈 어레이의 리드 동작 영역을 제어하는 리드 제어부를 포함하는 것을 특징으로 한다.

**발명의 효과**

[0010] 본 발명은 반도체 장치의 부트-업 동작시 퓨즈 어레이 정보를 리드하는 경우 리페어 완료된 퓨즈셋(Fuseset) 정보만을 리드 할 수 있도록 하여 반도체 메모리 장치의 리드 타임을 감소시키고 리드 마진을 향상시킬 수 있도록 하는 효과를 제공한다.

[0011] 아울러 본 발명의 실시예는 예시를 위한 것으로, 당업자라면 첨부된 특허청구범위의 기술적 사상과 범위를 통해 다양한 수정, 변경, 대체 및 부가가 가능할 것이며, 이러한 수정 변경 등은 이하의 특허청구범위에 속하는 것으로 보아야 할 것이다.

**도면의 간단한 설명**

- [0012] 도 1은 본 발명의 실시예에 따른 반도체 장치의 구성도.
- 도 2는 일반적인 반도체 장치의 리드 동작 타이밍도.
- 도 3은 본 발명의 실시예에 따른 반도체 장치의 리드 동작 타이밍도.

**발명을 실시하기 위한 구체적인 내용**

[0013] 이하, 첨부한 도면을 참조하여 본 발명의 실시예에 대해 상세히 설명하고자 한다.

[0014] 반도체 집적 회로 장치를 구성하는 각 소자의 사이즈가 미세화되고, 한 개의 반도체 칩 내에 포함되는 소자의 수가 거대화됨에 따라, 결함 밀도의 수준도 증대되고 있다. 이러한 결함 밀도의 증대는 반도체 장치의 수율을

저하시키는 직접적인 원인이 된다. 결합 밀도가 심하게 증가할 경우 반도체 소자가 형성되는 웨이퍼를 폐기처분하여야 한다.

- [0015] 이러한 결합 밀도를 낮추기 위해, 결합 셀을 여분의 셀로 교체하는 리던던시(redundancy) 회로가 제안되었다. 리던던시 회로(혹은 퓨즈 회로)는 반도체 메모리 장치의 경우, 로오(row)계 배선(예컨대, 워드 라인) 및 컬럼(column)계 배선(예컨대, 비트 라인) 각각에 대해 설치될 수 있다.
- [0016] 이러한 리던던시 회로는 결합 셀의 어드레스 정보를 저장하는 퓨즈 어레이를 포함한다. 퓨즈 어레이는 복수의 퓨즈 배선들을 포함하는 복수의 퓨즈셋들로 구성된다. 그리고, 각각의 퓨즈셋은 과전류로 퓨즈를 녹이는 방식으로 정보를 프로그래밍한다.
- [0017] 도 1은 본 발명의 실시예에 따른 반도체 장치의 구성도이다.
- [0018] 본 발명의 실시예는 카운팅부(100), 디코딩부(200), 퓨즈 어레이(300) 및 리드 제어부(400)를 포함한다.
- [0019] 여기서, 카운팅부(100)는 제 1카운터(110), 제 2카운터(120)를 포함한다. 이러한 카운팅부(100)는 리드 주기 동안 컬럼 리드신호 C0를 카운팅하여 디코딩부(200)에 출력한다.
- [0020] 제 1카운터(110)는 컬럼 리드신호 C0를 카운팅하여 복수의 카운팅 신호 OUT0~OUTK-1와 실행신호 CARRY를 출력한다. 제 1카운터(110)에서 출력되는 복수의 카운팅 신호 OUT0~OUTK-1는 K개가 된다.
- [0021] 제 1카운터(110)의 세트(Set) 단자에는 컬럼 리드신호 C0가 인가되고, 리셋(Reset) 단자에는 실행신호 CARRY가 인가된다. 즉, 제 1카운터(110)는 컬럼 리드신호 C0에 따라 카운팅 동작을 개시하고 실행신호 CARRY에 따라 카운팅 동작을 종료한다.
- [0022] 그리고, 제 2카운터(120)는 제 1카운터(110)의 출력인 실행신호 CARRY를 카운팅하여 복수의 카운팅 신호 OUT1\_0~OUT1\_P-1와 실행신호 CARRY1를 출력한다. 제 2카운터(120)의 세트(Set) 단자에는 실행신호 CARRY가 인가되고 리셋(Reset1) 단자에는 리드 제어부(400)의 출력신호 OUTS가 인가된다. 즉, 제 2카운터(120)는 제 1카운터(110)의 동작 종료 이후에 실행신호 CARRY에 따라 카운팅 동작을 개시하고 출력신호 OUTS에 따라 카운팅 동작을 종료한다.
- [0023] 그리고, 디코딩부(200)는 제 1디코더(210), 제 2디코더(220)를 포함한다. 이러한 디코딩부(200)는 카운팅부(100)의 출력을 디코딩하여 디코딩 신호를 해당 퓨즈 어레이(300)의 퓨즈셋에 출력한다.
- [0024] 제 1디코더(210)는 복수의 카운팅 신호 OUT0~OUTK-1를 디코딩하여 복수의 디코딩 신호 OUTOD~OUTMD를 출력한다. 제 1디코더(210)에서 출력되는 복수의 디코딩 신호 OUTOD~OUTMD는 M+1개가 된다. 제 2디코더(220)는 복수의 카운팅 신호 OUT1\_0~OUT1\_P-1를 디코딩하여 복수의 디코딩 신호 OUT1\_OD~OUT1\_ND를 출력한다.
- [0025] 제 1디코더(210)에서 출력된 디코딩 신호 OUTOD는 각 퓨즈셋 그룹 FS0~FSN의 첫 번째 퓨즈셋 XMAT<0>에 입력된다. 그리고, 제 1디코더(210)에서 출력된 디코딩 신호 OUTMD는 각 퓨즈셋 그룹 FS0~FSN의 마지막 번째 퓨즈셋 XMAT<M>에 입력된다.
- [0026] 그리고, 제 2디코더(220)에서 출력된 디코딩 신호 OUT1\_OD는 첫 번째 퓨즈셋 그룹 FS0에 입력된다. 또한, 제 2디코더(220)에서 출력된 디코딩 신호 OUT1\_1D는 두 번째 퓨즈셋 그룹 FS1에 입력된다. 또한, 제 2디코더(220)에서 출력된 디코딩 신호 OUT1\_ND는 마지막 퓨즈셋 그룹 FSN에 입력된다.
- [0027] 또한, 퓨즈 어레이(300)는 복수의 퓨즈셋 그룹 FS0~FSN을 포함한다. 각각의 퓨즈셋 그룹 FS0~FSN은 매트 단위로 구성된 복수의 퓨즈셋(Fuseset) XMAT<0>~XMAT<M>을 포함한다. 즉, 각각의 퓨즈셋 그룹 FS0~FSN은 N 개의 퓨즈셋을 포함한다.
- [0028] 여기서, 퓨즈 어레이(300)는 로오 및 컬럼 라인으로 복수의 퓨즈셋 XMAT<0>~XMAT<M>을 포함하여 매트릭스 구조를 이루게 배치할 수도 있다. 퓨즈 어레이(300)는 매트 선택정보에 따라 해당하는 로오 라인을 선택하게 된다.
- [0029] 또한, 퓨즈 어레이(300)는 파괴(Rupture) 동작에 따라 결합 셀의 어드레스 정보를 저장한다. 그리고, 퓨즈 어레이(300)는 디코딩부(200)를 통해 인가된 디코딩 신호에 따라 각 퓨즈셋 XMAT<0>~XMAT<M>에 저장된 정보를 비트라인 센스앰프(미도시)로 출력한다. 비트라인 센스앰프는 리드신호에 따라 퓨즈 어레이(300)로부터 인가된 어드레스 정보를 센싱 및 증폭하여 퓨즈 데이터 라인에 출력한다. 여기서, 각각의 퓨즈셋 XMAT<0>~XMAT<M>은 과전류로 퓨즈를 녹이는 방식으로 정보를 프로그래밍하는 전기 퓨즈(E-fuse)로 이루어질 수 있다.

- [0030] 또한, 리드 제어부(400)는 리드 제어신호 STOP0, STOP1와, 실행신호 CARRY1에 따라 퓨즈 어레이(300)의 리드 동작 영역을 제어하기 위한 출력신호 OUTS를 생성한다. 이러한 리드 제어부(400)는 리드 제어신호 STOP0, STOP1 및 실행신호 CARRY1에 따라 출력신호 OUTS를 제 2카운터(120)의 리셋(Reset1) 단자로 출력한다.
- [0031] 따라서, 리드 제어부(400)는 리드 제어신호 STOP0, STOP1 및 실행신호 CARRY1에 따라 제 2카운터(120)의 리셋 동작을 제어한다. 리드 제어부(400)는 실행신호 CARRY1에 따라 복수의 퓨즈셋 XMAT<0>~XMAT<M> 중 리페어된 일부 퓨즈셋만 리드 되도록 제어한다.
- [0032] 이러한 구성을 갖는 본 발명의 실시예에 따른 반도체 메모리 장치의 동작 과정을 도 2 및 도 3의 동작 타이밍도를 참조하여 설명하면 다음과 같다.
- [0033] 여기서, 도 2는 일반적인 반도체 메모리 장치의 리드 동작 타이밍도이고, 도 3은 본 발명의 실시예에 따른 반도체 메모리 장치 리드 동작 타이밍도이다.
- [0034] 본 발명의 실시예에 따른 반도체 장치는 파워 업 신호에 따라 퓨즈 어레이(300)의 정보를 리드하기 위해 부트 업 동작을 개시하게 된다. 부트 업 동작이 활성화되면 제 1카운터(110)는 컬럼 리드신호 C0에 따라 카운팅 동작을 개시한다.
- [0035] 그리고, 제 1카운터(110)는 컬럼 리드신호 C0를 카운팅하여 복수의 카운팅 신호 OUT0~OUTK-1를 제 1디코더(210)에 출력한다. 그리고, 제 1카운터(110)는 실행신호 CARRY에 따라 카운팅 동작을 종료한다. 그리고, 제 1카운터(110)는 실행신호 CARRY가 리셋(Reset) 단자로 피드백 입력되어 리셋 동작이 제어되며, 실행신호 CARRY를 제 2카운터(120)의 세트(Set) 단자로 출력한다.
- [0036] 이후에, 제 2카운터(120)는 제 1카운터(110)의 출력인 실행신호 CARRY에 따라 카운팅 동작을 개시하고, 실행신호 CARRY를 카운팅하여 복수의 카운팅 신호 OUT1\_0~OUT1\_P-1를 제 2디코더(220)에 출력한다. 그리고, 제 2카운터(120)는 실행신호 CARRY1를 리드 제어부(400)로 출력한다.
- [0037] 이때, 제 2카운터(120)의 리셋(Reset1) 단자에는 리드 제어부(400)의 출력신호 OUTS가 인가된다. 즉, 제 1카운터(120)는 제 1카운터(110)의 동작 종료 이후에 실행신호 CARRY에 따라 카운팅 동작을 개시하고 출력신호 OUTS에 따라 카운팅 동작을 종료한다.
- [0038] 이어서, 제 1디코더(210)는 복수의 카운팅 신호 OUT0~OUTK-1를 디코딩하여 복수의 디코딩 신호 OUTOD~OUTMD를 퓨즈 어레이(300)의 각 퓨즈셋 그룹 FS0~FSN에 출력한다. 그리고, 제 2디코더(220)는 복수의 카운팅 신호 OUT1\_0~OUT1\_P-1를 디코딩하여 복수의 디코딩 신호 OUT1\_OD~OUT1\_ND를 각 퓨즈셋 그룹 FS0~FSN에 순차적으로 출력한다.
- [0039] 여기서, 제 1디코더(210)에서 출력된 디코딩 신호 OUTOD는 각 퓨즈셋 그룹 FS0~FSN의 첫 번째 퓨즈셋 XMAT<0>에 입력된다. 그리고, 제 1디코더(210)에서 출력된 디코딩 신호 OUTMD는 각 퓨즈셋 그룹 FS0~FSN의 마지막 번째 퓨즈셋 XMAT<M>에 입력된다.
- [0040] 이에 따라, 퓨즈 어레이(300)는 복수의 디코딩 신호 OUTOD~OUTMD에 따라 각 퓨즈셋 그룹 FS0~FSN에서 첫 번째 퓨즈셋 XMAT<0>으로부터 마지막 퓨즈셋 XMAT<M>까지 순차적으로 리드 동작을 수행하게 된다. 퓨즈 어레이(300)의 리드 동작이 수행되면 첫 번째 퓨즈셋 XMAT<0>으로부터 마지막 퓨즈셋 XMAT<M>에 저장된 결합 셀의 어드레스 정보가 순차적 또는 동시에 리드 된다.
- [0041] 그리고, 제 2디코더(220)에서 출력된 디코딩 신호 OUT1\_OD는 첫 번째 퓨즈셋 그룹 FS0에 입력된다. 또한, 제 2디코더(220)에서 출력된 두 번째 디코딩 신호 OUT1\_ID는 두 번째 퓨즈셋 그룹 FS1에 입력된다. 또한, 제 2디코더(220)에서 출력된 마지막 디코딩 신호 OUT1\_ND는 마지막 퓨즈셋 그룹 FSN에 입력된다.
- [0042] 이에 따라, 퓨즈 어레이(300)는 복수의 디코딩 신호 OUT1\_OD~OUT1\_ND에 따라 복수의 퓨즈셋 그룹 FS0~FSN에 대해 순차적으로 리드 동작을 수행하게 된다. 퓨즈 어레이(300)의 리드 동작이 수행되면 각각의 퓨즈셋 그룹 FS0~FSN의 퓨즈셋 XMAT<0>~XMAT<M>에 저장된 결합 셀의 어드레스 정보가 순차적으로 리드 된다.
- [0043] 여기서, 리드 제어부(400)는 리드 제어신호 STOP0, STOP1와, 실행신호 CARRY1의 조합에 따라 퓨즈 어레이(300)의 리드 동작 영역을 제어하기 위한 출력신호 OUTS를 생성한다. 이러한 리드 제어부(400)는 리드 제어신호 STOP0, STOP1 및 실행신호 CARRY1에 따라 출력신호 OUTS를 제 2카운터(120)의 리셋(Reset1) 단자로 출력한다. 따라서, 리드 제어부(400)는 리드 제어신호 STOP0, STOP1 및 실행신호 CARRY1의 조합에 따라 제 2카운터(120)의 리셋 동작을 제어한다.



- [0044] 예를 들어, 퓨즈 어레이(300)의 리드 동작 중 리페어된 일부 퓨즈셋 그룹만 리드하고자 할 경우 출력신호 OUTS의 상태를 변화시켜 제 2카운터(120)의 카운팅 동작을 리셋시킨다. 정상적인 동작 상태에서는 실행신호 CARRY1가 퓨즈 어레이(300)의 리드 동작을 종료시키기 위한 제어신호이지만, 리페어된 퓨즈만 리드하기 원하는 경우 출력신호 OUTS에 따라 제 2카운터(120)의 카운팅 동작을 임의로 종료시키도록 제어한다.
- [0045] 여기서, 복수의 퓨즈셋 그룹 FS0-FSN 중 리페어된 일부 퓨즈셋 그룹이 어느 영역인지에 대한 정보는 반도체 장치의 개발 초기 단계에서 제품 테스트 정보에 따라 미리 설정할 수 있다. 즉, 복수의 퓨즈셋 그룹 FS0-FSN 중 리페어된 일부 퓨즈셋 그룹이 어느 영역인지에 대한 정보를 리드 제어신호 STOP0, STOP1가 포함하고 있다. 이에 따라, 사용자가 리드 제어신호 STOP0, STOP1의 조합 상태를 제어하여 퓨즈 어레이(300)의 리드 영역을 임의로 설정할 수 있다.
- [0046] 예를 들어, 리드 제어신호 STOP0, STOP1는 메인 메모리의 DDR3 스펙에서 전원 램프 및 초기화 시퀀스(Power Ramp and Initialization Sequence)에 포함되어 있고 리드 제어신호 STOP0, STOP1에 대한 별도의 입력 핀이 할당되도록 제어할 수 도있다.
- [0047] 즉, 출력신호 OUTS에 따라 제 2카운터(120)의 리셋 동작을 제어하여 퓨즈 어레이(300)의 리드 동작 중 원하는 시점에서 퓨즈 어레이(300)의 리드 동작을 중지하도록 할 수 있다. 실행신호 CARRY1가 활성화 상태가 되면 퓨즈 어레이(300)의 전체 퓨즈셋에 대해 리드 동작이 완료되지 않아도 리드 동작을 종료하게 된다.
- [0048] [표 1]은 리드 제어신호 STOP0, STOP1의 상태에 따라 출력신호 OUTS의 상태를 변화시켜 리드 종료 시점을 제어하기 위한 제어 방식을 나타낸다.

**표 1**

[0049]

	리드 제어신호 STOP0, STOP1에 대응한 출력신호 OUTS의 상태			
리드 제어신호 STOP0	L	H	L	H
리드 제어신호 STOP1	L	L	H	H
출력신호 OUTS	CARRY1	OUT1_N/4	OUT1_N/2	OUT1_N*3/4

- [0050] 위의 [표 1]에서 보는 바와 같이, 리드 제어신호 STOP0, STOP1가 모두 로우 레벨로 인가되는 경우, 리드 제어부(400)의 출력신호 OUTS가 실행신호 CARRY1로 동작하게 된다. 즉, 도 4의 (A)에서와 같이, 제 2카운터(120)의 카운팅 동작이 정상적으로 수행되어 실행신호 CARRY1가 활성화 상태가 될 때까지 퓨즈 어레이(300)의 모든 퓨즈셋에 대해 리드 동작이 수행된다.
- [0051] 그리고, 리드 제어신호 STOP0가 하이 레벨이고 리드 제어신호 STOP1가 로우 레벨로 인가되는 경우, 리드 제어부(400)의 출력신호 OUTS가 디코딩 신호 OUT1\_ND의 1/4 출력 시점에서 활성화되도록 제어한다. 예를 들어, 도 4의 (B)에서와 같이, 디코딩 신호 OUT1\_OD-OUT1\_ND가 모두 4개인 경우 1/4 시점인 디코딩 신호 OUT1\_OD의 출력시점에서 리드 동작이 제어되도록 한다. 즉, 디코딩 신호 OUT1\_OD에 따라 퓨즈셋 그룹 FS0의 정보만 리드한 후 리드 동작을 종료하게 된다.
- [0052] 그리고, 리드 제어신호 STOP0가 로우 레벨이고 리드 제어신호 STOP1가 하이 레벨로 인가되는 경우, 리드 제어부(400)의 출력신호 OUTS가 디코딩 신호 OUT1\_ND의 1/2 출력 시점에서 활성화되도록 제어한다. 예를 들어, 도 4의 (C)에서와 같이, 디코딩 신호 OUT1\_OD-OUT1\_ND가 모두 4개인 경우 1/2 시점인 디코딩 신호 OUT1\_OD의 출력시점에서 리드 동작이 제어되도록 한다. 즉, 디코딩 신호 OUT1\_OD에 따라 퓨즈셋 그룹 FS0, FS1의 정보만 리드한 후 리드 동작을 종료하게 된다.
- [0053] 또한, 리드 제어신호 STOP0, STOP1가 모두 하이 레벨로 인가되는 경우, 리드 제어부(400)의 출력신호 OUTS가 디코딩 신호 OUT1\_ND의 3/4 출력 시점에서 활성화되도록 제어한다. 예를 들어, 도 4의 (C)에서와 같이, 디코딩 신호 OUT1\_OD-OUT1\_ND가 모두 4개인 경우 3/4 시점인 디코딩 신호 OUT1\_OD의 출력시점에서 리드 동작이 제어되도록 한다. 즉, 디코딩 신호 OUT1\_OD에 따라 퓨즈셋 그룹 FS0-FS2의 정보만 리드한 후 리드 동작을 종료하게 된다.
- [0054] 정상적인 동작에서는 도 2에서와 같이 부트 업 동작이 활성화되는 구간 동안 퓨즈 어레이(300)의 퓨즈 정보가 리드된다. 즉, 제 1카운터(110), 제 1디코더(210)의 동작에 따라 디코딩 신호 OUTOD-OUTMD가 모두 출력된 이후에 실행신호 CARRY에 따라 제 1카운터(110)의 동작이 종료된다.
- [0055] 그리고, 실행신호 CARRY에 따라 제 2카운터(120), 제 2디코더(220)가 동작하여 디코딩 신호 OUT1\_OD-OUT1\_ND가

모두 출력된 이후에 실행신호 CARRY1가 활성화 상태가 된다. 즉, 부트 업 동작이 활성화된 이후에 기 설정된 리드 주기가 완료된 경우 실행신호 CARRY1에 따라 제 2카운터(120)의 카운팅 동작이 종료되어 부트 업 동작이 종료된다.

[0056] 정상 동작 모드시 부트 업 동작 구간 동안에 퓨즈 어레이(300)의 리드 동작은 계속된다. 디램에서는 퓨즈 어레이(300)를 사용함에 따라 실제 내부 메모리의 동작이 이루어지기 전에 퓨즈 정보를 리드해야 한다.

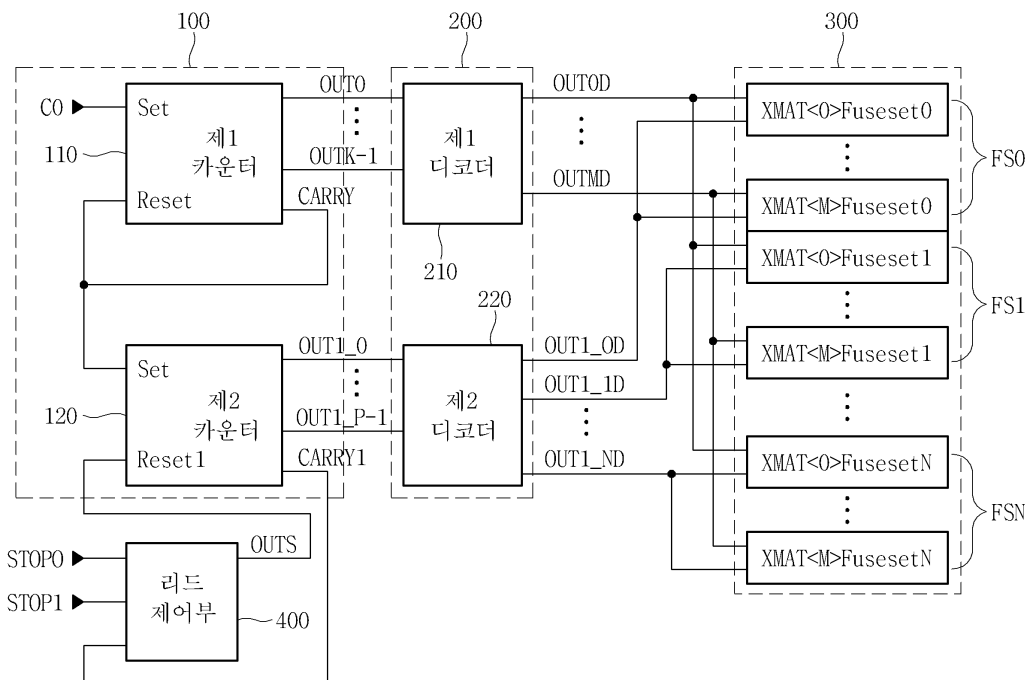
[0057] 그런데, 메모리 용량이 점점 고밀도화됨에 따라 리페어 하는 퓨즈의 용량도 증가하고 있는 추세이다. 이에 따라, 부트 업 동작시 모든 퓨즈 어레이(300)의 퓨즈셋에 대해 리드 동작을 수행하는 경우 리드 횟수가 많아지고 리드 시간이 길어지게 된다. 즉, 퓨즈 어레이(300)의 퓨즈 정보 중 리페어된 정보와 리페어되지 않은 정보를 모두 리드하여 전체 리드 시간이 길어질 수밖에 없다.

[0058] 리드 시간을 줄이기 위해서 퓨즈 어레이(300)의 정보를 동시에 리드하는 방식이 적용될 수 있지만, 스큐 변화 (Skew Variation) 또는 여러 가지 제품의 실장 상황에 대비하기 위해 리드 시간을 줄이는 것이 중요하다.

[0059] 반도체 칩에 구비된 퓨즈셋은 리페어 정보를 저장하는데 칩에서 퓨즈셋을 전부 사용한다고 볼 수는 없다. 따라서, 본 발명의 실시예는 리드 제어신호 STOP0, STOP1에 따라 퓨즈 어레이(300) 중 리페어를 위해 사용된 일부 퓨즈셋만 리드하도록 하여 리드 시간을 줄이고 리드 동작 마진을 향상시킬 수 있도록 한다.

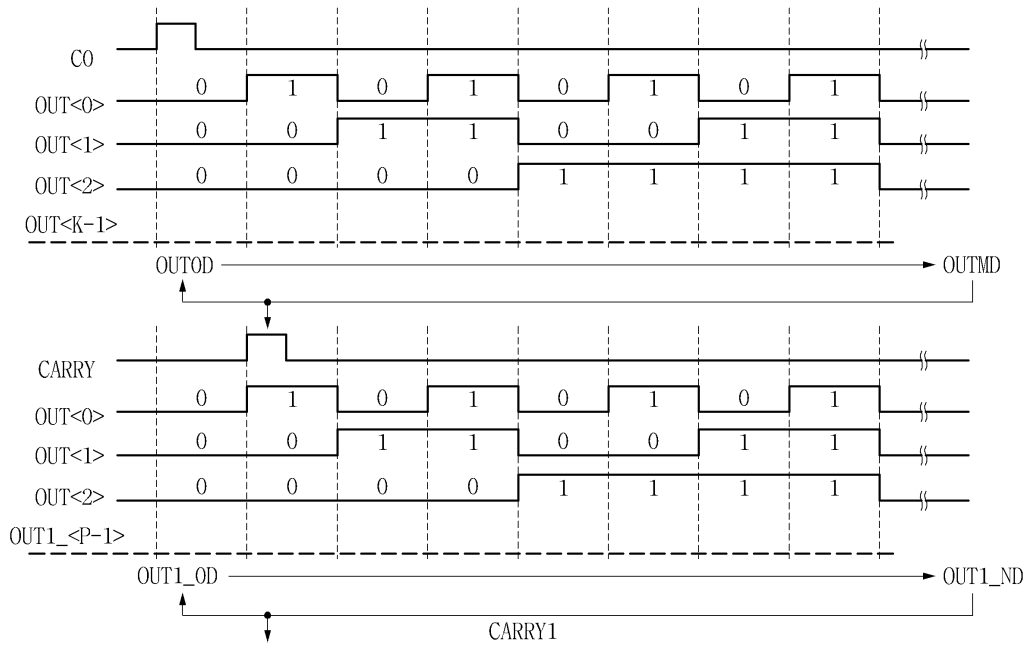
**도면**

**도면1**





도면2



도면3

