

【公報種別】特許法第 17 条の 2 の規定による補正の掲載
 【部門区分】第 7 部門第 2 区分
 【発行日】平成 19 年 5 月 10 日 (2007.5.10)

【公開番号】特開 2000-332256 (P2000-332256A)

【公開日】平成 12 年 11 月 30 日 (2000.11.30)

【出願番号】特願 2000-66044 (P2000-66044)

【国際特許分類】

H 0 1 L 29/786 (2006.01)

G 0 9 F 9/30 (2006.01)

H 0 1 L 21/20 (2006.01)

H 0 4 N 5/66 (2006.01)

G 0 2 F 1/1368 (2006.01)

H 0 1 L 21/336 (2006.01)

【F I】

H 0 1 L 29/78 6 1 2 B

G 0 9 F 9/30 3 3 8

H 0 1 L 21/20

H 0 4 N 5/66 1 0 2 A

G 0 2 F 1/1368

H 0 1 L 29/78 6 1 6 A

【手続補正書】

【提出日】平成 19 年 3 月 9 日 (2007.3.9)

【手続補正 1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

同一基板上に画素部及び駆動回路を含む半導体装置の作製方法であって、
 基板上に結晶構造を含む半導体膜を形成し、
 前記結晶構造を含む半導体膜に対して第 1 の光アニールを行い、
 前記結晶構造を含む半導体膜の前記駆動回路を形成する n チャネル型 T F T となる領域
 に p 型不純物元素を添加して p 型不純物領域 (b) を形成し、
 前記結晶構造を含む半導体膜の前記駆動回路を形成する n チャネル型 T F T となる領域
 に n 型不純物元素を添加して n 型不純物領域 (b) を形成し、
 前記結晶構造を含む半導体膜に対して第 2 の光アニールを行い、
 前記結晶構造を含む半導体膜をパターニングし、
 前記パターニングされた半導体膜の上にゲート絶縁膜を形成し、
 前記ゲート絶縁膜の上にゲート配線を形成し、
 前記パターニングされた半導体膜に前記ゲート配線をマスクとして n 型不純物元素を添
 加して n 型不純物領域 (c) を形成し、
 前記ゲート配線をマスクとして前記ゲート絶縁膜をエッチングし、
 前記 n チャネル型 T F T のパターニングされた半導体膜に n 型不純物元素を添加して n
 型不純物領域 (a) を形成し、
 p チャネル型 T F T のパターニングされた半導体膜に p 型不純物元素を添加して p 型不
 純物領域 (a) を形成することを特徴とする半導体装置の作製方法。

【請求項 2】

同一基板上に画素部及び駆動回路を含む半導体装置の作製方法であって、
基板上に結晶構造を含む半導体膜を形成し、
前記結晶構造を含む半導体膜に対して第 1 の光アニールを行い、
前記結晶構造を含む半導体膜の前記駆動回路を形成する n チャネル型 T F T となる領域に n 型不純物元素を添加して n 型不純物領域 (b) を形成し、
前記結晶構造を含む半導体膜の前記駆動回路を形成する n チャネル型 T F T となる領域に p 型不純物元素を添加して p 型不純物領域 (b) を形成し、
前記結晶構造を含む半導体膜に対して第 2 の光アニールを行い、
前記結晶構造を含む半導体膜をパターンングし、
前記パターンングされた半導体膜の上にゲート絶縁膜を形成し、
前記ゲート絶縁膜の上にゲート配線を形成し、
前記パターンングされた半導体膜に前記ゲート配線をマスクとして n 型不純物元素を添加して n 型不純物領域 (c) を形成し、
前記ゲート配線をマスクとして前記ゲート絶縁膜をエッチングし、
前記 n チャネル型 T F T のパターンングされた半導体膜に n 型不純物元素を添加して n 型不純物領域 (a) を形成し、
p チャネル型 T F T のパターンングされた半導体膜に p 型不純物元素を添加して p 型不純物領域 (a) を形成することを特徴とする半導体装置の作製方法。

【請求項 3】

同一基板上に画素部及び駆動回路を含む半導体装置の作製方法であって、
基板上に結晶構造を含む半導体膜を形成し、
前記結晶構造を含む半導体膜に対して第 1 の光アニールを行い、
前記結晶構造を含む半導体膜をパターンングし、
前記駆動回路を形成する n チャネル型 T F T のパターンングされた半導体膜に n 型不純物元素を添加して n 型不純物領域 (b) を形成し、
前記駆動回路を形成する n チャネル型 T F T のパターンングされた半導体膜に p 型不純物元素を添加して p 型不純物領域 (b) を形成し、
前記パターンングされた半導体膜に対して第 2 の光アニールを行い、
前記パターンングされた半導体膜の上にゲート絶縁膜を形成し、
前記ゲート絶縁膜の上にゲート配線を形成し、
前記パターンングされた半導体膜に前記ゲート配線をマスクとして n 型不純物元素を添加して n 型不純物領域 (c) を形成し、
前記ゲート配線をマスクとして前記ゲート絶縁膜をエッチングし、
前記 n チャネル型 T F T のパターンングされた半導体膜に n 型不純物元素を添加して n 型不純物領域 (a) を形成し、
p チャネル型 T F T のパターンングされた半導体膜に p 型不純物元素を添加して p 型不純物領域 (a) を形成することを特徴とする半導体装置の作製方法。

【請求項 4】

同一基板上に画素部及び駆動回路を含む半導体装置の作製方法であって、
基板上に結晶構造を含む半導体膜を形成し、
前記結晶構造を含む半導体膜に対して第 1 の光アニールを行い、
前記結晶構造を含む半導体膜をパターンングし、
前記駆動回路を形成する n チャネル型 T F T のパターンングされた半導体膜に p 型不純物元素を添加して p 型不純物領域 (b) を形成し、
前記駆動回路を形成する n チャネル型 T F T のパターンングされた半導体膜に n 型不純物元素を添加して n 型不純物領域 (b) を形成し、
前記パターンングされた半導体膜に対して第 2 の光アニールを行い、
前記パターンングされた半導体膜の上にゲート絶縁膜を形成し、
前記ゲート絶縁膜の上にゲート配線を形成し、
前記パターンングされた半導体膜に前記ゲート配線をマスクとして n 型不純物元素を添

加して n 型不純物領域 (c) を形成し、

前記ゲート配線をマスクとして前記ゲート絶縁膜をエッチングし、

前記 n チャネル型 T F T のパターンニングされた半導体膜に n 型不純物元素を添加して n 型不純物領域 (a) を形成し、

p チャネル型 T F T のパターンニングされた半導体膜に p 型不純物元素を添加して p 型不純物領域 (a) を形成することを特徴とする半導体装置の作製方法。

【請求項 5】

同一基板上に画素部及び駆動回路を含む半導体装置の作製方法であって、

基板上に結晶構造を含む半導体膜を形成し、

前記結晶構造を含む半導体膜の前記駆動回路を形成する n チャネル型 T F T となる領域に p 型不純物元素を添加して p 型不純物領域 (b) を形成し、

前記 p 型不純物領域 (b) が形成された結晶構造を含む半導体膜に対して第 1 の光アニールを行い、

前記結晶構造を含む半導体膜の前記駆動回路を形成する n チャネル型 T F T となる領域に n 型不純物元素を添加して n 型不純物領域 (b) を形成し、

前記結晶構造を含む半導体膜に第 2 の光アニールを行い、

前記半導体膜をパターンニングし、

前記 パターンニングされた半導体膜の上にゲート絶縁膜を形成し、

前記ゲート絶縁膜の上にゲート配線を形成し、

前記 パターンニングされた半導体膜に前記ゲート配線をマスクとして n 型不純物元素を添加して n 型不純物領域 (c) を形成し、

前記ゲート配線をマスクとして前記ゲート絶縁膜をエッチングし、

前記 n チャネル型 T F T のパターンニングされた半導体膜に n 型不純物元素を添加して n 型不純物領域 (a) を形成し、

p チャネル型 T F T のパターンニングされた半導体膜に p 型不純物元素を添加して p 型不純物領域 (a) を形成することを特徴とする半導体装置の作製方法。

【請求項 6】

同一基板上に画素部及び駆動回路を含む半導体装置の作製方法であって、

基板上に結晶構造を含む半導体膜を形成し、

前記結晶構造を含む半導体膜の前記駆動回路を形成する n チャネル型 T F T となる領域に n 型不純物元素を添加して n 型不純物領域 (b) を形成し、

前記 結晶構造を含む半導体膜に第 1 の光アニールを行い、

前記結晶構造を含む半導体膜の前記駆動回路を形成する n チャネル型 T F T となる領域に p 型不純物元素を添加して p 型不純物領域 (b) を形成し、

前記 第 2 アニール条件で光アニールを行い、

前記結晶構造を含む半導体膜をパターンニングし、

前記 パターンニングされた半導体膜の上にゲート絶縁膜を形成し、

前記ゲート絶縁膜の上にゲート配線を形成し、

前記 パターンニングされた半導体膜に前記ゲート配線をマスクとして n 型不純物元素を添加して n 型不純物領域 (c) を形成し、

前記ゲート配線をマスクとして前記ゲート絶縁膜をエッチングし、

前記 n チャネル型 T F T のパターンニングされた半導体膜に n 型不純物元素を添加して n 型不純物領域 (a) を形成し、

p チャネル型 T F T のパターンニングされた半導体膜に p 型不純物元素を添加して p 型不純物領域 (a) を形成することを特徴とする半導体装置の作製方法。

【請求項 7】

同一基板上に画素部及び駆動回路を含む半導体装置の作製方法であって、

基板上に結晶構造を含む半導体膜を形成し、

前記結晶構造を含む半導体膜に対して第 1 の光アニールを行い、

前記結晶構造を含む半導体膜の前記駆動回路を形成する n チャネル型 T F T となる領域

に p 型不純物元素を添加して p 型不純物領域 (b) を形成し、
 前記 p 型不純物領域 (b) が形成された結晶構造を含む半導体膜をパターニングし、
 前記パターニングされた半導体膜の上にゲート絶縁膜を形成し、
 前記ゲート絶縁膜を通して前記駆動回路を形成する n チャンネル型 T F T のパターニング
 された半導体膜に n 型不純物元素を添加して n 型不純物領域 (b) を形成し、
 前記パターニングされた半導体膜に第 2 のアニールを行い、
 前記ゲート絶縁膜の上にゲート配線を形成し、
 前記パターニングされた半導体膜に前記ゲート配線をマスクとして n 型不純物元素を添
 加して n 型不純物領域 (c) を形成し、
 前記ゲート配線をマスクとして前記ゲート絶縁膜をエッチングし、
 前記 n チャンネル型 T F T のパターニングされた半導体膜に n 型不純物元素を添加して n
 型不純物領域 (a) を形成し、
 p チャンネル型 T F T のパターニングされた半導体膜に p 型不純物元素を添加して p 型不
 純物領域 (a) を形成することを特徴とする半導体装置の作製方法。

【請求項 8】

同一基板上に画素部及び駆動回路を含む半導体装置の作製方法であって、
 基板上に結晶構造を含む半導体膜を形成し、
 前記結晶構造を含む半導体膜に対して第 1 の光アニールを行い、
 前記結晶構造を含む半導体膜をパターニングし、
 前記駆動回路を形成する n チャンネル型 T F T のパターニングされた半導体膜に p 型不純
 物元素を添加して p 型不純物領域 (b) を形成し、
 前記パターニングされた半導体膜の上にゲート絶縁膜を形成し、
 前記ゲート絶縁膜を通して前記駆動回路を形成する n チャンネル型 T F T のパターニング
 された半導体膜に n 型不純物元素を添加して n 型不純物領域 (b) を形成し、
 前記パターニングされた半導体膜に第 2 の光アニールを行い、
 前記ゲート絶縁膜の上にゲート配線を形成し、
 前記パターニングされた半導体膜に前記ゲート配線をマスクとして n 型不純物元素を添
 加して n 型不純物領域 (c) を形成し、
 前記ゲート配線をマスクとして前記ゲート絶縁膜をエッチングし、
 前記 n チャンネル型 T F T のパターニングされた半導体膜に n 型不純物元素を添加して n
 型不純物領域 (a) を形成し、
 p チャンネル型 T F T のパターニングされた半導体膜に p 型不純物元素を添加して p 型不
 純物領域 (a) を形成することを特徴とする半導体装置の作製方法。

【請求項 9】

同一基板上に画素部及び駆動回路を含む半導体装置の作製方法であって、
 基板上に結晶構造を含む半導体膜を形成し、
 前記結晶構造を含む半導体膜の前記駆動回路を形成する n チャンネル型 T F T となる領域
 に p 型不純物元素を添加して p 型不純物領域 (b) を形成し、
 前記 p 型不純物領域 (b) が形成された結晶構造を含む半導体膜に第 1 の光アニールを
 行い、
 前記結晶構造を含む半導体膜をパターニングし、
 前記パターニングされた半導体膜の上にゲート絶縁膜を形成し、
 前記ゲート絶縁膜を通して前記駆動回路を形成する n チャンネル型 T F T のパターニング
 された半導体膜に n 型不純物元素を添加して n 型不純物領域 (b) を形成し、
 前記パターニングされた半導体膜に第 2 の光アニールを行い、
 前記ゲート絶縁膜の上にゲート配線を形成し、
 前記パターニングされた半導体膜に前記ゲート配線をマスクとして n 型不純物元素を添
 加して n 型不純物領域 (c) を形成し、
 前記ゲート配線をマスクとして前記ゲート絶縁膜をエッチングし、
 前記 n チャンネル型 T F T のパターニングされた半導体膜に n 型不純物元素を添加して n

型不純物領域 (a) を形成し、

pチャネル型 T F T の パターニングされた半導体膜に p 型不純物元素を添加して p 型不純物領域 (a) を形成することを特徴とする半導体装置の作製方法。

【請求項 1 0】

同一基板上に画素部及び駆動回路を含む半導体装置の作製方法であって、

基板上に非晶質構造を含む半導体膜を形成し、

前記非晶質構造を含む半導体膜の前記駆動回路を形成する n チャネル型 T F T となる領域に p 型不純物元素を添加して p 型不純物領域 (b) を形成し、

前記 p 型不純物領域 (b) が形成された非晶質構造を含む半導体膜を結晶化し、結晶構造を含む半導体膜を形成し、

前記結晶構造を含む半導体膜に第 1 の光アニールを行い、

前記結晶構造を含む半導体膜を パターニングし、

前記 パターニングされた半導体膜の上にゲート絶縁膜を形成し、

前記ゲート絶縁膜を通して前記駆動回路を形成する n チャネル型 T F T の パターニングされた半導体膜に n 型不純物元素を添加して n 型不純物領域 (b) を形成し、

前記 パターニングされた半導体膜に第 2 の光アニールを行い、

前記ゲート絶縁膜の上にゲート配線を形成し、

前記 パターニングされた半導体膜に前記ゲート配線をマスクとして n 型不純物元素を添加して n 型不純物領域 (c) を形成し、

前記ゲート配線をマスクとして前記ゲート絶縁膜をエッチングし、

前記 n チャネル型 T F T の パターニングされた半導体膜に n 型不純物元素を添加して n 型不純物領域 (a) を形成し、

pチャネル型 T F T の パターニングされた半導体膜に p 型不純物元素を添加して p 型不純物領域 (a) を形成することを特徴とする半導体装置の作製方法。

【請求項 1 1】

同一基板上に画素部及び駆動回路を含む半導体装置の作製方法であって、

基板上に結晶構造を含む半導体膜を形成し、

前記結晶構造を含む半導体膜に第 1 の光アニールを行い、

前記結晶構造を含む半導体膜の前記駆動回路を形成する n チャネル型 T F T となる領域に p 型不純物元素を添加して p 型不純物領域 (b) を形成し、

前記結晶構造を含む半導体膜の前記駆動回路を形成する n チャネル型 T F T となる領域に n 型不純物元素を添加して n 型不純物領域 (b) を形成し、

前記結晶構造を含む半導体膜に第 2 の光アニールを行い、

前記結晶構造を含む半導体膜を パターニングし、

前記 パターニングされた半導体膜の上にゲート絶縁膜を形成し、

前記ゲート絶縁膜の上にゲート配線を形成し、

前記ゲート配線をマスクとして前記ゲート絶縁膜をエッチングし、

前記 n チャネル型 T F T の パターニングされた半導体膜に n 型不純物元素を添加して n 型不純物領域 (a) を形成し、

pチャネル型 T F T の パターニングされた半導体膜に p 型不純物元素を添加して p 型不純物領域 (a) を形成し、

前記ゲート配線を覆って珪素を含む絶縁膜を形成し、

前記ゲート配線をマスクとして n 型不純物元素を添加して n 型不純物領域 (c) を形成することを特徴とする半導体装置の作製方法。

【請求項 1 2】

同一基板上に画素部及び駆動回路を含む半導体装置の作製方法であって、

基板上に結晶構造を含む半導体膜を形成し、

前記結晶構造を含む半導体膜に第 1 の光アニールを行い、

前記結晶構造を含む半導体膜の前記駆動回路を形成する n チャネル型 T F T となる領域に p 型不純物元素を添加して p 型不純物領域 (b) を形成し、

前記 p 型不純物領域 (b) が形成された結晶構造を含む半導体膜をパターニングし、
前記 パターニングされた半導体膜の上にゲート絶縁膜を形成し、
前記ゲート絶縁膜を通して前記駆動回路を形成する n チャネル型 T F T の パターニングされた半導体膜に n 型不純物元素を添加して n 型不純物領域 (b) を形成し、
前記 パターニングされた半導体膜に第 2 の光アニールを行い、
前記ゲート絶縁膜の上にゲート配線を形成し、
前記ゲート配線をマスクとして前記ゲート絶縁膜をエッチングし、
前記 n チャネル型 T F T の パターニングされた半導体膜に n 型不純物元素を添加して n 型不純物領域 (a) を形成し、
p チャネル型 T F T の パターニングされた半導体膜に p 型不純物元素を添加して p 型不純物領域 (a) を形成し、
前記ゲート配線を覆って珪素を含む絶縁膜を形成し、
前記珪素を含む絶縁膜を通して前記ゲート配線をマスクとして n 型不純物元素を添加して n 型不純物領域 (c) を形成することを特徴とする半導体装置の作製方法。

【請求項 1 3】

同一基板上に画素部及び駆動回路を含む半導体装置の作製方法であって、
基板上に結晶構造を含む半導体膜を形成し、
前記結晶構造を含む半導体膜に対して第 1 の光アニールを行い、
前記結晶構造を含む半導体膜をパターニングし、
前記 パターニングされた半導体膜の上にゲート絶縁膜を形成し、
前記ゲート絶縁膜を通して前記駆動回路を形成する n チャネル型 T F T の パターニングされた半導体膜に p 型不純物元素を添加して p 型不純物領域 (b) を形成し、
前記ゲート絶縁膜を通して前記駆動回路を形成する n チャネル型 T F T の パターニングされた半導体膜に n 型不純物元素を添加して n 型不純物領域 (b) を形成し、
前記 パターニングされた半導体膜に対して第 2 の光アニールを行い、
前記ゲート絶縁膜の上にゲート配線を形成し、
前記 パターニングされた半導体膜に前記ゲート配線をマスクとして n 型不純物元素を添加して n 型不純物領域 (c) を形成し、
前記ゲート配線をマスクとして前記ゲート絶縁膜をエッチングし、
前記 n チャネル型 T F T の パターニングされた半導体膜に n 型不純物元素を添加して n 型不純物領域 (a) を形成し、
p チャネル型 T F T の パターニングされた半導体膜に p 型不純物元素を添加して p 型不純物領域 (a) を形成することを特徴とする半導体装置の作製方法。

【請求項 1 4】

同一基板上に画素部及び駆動回路を含む半導体装置の作製方法であって、
基板上に結晶構造を含む半導体膜を形成し、
前記結晶構造を含む半導体膜に対して第 1 の光アニールを行い、
前記結晶構造を含む半導体膜をパターニングし、
前記 パターニングされた半導体膜の上にゲート絶縁膜を形成し、
前記ゲート絶縁膜を通して前記駆動回路を形成する n チャネル型 T F T の パターニングされた半導体膜に n 型不純物元素を添加して n 型不純物領域 (b) を形成し、
前記ゲート絶縁膜を通して前記駆動回路を形成する n チャネル型 T F T の パターニングされた半導体膜に p 型不純物元素を添加して p 型不純物領域 (b) を形成し、
前記 パターニングされた半導体膜に対して第 2 の光アニールを行い、
前記ゲート絶縁膜の上にゲート配線を形成し、
前記 パターニングされた半導体膜に前記ゲート配線をマスクとして n 型不純物元素を添加して n 型不純物領域 (c) を形成し、
前記ゲート配線をマスクとして前記ゲート絶縁膜をエッチングし、
前記 n チャネル型 T F T の パターニングされた半導体膜に n 型不純物元素を添加して n 型不純物領域 (a) を形成し、

pチャネル型TFTのパターニングされた半導体膜にp型不純物元素を添加してp型不純物領域(a)を形成することを特徴とする半導体装置の作製方法。

【請求項15】

請求項1乃至請求項14のいずれか一において、前記駆動回路では、nチャネル型TFTに形成される前記n型不純物領域(b)の一部または全部が該nチャネル型TFTのゲート配線に重なって形成され、

前記画素部では、画素TFTに形成される前記n型不純物領域(c)が該画素TFTのゲート配線に重ならないように形成されていることを特徴とする半導体装置の作製方法。

【請求項16】

同一基板上に画素部及び駆動回路を含む半導体装置の作製方法であって、

基板上に結晶構造を含む半導体膜を形成し、

前記結晶構造を含む半導体膜に対して第1の光アニールを行い、

前記結晶構造を含む半導体膜の前記駆動回路を形成するnチャネル型TFTとなる領域にp型不純物元素を添加してp型不純物領域(b)を形成し、

前記結晶構造を含む半導体膜の前記駆動回路を形成するnチャネル型TFTとなる領域にn型不純物元素を添加してn型不純物領域(b)を形成し、

前記結晶構造を含む半導体膜に対して第2の光アニールを行い、

前記結晶構造を含む半導体膜をパターニングし、

前記パターニングされた半導体膜の上にゲート絶縁膜を形成し、

前記ゲート絶縁膜の上にゲート配線を形成し、

前記パターニングされた半導体膜に前記ゲート配線をマスクとしてn型不純物元素を添加してn型不純物領域(c)を形成し、

前記ゲート配線をマスクとして前記ゲート絶縁膜をエッチングし、

前記nチャネル型TFTのパターニングされた半導体膜にn型不純物元素を添加してn型不純物領域(a)を形成し、

pチャネル型TFTのパターニングされた半導体膜にp型不純物元素を添加してp型不純物領域(a)を形成し、

前記駆動回路では、nチャネル型TFTに形成される前記n型不純物領域(b)の一部または全部が該nチャネル型TFTのゲート配線に重なって形成され、

前記画素部では、画素TFTに形成される前記n型不純物領域(c)が該画素TFTのゲート配線に重ならないように形成されていることを特徴とする半導体装置の作製方法。

【請求項17】

同一基板上に画素部及び駆動回路を含む半導体装置の作製方法であって、

基板上に結晶構造を含む半導体膜を形成し、

前記結晶構造を含む半導体膜に対して第1の光アニールを行い、

前記結晶構造を含む半導体膜の前記駆動回路を形成する第1及び第2のnチャネル型TFTとなる領域にp型不純物元素を添加してp型不純物領域(b)を形成し、

前記結晶構造を含む半導体膜の前記駆動回路を形成する第1及び第2のnチャネル型TFTとなる領域にn型不純物元素を添加してn型不純物領域(b)を形成し、

前記結晶構造を含む半導体膜に対して第2の光アニールを行い、

前記結晶構造を含む半導体膜をパターニングし、

前記パターニングされた半導体膜の上にゲート絶縁膜を形成し、

前記ゲート絶縁膜の上にゲート配線を形成し、

前記パターニングされた半導体膜に前記ゲート配線をマスクとしてn型不純物元素を添加してn型不純物領域(c)を形成し、

前記ゲート配線をマスクとして前記ゲート絶縁膜をエッチングし、

前記nチャネル型TFTのパターニングされた半導体膜にn型不純物元素を添加してn型不純物領域(a)を形成し、

pチャネル型TFTのパターニングされた半導体膜にp型不純物元素を添加してp型不純物領域(a)を形成し、

前記駆動回路では、前記第 1 の n チャネル型 T F T に形成される前記 n 型不純物領域 (b) は、チャネル形成領域の片側のみに形成されており、前記第 2 の n チャネル型 T F T に形成される前記 n 型不純物領域 (b) は、チャネル形成領域の両側に形成されていることを特徴とする半導体装置の作製方法。

【請求項 1 8】

同一基板上に画素部及び駆動回路を含む半導体装置の作製方法であって、
 基板上に結晶構造を含む半導体膜を形成し、
 前記結晶構造を含む半導体膜に対して第 1 の光アニールを行い、
 前記結晶構造を含む半導体膜の前記駆動回路を形成する n チャネル型 T F T となる領域に p 型不純物元素を添加して p 型不純物領域 (b) を形成し、
 前記結晶構造を含む半導体膜の前記駆動回路を形成する n チャネル型 T F T となる領域に n 型不純物元素を添加して n 型不純物領域 (b) を形成し、
 前記結晶構造を含む半導体膜に対して第 2 の光アニールを行い、
 前記結晶構造を含む半導体膜をパターニングし、
 前記パターニングされた半導体膜の上にゲート絶縁膜を形成し、
 前記ゲート絶縁膜の上にゲート配線を形成し、
 前記パターニングされた半導体膜に前記ゲート配線をマスクとして n 型不純物元素を添加して n 型不純物領域 (c) を形成し、
 前記ゲート配線をマスクとして前記ゲート絶縁膜をエッチングし、
 前記 n チャネル型 T F T のパターニングされた半導体膜に n 型不純物元素を添加して n 型不純物領域 (a) を形成し、
 p チャネル型 T F T のパターニングされた半導体膜に p 型不純物元素を添加して p 型不純物領域 (a) を形成し、
 前記画素部の n チャネル型 T F T 上に絶縁膜を形成し、
 前記絶縁膜上に遮蔽膜を形成し、
 前記絶縁膜に形成されたコンタクトホールに画素電極を形成し、
 前記画素電極は、酸化物を介して前記遮蔽膜と重なり容量を形成していることを特徴とする半導体装置の作製方法。

【請求項 1 9】

請求項 1 及び請求項 1 8 において、前記 n 型不純物領域 (b) には、前記 n 型不純物領域 (c) よりも高い濃度で n 型不純物元素が添加されることを特徴とする半導体装置の作製方法。

【請求項 2 0】

請求項 1 乃至請求項 1 8 のいずれか一において、前記 n 型不純物領域 (a) には $1 \times 10^{20} \sim 1 \times 10^{21}$ atoms / cm³ の濃度で n 型不純物元素が含まれ、前記 n 型不純物領域 (b) には $2 \times 10^{16} \sim 5 \times 10^{19}$ atoms / cm³ の濃度で n 型不純物元素が含まれ、前記 n 型不純物領域 (c) には $1 \times 10^{16} \sim 5 \times 10^{18}$ atoms / cm³ の濃度で n 型不純物元素が含まれており、

前記 p 型不純物領域 (a) には $3 \times 10^{20} \sim 3 \times 10^{21}$ atoms / cm³ の濃度で p 型不純物元素が含まれ、前記 p 型不純物領域 (b) には $1 \times 10^{15} \sim 1 \times 10^{18}$ atoms / cm³ の濃度で p 型不純物元素が含まれていることを特徴とする半導体装置の作製方法。

【請求項 2 1】

請求項 1 乃至請求項 1 8 のいずれか一において、前記 n 型不純物領域 (a) < 前記 n 型不純物領域 (b) < 前記 n 型不純物領域 (c) の順に抵抗値が高くなるように n 型不純物元素が添加され、

前記 p 型不純物領域 (a) < 前記 p 型不純物領域 (b) の順に抵抗値が高くなるように p 型不純物元素が添加されることを特徴とする半導体装置の作製方法。

【請求項 2 2】

請求項 1 乃至請求項 1 8 のいずれか一において、前記 n 型不純物領域 (c) に含まれる

n 型不純物元素の濃度は、前記 n 型不純物領域 (b) に含まれる n 型不純物元素の $1 / 2 \sim 1 / 10$ 倍の濃度であることを特徴とする半導体装置の作製方法。

【請求項 2 3】

請求項 1 乃至請求項 1 8 のいずれか一において、前記 n 型不純物領域 (c) に含まれる n 型不純物元素の濃度は、前記 p 型不純物領域 (b) に含まれる p 型不純物元素の $5 \sim 10$ 倍の濃度であることを特徴とする半導体装置の作製方法。

【請求項 2 4】

請求項 1 乃至請求項 2 3 のいずれか一において、前記第 1 の光アニールにおけるエネルギー密度は $250 \sim 500 \text{ mJ} / \text{cm}^2$ であり、前記第 2 の光アニールにおけるエネルギー密度は $100 \sim 300 \text{ mJ} / \text{cm}^2$ であることを特徴とする半導体装置の作製方法。

【請求項 2 5】

請求項 1 乃至請求項 2 4 のいずれか一において、前記第 1 の光アニールは、結晶構造を含む半導体膜の結晶性を改善し、または結晶構造を含む半導体膜の結晶化を助長することを特徴とする半導体装置の作製方法。

【請求項 2 6】

請求項 1 乃至請求項 2 5 のいずれか一において、前記第 2 の光アニールは、結晶構造を含む半導体膜に添加された n 型または p 型を付与する不純物元素を活性化することを特徴とする半導体装置の作製方法。