

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2020年9月24日(24.09.2020)



(10) 国際公開番号

WO 2020/189137 A1

(51) 国際特許分類:

G01J 1/42 (2006.01) H01L 31/10 (2006.01)

G05F 3/26 (2006.01) G01S 7/486 (2020.01)

H01L 31/107 (2006.01)

神奈川県厚木市旭町四丁目14番
1号 Kanagawa (JP).

(21) 国際出願番号: PCT/JP2020/006183

(22) 国際出願日: 2020年2月18日(18.02.2020)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2019-050269 2019年3月18日(18.03.2019) JP

(71) 出願人: ソニーセミコンダクタソリューションズ株式会社(SONY SEMICONDUCTOR SOLUTIONS CORPORATION) [JP/JP]; 〒2430014

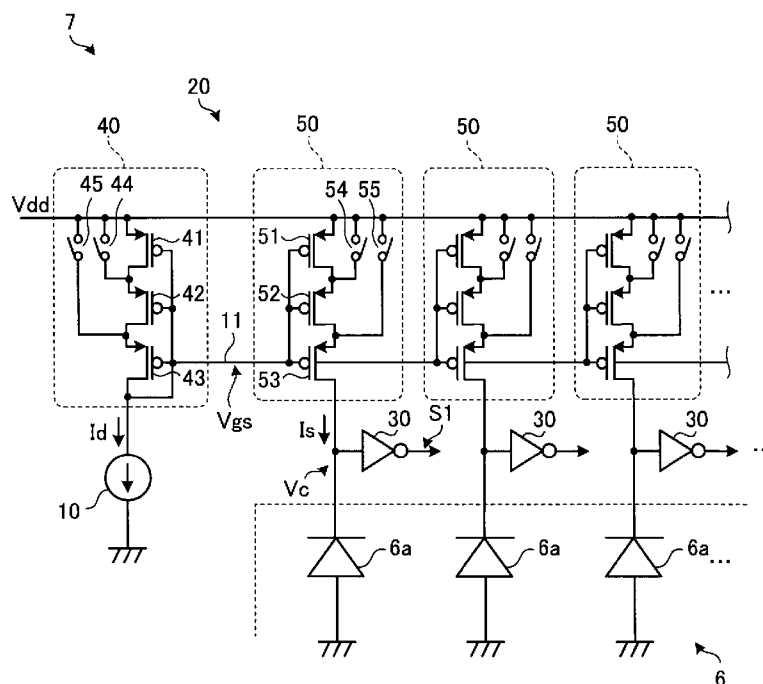
(72) 発明者: 上水流 隼人(KAMIZURU, Hayato);
〒8691102 熊本県菊池郡菊陽町大字原水400
0番地1 ソニーセミコンダクタマニュファク
チャリング株式会社内 Kumamoto (JP).

(74) 代理人: 特許業務法人酒井国際特許
事務所(SAKAI INTERNATIONAL PATENT
OFFICE); 〒1000013 東京都千代田区霞が
関3丁目8番1号 虎の門三井ビル
ディング Tokyo (JP).

(81) 指定国(表示のない限り、全ての種類の国内保
護が可能): AE, AG, AL, AM, AO, AT, AU, AZ,
BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH,

(54) Title: CURRENT GENERATION CIRCUIT AND DISTANCE MEASUREMENT SYSTEM

(54) 発明の名称: 電流生成回路および測距システム



(57) Abstract: A current generation circuit according to the present disclosure comprises a constant current source (10), a current mirror circuit (20), and a gate length adjustment unit (9). The constant current source (10) can cause reference currents (I_d) having a plurality of values to flow. The current mirror circuit (20) is configured by a first transistor (40) connected to the constant current source (10) and a second transistor (50) connected to a single photon avalanche diode (SPAD) element (6a). The gate length adjustment unit (9) adjusts the gate length of the first transistor (40) and the gate

CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO,
DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT,
HN, HR, HU, ID, IL, IN, IR, IS, JO, KE, KG, KH,
KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY,
MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ,
NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT,
QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,
ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG,
US, UZ, VC, VN, WS, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

- 一 国際調査報告 (条約第21条(3))

length of the second transistor (50) on the basis of the reference currents (I_d) set in the constant current source (10).

(57) 要約: 本開示に係る電流生成回路は、定電流源 (10) と、カレントミラー回路 (20) と、ゲート長調整部 (9) とを備える。定電流源 (10) は、複数の値の基準電流 (I_d) を流すことができる。カレントミラー回路 (20) は、定電流源 (10) に接続される第1のトランジスタ (40) と、SPA D (Single Photon Avalanche Diode) 素子 (6a) に接続される第2のトランジスタ (50) とで構成される。ゲート長調整部 (9) は、定電流源 (10) において設定される基準電流 (I_d) に基づいて、第1のトランジスタ (40) のゲート長および第2のトランジスタ (50) のゲート長を調整する。

明 細 書

発明の名称：電流生成回路および測距システム

技術分野

[0001] 本開示は、電流生成回路および測距システムに関する。

背景技術

[0002] 光を用いて被測定物までの距離を測定する測距方式の一つとして、直接T o F (Time of Flight)方式と呼ばれる測距手法が知られている。かかる直接T o F方式では、光源から射出された光が被測定物により反射された反射光を受光素子により受光し、光が射出されてから反射光として受光されるまでの時間に基づき対象までの距離を計測する（たとえば、特許文献1参照）。

先行技術文献

特許文献

[0003] 特許文献1：特開2014-081254号公報

発明の概要

発明が解決しようとする課題

[0004] しかしながら、上記の従来技術では、受光素子として用いられるSPAD (Single Photon Avalanche Diode) 素子に短時間に複数の光子が入射した場合に、かかるSPAD素子のデッドタイムがばらついてしまう場合がある。そして、SPAD素子のデッドタイムがばらついてしまうことにより、測距システムのダイナミックレンジが低下してしまう恐れがある。

[0005] そこで、本開示では、ダイナミックレンジを拡大することができる電流生成回路および測距システムを提案する。

課題を解決するための手段

[0006] 本開示によれば、電流生成回路が提供される。電流生成回路は、定電流源と、カレントミラー回路と、ゲート長調整部とを備える。定電流源は、複数の値の基準電流を流すことができる。カレントミラー回路は、前記定電流源

に接続される第1のトランジスタと、SPAD (Single Photon Avalanche Diode) 素子に接続される第2のトランジスタとで構成される。ゲート長調整部は、前記定電流源において設定される前記基準電流に基づいて、前記第1のトランジスタのゲート長および前記第2のトランジスタのゲート長を調整する。

発明の効果

[0007] 本開示によれば、ダイナミックレンジを拡大することができる。なお、ここに記載された効果は必ずしも限定されるものではなく、本開示中に記載されたいずれかの効果であってもよい。

図面の簡単な説明

[0008] [図1]本開示の実施形態に適用可能である直接T o F方式による測距を模式的に示す図である。

[図2]本開示の実施形態に適用可能である受光部が受光した時刻に基づく一例のヒストグラムを示す図である。

[図3]本開示の実施形態に係る測距装置の構成例を示すブロック図である。

[図4]本開示の実施形態に係る受光部に適用可能であるデバイスの構成例を示す模式図である。

[図5]本開示の実施形態に係るパルス出力部の構成例を示す回路図である。

[図6]本開示のパルス出力部におけるゲート電圧と基準電流との関係について示す説明図である。

[図7]本開示の参考例におけるパルス出力部の動作をタイミングチャートで示す説明図である。

[図8]本開示の実施形態に係るゲート長調整部の調整処理について説明するための図である。

[図9]本開示の実施形態に係るパルス出力部の動作をタイミングチャートで示す説明図である。

発明を実施するための形態

[0009] 以下に、本開示の各実施形態について図面に基づいて詳細に説明する。な

お、以下の各実施形態において、同一の部位には同一の符号を付することにより重複する説明を省略する。

[0010] 光を用いて被測定物までの距離を測定する測距方式の一つとして、直接T o F方式と呼ばれる測距手法が知られている。かかる直接T o F方式では、光源から射出された光が被測定物により反射された反射光を受光素子により受光し、光が射出されてから反射光として受光されるまでの時間に基づき対象までの距離を計測する。

[0011] しかしながら、上記の従来技術では、受光素子として用いられるSPAD素子に短時間に複数の光子が入射した場合に、かかるSPAD素子のデッドタイムがばらついてしまう場合がある。そして、SPAD素子のデッドタイムがばらついてしまうことにより、測距システムのダイナミックレンジが低下してしまう恐れがある。

[0012] なぜなら、SPAD素子のデッドタイムが長くなると、その分SPAD素子で検出可能な光子の最大値が減少してしまうからである。

[0013] そこで、上述の問題点を克服し、ダイナミックレンジを拡大することができる電流生成回路および測距システムの実現が期待されている。

[0014] [測距方法]

本開示は、光を用いて測距を行う技術に関するものである。そこで、本開示の実施形態の理解を容易とするために、図1および図2を参照しながら、実施形態に適用可能な測距方法について説明する。

[0015] 図1は、本開示の実施形態に適用可能である直接T o F方式による測距を模式的に示す図である。実施形態では、測距方式として直接T o F方式を適用する。

[0016] かかる直接T o F方式は、光源部2からの射出光L1が被測定物100により反射した反射光L2を受光部3により受光し、光の射出タイミングと受光タイミングとの差分の時間に基づき測距を行う方式である。

[0017] 測距装置1は、光源部2と、受光部3とを備える。測距装置1は、測距システムの一例である。光源部2は、たとえばレーザダイオードである光源4

(図3参照)を有し、レーザ光をパルス状に発光するように駆動される。

[0018] 光源部2からの射出光L1は、被測定物100により反射され、反射光L2として受光部3に受光される。受光部3は、光電変換によって光を電気信号に変換する画素アレイ部6(図3参照)を含み、受光した光に応じた信号を出力する。

[0019] ここで、光源部2が発光した時刻(発光タイミング)を時間 t_0 、光源部2からの射出光L1が被測定物100により反射された反射光L2を受光部3が受光した時刻(受光タイミング)を時間 t_1 とする。

[0020] 定数 c を光速(2.9979×10^8 [m/sec])とすると、測距装置1と被測定物100との間の距離 D は、次式(1)により計算される。

$$D = (c / 2) \times (t_1 - t_0) \quad \cdots (1)$$

[0021] なお、測距装置1は、上述の処理を、複数回繰り返して実行するとよい。また、受光部3は、複数のSPAD素子6a(図4参照)を有し、各SPAD素子6aに反射光L2が受光された各受光タイミングに基づき距離 D をそれぞれ算出してもよい。

[0022] 測距装置1は、発光タイミングの時間 t_0 から受光部3に光が受光された受光タイミングまでの時間 t_m (以下、「受光時間 t_m 」とも呼称する。)を階級(ビン(bins))に基づき分類し、ヒストグラムを生成する。

[0023] 図2は、本開示の実施形態に適用可能である受光部3が受光した時刻に基づく一例のヒストグラムを示す図である。図2において、横軸はビン、縦軸はビン毎の頻度を示す。ピンは、受光時間 t_m を所定の単位時間 d 毎に分類したものである。

[0024] 具体的には、ビン#0が $0 \leq t_m < d$ 、ビン#1が $d \leq t_m < 2 \times d$ 、ビン#2が $2 \times d \leq t_m < 3 \times d$ 、…、ビン#(N-2)が $(N-2) \times d \leq t_m < (N-1) \times d$ となる。受光部3の露光時間を時間 t_{ep} とした場合、 $t_{ep} = N \times d$ となる。

[0025] 測距装置1は、受光時間 t_m を取得した回数をビンに基づき計数してビン毎の頻度200を求め、ヒストグラムを生成する。ここで、受光部3は、光源

部 2 からの射出光 L 1 が反射された反射光 L 2 以外の光も受光する。

[0026] たとえば、対象となる反射光 L 2 以外の光の例として、測距装置 1 の周囲の環境光がある。かかる環境光は、受光部 3 にランダムに入射する光であって、ヒストグラムにおける環境光による環境光成分 201 は、対象となる反射光 L 2 に対するノイズとなる。

[0027] 一方、対象となる反射光 L 2 は、特定の距離に応じて受光される光であって、ヒストグラムにおいてアクティブ光成分 202 として現れる。このアクティブ光成分 202 内のピークの頻度に対応するビンが、被測定物 100 の距離 D に対応するビンとなる。

[0028] 測距装置 1 は、そのビンの代表時間（たとえばビンの中央の時間）を上述した時間 t_1 として取得することで、上述した式 (1) に従い、被測定物 100 までの距離 D を算出することができる。このように、複数の受光結果を用いることで、ランダムなノイズに対して適切な測距が実行可能となる。

[0029] [測距装置の構成]

つづいて、実施形態に係る測距装置 1 の構成について、図 3 および図 4 を参照しながら説明する。図 3 は、本開示の実施形態に係る測距装置 1 の構成例を示すブロック図である。上述のように、測距装置 1 は、光源部 2 と、受光部 3 とを備える。

[0030] 光源部 2 は、光源 4 と、光源駆動部 5 とを有する。光源 4 は、たとえば、垂直共振器面発光レーザ (VCSEL: Vertical Cavity Surface Emitting LASER) などのレーザダイオードで構成される。なお、光源 4 は、VCSEL に限られず、レーザダイオードがライン上に配列されたレーザダイオードアレイなどを用いてもよい。

[0031] 光源駆動部 5 は、光源 4 を駆動する。光源駆動部 5 は、たとえば、受光部 3 の制御部 8 からの発光制御信号に基づき、光源 4 から所定のタイミングおよびパルス幅を有する射出光 L 1 が出射されるように光源 4 を駆動する。

[0032] 光源駆動部 5 は、たとえば、ライン上に配列されるレーザダイオードを有する光源 4 から、レーザ光がラインに垂直の方向にスキャンされるように光

源 4 を駆動することができる。

[0033] 受光部 3 は、画素アレイ部 6 と、パルス出力部 7 と、制御部 8 と、ゲート長調整部 9 とを有する。

[0034] 画素アレイ部 6 は、2 次元格子状に配列される複数の S P A D 素子 6 a (図 4 参照) を有する。かかる S P A D 素子 6 a は、アバランシ増倍が発生する大きな逆バイアス電圧をカソードに印加することにより、1 光子の入射に応じて発生した電子に起因して、内部でアバランシ増倍が生じる。

[0035] すなわち、S P A D 素子 6 a は、1 光子の入射に応じて大電流が流れる特性を有する。そして、S P A D 素子 6 a では、かかる特性を利用することで、反射光 L 2 に含まれる 1 光子の入射を高感度で検知することができる。

[0036] 画素アレイ部 6 における複数の S P A D 素子 6 a の動作は、制御部 8 によって制御される。たとえば、制御部 8 は、各 S P A D 素子 6 a からの信号の読み出しを、行方向に n 画素、列方向に m 画素の、 $(n \times m)$ 個の S P A D 素子 6 a を含むブロック毎に制御することができる。

[0037] また、制御部 8 は、当該ブロックを単位として、各 S P A D 素子 6 a を行方向にスキャンし、さらに行毎に列方向にスキャンして、各 S P A D 素子 6 a から信号を読み出すことができる。

[0038] なお、実施形態において、制御部 8 は、各 S P A D 素子 6 a からそれぞれ単独に信号を読み出してもよい。画素アレイ部 6 の S P A D 素子 6 a で発生する信号は、パルス出力部 7 に供給される。

[0039] パルス出力部 7 は、S P A D 素子 6 a で発生する信号に応じて、所定のパルス信号をデジタル信号として制御部 8 に出力する。かかるパルス出力部 7 の詳細については後述する。

[0040] 制御部 8 は、たとえば予め組み込まれるプログラムに従い、測距装置 1 の全体の動作を制御する。たとえば、制御部 8 は、光源駆動部 5 を制御することにより、光源 4 の発光タイミングを制御する。

[0041] また、制御部 8 は、パルス出力部 7 から出力されるパルス信号に基づいて、図 2 に示したヒストグラムを生成する。また、制御部 8 は、生成されたヒ

ストグラムのデータに基づいて所定の演算処理を行い、被測定物 100 までの距離 D を算出する。

[0042] さらに、制御部 8 は、外部環境などに応じて、パルス出力部 7 内の定電流源 10（図 5 参照）を流れる電流（以下、基準電流 I_d （図 5 参照）とも呼称する。）を最適な値に設定する。たとえば、制御部 8 は、測距装置 1 の周辺温度が変わったり、外部電源が変更された際などに、基準電流 I_d を最適な値に変更する。

[0043] ゲート長調整部 9 は、制御部 8 で設定された基準電流 I_d に基づいて、パルス出力部 7 内の第 1 のトランジスタ 40（図 5 参照）のゲート長および第 2 のトランジスタ 50（図 5 参照）のゲート長を調整する。かかるゲート長調整部 9 の詳細については後述する。

[0044] 図 4 は、本開示の実施形態に係る受光部 3 に適用可能であるデバイスの構成例を示す模式図である。図 4 において、受光部 3 は、それぞれ半導体チップからなる受光チップ 3a とロジックチップ 3b とが積層されて構成される。なお、図 4 では、理解の容易のため、受光チップ 3a とロジックチップ 3b とが分離された状態で示している。

[0045] 受光チップ 3a には、画素アレイ部 6 の領域に SPAD 素子 6a が 2 次元格子状に配列される。ロジックチップ 3b には、パルス出力部 7 と、制御部 8 と、ゲート長調整部 9 とが設けられる。なお、受光チップ 3a およびロジックチップ 3b の構成は、図 4 の例に限定されない。

[0046] [パルス出力部の構成および動作]

つづいて、実施形態に係るパルス出力部 7 の構成および動作について、図 5～図 9 を参照しながら説明する。図 5 は、本開示の実施形態に係るパルス出力部 7 の構成例を示す回路図である。

[0047] 図 5 に示すように、パルス出力部 7 は、定電流源 10 と、カレントミラー回路 20 と、複数のインバータ 30 とを有する。また、カレントミラー回路 20 は、第 1 のトランジスタ 40 と、複数の第 2 のトランジスタ 50 とを有する。

- [0048] 定電流源 10 は、カレントミラー回路 20 の第 1 のトランジスタ 40 と、接地電位との間に設けられる。定電流源 10 は、制御部 8 で設定された値の基準電流 I_d を第 1 のトランジスタ 40 に流す。
- [0049] カレントミラー回路 20 の第 1 のトランジスタ 40 は、電源電圧 V_{dd} 側から順に 3 つの P 型トランジスタ 41 ~ 43 が直列に接続されて構成される。そして、P 型トランジスタ 41 ~ 43 のゲートはすべてゲート配線 11 に接続されていることから、かかる P 型トランジスタ 41 ~ 43 は 1 つの P 型トランジスタとして一体で動作する。
- [0050] すなわち、第 1 のトランジスタ 40 は、ゲートがゲート配線 11 に接続される P 型トランジスタとして機能する。
- [0051] 第 1 のトランジスタ 40 には、P 型トランジスタ 41 ~ 43 に加えて、バイパススイッチ 44、45 が設けられる。かかるバイパススイッチ 44、45 は、最小サイズの P 型トランジスタで構成される。なお、本開示において、「最小サイズの P 型トランジスタ」とは、ロジックチップ 3b に形成することができる最も小さいサイズの P 型トランジスタのことである。
- [0052] バイパススイッチ 44 は、電源電圧 V_{dd} と P 型トランジスタ 42 のソースとの間に設けられる。そして、かかるバイパススイッチ 44 を導通状態にすることにより、第 1 のトランジスタ 40 内で P 型トランジスタ 41 をバイパスすることができる。
- [0053] バイパススイッチ 45 は、電源電圧 V_{dd} と P 型トランジスタ 43 のソースとの間に設けられる。そして、かかるバイパススイッチ 45 を導通状態にすることにより、第 1 のトランジスタ 40 内で P 型トランジスタ 41、42 をバイパスすることができる。
- [0054] すなわち、実施形態では、ゲート長調整部 9 がバイパススイッチ 44、45 を制御することにより、第 1 のトランジスタ 40 のゲート長を調整することができる。
- [0055] たとえば、ゲート長調整部 9 は、バイパススイッチ 45 を導通状態にすることにより、第 1 のトランジスタ 40 のゲート長を短い状態（以下、「短状

態」とも呼称する。)にすることができる。

[0056] また、ゲート長調整部9は、バイパススイッチ44、45を切断状態にすることにより、第1のトランジスタ40のゲート長を長い状態（以下、「長状態」とも呼称する。）にすることができる。

[0057] さらに、ゲート長調整部9は、バイパススイッチ44を導通状態にすることにより、第1のトランジスタ40のゲート長を短状態と長状態との間の状態（以下、「中状態」とも呼称する。）にすることができる。

[0058] カレントミラー回路20の第2のトランジスタ50は、電源電圧V_{dd}側から順に3つのP型トランジスタ51～53が直列に接続されて構成される。そして、P型トランジスタ51～53のゲートはすべてゲート配線11に接続されていることから、かかるP型トランジスタ51～53は1つのP型トランジスタとして一体で動作する。

[0059] すなわち、第2のトランジスタ50は、ゲートがゲート配線11に接続されるP型トランジスタとして機能する。

[0060] 第2のトランジスタ50には、P型トランジスタ51～53に加えて、バイパススイッチ54、55が設けられる。かかるバイパススイッチ54、55は、最小サイズのP型トランジスタで構成される。

[0061] バイパススイッチ54は、電源電圧V_{dd}とP型トランジスタ52のソースとの間に設けられる。そして、かかるバイパススイッチ54を導通状態にすることにより、第2のトランジスタ50内でP型トランジスタ51をバイパスすることができる。

[0062] バイパススイッチ55は、電源電圧V_{dd}とP型トランジスタ53のソースとの間に設けられる。そして、かかるバイパススイッチ55を導通状態にすることにより、第2のトランジスタ50内でP型トランジスタ51、52をバイパスすることができる。

[0063] すなわち、実施形態では、ゲート長調整部9がバイパススイッチ54、55を制御することにより、第2のトランジスタ50のゲート長を調整することができる。

[0064] たとえば、ゲート長調整部 9 は、バイパススイッチ 55 を導通状態にすることにより、第 2 のトランジスタ 50 のゲート長を短状態にすることができる。また、ゲート長調整部 9 は、バイパススイッチ 54 を導通状態にすることにより、第 2 のトランジスタ 50 のゲート長を中状態にすることができる。

[0065] さらに、ゲート長調整部 9 は、バイパススイッチ 54、55 を切断状態にすることにより、第 2 のトランジスタ 50 のゲート長を長状態にすることができる。

[0066] そして、第 1 のトランジスタ 40 のソースおよび複数の第 2 のトランジスタ 50 のソースは、すべて電源電圧 V_{dd} に接続される。さらに、第 1 のトランジスタ 40 のゲートは、第 1 のトランジスタ 40 のドレインに接続される。

[0067] これにより、第 1 のトランジスタ 40 はカレントミラー回路 20 の入力側として機能し、第 2 のトランジスタ 50 はカレントミラー回路 20 の出力側として機能する。そして、第 1 のトランジスタ 40 に流される基準電流 I_d に基づいてカレントミラー回路 20 の第 2 のトランジスタ 50 で生成される電流 I_s は、画素アレイ部 6 の SPAD 素子 6a に供給される。以降の説明では、かかる電流 I_s を「供給電流 I_s 」とも呼称する。

[0068] ここまで説明したように、定電流源 10、カレントミラー回路 20 およびゲート長調整部 9 は、SPAD 素子 6a に供給される電流を生成する電流生成回路として機能する。

[0069] 図 5 に示すように、第 2 のトランジスタ 50 は、対応する SPAD 素子 6a に接続される。すなわち、パルス出力部 7 には、画素アレイ部 6 内の SPAD 素子 6a と同じ数だけ第 2 のトランジスタ 50 が設けられる。

[0070] インバータ 30 は、SPAD 素子 6a のカソード電圧 V_c に基づいて、パルス信号である信号 S_1 を出力する。インバータ 30 の入力端子は、第 2 のトランジスタ 50 のドレインと SPAD 素子 6a のカソードとの間に接続される。また、インバータ 30 の出力端子は、制御部 8 に接続される。なお、

S P A D 素子 6 a のアノードは接地される。

[0071] 図 6 は、本開示の実施形態に係るパルス出力部 7 におけるゲート電圧 V_{gs} と基準電流 I_d との関係について示す説明図である。なお、図 6 には、第 1 のトランジスタ 40 のゲート長および第 2 のトランジスタ 50 のゲート長が短状態である場合の曲線 C_s と、これらのゲート長が中状態である場合の曲線 C_m と、これらのゲート長が長状態である場合の曲線 C_l とが示されている。

[0072] 図 6 に示すように、測距装置 1 の周辺温度が変わったり、外部電源が変更された際などに変更される基準電流 I_d の設定幅は、比較的広い範囲（たとえば、電流 I_1 から電流 I_2 まで）が必要である。

[0073] そして、かかる基準電流 I_d に必要となる設定幅は、ゲート長が長状態（曲線 C_l に対応）や中状態（曲線 C_m に対応）ではすべてをカバーすることができない。すなわち、仮にゲート長を 1 つに固定した上で設定幅の全域をカバーするためには、ゲート長を短状態（曲線 C_s に対応）にする必要がある。

[0074] 一方、図 5 に示したパルス出力部 7 において、S P A D 素子 6 a に光子が入射して第 2 のトランジスタ 50 のドレイン電圧が変動した場合、かかるドレイン電圧の変動がゲート配線 11 に伝搬し、ゲート電圧 V_{gs} が変動する。

[0075] たとえば、図 6 に示す電圧 V_1 と電圧 V_2 との間でゲート電圧 V_{gs} が変動した場合、ゲート長が短状態であるとする、基準電流 I_d は、ばらつき幅 D_s の間でばらつく。

[0076] そして、図 6 に示すように、ゲート長が短状態である場合のばらつき幅 D_s は、ゲート長が中状態である場合のばらつき幅 D_m や、ゲート長が長状態である場合のばらつき幅 D_l に比べて大きい。

[0077] すなわち、S P A D 素子 6 a に光子が入射して第 2 のトランジスタ 50 のドレイン電圧が変動した場合、ゲート長が短状態であるとする、基準電流 I_d は大きくばらついてしまう。

[0078] そして、パルス出力部 7 のカレントミラー回路 20 では、かかる基準電流 I_d に基づいて、第 2 のトランジスタ 50 から供給される供給電流 I_s の値が定められることから、基準電流 I_d が大きくばらつくことにより、供給電流 I_s も大きくばらついてしまう。

[0079] 図 7 は、本開示の参考例におけるパルス出力部 7 の動作をタイミングチャートで示す説明図であり、ゲート長が短状態で固定されている場合のパルス出力部 7 の動作について示した図である。また、図 7 では、理解の容易のため、実線で示される参考例に加えて、ゲート電圧 V_{gs} にばらつきが生じない理想的な場合も一点鎖線で示している。

[0080] 初期状態において、SPAD 素子 6a には、ガイガーモードと呼ばれるなだれ増幅が起きる寸前の状態になるまで逆バイアスの電圧 V_{c1} が印加されている。すなわち、初期状態において、SPAD 素子 6a のカソード電圧 V_c は、この電圧 V_{c1} となる。

[0081] そして、インバータ 30 にはしきい電圧 V_{th} 以上の電圧 V_{c1} が入力されることから、初期状態において、インバータ 30 はローレベルの信号 S_1 を出力する。また、初期状態において、第 1 のトランジスタ 40 および第 2 のトランジスタ 50 のゲート電圧 V_{gs} は電圧 V_{gs1} である。

[0082] さらに、初期状態では SPAD 素子 6a 内になだれ増幅が発生していないことから、第 2 のトランジスタ 50 からは低い電流値（たとえば、ゼロ（A））である電流 I_{s1} が供給電流 I_s として供給される。

[0083] このような初期状態の測距装置 1 において、SPAD 素子 6a に時間 T_1 で 1 光子が入射すると、SPAD 素子 6a がブレイクダウンする。これにより、SPAD 素子 6a のカソード電圧 V_c は急激に減少し、供給電流 I_s は急激に増加する。

[0084] そして、時間 T_2 でカソード電圧 V_c がしきい電圧 V_{th} より小さくなると、インバータ 30 はハイレベルの信号 S_1 を出力する。さらに、カソード電圧 V_c は、時間 T_3 で SPAD 素子 6a 内のなだれ増幅が停止することから、電圧 V_{c2} で下げ止まる。

- [0085] ここで、ゲート電圧 V_{gs} にばらつきが生じない理想的な場合には、時間 T_1 以降もゲート電圧 V_{gs} が電圧 V_{gs1} を保持する。これにより、時間 T_1 以降、SPAD素子 6a には、第2のトランジスタ 50 から理想的な値である電流 I_{s2} が供給電流 I_s として安定的に供給される。
- [0086] これにより、時間 T_3 で下げ止まった SPAD 素子 6a のカソード電圧 V_c は、第2のトランジスタ 50 を介して SPAD 素子 6a が再充電されることにより、時間 T_3 から上昇を始める（いわゆるクエンチング動作）。
- [0087] そして、カソード電圧 V_c がしきい電圧 V_{th} 以上になった時間 T_5 で、インバータ 30 はローレベルの信号 S_1 を出力する。最後に、SPAD 素子 6a は、時間 T_7 で初期状態の電圧 V_{c1} に復帰し、SPAD 素子 6a およびパルス出力部 7 は初期状態に戻る。
- [0088] このように、ゲート電圧 V_{gs} にばらつきが生じない理想的な場合、パルス出力部 7 は、時間 T_2 から時間 T_5 までのパルス幅を有する信号 S_1 を出力する。
- [0089] しかしながら、実際には、時間 T_1 から短時間に複数の光子が SPAD 素子 6a に入射した場合などに、第2のトランジスタ 50 のドレイン電圧が大きく変動する。
- [0090] そして、かかるドレイン電圧の変動が第2のトランジスタ 50 の寄生容量を介してゲート配線 11 に伝搬すると、ゲート電圧 V_{gs} が大きく変動する。たとえば、図7の例では、ゲート電圧 V_{gs} が電圧 V_{gs1} から電圧 V_{gs2} に変動する。
- [0091] さらに、ゲート電圧 V_{gs} の変動によって、第2のトランジスタ 50 からの供給電流 I_s の値は、理想的な電流 I_{s2} よりも大きい電流 I_{s3} となる。すなわち、ゲート長が短状態で固定されている場合、SPAD 素子 6a に供給される供給電流 I_s は、理想的な場合に比べて大きく増加する。
- [0092] これにより、SPAD 素子 6a がクエンチングしにくくなることから、カソード電圧 V_c は、時間 T_4 までは電圧 V_{c2} を保持し、かかる時間 T_4 からようやく上昇して、上述の時間 T_7 よりも遅い時間 T_8 で初期状態の電圧

V_{c1} に復帰する。すなわち、ゲート長が短状態で固定されている場合、SPAD素子6aのデッドタイムは非常に大きくなる。

[0093] ここまで説明したように、第1のトランジスタ40のゲート長および第2のトランジスタ50のゲート長が短状態で固定されている場合、ゲート電圧 V_{gs} のばらつきが生じることにより、SPAD素子6aのデッドタイムが大きくばらついてしまう。

[0094] また、カソード電圧 V_c がしきい電圧 V_{th} 以上になる時間も、理想的な場合に比べて遅くなる（時間 T_6 ）。したがって、ゲート長が短状態で固定されている場合、パルス出力部7から出力される信号 S_1 は、理想的な場合に比べて非常に大きいパルス幅（時間 T_2 から時間 T_6 まで）となる。

[0095] このように、参考例では、SPAD素子6aのデッドタイムや信号 S_1 のパルス幅が大きくばらつくことにより、測距装置1のダイナミックレンジが低下してしまう。なお、かかるデッドタイムや信号 S_1 のパルス幅のばらつきは、SPAD素子6aに光子が1つだけ入射した場合でも生じる。

[0096] そこで、実施形態では、ゲート長調整部9で第1のトランジスタ40および第2のトランジスタ50を制御することにより、上述の問題点を解決することとした。

[0097] 図8は、本開示の実施形態に係るゲート長調整部9の調整処理について説明するための図であり、図6に示したグラフと同じ曲線 C_s （短状態に対応）、曲線 C_m （中状態に対応）および曲線 C_l （長状態に対応）を示している。

[0098] 図8に示すように、基準電流 I_d に必要となる設定幅のうち、ゲート長が長状態でカバーできる範囲に基準電流 I_d が設定された場合、ゲート長調整部9は、第1のトランジスタ40のゲート長および第2のトランジスタ50のゲート長を長状態に調整する。

[0099] たとえば、ゲート長が長状態でカバーできる電流 I_1 から電流 I_3 までの範囲に基準電流 I_d が設定された場合、ゲート長調整部9は、第1のトランジスタ40のゲート長および第2のトランジスタ50のゲート長を長状態に

調整する。

[0100] また基準電流 I_d に必要となる設定幅のうち、ゲート長が中状態ではカバーでき長状態ではカバーできない範囲に基準電流 I_d が設定された場合、ゲート長調整部 9 は、第 1 のトランジスタ 40 のゲート長及び第 2 のトランジスタ 50 のゲート長を中状態に調整する。

[0101] たとえば、ゲート長が中状態ではカバーでき、長状態ではカバーできない電流 I_3 から電流 I_4 までの範囲に基準電流 I_d が設定された場合、ゲート長調整部 9 は、第 1 のトランジスタ 40 のゲート長および第 2 のトランジスタ 50 のゲート長を中状態に調整する。

[0102] さらに、基準電流 I_d に必要となる設定幅のうち、ゲート長が短状態でのみカバーできる範囲に基準電流 I_d が設定された場合、ゲート長調整部 9 は、第 1 のトランジスタ 40 のゲート長および第 2 のトランジスタ 50 のゲート長を短状態に調整する。

[0103] たとえば、ゲート長が短状態でのみカバーできる電流 I_4 から電流 I_2 までの範囲に基準電流 I_d が設定された場合、ゲート長調整部 9 は、第 1 のトランジスタ 40 のゲート長および第 2 のトランジスタ 50 のゲート長を短状態に調整する。

[0104] これにより、たとえば、ゲート長が長状態でカバーできる範囲に基準電流 I_d が設定された場合に、第 1 のトランジスタ 40 のゲート長および第 2 のトランジスタ 50 のゲート長を長状態にすることができる。

[0105] また、ゲート長が長状態ではカバーできないが、中状態ではカバーできる範囲に基準電流 I_d が設定された場合に、第 1 のトランジスタ 40 のゲート長および第 2 のトランジスタ 50 のゲート長を中状態にすることができる。

[0106] すなわち、実施形態では、第 1 のトランジスタ 40 のゲート長および第 2 のトランジスタ 50 のゲート長を、可能な限り長くすることができる。これにより、ゲート電圧 V_{gs} のばらつきが生じた場合でも、基準電流 I_d のばらつきを小さくすることができる。この基準電流 I_d のばらつきを小さくすることによる効果について、図 9 を参照しながら説明する。

- [0107] 図9は、本開示の実施形態に係るパルス出力部7の動作をタイミングチャートで示す説明図であり、第1のトランジスタ40のゲート長および第2のトランジスタ50のゲート長が長状態に調整された場合のパルス出力部7の動作について示した図である。また、図7と同様に、図9でもゲート電圧 V_{gs} にばらつきが生じない理想的な場合を一点鎖線で示している。
- [0108] 初期状態において、SPAD素子6aには、ガイガーモードと呼ばれるなだれ増幅が起きる寸前の状態になるまで逆バイアスの電圧 V_{c1} が印加されている。すなわち、初期状態において、SPAD素子6aのカソード電圧 V_c は、この電圧 V_{c1} となる。
- [0109] そして、インバータ30にはしきい電圧 V_{th} 以上の電圧 V_{c1} が入力されることから、初期状態において、インバータ30はローレベルの信号 S_1 を出力する。また、初期状態において、第1のトランジスタ40および第2のトランジスタ50のゲート電圧 V_{gs} は電圧 V_{gs1} である。
- [0110] さらに、初期状態ではSPAD素子6a内になだれ増幅が発生していないことから、第2のトランジスタ50からは低い電流値（たとえば、ゼロ（A））である電流 I_{s1} が供給電流 I_s として供給される。
- [0111] このような初期状態の測距装置1において、SPAD素子6aに時間 T_1 で1光子が入射すると、SPAD素子6aがブレイクダウンする。これにより、SPAD素子6aのカソード電圧 V_c は急激に減少し、供給電流 I_s は急激に増加する。
- [0112] そして、時間 T_2 でカソード電圧 V_c がしきい電圧 V_{th} より小さくなると、インバータ30はハイレベルの信号 S_1 を出力する。さらに、カソード電圧 V_c は、時間 T_3 でSPAD素子6a内のなだれ増幅が停止することから、電圧 V_{c2} で下げ止まる。
- [0113] 一方で、実施形態では、参考例と同様に、時間 T_1 から短時間に複数の光子がSPAD素子6aに入射した場合などに、第2のトランジスタ50のドレイン電圧が大きく変動する。
- [0114] そして、かかるドレイン電圧の変動が第2のトランジスタ50の寄生容量

を介してゲート配線 11 に伝搬すると、ゲート電圧 V_{gs} が電圧 V_{gs1} から電圧 V_{gs2} に大きく変動する。

[0115] しかしながら、実施形態では、第 1 のトランジスタ 40 のゲート長および第 2 のトランジスタ 50 のゲート長が長状態に調整されている。これにより、ゲート電圧 V_{gs} が電圧 V_{gs2} に変動した場合でも基準電流 I_d の変動を小さくすることができることから、供給電流 I_s の変動を小さくすることができる。

[0116] たとえば、図 9 に示すように、ゲート電圧 V_{gs} の変動によって、第 2 のトランジスタ 50 からの供給電流 I_s の値は、参考例で示した電流 I_{s3} に比べて小さい電流 I_{s4} となる。すなわち、基準電流 I_d に基づいてゲート長を調整することにより、SPAD 素子 6a に供給される供給電流 I_s の上昇幅を小さくすることができる。

[0117] これにより、参考例に比べて SPAD 素子 6a がクエンチングしやすくなることから、カソード電圧 V_c は、参考例の時間 T_4 よりも早い時間 T_{4a} までは電圧 V_{c2} を保持し、かかる時間 T_{4a} から上昇する。そして、カソード電圧 V_c は、参考例の時間 T_8 よりも早い時間 T_{8a} で初期状態の電圧 V_{c1} に復帰する。

[0118] すなわち、基準電流 I_d に基づいてゲート長を調整することにより、SPAD 素子 6a のデッドタイムのばらつきを小さくすることができる。

[0119] また、カソード電圧 V_c がしきい電圧 V_{th} 以上になる時間も、参考例に比べて早くなる（時間 T_{6a} ）。したがって、基準電流 I_d に基づいてゲート長を調整することにより、パルス出力部 7 から出力される信号 S_1 は、参考例に比べて理想的な場合に近いパルス幅（時間 T_2 から時間 T_{6a} まで）となる。

[0120] ここまで説明したように、実施形態では、基準電流 I_d に基づいてゲート長を調整することにより、SPAD 素子 6a のデッドタイムや信号 S_1 のパルス幅のばらつきを小さくすることができる。したがって、実施形態によれば、測距装置 1 のダイナミックレンジを拡大することができる。

- [0121] なお、実施形態では、SPAD素子6aに光子が1つだけ入射した場合でも、SPAD素子6aのデッドタイムや信号S1のパルス幅のばらつきを小さくすることができる。
- [0122] また、実施形態では、直列に接続したP型トランジスタ41～43と、最小サイズのトランジスタであるバイパススイッチ44、45とで、第1のトランジスタ40を構成するとよい。
- [0123] これにより、必要となる複数のゲート長をそれぞれ有する複数のP型トランジスタを並列に並べる場合に比べて、第1のトランジスタ40の素子面積を縮小することができる。したがって、実施形態によれば、ロジックチップ3b内に第1のトランジスタ40を問題なく配置することができる。
- [0124] なお、実施形態において、第1のトランジスタ40の回路構成は、図5の例に限られず、たとえばゲート長をそれぞれ有する複数のP型トランジスタを並列に並べてもよい。
- [0125] また、実施形態では、直列に接続したP型トランジスタ51～53と、最小サイズのトランジスタであるバイパススイッチ54、55とで、第2のトランジスタ50を構成するとよい。
- [0126] これにより、必要となる複数のゲート長をそれぞれ有する複数のP型トランジスタを並列に並べる場合に比べて、第2のトランジスタ50の素子面積を縮小することができる。したがって、実施形態によれば、受光チップ3aに多数のSPAD素子6aが設けられる場合でも、ロジックチップ3b内に必要な数の第2のトランジスタ50を問題なく配置することができる。
- [0127] なお、実施形態において、第2のトランジスタ50の回路構成は、図5の例に限られず、たとえばゲート長をそれぞれ有する複数のP型トランジスタを並列に並べてもよい。
- [0128] また、実施形態では、1つのカレントミラー回路20に複数の第2のトランジスタ50が設けられるとよい。これにより、1つの定電流源10を用いて、複数のSPAD素子6aに略等しい値の供給電流Isを供給することができる。

[0129] なお、1つのカレントミラー回路20に複数の第2のトランジスタ50を設けた場合、かかる複数の第2のトランジスタ50にそれぞれ接続される複数のSPAD素子6aに対して短時間に複数の光子が入射した際でも、上述のゲート電圧 V_{gs} のばらつきが生じる。

[0130] しかしながら、実施形態では、ゲート長調整部9で複数の第2のトランジスタ50のゲート長を制御することにより、ゲート電圧 V_{gs} がばらついた場合でも、SPAD素子6aのデッドタイムや信号S1のパルス幅のばらつきを小さくすることができる。なお、パルス出力部7に設けられる定電流源10の数は、1つでもよいし、複数でもよい。

[0131] [効果]

実施形態に係る電流生成回路は、定電流源10と、カレントミラー回路20と、ゲート長調整部9とを備える。定電流源10は、複数の値の基準電流 I_d を流すことができる。カレントミラー回路20は、定電流源10に接続される第1のトランジスタ40と、SPAD素子6aに接続される第2のトランジスタ50とで構成される。ゲート長調整部9は、定電流源10において設定される基準電流 I_d に基づいて、第1のトランジスタ40のゲート長および第2のトランジスタ50のゲート長を調整する。

[0132] これにより、測距装置1のダイナミックレンジを拡大することができる。

[0133] また、実施形態に係る電流生成回路において、第1のトランジスタ40は、直列に接続され、ゲートが共通である複数のトランジスタ（P型トランジスタ41～43）と、複数のトランジスタの一部をバイパスするバイパススイッチ44、45と、を有する。また、バイパススイッチ44、45は、最小サイズのトランジスタである。

[0134] これにより、ロジックチップ3b内に第1のトランジスタ40を問題なく配置することができる。

[0135] また、実施形態に係る電流生成回路において、第2のトランジスタ50は、直列に接続され、ゲートが共通である複数のトランジスタ（P型トランジスタ51～53）と、複数のトランジスタの一部をバイパスするバイパスス

イッチ 54、55 と、を有する。また、バイパススイッチ 54、55 は、最小サイズのトランジスタである。

[0136] これにより、受光チップ 3a に多数の SPAD 素子 6a が設けられる場合でも、ロジックチップ 3b 内に必要な数の第 2 のトランジスタ 50 を問題なく配置することができる。

[0137] また、実施形態に係る電流生成回路において、カレントミラー回路 20 は、第 2 のトランジスタ 50 を複数有し、複数の第 2 のトランジスタ 50 は、複数の SPAD 素子 6a にそれぞれ接続される。

[0138] これにより、1 つの定電流源 10 を用いて、複数の SPAD 素子 6a に略等しい値の供給電流 I_s を供給することができる。

[0139] また、実施形態に係る電流生成回路において、定電流源 10 は、設定に応じて複数の値の基準電流 I_d を流す。

[0140] これにより、外部環境などに応じて、最適な値の基準電流 I_d を流すことができる。

[0141] 以上、本開示の実施形態について説明したが、本開示の技術的範囲は、上述の実施形態そのままに限定されるものではなく、本開示の要旨を逸脱しない範囲において種々の変更が可能である。また、異なる実施形態及び変形例にわたる構成要素を適宜組み合わせてもよい。

[0142] たとえば、実施形態では、第 1 のトランジスタ 40 のゲート長および第 2 のトランジスタ 50 のゲート長が 3 段階（短状態、中状態、長状態）に制御される場合について示したが、かかるゲート長の制御は 3 段階に限られない。

[0143] たとえば、第 1 のトランジスタ 40 のゲート長および第 2 のトランジスタ 50 のゲート長は、2 段階に制御されてもよいし、4 段階以上に制御されてもよい。この場合、第 1 のトランジスタ 40 および第 2 のトランジスタ 50 に設けられる P 型トランジスタの数と、バイパススイッチの数とを適宜増減すればよい。

[0144] また、本明細書に記載された効果はあくまで例示であって限定されるもの

では無く、また他の効果があってもよい。

[0145] なお、本技術は以下のような構成も取ることができる。

(1)

複数の値の基準電流を流すことができる定電流源と、

前記定電流源に接続される第1のトランジスタと、SPAD (Single Photon Avalanche Diode) 素子に接続される第2のトランジスタとで構成されるカレントミラー回路と、

前記定電流源において設定される前記基準電流に基づいて、前記第1のトランジスタのゲート長および前記第2のトランジスタのゲート長を調整するゲート長調整部と、

を備える電流生成回路。

(2)

前記第1のトランジスタは、直列に接続され、ゲートが共通である複数のトランジスタと、前記複数のトランジスタの一部をバイパスするバイパススイッチと、を有し、

前記バイパススイッチは、最小サイズのトランジスタである

前記(1)に記載の電流生成回路。

(3)

前記第2のトランジスタは、直列に接続され、ゲートが共通である複数のトランジスタと、前記複数のトランジスタの一部をバイパスするバイパススイッチと、を有し、

前記バイパススイッチは、最小サイズのトランジスタである

前記(1)または(2)に記載の電流生成回路。

(4)

前記カレントミラー回路は、前記第2のトランジスタを複数有し、

複数の前記第2のトランジスタは、複数の前記SPAD素子にそれぞれ接続される

前記(1)～(3)のいずれか一つに記載の電流生成回路。

(5)

前記定電流源は、設定に応じて複数の値の前記基準電流を流す

前記(1)～(4)のいずれか一つに記載の電流生成回路。

(6)

被測定物に光を照射する光源と、

前記被測定物から反射される光を受光した際に信号を出力するSPAD素子と、

複数の値の基準電流を流すことができる定電流源と、前記定電流源に接続される第1のトランジスタと、前記SPAD素子に接続される第2のトランジスタとで構成されるカレントミラー回路と、前記定電流源において設定される前記基準電流に基づいて、前記第1のトランジスタのゲート長および前記第2のトランジスタのゲート長を調整するゲート長調整部と、を有する電流生成回路と、

を備える測距システム。

(7)

前記第1のトランジスタは、直列に接続され、ゲートが共通である複数のトランジスタと、前記複数のトランジスタの一部をバイパスするバイパススイッチと、を有し、

前記バイパススイッチは、最小サイズのトランジスタである

前記(6)に記載の測距システム。

(8)

前記第2のトランジスタは、直列に接続され、ゲートが共通である複数のトランジスタと、前記複数のトランジスタの一部をバイパスするバイパススイッチと、を有し、

前記バイパススイッチは、最小サイズのトランジスタである

前記(6)または(7)に記載の測距システム。

(9)

前記カレントミラー回路は、前記第2のトランジスタを複数有し、

複数の前記第2のトランジスタは、複数の前記SPAD素子にそれぞれ接続される

前記(6)～(8)のいずれか一つに記載の測距システム。

(10)

前記定電流源は、設定に応じて複数の値の前記基準電流を流す

前記(6)～(9)のいずれか一つに記載の測距システム。

符号の説明

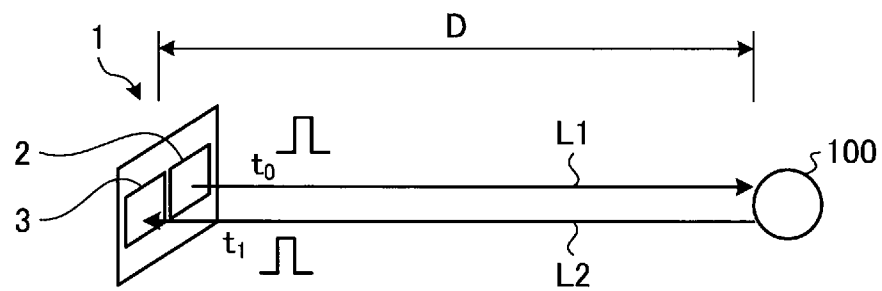
- [0146] 1 測距装置（測距システムの一例）
2 光源部
3 受光部
6a SPAD素子
7 パルス出力部
8 制御部
9 ゲート長調整部
10 定電流源
20 カレントミラー回路
30 インバータ
40 第1のトランジスタ
41～43 P型トランジスタ
44、45 バイパススイッチ
50 第2のトランジスタ
51～53 P型トランジスタ
54、55 バイパススイッチ
I_d 基準電流
I_s 供給電流

請求の範囲

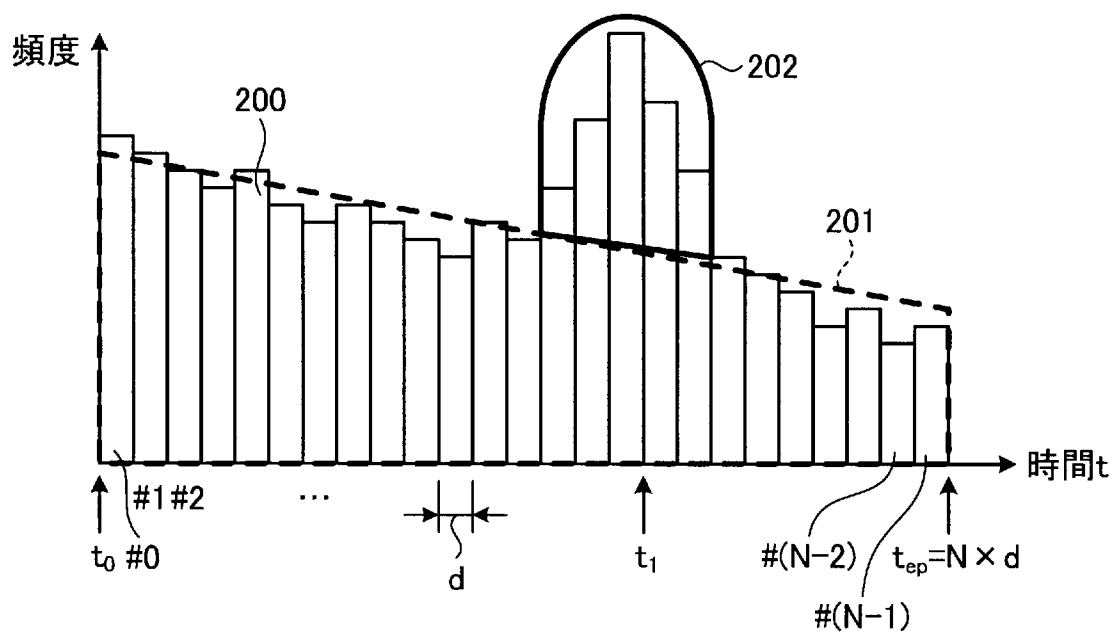
- [請求項1] 複数の値の基準電流を流すことができる定電流源と、
前記定電流源に接続される第1のトランジスタと、SPAD (Single Photon Avalanche Diode) 素子に接続される第2のトランジスタとで構成されるカレントミラー回路と、
前記定電流源において設定される前記基準電流に基づいて、前記第1のトランジスタのゲート長および前記第2のトランジスタのゲート長を調整するゲート長調整部と、
を備える電流生成回路。
- [請求項2] 前記第1のトランジスタは、直列に接続され、ゲートが共通である複数のトランジスタと、前記複数のトランジスタの一部をバイパスするバイパススイッチと、を有し、
前記バイパススイッチは、最小サイズのトランジスタである
請求項1に記載の電流生成回路。
- [請求項3] 前記第2のトランジスタは、直列に接続され、ゲートが共通である複数のトランジスタと、前記複数のトランジスタの一部をバイパスするバイパススイッチと、を有し、
前記バイパススイッチは、最小サイズのトランジスタである
請求項1に記載の電流生成回路。
- [請求項4] 前記カレントミラー回路は、前記第2のトランジスタを複数有し、
複数の前記第2のトランジスタは、複数の前記SPAD素子にそれぞれ接続される
請求項1に記載の電流生成回路。
- [請求項5] 前記定電流源は、設定に応じて複数の値の前記基準電流を流す
請求項1に記載の電流生成回路。
- [請求項6] 被測定物に光を照射する光源と、
前記被測定物から反射される光を受光した際に信号を出力するSPAD素子と、

複数の値の基準電流を流すことができる定電流源と、前記定電流源に接続される第1のトランジスタと、前記SPAD素子に接続される第2のトランジスタとで構成されるカレントミラー回路と、前記定電流源において設定される前記基準電流に基づいて、前記第1のトランジスタのゲート長および前記第2のトランジスタのゲート長を調整するゲート長調整部と、を有する電流生成回路と、
を備える測距システム。

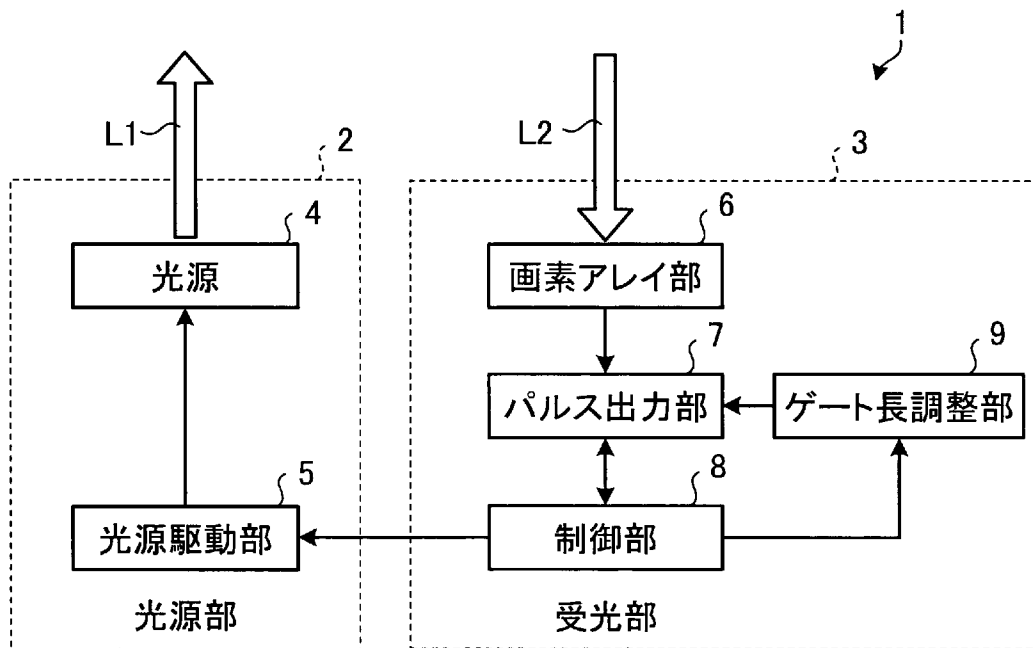
[図1]



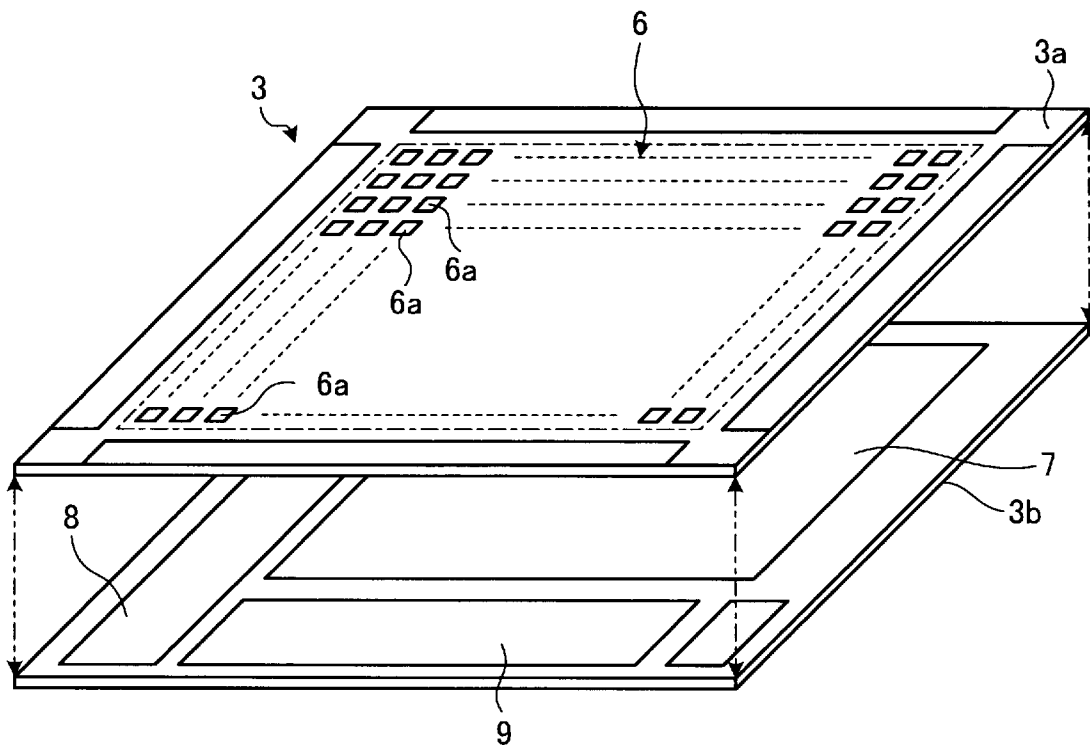
[図2]



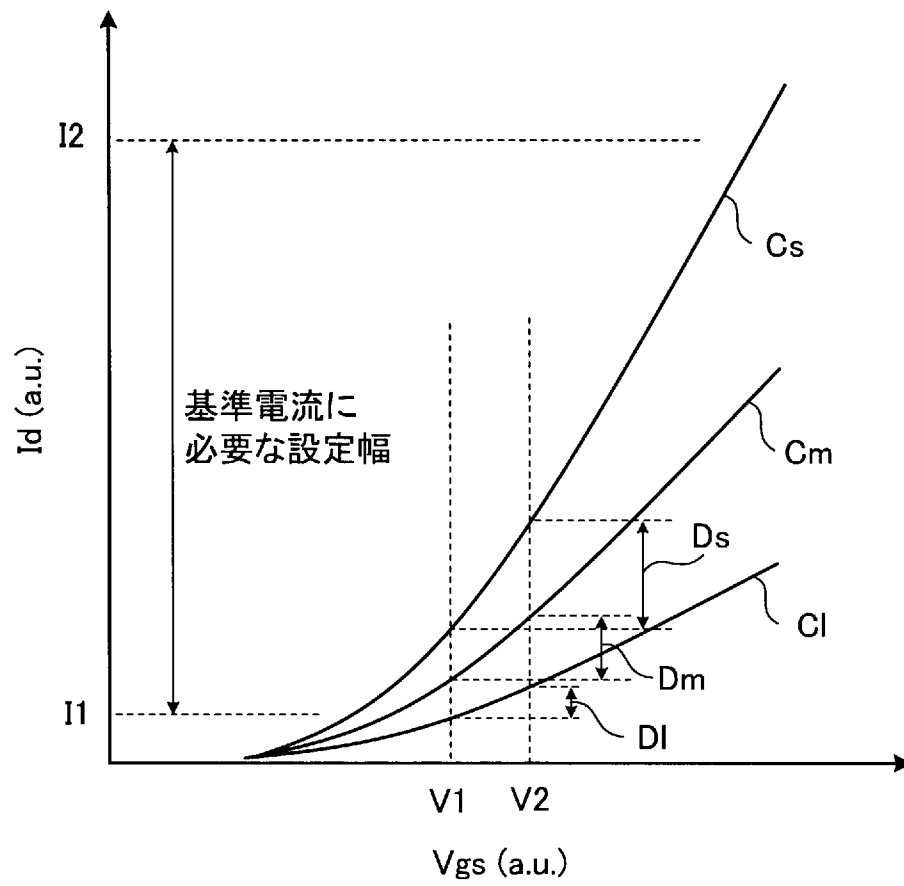
[図3]



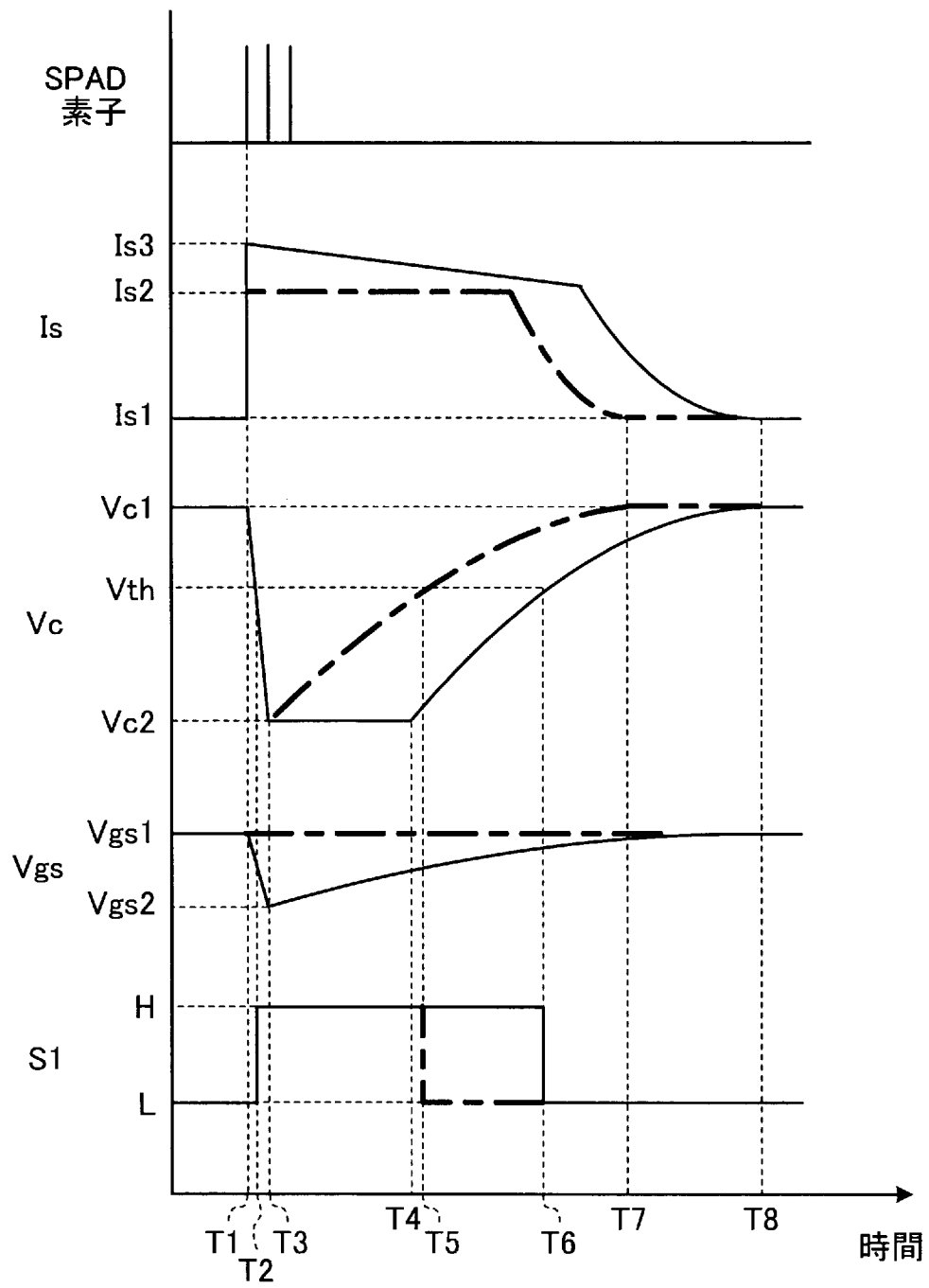
[図4]



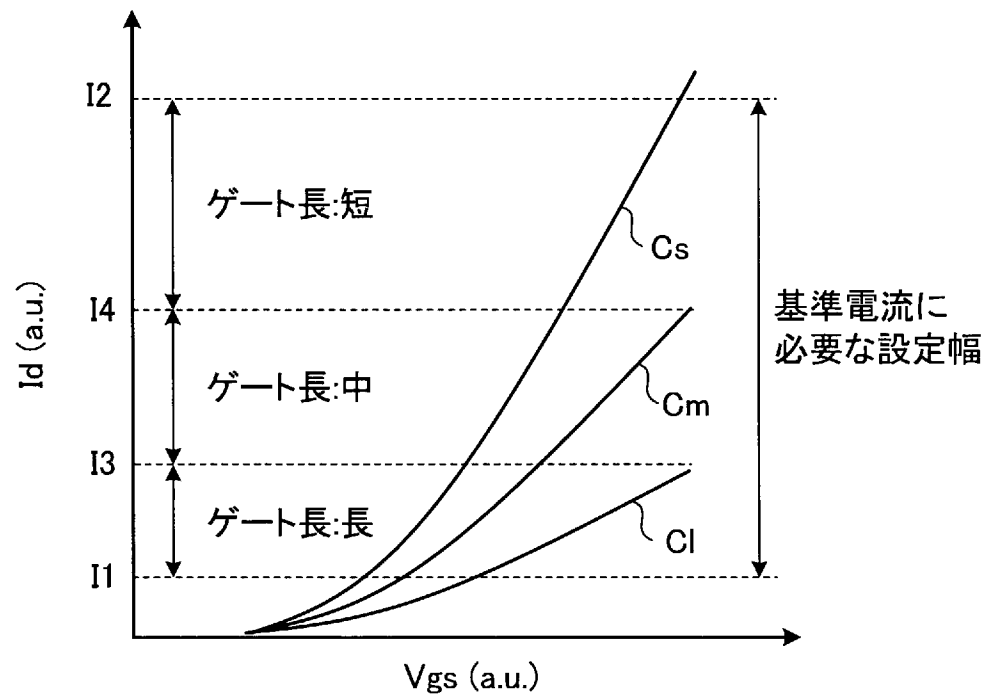
[図6]



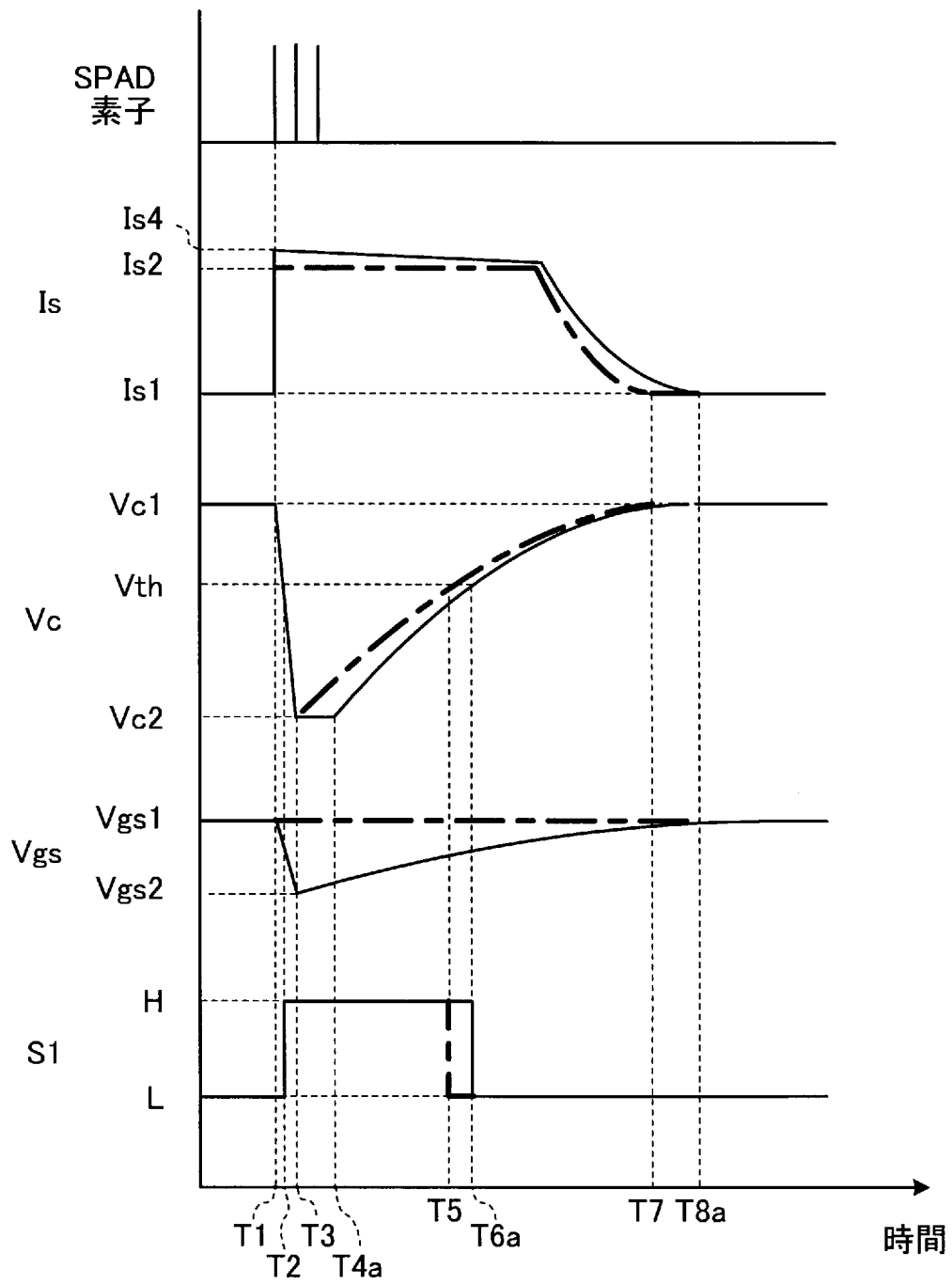
[図7]



[図8]



[図9]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2020/006183

A. CLASSIFICATION OF SUBJECT MATTER

G01J 1/42(2006.01)i; G05F 3/26(2006.01)i; H01L 31/107(2006.01)i; H01L 31/10(2006.01)i; G01S 7/486(2020.01)i

FI: G01J1/42 H; G05F3/26; H01L31/10 B; H01L31/10 G; G01S7/486

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G01J1/00-1/60; G01S7/48-7/51; G01S17/00-17/95; G05F3/26; H01L27/14-27/148; H01L31/10-31/119

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan	1922-1996
Published unexamined utility model applications of Japan	1971-2020
Registered utility model specifications of Japan	1996-2020
Published registered utility model applications of Japan	1994-2020

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

JSTPlus/JMEDPlus/JST7580 (JDreamIII)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2018-179732 A (DENSO CORP.) 15.11.2018 (2018-11-15)	1-6
A	JP 6-308240 A (MITSUBISHI ELECTRIC CORP.) 04.11.1994 (1994-11-04)	1-6
A	JP 2005-515450 A (EUROPEAN ORGANIZATION FOR NUCLEAR RESEARCH) 26.05.2005 (2005-05-26)	1-6
A	JP 2004-361935 A (SEMICONDUCTOR ENERGY LABORATORY CO., LTD.) 24.12.2004 (2004-12-24)	1-6
A	JP 9-191252 A (MITSUBISHI ELECTRIC CORP.) 22.07.1997 (1997-07-22)	1-6
A	US 10158038 B1 (HI LLC) 18.12.2018 (2018-12-18)	1-6



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"I" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search

09 March 2020 (09.03.2020)

Date of mailing of the international search report

24 March 2020 (24.03.2020)

Name and mailing address of the ISA/

Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application no.

PCT/JP2020/006183

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
JP 2018-179732 A	15 Nov. 2018	(Family: none)	
JP 6-308240 A	04 Nov. 1994	(Family: none)	
JP 2005-515450 A	26 May 2005	US 2005/0104003 A1	
		GB 201260 D	
		WO 2003/061277 A2	
		CA 2473619 A	
		AU 2003235605 A	
		KR 10-0993529 B1	
		NO 20042873 L	
		CN 1630979 A	
		RU 2004125149 A	
JP 2004-361935 A	24 Dec. 2004	US 2004/0222950 A1	
		KR 10-1110764 B1	
JP 9-191252 A	22 Jul. 1997	(Family: none)	
US 10158038 B1	18 Dec. 2018	WO 2019/221780 A1	

A. 発明の属する分野の分類（国際特許分類（IPC）） G01J 1/42(2006.01)i; G05F 3/26(2006.01)i; H01L 31/107(2006.01)i; H01L 31/10(2006.01)i; G01S 7/486(2020.01)i FI: G01J1/42 H; G05F3/26; H01L31/10 B; H01L31/10 G; G01S7/486		
B. 調査を行った分野 調査を行った最小限資料（国際特許分類（IPC）） G01J1/00-1/60; G01S7/48-7/51; G01S17/00-17/95; G05F3/26; H01L27/14-27/148; H01L31/10-31/119 最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2020年 日本国実用新案登録公報 1996-2020年 日本国登録実用新案公報 1994-2020年 国際調査で利用した電子データベース（データベースの名称、調査に使用した用語） JSTPlus/JMEDPlus/JST7580 (JDreamIII)		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2018-179732 A (株式会社デンソー) 15.11.2018 (2018-11-15)	1-6
A	JP 6-308240 A (三菱電機株式会社) 04.11.1994 (1994-11-04)	1-6
A	JP 2005-515450 A (ヨーロピアン オーガナイゼーション フォー ニュークリア リサーチ) 26.05.2005 (2005-05-26)	1-6
A	JP 2004-361935 A (株式会社半導体エネルギー研究所) 24.12.2004 (2004-12-24)	1-6
A	JP 9-191252 A (三菱電機株式会社) 22.07.1997 (1997-07-22)	1-6
A	US 10158038 B1 (HI LLC) 18.12.2018 (2018-12-18)	1-6
☐ C欄の続きにも文献が列挙されている。 ☒ パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的な技術水準を示すもの “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献 “T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献		
国際調査を完了した日 09.03.2020		国際調査報告の発送日 24.03.2020
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号		権限のある職員（特許庁審査官） 蔵田 真彦 2W 3602 電話番号 03-3581-1101 内線 3258

国際調査報告
 パテントファミリーに関する情報

国際出願番号

PCT/JP2020/006183

引用文献			公表日	パテントファミリー文献			公表日
JP	2018-179732	A	15.11.2018	(ファミリーなし)			
JP	6-308240	A	04.11.1994	(ファミリーなし)			
JP	2005-515450	A	26.05.2005	US	2005/0104003	A1	
				GB	201260	D	
				WO	2003/061277	A2	
				CA	2473619	A	
				AU	2003235605	A	
				KR	10-0993529	B1	
				NO	20042873	L	
				CN	1630979	A	
				RU	2004125149	A	
JP	2004-361935	A	24.12.2004	US	2004/0222950	A1	
				KR	10-1110764	B1	
JP	9-191252	A	22.07.1997	(ファミリーなし)			
US	10158038	B1	18.12.2018	WO	2019/221780	A1	