

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2021年6月10日(10.06.2021)



(10) 国際公開番号

WO 2021/111783 A1

(51) 国際特許分類:

H01L 33/00 (2010.01) G09F 9/30 (2006.01)

H01L 33/62 (2010.01) G09F 9/33 (2006.01)

(21) 国際出願番号: PCT/JP2020/040721

(22) 国際出願日: 2020年10月29日(29.10.2020)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:

特願 2019-219148 2019年12月3日(03.12.2019) JP

(71) 出願人: 株式会社ジャパンディスプレイ(JAPAN DISPLAY INC.) [JP/JP]; 〒1050003 東京都港区西新橋三丁目7番1号 Tokyo (JP).

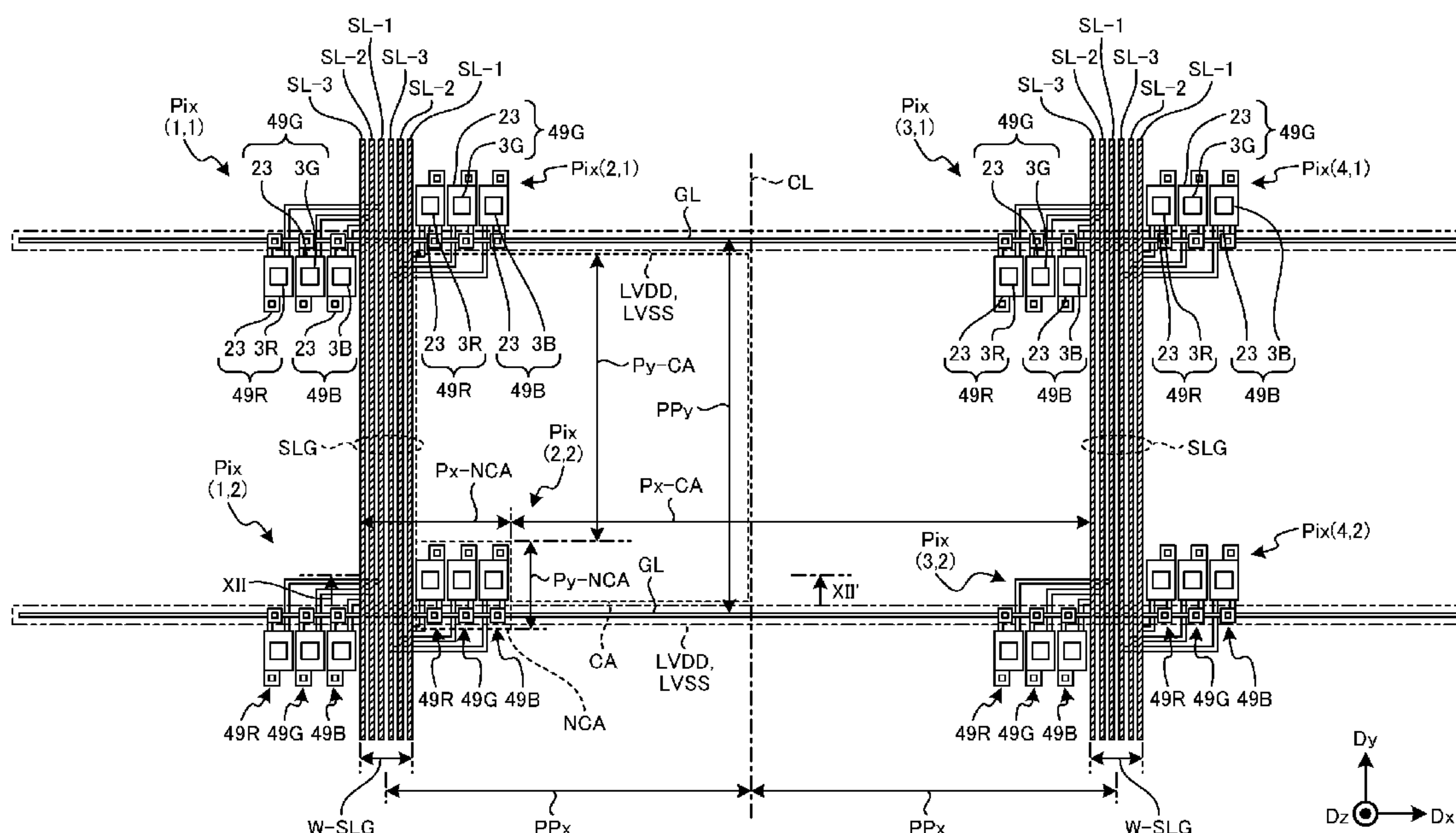
(72) 発明者: 小川 耀博 (OGAWA, Akihiro);

〒1050003 東京都港区西新橋三丁目7番1号 株式会社ジャパンディスプレイ内 Tokyo (JP). 池田 雅延(IKEDA, Masanobu); 〒1050003 東京都港区西新橋三丁目7番1号 株式会社ジャパンディスプレイ内 Tokyo (JP). 金谷 康弘(KANAYA, Yasuhiro); 〒1050003 東京都港区西新橋三丁目7番1号 株式会社ジャパンディスプレイ内 Tokyo (JP). 青木 義典(AOKI, Yoshinori); 〒1050003 東京都港区西新橋三丁目7番1号 株式会社ジャパンディスプレイ内 Tokyo (JP).

(74) 代理人: 特許業務法人酒井国際特許事務所 (SAKAI INTERNATIONAL PATENT OFFICE); 〒1000013 東京都千代田区霞が

(54) Title: DISPLAY DEVICE

(54) 発明の名称: 表示装置



(57) Abstract: A display device comprising: a substrate; a first LED element and a second LED element which are disposed on the substrate and which emit light; a first signal wire which is disposed between the first LED element and the second LED element and which is electrically connected to the first LED element; a second signal wire which is disposed between the first LED element and the second LED element and which is electrically connected to the second LED element; a gate wiring which intersects with the first signal wire and the second signal wire; and an anode wiring

[続葉有]

関 3 丁 目 8 番 1 号 虎 の 門 三 井 ビ ル
ディング Tokyo (JP).

- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, IT, JO, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.
- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類 :

- 一 国際調査報告 (条約第21条(3))

which is superposed on the gate wiring and which is electrically connected to the first LED element and the second LED element, wherein the anode wiring extends parallel to the gate wiring.

(57) 要約 : 表示装置は、基板と、基板に設けられ、光を照射する第 1 L E D 素子と第 2 L E D 素子と、第 1 L E D 素子と第 2 L E D 素子の間に設けられ、第 1 L E D 素子に電氣的に接続される第 1 信号線と、第 1 L E D 素子と第 2 L E D 素子の間に設けられ、第 2 L E D 素子に電氣的に接続される第 2 信号線と、第 1 信号線及び第 2 信号線に交差するゲート配線と、ゲート配線に重畳し、第 1 L E D 素子及び第 2 L E D 素子に電氣的に接続されるアノード配線と、を有し、アノード配線は、ゲート配線に平行に延出する。

明 細 書

発明の名称：表示装置

技術分野

[0001] 本発明は、表示装置に関する。

背景技術

[0002] 近年、表示素子として微小サイズの発光ダイオード（マイクロLED（micro LED））を用いたディスプレイが注目されている（例えば、特許文献1参照）。複数の発光ダイオードは、アレイ基板（特許文献1ではドライババックプレーン）に接続され、アレイ基板は、発光ダイオードを駆動するための画素回路（特許文献1では電子制御回路）を備える。また、特許文献2には、有機EL素子をアクティブマトリクスにより駆動する画素回路が記載されている。

先行技術文献

特許文献

[0003] 特許文献1：特表2017-529557号公報

特許文献2：特開2002-278513号公報

発明の概要

発明が解決しようとする課題

[0004] 画面の向こう側が透けて見える態様で用いられる、いわゆる透明ディスプレイ（もしくは透過型ディスプレイ）と呼ばれる表示装置が知られている。透明ディスプレイの表示素子として発光ダイオードを採用した場合、発光ダイオードの駆動回路を構成する複数のトランジスタや配線等により、透過率が低下する可能性がある。

[0005] 本発明は、アレイ基板の一方の面から、反対側の他方の面側の背景を視認可能であって、透過率の低下を抑制できる表示装置を提供することを目的とする。

課題を解決するための手段

[0006] 本発明の一態様の表示装置は、基板と、前記基板に設けられ、光を照射する第1 LED素子と第2 LED素子と、前記第1 LED素子と前記第2 LED素子の間に設けられ、前記第1 LED素子に電氣的に接続される第1信号線と、前記第1 LED素子と前記第2 LED素子の間に設けられ、前記第2 LED素子に電氣的に接続される第2信号線と、前記第1信号線及び前記第2信号線に交差するゲート配線と、前記ゲート配線に重畳し、前記第1 LED素子及び前記第2 LED素子に電氣的に接続されるアノード配線と、を有し、前記アノード配線は、前記ゲート配線に平行に延出する。

[0007] 本発明の一態様の表示装置は、基板と、前記基板に設けられた複数の画素と、複数の前記画素の各々に設けられ、光を出射する複数の発光素子と、複数の前記発光素子に対応して設けられた複数のトランジスタと、複数の前記トランジスタに接続された信号線及びゲート線と、を有し、開口率が80%以上の領域である透光領域と、開口率が80%よりも小さい領域である非透光領域とが、第1方向に並んで配置され、前記透光領域の前記第1方向の長さは、前記非透光領域の前記第1方向の長さの5倍以上である。

図面の簡単な説明

[0008] [図1]図1は、第1実施形態に係る表示装置を模式的に示す平面図である。

[図2]図2は、1つの画素Pixelを示す平面図である。

[図3]図3は、画素回路を示す回路図である。

[図4]図4は、複数の画素を模式的に示す平面図である。

[図5]図5は、図4の隣接する2つの画素を拡大して示す平面図である。

[図6]図6は、1つの発光素子に対応して設けられたトランジスタの構成例を示す平面図である。

[図7]図7は、図5のV11-V11'断面図である。

[図8]図8は、図6のV111-V111'断面図である。

[図9]図9は、信号線の積層構造を説明するための説明図である。

[図10]図10は、信号線及びアノード電源線の積層構造を説明するための説明図である。

[図11]図 1 1 は、透光領域及び非透光領域の積層構造を示す断面図である。

[図12]図 1 2 は、第 1 変形例に係る信号線の積層構造を説明するための説明図である。

[図13]図 1 3 は、第 2 変形例に係る表示装置を模式的に示す断面図である。

[図14]図 1 4 は、第 3 変形例に係る表示装置を模式的に示す断面図である。

[図15]図 1 5 は、第 2 実施形態に係る表示装置の、複数の画素を模式的に示す平面図である。

[図16]図 1 6 は、図 1 5 の 1 つの画素を拡大して示す平面図である。

[図17]図 1 7 は、第 2 実施形態の第 4 変形例に係る表示装置の、複数の画素を模式的に示す平面図である。

[図18]図 1 8 は、図 1 7 の 1 つの画素を拡大して示す平面図である。

発明を実施するための形態

[0009] 本発明を実施するための形態（実施形態）につき、図面を参照しつつ詳細に説明する。以下の実施形態に記載した内容により本発明が限定されるものではない。また、以下に記載した構成要素には、当業者が容易に想定できるもの、実質的に同一のものが含まれる。さらに、以下に記載した構成要素は適宜組み合わせることが可能である。なお、開示はあくまで一例にすぎず、当業者において、発明の主旨を保っての適宜変更について容易に想到し得るものについては、当然に本発明の範囲に含有されるものである。また、図面は説明をより明確にするため、実際の態様に比べ、各部の幅、厚さ、形状等について模式的に表される場合があるが、あくまで一例であって、本発明の解釈を限定するものではない。また、本明細書と各図において、既出の図に関して前述したものと同様の要素には、同一の符号を付して、詳細な説明を適宜省略することがある。

[0010] 本明細書及び請求の範囲において、ある構造体の上に他の構造体を配置する態様を表現するにあたり、単に「上に」と表記する場合、特に断りの無い限りは、ある構造体に接するように、直上に他の構造体を配置する場合と、ある構造体の上方に、さらに別の構造体を介して他の構造体を配置する場合

との両方を含むものとする。

[0011] (第1実施形態)

図1は、第1実施形態に係る表示装置を模式的に示す平面図である。図1に示すように、表示装置1は、アレイ基板2と、画素 $P_{i \times}$ と、駆動回路12と、駆動IC(Integrated Circuit)210と、カソード配線60と、を含む。アレイ基板2は、各画素 $P_{i \times}$ を駆動するための駆動回路基板であり、バックプレーン又はアクティブマトリクス基板とも呼ばれる。アレイ基板2は、基板21、複数のトランジスタ、複数の容量及び各種配線等を有する。特に図示しないが、アレイ基板2上には、駆動回路12及び駆動IC210を駆動するための制御信号及び電力を入力するためのフレキシブルプリント基板(FPC)等が接続されていてもよい。

[0012] 図1に示すように、表示装置1は、表示領域AAと、周辺領域GAとを有する。表示領域AAは、複数の画素 $P_{i \times}$ と重なって配置され、画像を表示する領域である。周辺領域GAは、複数の画素 $P_{i \times}$ と重ならない領域であり、表示領域AAの外側に配置される。

[0013] 複数の画素 $P_{i \times}$ は、基板21の表示領域AAにおいて、第1方向 D_x 及び第2方向 D_y に配列される。なお、第1方向 D_x 及び第2方向 D_y は、基板21の表面に対して平行な方向である。第1方向 D_x は、第2方向 D_y と直交する。ただし、第1方向 D_x は、第2方向 D_y と直交しないで交差してもよい。第3方向 D_z は、第1方向 D_x 及び第2方向 D_y と直交する方向である。第3方向 D_z は、例えば、基板21の法線方向に対応する。なお、以下、平面視とは、第3方向 D_z から見た場合の位置関係を示す。

[0014] 駆動回路12は、駆動IC210又は外部からの各種制御信号に基づいて複数のゲート線GL(図3参照)を駆動する回路である。駆動回路12は、複数のゲート線GLを順次又は同時に選択し、選択されたゲート線GLにゲート駆動信号を供給する。これにより、駆動回路12は、ゲート線に接続された複数の画素 $P_{i \times}$ を選択する。

[0015] 駆動IC210は、表示装置1の表示を制御する回路である。駆動IC2

10は、基板21の周辺領域GAにCOG (Chip On Glass) として実装される。これに限定されず、駆動IC210は、基板21の周辺領域GAに接続されたフレキシブルプリント基板やリジット基板の上に実装されてもよい。

[0016] カソード配線60は、基板21の周辺領域GAに設けられる。カソード配線60は、表示領域AAの複数の画素 P_{ix} 及び周辺領域GAの駆動回路12を囲んで設けられる。複数の発光素子3のカソードは、共通のカソード配線60に電氣的に接続され、基準電位（例えば、グランド電位）が供給される。より具体的には、発光素子3のカソード端子32（図7参照）は、カソード電極22及びカソード電源線LVSSを介して、カソード配線60に接続される。

[0017] 図2は、1つの画素 P_{ix} を示す平面図である。図2に示すように、1つの画素 P_{ix} は、複数の副画素49を含む。例えば、画素 P_{ix} は、第1副画素49Rと、第2副画素49Gと、第3副画素49Bとを有する。第1副画素49Rは、第1色としての原色の赤色を表示する。第2副画素49Gは、第2色としての原色の緑色を表示する。第3副画素49Bは、第3色としての原色の青色を表示する。図2に示すように、1つの画素 P_{ix} において、第1副画素49Rと、第2副画素49Gと、第3副画素49Bとは第1方向Dxで並ぶ。なお、第1色、第2色、第3色は、それぞれ赤色、緑色、青色に限られず、補色などの任意の色を選択することができる。以下において、第1副画素49Rと、第2副画素49Gと、第3副画素49Bとをそれぞれ区別する必要がない場合、副画素49という。

[0018] 第1副画素49R、第2副画素49G及び第3副画素49Bは、それぞれ、第1発光素子3R、第2発光素子3G及び第3発光素子3Bと、アノード電極23と、を有する。表示装置1は、第1副画素49R、第2副画素49G及び第3副画素49Bにおいて、第1発光素子3R、第2発光素子3G及び第3発光素子3Bごとに異なる光を出射することで画像を表示する。第1発光素子3Rは、赤色の光を出射する。第2発光素子3Gは、緑色の光を出

射する。第3発光素子3Bは、青色の光を出射する。なお、以下の説明において、第1発光素子3R、第2発光素子3G及び第3発光素子3Bを区別して説明する必要がない場合には、単に発光素子3と表す。

[0019] 発光素子3は、複数の副画素49の各々に設けられる。発光素子3は、平面視で、 $3\mu\text{m}$ 以上、 $300\mu\text{m}$ 以下程度の大きさを有する発光ダイオード(LED:Light Emitting Diode)チップである。厳密な定義ではないが、チップサイズが $100\mu\text{m}$ を下回るものは、マイクロLED(micro LED)と呼ばれる。各画素にマイクロLEDを備える表示装置1は、マイクロLED表示装置とも呼ばれる。なお、マイクロLEDのマイクロは、発光素子3の大きさを限定するものではない。

[0020] なお、複数の発光素子3は、4色以上の異なる光を出射してもよい。また、複数の副画素49の配置は、図2に示す構成に限定されない。例えば、第1副画素49Rは第2副画素49Gと第2方向Dyに隣り合ってもよい。第1副画素49R、第2副画素49G及び第3副画素49Bは、三角格子状に配置されてもよい。また、第1副画素49R、第2副画素49G及び第3副画素49Bの、第1方向Dxでの配置順も異なってもよい。

[0021] 図3は、画素回路を示す回路図である。図3に示す画素回路は、基板21に設けられ、駆動信号(電流)を各発光素子3に供給する回路である。図3に示すように、複数のゲート線GLは、それぞれ第1方向Dxに延在し、複数の第1副画素49R、第2副画素49G及び第3副画素49Bに接続される。複数の第1信号線SL-1、第2信号線SL-2及び第3信号線SL-3は、それぞれ第2方向Dyに延在する。第1信号線SL-1は、第2方向Dyに配列された複数の第1副画素49Rに接続される。第2信号線SL-2は、第2方向Dyに配列された複数の第2副画素49Gに接続される。第3信号線SL-3は、第2方向Dyに配列された複数の第3副画素49Bに接続される。なお、以下の説明では、第1信号線SL-1、第2信号線SL-2及び第3信号線SL-3を区別して説明する必要がない場合には、単に信号線SLと表す。

- [0022] 図3に示すように、各副画素49は、それぞれ、2つのトランジスタと、1つの容量と、を含む。具体的には、各副画素49は、駆動トランジスタDRTと、書込トランジスタSSTと、容量Csと、を含む。
- [0023] 各副画素49が有する複数のトランジスタは、それぞれn型TFET (Thin Film Transistor) で構成される。ただし、これに限定されず、各トランジスタは、それぞれp型TFETで構成されてもよい。
- [0024] 駆動トランジスタDRTのゲートは、書込トランジスタSSTのドレインに接続される。駆動トランジスタDRTのソースは、アノード電源線LVDDに接続される。駆動トランジスタDRTのドレインは、発光素子3のアノードに接続されている。発光素子3のカソードは、カソード電源線LVSSに接続され、基準電位が供給される。
- [0025] 書込トランジスタSSTのゲートは、ゲート線GLに接続される。書込トランジスタSSTのソースは、信号線SLに接続される。書込トランジスタSSTのドレインは、駆動トランジスタDRTのゲートに接続されている。
- [0026] 容量Csは、一端が駆動トランジスタDRTのゲートと書込トランジスタSSTのドレインとに接続され、他端が共通配線LCsに接続されている。共通配線LCsは、カソード電源線LVSSと電氣的に接続され、基準電位が供給される。容量Csは、駆動トランジスタDRTの寄生容量とリーク電流とによるゲート電圧の変動を抑えるために、画素回路に付加されている。
- [0027] 書込トランジスタSSTは、2ノード間の導通と非導通とを選択するスイッチング素子として機能する。駆動トランジスタDRTは、ゲートとドレインとの間の電圧に応じて、発光素子3に流れる電流を制御する電流制御素子として機能する。
- [0028] 具体的には、駆動回路12が、複数のゲート線GLを選択し、選択されたゲート線GLにゲート駆動信号を供給する。ゲート駆動信号によりゲート線GLの電位がH（ハイ）レベルになると、書込トランジスタSSTがオンになる。これにより、信号線SLから供給される映像信号に基づいて容量Csに電荷が蓄積される。駆動トランジスタDRTのゲートドレイン間の電圧は

、容量 C_s の電荷量に応じて決定される。

[0029] 駆動トランジスタDRTには、アノード電源線LVDDから供給されたアノード電源電位PVDDに基づいて電流が流れる。駆動トランジスタDRTは、ゲートドレイン間の電圧の電圧に応じた電流を、発光素子3に供給する。発光素子3は、この電流に応じた輝度で発光する。また、書込トランジスタSSTがオフになった後も、発光素子3には、駆動トランジスタDRTを介してアノード電源線LVDDから電流が供給される。

[0030] 次に、画素Pixの平面視での具体的な構成例について説明する。図4は、複数の画素を模式的に示す平面図である。図4では、表示領域AAに複数配列された画素Pixのうち、2行4列の8個の画素Pixを拡大して示している。具体的には、図4に示すように、画素Pix(1, 1)、Pix(2, 1)、Pix(3, 1)、Pix(4, 1)は、第1方向Dxに配列される。また、画素Pix(1, 1)、Pix(1, 2)は、第2方向Dyに配列される。画素Pix(2, 1)、Pix(2, 2)は、第2方向Dyに配列される。画素Pix(3, 1)、Pix(3, 2)は、第2方向Dyに配列される。画素Pix(4, 1)、Pix(4, 2)は、第2方向Dyに配列される。なお、画素Pix(1, 1)、Pix(2, 1)、Pix(3, 1)、Pix(4, 1)、Pix(1, 2)、Pix(2, 2)、Pix(3, 2)、Pix(4, 2)を区別して説明する必要がない場合には、単に画素Pixと表す。

[0031] 複数の画素Pixは、それぞれ、第1発光素子3R(第1副画素49R)、第2発光素子3G(第2副画素49G)、第3発光素子3B(第3副画素49B)、第1信号線SL-1、第2信号線SL-2、第3信号線SL-3及びゲート線GLを有する。第1発光素子3Rは、第1信号線SL-1に電氣的に接続される。第2発光素子3Gは、第2信号線SL-2に電氣的に接続される。第3発光素子3Bは、第3信号線SL-3に電氣的に接続される。

[0032] 本実施形態では、第1方向Dxに隣接する2つの画素Pixで、複数の発

光素子 3 と、複数の信号線 SL （信号線群 SLG ）とがひとまとまりに近接して配置される。隣接する一方の画素 P_{ix} と、他方の画素 P_{ix} とは、第 2 方向 D_y に平行な仮想線を対称軸として、反転するような位置関係で配置される。

[0033] 第 1 方向 D_x に隣り合う 2 つの画素 P_{ix} （例えば、画素 $P_{ix}(2, 2)$ と画素 $P_{ix}(3, 2)$ ）は、第 1 方向 D_x に隣り合う 2 つの信号線群 SLG と、第 2 方向 D_y に隣り合う 2 つのゲート線 GL とで囲まれた領域である。ここで、画素 P_{ix} の第 1 方向 D_x での配置ピッチ PP_x は、信号線群 SLG の幅 $W - SLG$ の、第 1 方向 D_x での中点と仮想線 CL との間の距離で表される。仮想線 CL は、第 1 方向 D_x に隣り合う信号線群 SLG 間の中点を通り、信号線 SL に平行な方向に延在する仮想線である。言い換えると、配置ピッチ PP_x は、第 1 方向 D_x に隣り合う信号線群 SLG の配置ピッチの $1/2$ である。

[0034] 画素 P_{ix} の第 2 方向 D_y での配置ピッチ PP_y は、第 2 方向 D_y に隣り合うゲート線 GL の配置ピッチと等しい。つまり、配置ピッチ PP_y は、第 2 方向 D_y に隣り合うゲート線 GL の第 2 方向 D_y （ $+D_y$ 方向）での端部の距離で表される。

[0035] 複数の画素 P_{ix} は、それぞれ、透光領域 CA と、非透光領域 NCA とを有する。透光領域 CA は、所定の領域において、開口率が 80% 以上の領域であり、すなわち、所定の領域の面積に対する、信号線 SL 、ゲート線 GL 等の各種配線や、発光素子 3 に接続されたアノード電極 23 等と重ならない領域の割合が 80% 以上となる領域である。非透光領域 NCA は、所定の領域において、開口率が 80% よりも小さい領域であり、すなわち、所定の領域の面積に対する、信号線 SL 、ゲート線 GL 等の各種配線や、発光素子 3 に接続されたアノード電極 23 等と重ならない領域の割合が 80% よりも小さい領域である。

[0036] 表示装置 1 は、非透光領域 NCA の面積に比べて透光領域 CA の面積が大きく設けられている。このため、発光素子 3 が発光しない画素 P_{ix} では、

透光領域CAを介して基板21（図7参照）の第1主面21A側（カバーガラス101側）から基板21の第2主面21B側の背景が視認され、また、基板21の第2主面21B側から第1主面21A側（カバーガラス101側）の背景が視認される。そして、本実施形態の表示装置1は、駆動IC210から映像信号が入力されると、画素 P_{ix} の発光素子3が映像信号に応じて発光する。そして、画素 P_{ix} で表示される画像は、背景とともに視認される。つまり、表示装置1は、表示領域AAの向こう側が透けて見える態様で用いられる、いわゆる透明ディスプレイである。

[0037] 次に、第1方向 D_x に隣接する画素 $P_{ix}(1, 1)$ と画素 $P_{ix}(2, 1)$ に着目して、各画素 P_{ix} の構成の具体例を説明する。図5は、図4の隣接する2つの画素を拡大して示す平面図である。なお、以下の説明では、第1方向 D_x の一方（図5右側方向）を $+D_x$ 方向と表し、第1方向 D_x の他方（図5左側方向）を $-D_x$ 方向と表す場合がある。同様に、第2方向 D_y の一方（図5上側方向）を $+D_y$ 方向と表し、第2方向 D_y の他方（図5下側方向）を $-D_y$ 方向と表す場合がある。

[0038] 信号線群SLGは、第1方向 D_x に隣り合う複数の信号線SLを含む。具体的には、図5左側の画素 $P_{ix}(1, 1)$ （第1画素）に接続された3本の信号線SLと、図5右側の画素 $P_{ix}(2, 1)$ （第2画素）に接続された3本の信号線SLとが、第1方向 D_x に隣り合って配置され、ひとまとまりの信号線群SLGとして形成される。つまり、信号線群SLGは、1対の第1信号線SL-1、1対の第2信号線SL-2及び1対の第3信号線SL-3を含む。信号線群SLGは、第1方向 D_x で、第3信号線SL-3、第2信号線SL-2、第1信号線SL-1、第3信号線SL-3、第2信号線SL-2、第1信号線SL-1の順に配置される。左側の画素 $P_{ix}(1, 1)$ に接続された3本の信号線SLと、右側の画素 $P_{ix}(2, 1)$ に接続された3本の信号線SLとが、同じ配置関係で第1方向 D_x に配列される。ただし、これに限定されず、信号線群SLGの配置は適宜変更してもよい。

[0039] 1つの信号線群SLGで、複数の信号線SLは、第1方向 D_x に間隔を設

けて配列される。信号線群 SLG の幅 $W-SLG$ は、複数の信号線 SL と、信号線 SL の間隔とを含む。信号線群 SLG は、開口率が80%よりも小さくなるように、各信号線 SL の線幅と、信号線 SL の間隔とが設定されており、信号線群 SLG と重なる領域が非透光領域 NCA となっている。

[0040] 複数の画素 P_{ix} のそれぞれにおいて、第1発光素子 $3R$ 、第2発光素子 $3G$ 及び第3発光素子 $3B$ は、第1方向 D_x に隣り合って配置され、信号線群 SLG とゲート線 GL との交差部近傍に設けられる。具体的には、第1方向 D_x で、信号線群 SLG は、画素 $P_{ix}(1, 1)$ を構成する複数の発光素子 3 と、画素 $P_{ix}(2, 1)$ を構成する複数の発光素子 3 との間に設けられる。また、第2方向 D_y で、信号線群 SLG と交差するゲート線 GL は、画素 $P_{ix}(1, 1)$ を構成する複数の発光素子 3 と、画素 $P_{ix}(2, 1)$ を構成する複数の発光素子 3 との間に設けられる。

[0041] 画素 $P_{ix}(1, 1)$ を構成する第1発光素子 $3R$ 、第2発光素子 $3G$ 及び第3発光素子 $3B$ は、この順で第1方向 D_x に配列される。第1発光素子 $3R$ 、第2発光素子 $3G$ 及び第3発光素子 $3B$ は、信号線群 SLG と第1方向 $D_x(-D_x方向)$ に隣り合って配置される。また、画素 $P_{ix}(1, 1)$ を構成する第1発光素子 $3R$ 、第2発光素子 $3G$ 及び第3発光素子 $3B$ は、信号線群 SLG と交差するゲート線 $GL(-D_y方向)$ に隣り合って配置される。

[0042] 画素 $P_{ix}(2, 1)$ を構成する第1発光素子 $3R$ 、第2発光素子 $3G$ 及び第3発光素子 $3B$ は、この順で第1方向 D_x に配列され、信号線群 SLG と第1方向 $D_x(+D_x方向)$ に隣り合って配置される。また、画素 $P_{ix}(2, 1)$ を構成する第1発光素子 $3R$ 、第2発光素子 $3G$ 及び第3発光素子 $3B$ は、ゲート線 $GL(+D_y方向)$ に隣り合って配置される。画素 $P_{ix}(1, 1)$ の複数の発光素子 3 と、画素 $P_{ix}(2, 1)$ の複数の発光素子 3 とは、第1方向 D_x で同じ配置関係で配列される。ただし、複数の発光素子 3 の配置の順番は、画素 P_{ix} ごとに異なってもよい。

[0043] 発光素子 3 は、それぞれ、書込トランジスタ SST の半導体層 71 を介し

て、各信号線 S_L に接続される。また、発光素子 3 は、それぞれ、コンタクトホール H_4 を介して、アノード電源線 L_{VDD} に電氣的に接続される。アノード電源線 L_{VDD} 及びカソード電源線 L_{VSS} は、ゲート線 G_L と重なって設けられ、第 1 方向 D_x に延在する。なお、図 4 及び図 5 では、図面を見やすくするために、アノード電源線 L_{VDD} 及びカソード電源線 L_{VSS} を二点鎖線で表している。

[0044] 各画素 P_{ix} の非透光領域 NCA は、第 1 方向 D_x に隣り合う第 1 発光素子 3R、第 2 発光素子 3G 及び第 3 発光素子 3B と、各発光素子 3 に接続されたアノード電極 23 と、信号線群 S_{LG} とに重なる領域を含む。非透光領域 NCA は、信号線 S_L の間隔、アノード電極 23 の間隔、アノード電極 23 とゲート線 G_L との間隔等も含む領域である。言い換えると、信号線群 S_{LG} と複数の発光素子 3 とは、第 1 方向 D_x に隣り合って配置されて第 1 方向 D_x に連続する非透光領域 NCA を形成する。

[0045] 画素 $P_{ix}(1, 1)$ において、非透光領域 NCA の、第 1 方向 D_x の長さ $P_x - NCA$ は、第 1 発光素子 3R に接続されたアノード電極 23 の第 1 方向 D_x ($-D_x$ 方向) の端部から、信号線群 S_{LG} の第 1 方向 D_x ($+D_x$ 方向) の端部までの長さである。非透光領域 NCA の、第 2 方向 D_y の長さ $P_y - NCA$ は、各発光素子 3 に接続されたアノード電極 23 の第 2 方向 D_y ($-D_y$ 方向) の端部から、アノード電源線 L_{VDD} 又はカソード電源線 L_{VSS} の第 2 方向 D_y ($+D_y$ 方向) の端部までの長さである。

[0046] 画素 $P_{ix}(2, 1)$ において、非透光領域 NCA の、第 1 方向 D_x の長さ $P_x - NCA$ は、第 3 発光素子 3B に接続されたアノード電極 23 の第 1 方向 D_x ($+D_x$ 方向) の端部から、隣接する画素 $P_{ix}(1, 1)$ に接続された第 3 信号線 S_{L-3} の第 1 方向 D_x ($-D_x$ 方向) の端部までの長さである。非透光領域 NCA の、第 2 方向 D_y の長さ $P_y - NCA$ は、発光素子に接続されたアノード電極 23 の第 2 方向 D_y ($+D_y$ 方向) の端部から、アノード電源線 L_{VDD} 又はカソード電源線 L_{VSS} の第 2 方向 D_y ($-D_y$ 方向) の端部までの長さである。

[0047] 図4に戻って、画素 $P_{ix}(3, 1)$ 及び画素 $P_{ix}(4, 1)$ の構成は、画素 $P_{ix}(1, 1)$ 及び画素 $P_{ix}(2, 1)$ と同様である。つまり、第1方向 D_x に隣接する2つの画素 P_{ix} ごとに、複数の信号線 SL が束ねて配置されて信号線群 SLG が形成される。そして、第1方向 D_x に隣接する2つの画素 P_{ix} をそれぞれ構成する複数の発光素子3はそれぞれの信号線群 SLG に近接して配置される。また、画素 $P_{ix}(2, 1)$ の複数の発光素子3及び画素 $P_{ix}(3, 1)$ の複数の発光素子3は、第1方向 D_x に隣り合う信号線群 SLG の間に配置される。つまり、画素 $P_{ix}(2, 1)$ の発光素子3と、画素 $P_{ix}(3, 1)$ の発光素子3との間には、信号線 SL が設けられず、第1方向 D_x で、2つの画素 P_{ix} の配置ピッチ PP_x 程度の長さで、透光領域 CA が連続して形成される。

[0048] 画素 P_{ix} の配置ピッチ PP_x 、 PP_y は、非透光領域 NCA の長さ $P_x - NCA$ 、 $P_y - NCA$ に比べて十分に長い。つまり、透光領域 CA と、非透光領域 NCA とが、第1方向 D_x に並んで配置される。一例として、図4の画素 $P_{ix}(2, 1)$ 、画素 $P_{ix}(2, 2)$ 及び画素 $P_{ix}(3, 2)$ について、透光領域 CA 及び非透光領域 NCA の関係を具体的に説明する。透光領域 CA の第1方向 D_x の長さ $P_x - CA$ は、画素 P_{ix} （例えば画素 $P_{ix}(2, 2)$ ）のアノード電極23の $+D_x$ 方向の端部と、第1方向 D_x に隣接する画素 P_{ix} （例えば画素 $P_{ix}(3, 2)$ ）の信号線群 SLG との間の距離と等しい。透光領域 CA の第2方向 D_y の長さ $P_y - CA$ は、画素 P_{ix} （例えば画素 $P_{ix}(2, 2)$ ）のアノード電極23の $+D_y$ 方向の端部と、第2方向 D_y に隣接する画素 P_{ix} （例えば画素 $P_{ix}(2, 1)$ ）の電源線（アノード電源線 L_{VDD} 又はカソード電源線 L_{VSS} ）との間の距離と等しい。

[0049] 透光領域 CA の第1方向 D_x の長さ $P_x - CA$ は、非透光領域 NCA の第1方向 D_x の長さ $P_x - NCA$ に対して5倍以上である。同様に、透光領域 CA の第2方向 D_y の長さ $P_y - CA$ は、非透光領域 NCA の第2方向 D_y の長さ $P_y - NCA$ に対して5倍以上である。このような構成により、表示

装置 1 は、背景を視認可能であって、透過率の低下を抑制できる。

[0050] また、第 1 方向 D_x に隣接する画素 $P_{i \times}$ （例えば画素 $P_{i \times}(1, 2)$ と画素 $P_{i \times}(2, 2)$ ）では、発光素子 3 の第 2 方向 D_y での位置が異なる。画素 $P_{i \times}(1, 2)$ の複数の発光素子 3 は、ゲート線 GL に対して $-D_y$ 方向に隣り合って配置される。画素 $P_{i \times}(2, 2)$ の複数の発光素子 3 は、ゲート線 GL に対して $+D_y$ 方向に隣り合って配置される。これにより、第 1 方向 D_x に隣接する画素 $P_{i \times}$ で、6 個の発光素子 3 を第 1 方向 D_x に並べて配置した場合に比べて、非透光領域 NCA の第 1 方向 D_x の長さ $P_x - NCA$ を小さくし、かつ、透光領域 CA の第 1 方向 D_x の長さ $P_x - CA$ を大きくすることができる。

[0051] 次に、画素 $P_{i \times}$ の詳細な平面構造及び断面構造を説明する。図 6 は、1 つの発光素子に対応して設けられたトランジスタの構成例を示す平面図である。なお、図 6 では、第 1 副画素 49R の駆動回路の構成を拡大して示しているが、第 1 副画素 49R についての説明は、第 2 副画素 49G 及び第 3 副画素 49B にも適用できる。また、図 6 では、アノード電極 23 よりも上側の発光素子 3 や実装電極 24（図 7 参照）等の部材を省略して示している。

[0052] 図 6 に示すように、駆動トランジスタ $DR T$ は半導体層 61、ソース電極 62、ドレイン電極 63 及びゲート電極 64 を有する。半導体層 61 は、第 2 方向 D_y に延在し、ゲート電極 64 と平面視で交差する。半導体層 61 のうち、ゲート電極 64 と重なる領域にチャネル領域が形成される。半導体層 61 の一端側は、コンタクトホール $H1$ を介してドレイン電極 63 と接続される。ドレイン電極 63 は、コンタクトホール $H3$ を介してアノード電極 23 と接続される。アノード電極 23 は、コンタクトホール $H6$ を介して、実装電極 24 及び発光素子 3 に電氣的に接続される。

[0053] 半導体層 61 の他端側は、コンタクトホール $H2$ を介してソース電極 62 と接続される。ソース電極 62 は、アノード電源線 L_{VDD} と重なる領域まで延在し、コンタクトホール $H4$ を介してアノード電源線 L_{VDD} と接続される。なお、後述する図 8 にあるようにコンタクトホール $H5$ は、カソード

電源線 L_{VSS} と、カソード電極 22 とを電氣的に接続する。コンタクトホール $H5$ は、図 5 に示すように、各副画素 49 にそれぞれ設けられ、ゲート線 GL 、アノード電源線 L_{VDD} 、カソード電源線 L_{VSS} に重なるように、ゲート線 GL にそって直線状に配置されている。また、各副画素 49 にそれぞれコンタクトホール $H5$ を設ける実施例に限らず、各画素 P_{ix} に一つのコンタクトホール $H5$ を形成し 3 副画素 49 に亘るカソード電極 22 を一つのコンタクトホール $H5$ を介して接続する構造であってもよい。以上のように、駆動トランジスタ DRT は、アノード電源線 L_{VDD} からのアノード電源電位 P_{VDD} に応じた電圧信号を発光素子 3 に供給できる。

[0054] 図 6 に示すように、書込トランジスタ SST は、半導体層 71 、ソース電極 72 、ドレイン電極 73 及びゲート電極 74 を有する。半導体層 71 は、第 2 方向 D_y に延在する 2 つの部分と、これら 2 つの部分を接続する接続部と有する。半導体層 71 のうち、第 2 方向 D_y に延在する 2 つの部分は、それぞれゲート線 GL と平面視で交差する。ゲート線 GL のうち、半導体層 71 と重なる部分が、それぞれゲート電極 74 として機能する。

[0055] 半導体層 71 の一端側は、ソース電極 72 と重なって設けられ、コンタクトホール $H6A$ を介してソース電極 72 と接続される。言い換えると、信号線 SL （第 1 信号線 $SL-1$ ）のうち半導体層 71 と接続される部分がソース電極 72 として機能する。半導体層 71 の他端側は、コンタクトホール $H7$ を介してドレイン電極 73 と接続される。

[0056] ドレイン電極 73 は、第 2 方向 D_y に延在し、コンタクトホール $H8$ を介してゲート電極 64 と接続される。さらにドレイン電極 73 は、コンタクトホール $H9$ を介して対向電極 25 と接続される。以上のように、書込トランジスタ SST は、駆動トランジスタ DRT のゲートに接続される。

[0057] なお、図 6 に示す副画素 49 の駆動回路の配置等は、あくまで一例であり、変更してもよい。例えば、第 2 副画素 $49G$ の半導体層 71 は、第 1 信号線 $SL-1$ と平面視で交差する。また、第 2 副画素 $49G$ の半導体層 71 は、第 1 信号線 $SL-1$ 及び第 2 信号線 $SL-2$ と平面視で交差する。これに

限定されず、半導体層 7 1 は、他の副画素 4 9 に接続された信号線 S L と交差する部分において、半導体層 7 1 とは異なる層に設けられたブリッジ配線を介して接続されてもよい。

[0058] 次に、表示装置 1 の断面構造について説明する。図 7 は、図 5 の V I I - V I I ' 断面図である。図 8 は、図 6 の V I I I - V I I I ' 断面図である。図 7 及び図 8 に示すように、発光素子 3 は、アレイ基板 2 の上に設けられる。アレイ基板 2 は、基板 2 1、アノード電極 2 3、実装電極 2 4、対向電極 2 5、各種トランジスタ、各種配線及び各種絶縁膜を有する。

[0059] 基板 2 1 は絶縁基板であり、例えば、石英、無アルカリガラス等のガラス基板、又はポリイミド等の樹脂基板が用いられる。基板 2 1 として、可撓性を有する樹脂基板を用いた場合には、シートディスプレイとして表示装置 1 を構成することができる。また、基板 2 1 は、ポリイミドに限らず、他の樹脂材料を用いても良い。

[0060] なお、本明細書において、基板 2 1 の表面に垂直な方向において、基板 2 1 から発光素子 3 に向かう方向を「上側」又は単に「上」とする。また、発光素子 3 から基板 2 1 に向かう方向を「下側」又は単に「下」とする。

[0061] 基板 2 1 の上にアンダーコート膜 9 1 が設けられる。アンダーコート膜 9 1 は、例えば、シリコン窒化膜やシリコン酸化膜等の複数の無機絶縁膜が積層されて形成される。なお、アンダーコート膜 9 1 は、単層膜でもよいし、設けられていなくてもよい。

[0062] 駆動トランジスタ D R T 及び書込トランジスタ S S T は、アンダーコート膜 9 1 の上に設けられる。半導体層 6 1 及び半導体層 7 1 (図 8 参照) は、アンダーコート膜 9 1 の上に設けられる。半導体層 6 1、7 1 は、例えば、ポリシリコンが用いられる。ただし、半導体層 6 1、7 1 は、これに限定されず、微結晶酸化物半導体、アモルファス酸化物半導体、低温ポリシリコン等であってもよい。

[0063] ゲート絶縁膜 9 2 は、半導体層 6 1、7 1 を覆ってアンダーコート膜 9 1 の上に設けられる。ゲート絶縁膜 9 2 は、例えばシリコン酸化膜である。ゲ

ート電極 6 4 及びゲート線 G L（図 8 参照）は、ゲート絶縁膜 9 2 の上に設けられる。ゲート電極 6 4 及びゲート線 G L は、例えば、モリブデン（Mo）が用いられる。あるいは、ゲート電極 6 4 及びゲート線 G L は、モリブデンとアルミニウムとの積層膜（Mo／Al／Mo）や、チタンとアルミニウムとの積層膜（Ti／Al／Ti）であってもよい。また、ゲート線 G L には、上記の金属膜の表面に黒色部材が積層される。黒色部材については後述する。

[0064] 図 7 及び図 8 に示す例では、駆動トランジスタ D R T は、ゲート電極 6 4 が半導体層 6 1 の上側に設けられたトップゲート構造である。ただし、これに限定されず、駆動トランジスタ D R T は、半導体層 6 1 の下側にゲート電極 6 4 が設けられたボトムゲート構造でもよく、半導体層 6 1 の上側及び下側の両方にゲート電極 6 4 が設けられたデュアルゲート構造でもよい。書込トランジスタ S S T についても駆動トランジスタ D R T と同様の構造を採用できる。

[0065] 層間絶縁膜 9 3 は、ゲート電極 6 4 及びゲート線 G L を覆ってゲート絶縁膜 9 2 の上に設けられる。層間絶縁膜 9 3 は、例えば、シリコン窒化膜とシリコン酸化膜との積層構造を有する。ソース電極 6 2（図 8 参照）、ドレイン電極 6 3、信号線 S L（ソース電極 7 2）及びドレイン電極 7 3 は、層間絶縁膜 9 3 の上に設けられる。

[0066] 図 8 に示すように、ドレイン電極 6 3 は、ゲート絶縁膜 9 2 及び層間絶縁膜 9 3 を貫通するコンタクトホール H 1 を介して、半導体層 6 1 のドレイン領域に接続される。ソース電極 6 2 は、ゲート絶縁膜 9 2 及び層間絶縁膜 9 3 を貫通するコンタクトホール H 2 を介して、半導体層 6 1 のソース領域に接続される。信号線 S L、ソース電極 6 2、7 2、ドレイン電極 6 3、7 3 は、例えば、チタンとアルミニウムとの積層膜（Ti／Al／Ti）が用いられる。あるいは、信号線 S L、ソース電極 6 2、7 2、ドレイン電極 6 3、7 3 は、モリブデンとアルミニウムとの積層膜（Mo／Al／Mo）であってもよい。また、信号線 S L 及び各種電極のうち、少なくとも信号線 S L

は、表面に黒色部材が積層される。

[0067] ドレイン電極 6 3 は、ゲート電極 6 4 と重なる領域まで延在する。層間絶縁膜 9 3 を介して対向するドレイン電極 6 3 とゲート電極 6 4 とで、容量が形成される。

[0068] 図 7 及び図 8 に示すように、第 1 有機絶縁膜 9 4 は、駆動トランジスタ D R T、書込トランジスタ S S T 及び信号線 S L を覆って層間絶縁膜 9 3 の上に設けられる。第 1 有機絶縁膜 9 4 としては感光性アクリル等の有機材料が用いられる。感光性アクリル等の有機材料は、C V D 等により形成される無機絶縁材料に比べ、配線段差のカバレッジ性や、表面の平坦性に優れる。第 1 有機絶縁膜 9 4 及び第 2 有機絶縁膜 9 6 は、アレイ基板 2 の表面を平坦化する平坦化膜である。

[0069] 第 1 有機絶縁膜 9 4 の上に、対向電極 2 5、容量絶縁膜 9 5、アノード電極 2 3 の順に積層される。対向電極 2 5 は、例えば I T O (Indium Tin Oxide) 等の透光性を有する導電性材料で構成される。

[0070] 容量絶縁膜 9 5 は、対向電極 2 5 を覆って設けられ、コンタクトホール H 3、H 4 (図 8 参照) と重なる領域に開口を有する。容量絶縁膜 9 5 は、例えば、シリコン窒化膜である。アノード電極 2 3 は、容量絶縁膜 9 5 を介して対向電極 2 5 と対向する。アノード電極 2 3 は、コンタクトホール H 3 を介してドレイン電極 6 3 と電氣的に接続される。これにより、アノード電極 2 3 は、駆動トランジスタ D R T と電氣的に接続される。アノード電極 2 3 は、チタン (T i)、アルミニウム (A l) の積層構造 (例えば、T i / A l / T i) としている。ただし、これに限定されず、アノード電極 2 3 は、モリブデンとアルミニウムとの積層膜 (M o / A l / M o) であってもよく、モリブデン、チタンのいずれか 1 つ以上を含む合金、又は透光性導電材料であってもよい。

[0071] 容量絶縁膜 9 5 を介して対向するアノード電極 2 3 と対向電極 2 5 との間に容量 C s が形成される。また、I T O で形成される対向電極 2 5 は、アノード電極 2 3 を形成する工程において、ソース電極 6 2、ドレイン電極 6 3

等の各種配線を保護するためのバリア膜としての機能も有する。

[0072] 第2有機絶縁膜96は、アノード電極23の上に設けられる。第2有機絶縁膜96には、アノード電極23に達するコンタクトホールH6（図8参照）が設けられる。第2有機絶縁膜96は、第1有機絶縁膜94と同じ有機材料が用いられる。実装電極24は、第2有機絶縁膜96の上に設けられ、コンタクトホールH6を介してアノード電極23と電氣的に接続される。実装電極24は、アノード電極23と同様にチタン、アルミニウムの積層構造としている。ただし、実装電極24は、アノード電極23と異なる導電材料が用いられてもよい。また、第2有機絶縁膜96は、第1有機絶縁膜94と異なる有機材料が用いられてもよい。

[0073] 発光素子3（第1発光素子3R、第2発光素子3G、第3発光素子3B）は、それぞれに対応する実装電極24に実装される。各発光素子3は、アノード端子33が実装電極24に接するように実装される。各発光素子3のアノード端子33と実装電極24との間の接合は、両者の間で良好な導通が確保でき、かつアレイ基板2上の形成物を破損しないものであれば特に限定しない。アノード端子33と実装電極24との接合として、例えば低温溶融のはんだ材料を用いたリフロー工程や、導電ペーストを介して発光素子3をアレイ基板2上に載せた後に焼成結合する手法が挙げられる。

[0074] ここで、アレイ基板2に第2有機絶縁膜96及び実装電極24を設けずに、アノード電極23上に発光素子3を直接実装することも可能である。ただし、第2有機絶縁膜96及び実装電極24を設けることにより、発光素子3の実装時に加えられる力によって容量絶縁膜95が破損することを抑制できる。つまり、容量Csを形成するアノード電極23と対向電極25との間の絶縁破壊が生ずることを抑制できる。

[0075] 発光素子3は、半導体層31、カソード端子32及びアノード端子33を有する。半導体層31は、n型クラッド層、活性層及びp型クラッド層が積層された構成を採用することができる。半導体層31は、例えば、窒化ガリウム（GaN）、アルミニウムインジウム燐（AlInP）、窒化インジウ

ムガリウム（InGaN）等の化合物半導体が用いられる。半導体層31は、第1発光素子3R、第2発光素子3G及び第3発光素子3Bごとに異なる材料が用いられてもよい。また、活性層として、高効率化のために数原子層からなる井戸層と障壁層とを周期的に積層させた多重量子井戸構造（MQW構造）が採用されてもよい。また、発光素子3として、半導体基板上に半導体層31が形成された構成でもよい。あるいは、発光素子3単体がアレイ基板2に実装される構成に限定されず、発光素子3を含むLEDチップがアレイ基板2に実装される構成であってもよい。

[0076] 複数の発光素子3の間に素子絶縁膜97が設けられる。素子絶縁膜97は樹脂材料で形成される。素子絶縁膜97は、発光素子3の少なくとも側面を覆っており、発光素子3のカソード端子32は、素子絶縁膜97から露出する。素子絶縁膜97の上面と、カソード端子32の上面とが同一面を形成するように、素子絶縁膜97は平坦に形成される。ただし、素子絶縁膜97の上面の位置は、カソード端子32の上面の位置と異なってもよい。

[0077] カソード電極22は、複数の発光素子3及び素子絶縁膜97を覆って設けられ、複数の発光素子3のカソード端子32と電氣的に接続される。カソード電極22は、例えばITO等の透光性を有する導電性材料が用いられる。これにより、発光素子3からの出射光を効率よく外部に取り出すことができる。

[0078] 図8に示すように、カソード電極22はゲート線GLと重なる領域まで延在し、コンタクトホールH5を介してカソード電源線LVSSと接続される。カソード電源線LVSSは、実装電極24と同層、すなわち、第2有機絶縁膜96の上に設けられる。また、アノード電源線LVDDは、アノード電極23と同層、すなわち、容量絶縁膜95の上に設けられ、ゲート線GLと重なる位置に設けられたコンタクトホールH4を介して、ソース電極62と接続される。

[0079] アノード電源線LVDD及びカソード電源線LVSSの少なくとも一部は、ゲート線GLと重なって設けられる。これにより、アノード電源線LVDD

D及びカソード電源線LVSSを、平面視でゲート線GLと重ならない位置に設けた場合に比べて、非透光領域NCAの面積（第2方向Dyでの長さPy-NCA）を小さくすることができる。

[0080] 図7及び図8に示すように、カソード電極22の上に、オーバーコート層98を介してカバーガラス101が設けられる。カバーガラス101は、表示装置1の表面を保護するための部材である。なお、カバーガラス101に換えて、表示装置1のカバー部材として、透光性の樹脂基板や、透光性の樹脂フィルム等の保護部材を設けてもよい。また、オーバーコート層98はカバーガラス101と接着性を有する透明の紫外線硬化樹脂であってもよく、オーバーコート層98とカバーガラス101とを接着するための透明接着層を別途設けてもよい。

[0081] 図9は、信号線の積層構造を説明するための説明図である。図9に示すように、信号線SLは、金属膜51、52、53及び黑色部材54を有する。信号線SLは、層間絶縁膜93の上に金属膜51、52、53、黑色部材54の順に積層される。黑色部材54は、金属膜53とカバーガラス101との間に設けられる。

[0082] 上述したように、金属膜51及び金属膜53は、例えばチタン（Ti）である。金属膜52は、例えばアルミニウム（Al）である。あるいは、金属膜51及び金属膜53は、モリブデン（Mo）であってもよい。金属膜51、52、53の膜厚は、例えば、25nm以上70nm以下である。信号線SLは、3層の金属膜51、52、53が積層されているが、これに限定されず、単層の金属膜であってもよく、2層又は4層以上の金属膜であってもよい。

[0083] 黑色部材54は、金属膜53の表面に設けられる。黑色部材54は、例えば金属膜51、52、53よりも光の吸収率が高い材料で構成された低反射膜である。黑色部材54は、黑色に着色された樹脂材料や、カーボン又は薄膜干渉により黑色を呈する金属酸化物、炭化物、金属炭化物が用いられる。黑色部材54の膜厚は、例えば、40nm以上80nm以下である。黑色

部材 5 4 を設けることにより、基板 2 1 の第 1 主面 2 1 A 側（カバーガラス 1 0 1 側）から入射した光 L 1 が、信号線 S L の表面で反射することを抑制できる。例えば、理想的な状態として、光 L 1 が 9 0 度入射、9 0 度反射した場合で、黒色部材 5 4 が設けられた信号線 S L の可視光領域での反射率は、1 0 % 以下である。この結果、信号線 S L での反射光が観察者に視認されることを抑制でき、反射光による表示特性の低下を抑制できる。

[0084] また、仮に黒色部材 5 4 を設けていない場合、図 4 及び図 5 に示したように、透光領域 C A と、非透光領域 N C A とが、第 1 方向 D x に繰り返し配置された構成では、第 1 方向 D x に配列された非透光領域 N C A の金属膜で、それぞれ光が反射されることにより、虹色回折が発生する場合がある。本実施形態では、透光領域 C A の第 1 方向 D x の長さ P x - C A を、非透光領域 N C A の第 1 方向 D x の長さ P x - N C A に対して 5 倍以上とすることで、回折効率を抑制することができ、かつ、黒色部材 5 4 により金属膜 5 1、5 2、5 3 の表面での反射を抑制できる。これにより、表示装置 1 は、虹色回折を抑制することで、表示特性の低下を抑制できる。

[0085] なお、図 9 では、信号線 S L の積層構造を示したが、ゲート線 G L についても同様の構成を採用できる。

[0086] 図 1 0 は、信号線及びアノード電源線の積層構造を説明するための説明図である。なお、図 1 0 では、理解を容易にするために、信号線 S L 及びアノード電源線 L V D D の断面を並べて配置している。すなわち、図 1 0 は、第 1 方向 D x に沿って切断した信号線 S L の断面図と、第 2 方向 D y に沿って切断したアノード電源線 L V D D の断面図とを、模式的に並べて示している。

[0087] 図 1 0 に示すように、アノード電源線 L V D D は、金属膜 5 6、5 7、5 8 及び黒色部材 5 9 を有する。金属膜 5 6 及び金属膜 5 8 は、例えばチタン（T i）である。金属膜 5 7 は、例えばアルミニウム（A l）である。あるいは、金属膜 5 6 及び金属膜 5 8 は、モリブデン（M o）であってもよい。黒色部材 5 9 は、金属膜 5 8 の表面に設けられ、上述した黒色部材 5 4 と同

じ材料を用いることができる。これにより、アノード電源線L V D Dは、第1主面2 1 A側から入射する光L 1の反射を抑制することができる。

[0088] また、アノード電源線L V D Dの幅（第2方向D yでの幅）は、信号線S Lの幅（第1方向D xでの幅）よりも大きい。これにより、アノード電源線L V D Dのシート抵抗値を小さくすることができる。したがって、アノード電源線L V D Dを介して発光素子3に供給されるアノード電源電位P V D Dの電圧降下を抑制できる。

[0089] 黒色部材5 9が金属酸化物又は金属炭化物である場合、黒色部材5 9の比誘電率が金属膜5 6、5 7、5 8よりも大きいので、アノード電源線L V D Dと、近傍の配線との間で形成される容量が大きくなる。このため、アノード電源電位P V D Dの電圧変動を抑制して、電源安定化を図ることができる。なお、カソード電源線L V S Sについてもアノード電源線L V D Dと同様の積層構造を採用することができる。

[0090] 図1 1は、透光領域及び非透光領域の積層構造を示す断面図である。図1 1に示すように、透光領域C Aには、基板2 1とカバーガラス1 0 1との間に、透光性の絶縁膜及びカソード電極2 2が積層されている。具体的には、透光領域C Aでは、基板2 1の第1主面2 1 Aに、アンダーコート膜9 1、ゲート絶縁膜9 2、層間絶縁膜9 3、第1有機絶縁膜9 4、容量絶縁膜9 5、第2有機絶縁膜9 6、素子絶縁膜9 7、カソード電極2 2、オーバーコート層9 8、カバーガラス1 0 1の順に積層される。すなわち、透光領域C Aには、非透光領域N C Aの、各トランジスタ（駆動トランジスタD R T及び書込トランジスタS S T）、各種配線、アノード電極2 3等が設けられず、各絶縁膜（無機絶縁膜及び有機絶縁膜）が、非透光領域N C A及び透光領域C Aに亘って連続して設けられる。

[0091] このような構成により、透光領域C Aでは、非透光領域N C Aに比べて光の透過率を向上させることができる。非透光領域N C Aに設けられた各絶縁膜は、透光領域C Aまで連続して設けられている。ただし、これに限定されず、上述したアンダーコート膜9 1からオーバーコート層9 8までの各絶縁

膜のうち一部の絶縁膜は、透光領域C Aに設けられていなくてもよい。また、カソード電極2 2も、非透光領域N C Aに設けられ、透光領域C Aに設けられていなくてもよい。

[0092] 以上説明したように、本実施形態の表示装置1は、基板2 1と、基板2 1に設けられ、光を照射する第1 L E D素子（例えば、画素P i x（2、1）の第1発光素子3 R）と第2 L E D素子（例えば、画素P i x（1、1）の第2発光素子3 G）と、第1 L E D素子と第2 L E D素子の間に設けられ、第1 L E D素子に電氣的に接続される第1信号線S L－1と、第1 L E D素子と第2 L E D素子の間に設けられ、第2 L E D素子に電氣的に接続される第2信号線S L－2と、第1信号線S L－1及び第2信号線S L－2に交差するゲート配線（ゲート線G L）と、ゲート配線に重畳し、第1 L E D素子及び第2 L E D素子に電氣的に接続されるアノード配線（アノード電源線L V D D）と、を有し、アノード配線は、ゲート配線に平行に延出する。

[0093] また、表示装置1は、ゲート配線及びアノード配線に重畳し、第1 L E D素子及び第2 L E D素子に電氣的に接続されるカソード配線（カソード電源線L V S S）を有し、カソード配線は、ゲート配線及びアノード配線に平行に延出する。

[0094] 表示装置1は、さらに、第1 L E D素子及び第2 L E D素子に共通に接続されるカソード電極2 2と、基板2 1とカソード電極2 2の間において、第1 L E D素子及び第2 L E D素子を囲う素子絶縁膜9 7と、を有し、カソード配線は、基板2 1と素子絶縁膜9 7との間に位置し、カソード電極2 2は、素子絶縁膜9 7に形成されたコンタクトホールH 5を介して、カソード配線に接続され、コンタクトホールH 5はゲート配線又はアノード配線に重畳する。

[0095] また、表示装置1において、アノード配線（アノード電源線L V D D）は、カソード配線（カソード電源線L V S S）とゲート配線（ゲート線G L）との間に位置する。

[0096] また、表示装置1は、さらに、第3信号線を有し、第1方向D xに沿って

、第1信号線は第2信号線と第3信号線との間にあり、第3信号線は第1信号線の次列の信号線SL（例えば画素P_ix（3、1）の信号線SL）であり、第1LED素子（例えば、画素P_ix（2、1）の第1発光素子3R）は、第1信号線と第3信号線との間にあり、第1LED素子と第3信号線の間の距離は、第1信号線と第1LED素子との間の距離の5倍以上である。

[0097] （第1変形例）

図12は、第1変形例に係る信号線の積層構造を説明するための説明図である。なお、以下の説明において、上述した実施形態で説明した構成要素については、同じ符号を付して、説明を省略する。図12に示すように、変形例の信号線SLAは、黒色部材54に加え、黒色部材55を有する。黒色部材54、55は、それぞれ、金属膜51、52、53の表面及び裏面に設けられる。具体的には、信号線SLAは、層間絶縁膜93の上に黒色部材55、金属膜51、52、53、黒色部材54の順に積層される。言い換えると、黒色部材55は基板21と金属膜51との間に設けられる。

[0098] 黒色部材55を設けることにより、基板21の第2主面21B側から入射した光L2が、信号線SLAの裏面で反射することを抑制できる。変形例の信号線SLAは、第1主面21A側（カバーガラス101側）及び第2主面21B側の両面から観察される表示装置1に適用できる。

[0099] なお、ゲート線GL、アノード電源線LVDD及びカソード電源線LVSSにおいても、図12に示す第1変形例と同様の積層構造を適用することができる。つまり、ゲート線GL、アノード電源線LVDD及びカソード電源線LVSSの、表面及び裏面に黒色部材54、55が設けられていてもよい。

[0100] （第2変形例）

図13は、第2変形例に係る表示装置を模式的に示す断面図である。図13に示すように、第2変形例に係る表示装置1Aにおいて、透光領域CAでは、基板21の第1主面21Aの上に、第1有機絶縁膜94及び第2有機絶縁膜96が積層されている。第2有機絶縁膜96の上に、空隙SPを介して

カバーガラス 101 が設けられている。

[0101] つまり、非透光領域 NCA では、第 3 方向 Dz で、基板 21 と発光素子 3 との間に複数の無機絶縁膜（アンダーコート膜 91、ゲート絶縁膜 92、層間絶縁膜 93、容量絶縁膜 95）及び複数の有機絶縁膜（第 1 有機絶縁膜 94 及び第 2 有機絶縁膜 96）が積層されている。これに対し、透光領域 CA では、複数の無機絶縁膜を有さず、第 1 有機絶縁膜 94 及び第 2 有機絶縁膜 96 が、基板 21 の第 1 主面 21A の上に積層される。

[0102] 透光領域 CA での第 2 有機絶縁膜 96（平坦化膜）の表面と基板 21 との間の、第 3 方向 Dz での距離は、非透光領域 NCA での第 2 有機絶縁膜 96（平坦化膜）の表面と基板 21 との間の、第 3 方向 Dz での距離よりも小さい。つまり、透光領域 CA に積層された絶縁膜の合計の厚さは、非透光領域 NCA に積層された絶縁膜の合計の厚さよりも薄い。さらに、透光領域 CA では、素子絶縁膜 97、カソード電極 22 及びオーバーコート層 98 も設けられていない。このような構成により、透光領域 CA の光の透過率をさらに向上させることができる。

[0103] （第 3 変形例）

図 14 は、第 3 変形例に係る表示装置を模式的に示す断面図である。第 3 変形例の表示装置 1B では、上述した第 1 実施形態及び第 2 変形例に比べて、素子絶縁膜 97 が、各発光素子 3 にそれぞれ設けられる構成が異なる。図 14 に示すように、素子絶縁膜 97 は、各発光素子 3 の側面及び実装電極 24 の外縁を覆って設けられる。隣り合う発光素子 3 の間で、素子絶縁膜 97 は凹状に設けられる。カソード電極 22 は、発光素子 3 の上面及び素子絶縁膜 97 で形成される凹凸形状に倣って形成される。

[0104] カバーガラス 101 は接着層 98A を介してカソード電極 22 の上端と接着される。隣り合う発光素子 3 の間で、カソード電極 22 とカバーガラス 101 との間には空隙 SP が形成される。発光素子 3 及び素子絶縁膜 97 が設けられない領域では、第 2 有機絶縁膜 96 とカバーガラス 101 との間に空隙 SP が設けられる。このような構成であっても、素子絶縁膜 97 は、隣り

合う発光素子 3 及び隣り合う実装電極 2 4 を絶縁できる。

[0105] (第 2 実施形態)

図 1 5 は、第 2 実施形態に係る表示装置の、複数の画素を模式的に示す平面図である。上述した第 1 実施形態では、第 1 方向 D_x に隣接する 2 つの画素 $P_{i \times}$ で、複数の発光素子 3 と、複数の信号線 SL とがひとまとまりに近接して配置される構成を説明したが、これに限定されない。

[0106] 図 1 5 では、複数配列された画素 $P_{i \times}$ のうち、2 行 2 列の 4 個の画素 $P_{i \times}$ を示している。具体的には、図 1 5 に示すように、画素 $P_{i \times}(1, 1)$ 、 $P_{i \times}(2, 1)$ は、第 1 方向 D_x に配列される。また、画素 $P_{i \times}(1, 1)$ 、 $P_{i \times}(1, 2)$ は、第 2 方向 D_y に配列される。画素 $P_{i \times}(2, 1)$ 、 $P_{i \times}(2, 2)$ は、第 2 方向 D_y に配列される。

[0107] 本実施形態では、画素 $P_{i \times}$ は、第 1 方向 D_x に隣り合う 2 つの信号線群 SLG と、第 2 方向 D_y に隣り合う 2 つのゲート線 GL とで囲まれた領域である。ここで、画素 $P_{i \times}$ の第 1 方向 D_x での配置ピッチ PP_x は、信号線群 SLG の第 1 方向 D_x での配置ピッチと等しい。画素 $P_{i \times}$ の第 2 方向 D_y での配置ピッチ PP_y は、第 2 方向 D_y に隣り合うゲート線 GL の配置ピッチと等しい。

[0108] 第 2 実施形態の表示装置 1 C では、画素 $P_{i \times}$ ごとに、複数の発光素子 3 と、複数の信号線 SL とがひとまとまりに近接して配置される。各画素 $P_{i \times}$ で第 1 発光素子 3 R、第 2 発光素子 3 G 及び第 3 発光素子 3 B は、第 1 方向 D_x に並んで配置される。各画素 $P_{i \times}$ を構成する発光素子群（第 1 発光素子 3 R、第 2 発光素子 3 G 及び第 3 発光素子 3 B）は、第 1 方向 D_x 及び第 2 方向 D_y に離れて配置される。

[0109] ここで、1 つの画素 $P_{i \times}$ の構成の具体例を説明する。図 1 6 は、図 1 5 の 1 つの画素を拡大して示す平面図である。図 1 6 では、画素 $P_{i \times}(1, 1)$ を示しているが、画素 $P_{i \times}(1, 1)$ についての説明は、他の画素 $P_{i \times}$ にも適用できる。図 1 6 に示すように、信号線群 SLG は、第 1 方向 D_x に隣り合って設けられた、ひとまとまりの第 1 信号線 $SL-1$ 、第 2 信号

線 $SL-2$ 、第3信号線 $SL-3$ を含む。信号線群 SLG は、画素 $P_{i \times (1, 1)}$ に接続される。

[0110] 信号線群 SLG では、第1方向 D_x に、第1信号線 $SL-1$ 、第3信号線 $SL-3$ 、第2信号線 $SL-2$ の順に配列される。ただし、信号線群 SLG での各信号線 SL の配置の順番は適宜変更することができる。信号線群 SLG の幅 $W-SLG$ は、3本の信号線 SL の幅と、隣接する2本の信号線 SL の間隔とを含む。本実施形態においても、信号線群 SLG が非透光領域 NCA を形成するように、各信号線 SL の幅と間隔が設定される。

[0111] 第1発光素子 $3R$ は、信号線群 SLG の $-D_x$ 方向（図16左側）に隣り合って配置される。第2発光素子 $3G$ 及び第3発光素子 $3B$ は、信号線群 SLG の $+D_x$ 方向（図16右側）に隣り合って配置される。つまり、第1方向 D_x で、第1発光素子 $3R$ と、第2発光素子 $3G$ 及び第3発光素子 $3B$ との間に信号線群 SLG が配置される。また、第1発光素子 $3R$ 、第2発光素子 $3G$ 及び第3発光素子 $3B$ は、いずれもゲート線 GL の同じ側（ $+D_y$ 方向）に隣り合って配置される。

[0112] 各発光素子 3 及び信号線群 SLG の配置の順番は、あくまで一例であり、適宜変更してもよい。例えば、第1発光素子 $3R$ は、第2発光素子 $3G$ 及び第3発光素子 $3B$ の一方と、信号線群 SLG の $-D_x$ 方向に配置されてもよく、第2発光素子 $3G$ 及び第3発光素子 $3B$ の他方が、信号線群 SLG の $+D_x$ 方向に配置されてもよい。又は、信号線群 SLG の $+D_x$ 方向（又は $-D_x$ 方向）に、第1発光素子 $3R$ 、第2発光素子 $3G$ 及び第3発光素子 $3B$ がひとまとまりに近接して配置されていてもよい。

[0113] 各画素 $P_{i \times}$ の非透光領域 NCA は、第1方向 D_x に隣り合う第1発光素子 $3R$ 、第2発光素子 $3G$ 及び第3発光素子 $3B$ と、各発光素子 3 に接続されたアノード電極 23 と重なる領域と、信号線群 SLG を含む領域である。

[0114] 画素 $P_{i \times (1, 1)}$ において、非透光領域 NCA の、第1方向 D_x の長さ $P_x - NCA$ は、第1発光素子 $3R$ に接続されたアノード電極 23 の第1方向 D_x （ $-D_x$ 方向）の端部から、信号線群 SLG 及び第2発光素子 $3G$

を跨がって、第3発光素子3Bに接続されたアノード電極23の第1方向D_x（+D_x方向）の端部までの長さである。非透光領域NCAの、第2方向D_yの幅P_y−NCAは、各発光素子3に接続されたアノード電極23の第2方向D_y（+D_y方向）の端部から、アノード電源線LVDD又はカソード電源線LVSSの第2方向D_y（−D_y方向）の端部までの長さである。

[0115] 図15に戻って、画素P_ix（2、1）、P_ix（1、2）、P_ix（2、2）の構成は、画素P_ix（1、1）と同様である。つまり、第1方向D_xに配列された画素P_ixごとに、複数の信号線SLが束ねて配置されて信号線群SLGが形成され、画素P_ixを構成する複数の発光素子3は信号線群SLGに近接して配置される。また、画素P_ix（1、1）を構成する第2発光素子3G、第3発光素子3Bと、画素P_ix（2、1）を構成する第1発光素子3Rとは、第1方向D_xに離れて配置され、第1方向D_xに隣り合う2つの信号線群SLGの間に配置される。同様に、画素P_ix（1、2）を構成する第2発光素子3G、第3発光素子3Bと、画素P_ix（2、2）を構成する第1発光素子3Rとは、第1方向D_xに離れて配置され、第1方向D_xに隣り合う2つの信号線群SLGの間に配置される。

[0116] つまり、透光領域CAの第1方向D_xの長さP_x−CAは、第1方向D_xに隣接する画素P_ix（例えば画素P_ix（1、2）と画素P_ix（2、2））のアノード電極23間の距離と等しい。透光領域CAの第2方向D_yの長さP_y−CAは、画素P_ix（例えば画素P_ix（1、2））のアノード電極23の+D_y方向の端部と、第2方向D_yに隣接する画素P_ix（例えば画素P_ix（1、1））の電源線（アノード電源線LVDD又はカソード電源線LVSS）との間の距離と等しい。

[0117] 以上のように、画素P_ixごとに、複数の発光素子3と、複数の信号線SLとがひとまとまりに近接して配置された構成においても、透光領域CAの第1方向D_xの長さP_x−CAを、非透光領域NCAの第1方向D_xの長さP_x−NCAに対して5倍以上とすることができる。また、透光領域CAの第2方向D_yの長さP_y−CAも、非透光領域NCAの第2方向D_yの長さ

$P_y - NCA$ に対して5倍以上とすることができる。

[0118] (第4変形例)

図17は、第2実施形態の第4変形例に係る表示装置の、複数の画素を模式的に示す平面図である。図18は、図17の1つの画素を拡大して示す平面図である。図18では、例えば画素 $P_{ix}(1, 1)$ を拡大して示している。

[0119] 図17及び図18に示すように、第4変形例の表示装置1Dでは、上述した第2実施形態と比べて、第2方向 D_y で、画素 $P_{ix}(1, 1)$ を構成する第1発光素子3Rと、画素 $P_{ix}(1, 1)$ を構成する第2発光素子3G及び第3発光素子3Bとの間にゲート線GLが設けられる構成が異なる。第1発光素子3Rは、ゲート線GLと $-D_y$ 方向に隣り合って配置される。第2発光素子3G及び第3発光素子3Bは、ゲート線GLと $+D_y$ 方向に隣り合って配置される。なお、第4変形例では、1つの画素 P_{ix} で、第1副画素49Rと、第2副画素49G及び第3副画素49Bとで、画素回路や各種配線の構成が異なる。例えば、第1副画素49Rと、第2副画素49G及び第3副画素49Bとで、第1方向 D_x に平行な仮想線を対称軸として、反転された構成とすることができる。

[0120] 非透光領域NCAの、第1方向 D_x の長さ $P_x - NCA$ は、信号線群SLGの第1信号線 $SL-1$ の第1方向 D_x ($-D_x$ 方向)の端部から、第3発光素子3Bに接続されたアノード電極23の第1方向 D_x ($+D_x$ 方向)の端部までの長さである。また、非透光領域NCAの、第2方向 D_y の幅 $P_y - NCA$ は、上述した第2実施形態と同様に、各発光素子3に接続されたアノード電極23の第2方向 D_y ($+D_y$ 方向)の端部から、アノード電源線LVDD又はカソード電源線LVSSの第2方向 D_y ($-D_y$ 方向)の端部までの長さである。

[0121] 透光領域CAの第1方向 D_x の長さ $P_x - CA$ は、第1方向 D_x に隣接する画素 P_{ix} (例えば画素 $P_{ix}(1, 2)$ と画素 $P_{ix}(2, 2)$)において、画素 $P_{ix}(1, 2)$ のアノード電極23の $+D_x$ 方向の端部と、画

素 P_{ix} (2、2) の信号線群 SLG の $-D_x$ 方向の端部との間の距離と等しい。また、透光領域 CA の第2方向 D_y の長さ $P_y - CA$ は、上述した第2実施形態と同様に、画素 P_{ix} (例えば画素 P_{ix} (1、2)) のアノード電極23の $+D_y$ 方向の端部と、第2方向 D_y に隣接する画素 P_{ix} (例えば画素 P_{ix} (1、1)) の電源線 (アノード電源線 L_{VDD} 又はカソード電源線 L_{VSS}) との間の距離と等しい。

[0122] このように、第4変形例では、上述した第2実施形態に比べて、非透光領域 NCA の、第1方向 D_x の長さ $P_x - NCA$ を小さくすることができ、かつ、透光領域 CA の第1方向 D_x の長さ $P_x - CA$ を大きくすることができる。すなわち、表示装置1Dは、第1方向 D_x で、透光領域 CA の第1方向 D_x の長さ $P_x - CA$ の、非透光領域 NCA の第1方向 D_x の長さ $P_x - NCA$ に対する割合 ($P_x - CA / P_x - NCA$) を大きくすることができる。この結果、表示装置1Dは、光の透過率を向上させることができる。

[0123] 各発光素子3及びゲート線 GL の配置の関係は、あくまで一例であり、適宜変更してもよい。例えば、第1発光素子3R及び第2発光素子3Gは、ゲート線 GL と $-D_y$ 方向に隣り合って配置され、第3発光素子3Bは、ゲート線 GL と $+D_y$ 方向に隣り合って配置されてもよい。

[0124] なお、上述した各実施形態では、図面を見やすくするために、透光領域 CA に対する非透光領域 NCA の面積を大きく拡大して示している。透光領域 CA の第1方向 D_x の長さ $P_x - CA$ 及び第2方向 D_y の長さ $P_y - CA$ は、いずれも非透光領域 NCA よりも十分に長く5倍以上に設けられる。また、画素 P_{ix} の第1方向 D_x の配置ピッチ PP_x と、第2方向 D_y の配置ピッチ PP_y の割合も、表示の解像度や、透過率に応じて適宜変更できる。

[0125] なお、これまでの説明において、アノード端子33、カソード端子32として表記してきた部分においては、発光素子3の接続方向、及び電圧の印加方向によっては明細書中の記載に限定するものではなく、逆転していても良い。

[0126] 以上、本発明の好適な実施の形態を説明したが、本発明はこのような実施

の形態に限定されるものではない。実施の形態で開示された内容はあくまで一例にすぎず、本発明の趣旨を逸脱しない範囲で種々の変更が可能である。本発明の趣旨を逸脱しない範囲で行われた適宜の変更についても、当然に本発明の技術的範囲に属する。上述した各実施形態及び各変形例の要旨を逸脱しない範囲で、構成要素の種々の省略、置換及び変更のうち少なくとも1つを行うことができる。

符号の説明

- [0127] 1、1 A、1 B、1 C、1 D 表示装置
- 2 アレイ基板
- 3 発光素子
- 3 R 第1発光素子
- 3 G 第2発光素子
- 3 B 第3発光素子
- 1 2 駆動回路
- 2 1 基板
- 2 2 カソード電極
- 2 3 アノード電極
- 2 4 実装電極
- 2 5 対向電極
- 3 1 半導体層
- 3 2 カソード端子
- 3 3 アノード端子
- 4 9 副画素
- 5 1、5 2、5 3、5 6、5 7、5 8 金属膜
- 5 4、5 5、5 9 黒色部材
- 6 0 カソード配線
- 1 0 1 カバーガラス
- 2 1 0 駆動IC

C A 透光領域

N C A 非透光領域

D R T 駆動トランジスタ

S S T 書込トランジスタ

S L 信号線

S L - 1 第1信号線

S L - 2 第2信号線

S L - 3 第3信号線

L V D D アノード電源線

L V S S カソード電源線

P i x 画素

P x - C A、P y - C A、P x - N C A、P y - N C A 長さ

P P x、P P y 配置ピッチ

請求の範囲

- [請求項1] 基板と、
 前記基板に設けられ、光を照射する第1 LED素子と第2 LED素子と、
 前記第1 LED素子と前記第2 LED素子の間に設けられ、前記第1 LED素子に電氣的に接続される第1 信号線と、
 前記第1 LED素子と前記第2 LED素子の間に設けられ、前記第2 LED素子に電氣的に接続される第2 信号線と、
 前記第1 信号線及び前記第2 信号線に交差するゲート配線と、
 前記ゲート配線に重畳し、前記第1 LED素子及び前記第2 LED素子に電氣的に接続されるアノード配線と、を有し、
 前記アノード配線は、前記ゲート配線に平行に延出する表示装置。
- [請求項2] 前記ゲート配線及び前記アノード配線に重畳し、前記第1 LED素子及び前記第2 LED素子に電氣的に接続されるカソード配線を有し、
 、
 前記カソード配線は、前記ゲート配線及び前記アノード配線に平行に延出する
 請求項1に記載の表示装置。
- [請求項3] さらに、前記第1 LED素子及び前記第2 LED素子に共通に接続されるカソード電極と、
 前記基板と前記カソード電極の間において、前記第1 LED素子及び前記第2 LED素子を囲う素子絶縁膜と、を有し、
 前記カソード配線は、前記基板と前記素子絶縁膜との間に位置し、
 前記カソード電極は、前記素子絶縁膜に形成されたコンタクトホールを介して、前記カソード配線に接続され、
 前記コンタクトホールは前記ゲート配線又は前記アノード配線に重畳する、

請求項 2 に記載の表示装置。

[請求項4] 前記アノード配線は、前記カソード配線と前記ゲート配線との間に位置する、

請求項 2 又は請求項 3 に記載の表示装置。

[請求項5] さらに、第 3 信号線を有し、

第 1 方向に沿って、前記第 1 信号線は前記第 2 信号線と前記第 3 信号線との間にあり、

前記第 3 信号線は前記第 1 信号線の次列の信号線であり、

前記第 1 L E D 素子は、前記第 1 信号線と前記第 3 信号線との間にあり、

前記第 1 L E D 素子と前記第 3 信号線との距離は、前記第 1 信号線と前記第 1 L E D 素子との間の距離の 5 倍以上である、

請求項 1 から請求項 4 のいずれか 1 項に記載の表示装置。

[請求項6] 基板と、

前記基板に設けられた複数の画素と、

複数の前記画素の各々に設けられ、光を出射する複数の発光素子と、

複数の前記発光素子に対応して設けられた複数のトランジスタと、

複数の前記トランジスタに接続された信号線及びゲート線と、を有し、

開口率が 80 % 以上の領域である透光領域と、開口率が 80 % よりも小さい領域である非透光領域とが、第 1 方向に並んで配置され、

前記透光領域の前記第 1 方向の長さは、前記非透光領域の前記第 1 方向の長さの 5 倍以上である

表示装置。

[請求項7] 前記非透光領域は、前記発光素子、前記発光素子に接続されたアノード電極、前記信号線及び前記ゲート線と重なる領域を含む

請求項 6 に記載の表示装置。

- [請求項8] 前記第1方向に隣り合う複数の前記信号線を含む信号線群を有し、
複数の前記発光素子は、前記信号線群の複数の前記信号線のそれぞれに電氣的に接続され、
前記信号線群と複数の前記発光素子とは、前記第1方向に隣り合って配置されて前記第1方向に連続する前記非透光領域を形成する
請求項6又は請求項7に記載の表示装置。
- [請求項9] 前記第1方向に隣り合って設けられた第1信号線、第2信号線及び第3信号線を含む信号線群を有し、
複数の前記発光素子は、前記第1信号線に電氣的に接続される第1発光素子と、前記第2信号線に電氣的に接続される第2発光素子と、前記第3信号線に電氣的に接続される第3発光素子と、を含み、
前記第1方向で、前記信号線群は、前記第1発光素子と、前記第2発光素子及び前記第3発光素子の少なくとも一方との間に配置される
請求項6又は請求項7に記載の表示装置。
- [請求項10] 前記第1発光素子、前記第2発光素子及び前記第3発光素子は、前記信号線群と交差する前記ゲート線の、前記第1方向と交差する第2方向の一方に隣り合って配置される
請求項9に記載の表示装置。
- [請求項11] 前記第1発光素子は、前記信号線群と交差する前記ゲート線の、前記第1方向と交差する第2方向の一方に隣り合って配置され、
前記第2発光素子及び前記第3発光素子の少なくとも一方は、前記ゲート線の、前記第2方向の他方に隣り合って配置される
請求項9に記載の表示装置。
- [請求項12] 第1画素に接続される複数の前記信号線と、前記第1画素に隣接する第2画素に接続される複数の前記信号線とが、前記第1方向に隣り合って設けられた信号線群を有し、
前記第1方向で、前記信号線群は、前記第1画素を構成する複数の前記発光素子と、前記第2画素を構成する複数の前記発光素子との間

に配置される

請求項 6 又は請求項 7 に記載の表示装置。

[請求項13] 前記第 1 画素を構成する複数の前記発光素子は、前記信号線群と交差する前記ゲート線の、前記第 1 方向と交差する第 2 方向の一方に隣り合って配置され、

前記第 2 画素を構成する複数の前記発光素子は、前記ゲート線の、前記第 2 方向の他方に隣り合って配置される

請求項 1 2 に記載の表示装置。

[請求項14] 前記信号線及び前記ゲート線の少なくとも一方は、金属膜と、前記金属膜の表面に設けられた黑色部材とを有する

請求項 6 から請求項 1 3 のいずれか 1 項に記載の表示装置。

[請求項15] 前記黑色部材は、前記信号線及び前記ゲート線の少なくとも一方の前記金属膜の表面及び裏面に設けられる

請求項 1 4 に記載の表示装置。

[請求項16] 複数の前記発光素子に電源電位を供給する電源線を有し、
前記電源線は、前記ゲート線と重なって設けられ、
前記電源線は、金属膜と、前記金属膜の表面に設けられた黑色部材とを有する

請求項 6 から請求項 1 5 のいずれか 1 項に記載の表示装置。

[請求項17] 前記非透光領域では、前記基板に垂直な方向で、前記基板と前記発光素子との間に複数の無機絶縁膜及び複数の有機絶縁膜が積層されており、

前記透光領域では、前記基板に垂直な方向で、複数の前記無機絶縁膜を有さず、複数の前記有機絶縁膜が積層される

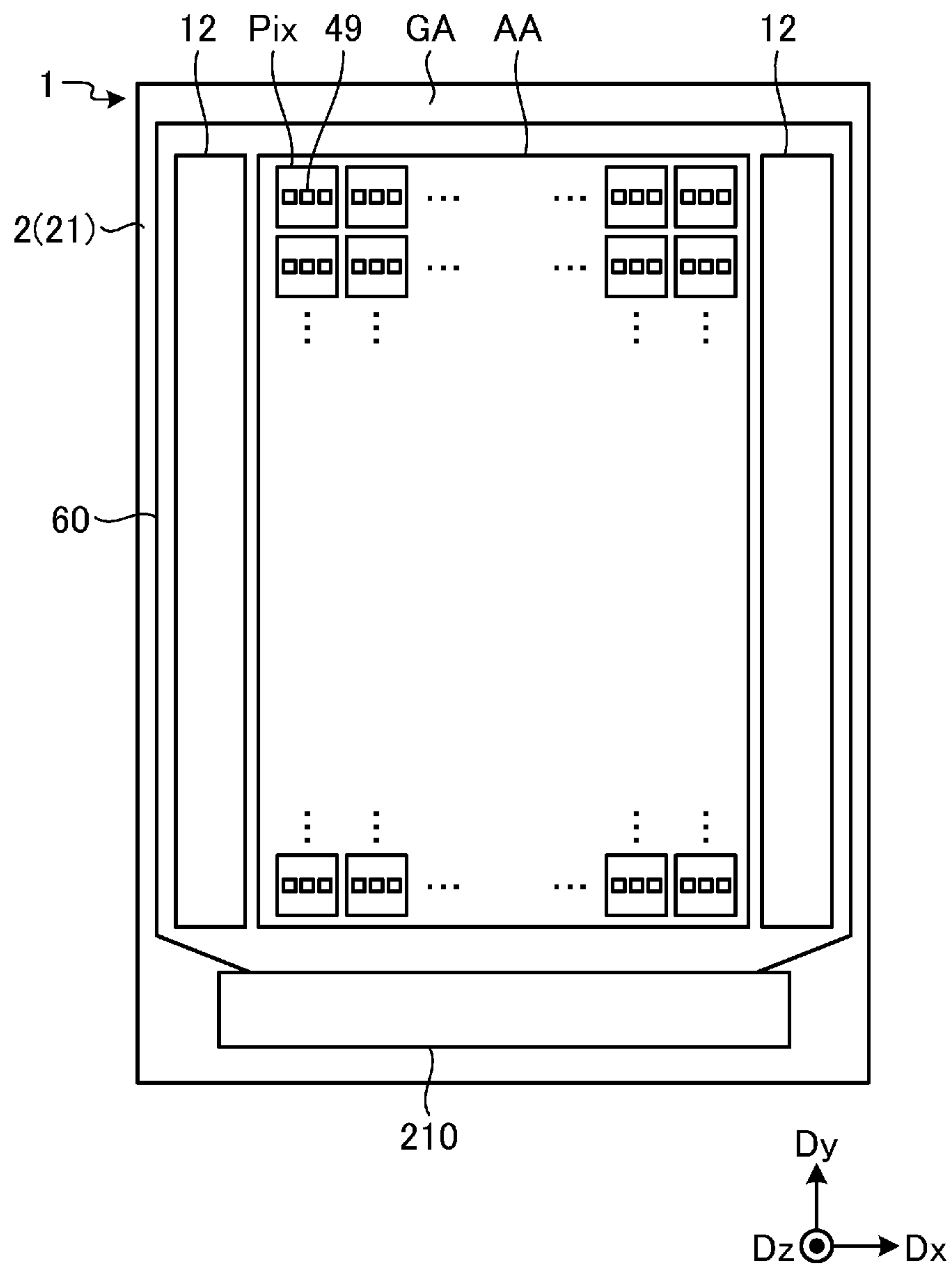
請求項 6 から請求項 1 6 のいずれか 1 項に記載の表示装置。

[請求項18] 複数の前記有機絶縁膜は、複数の前記発光素子が設けられる平坦化膜を含み、

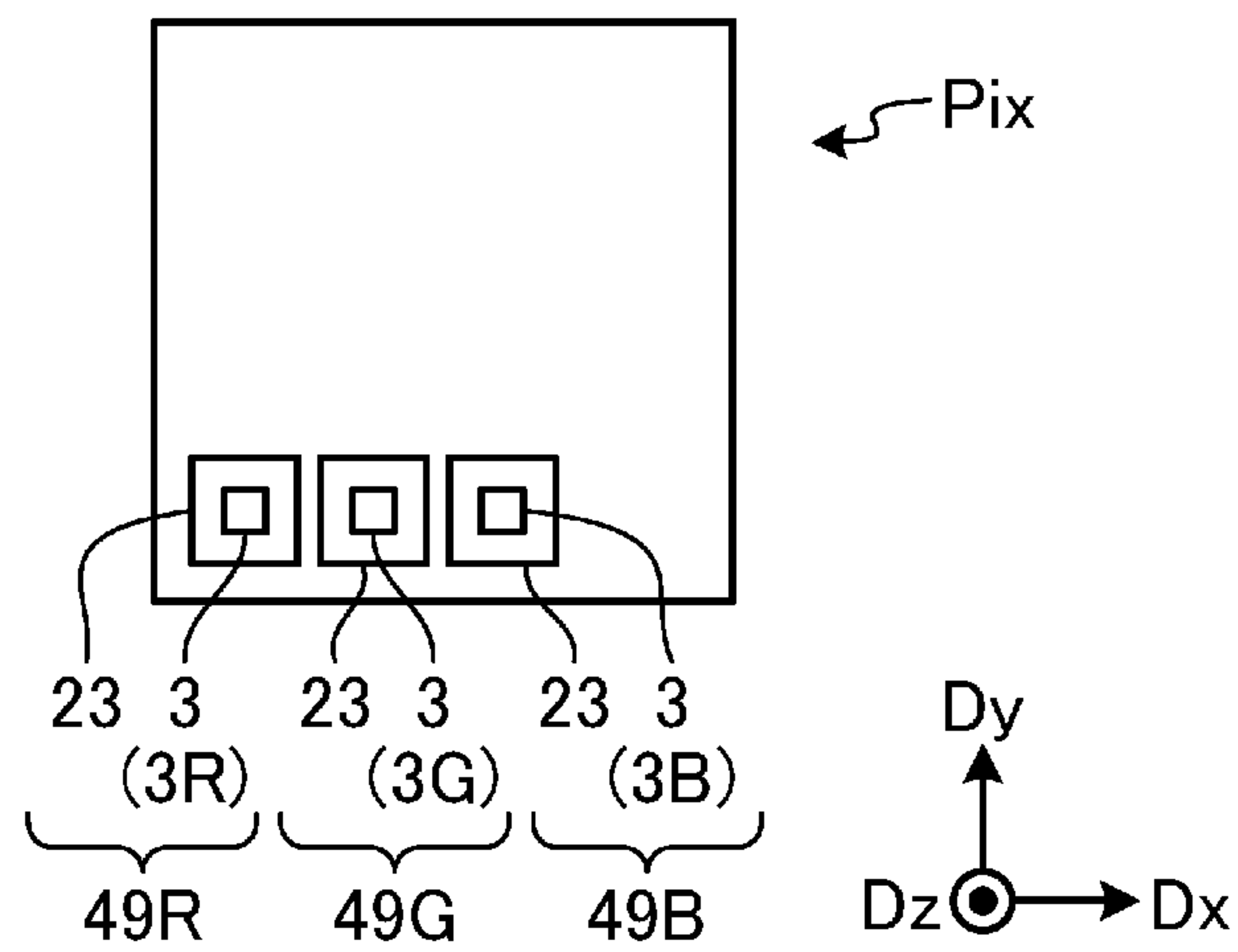
前記透光領域での前記平坦化膜の表面と前記基板との間の、前記基

板に垂直な方向での距離は、前記非透光領域での前記平坦化膜の表面と前記基板との間の、前記基板に垂直な方向での距離よりも小さい請求項 1 7 に記載の表示装置。

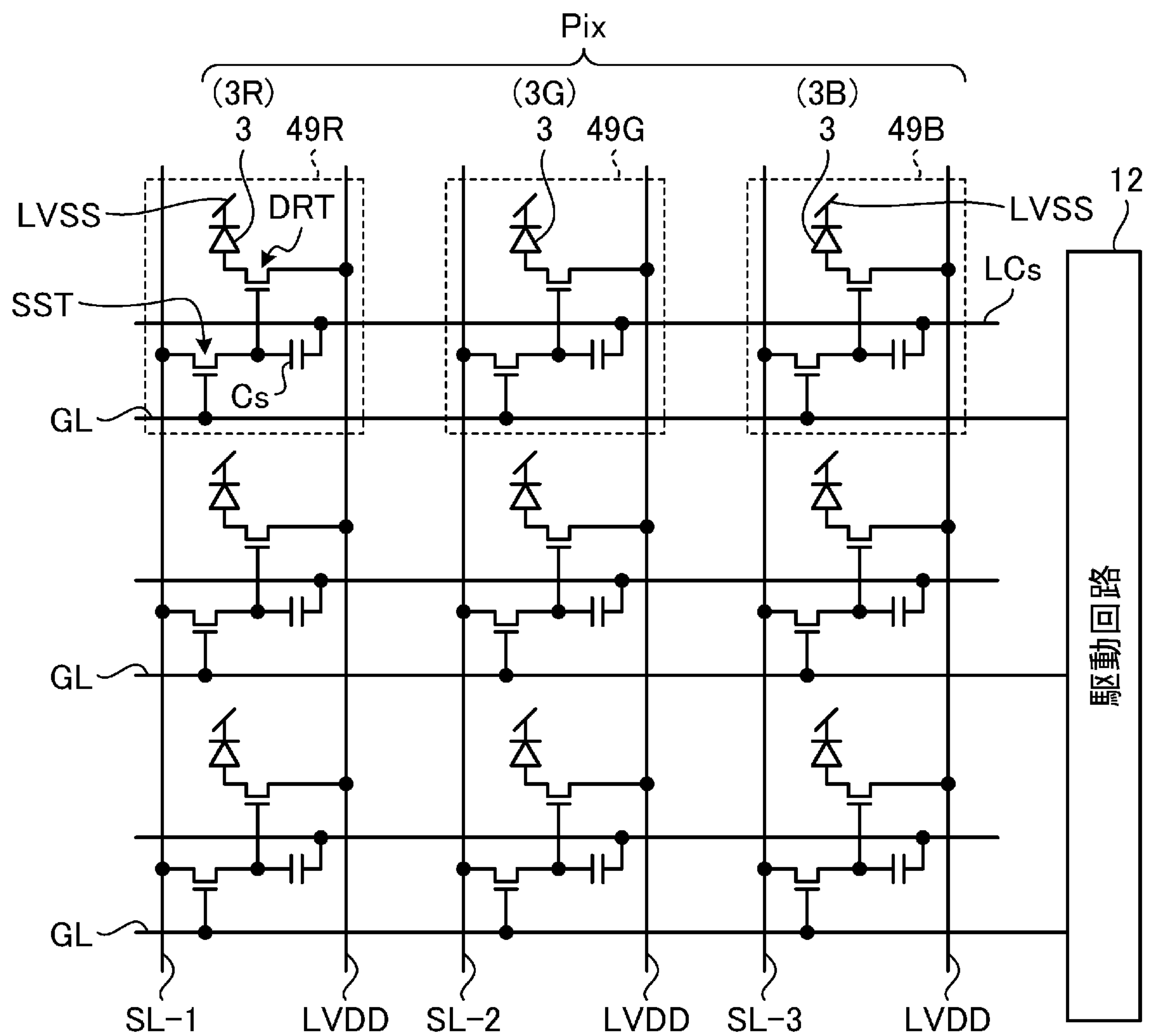
[図1]



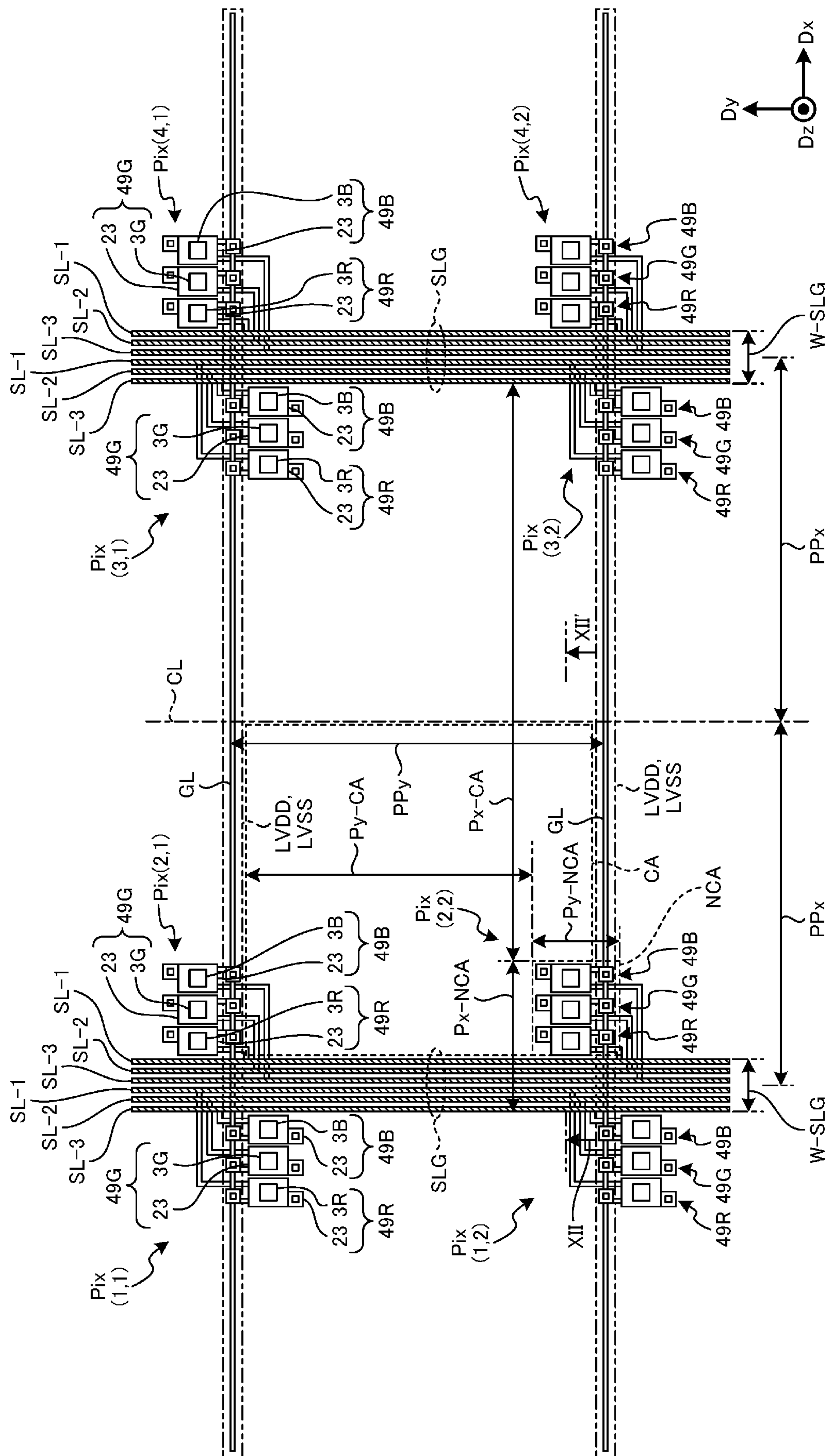
[図2]



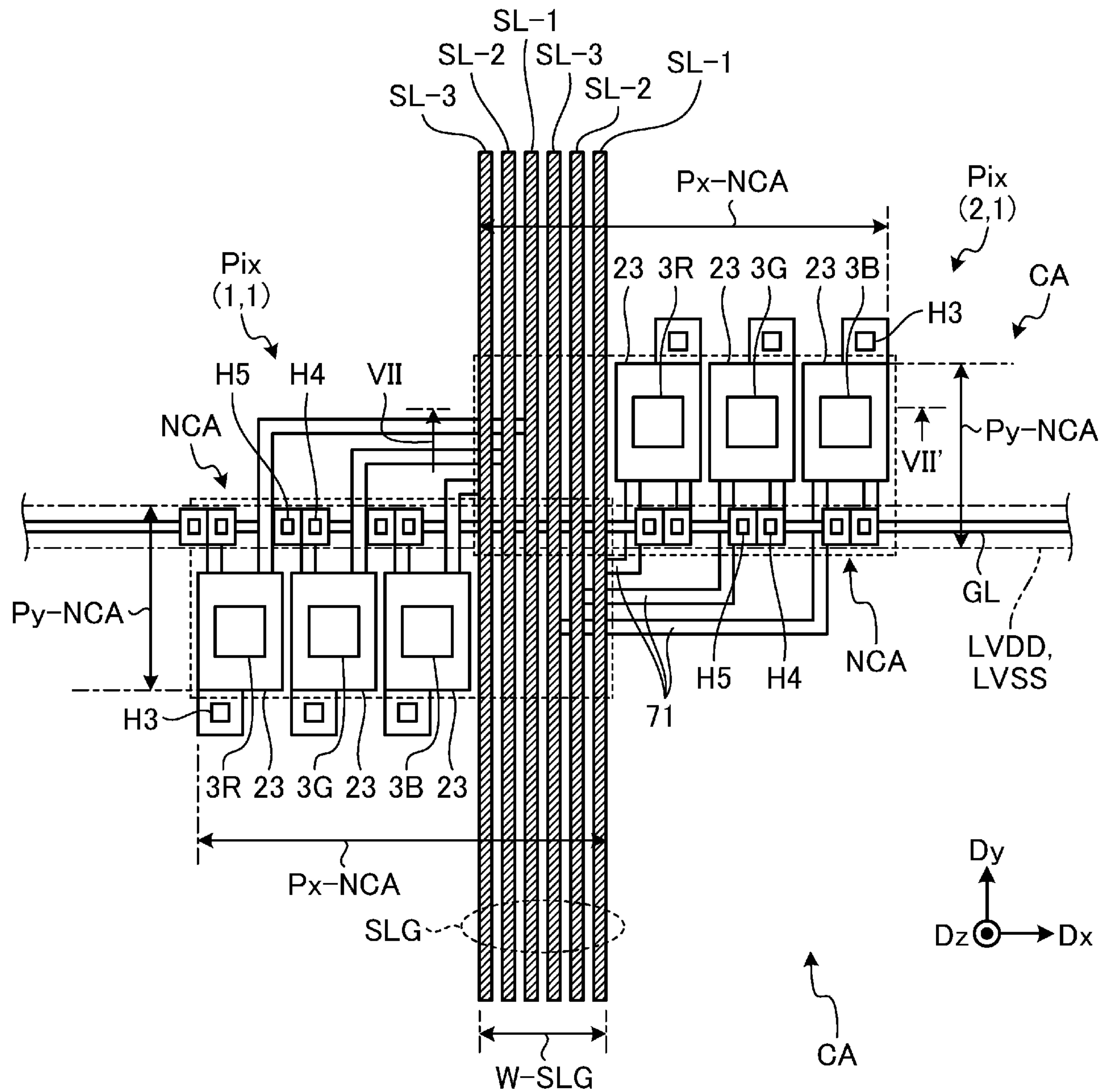
[図3]



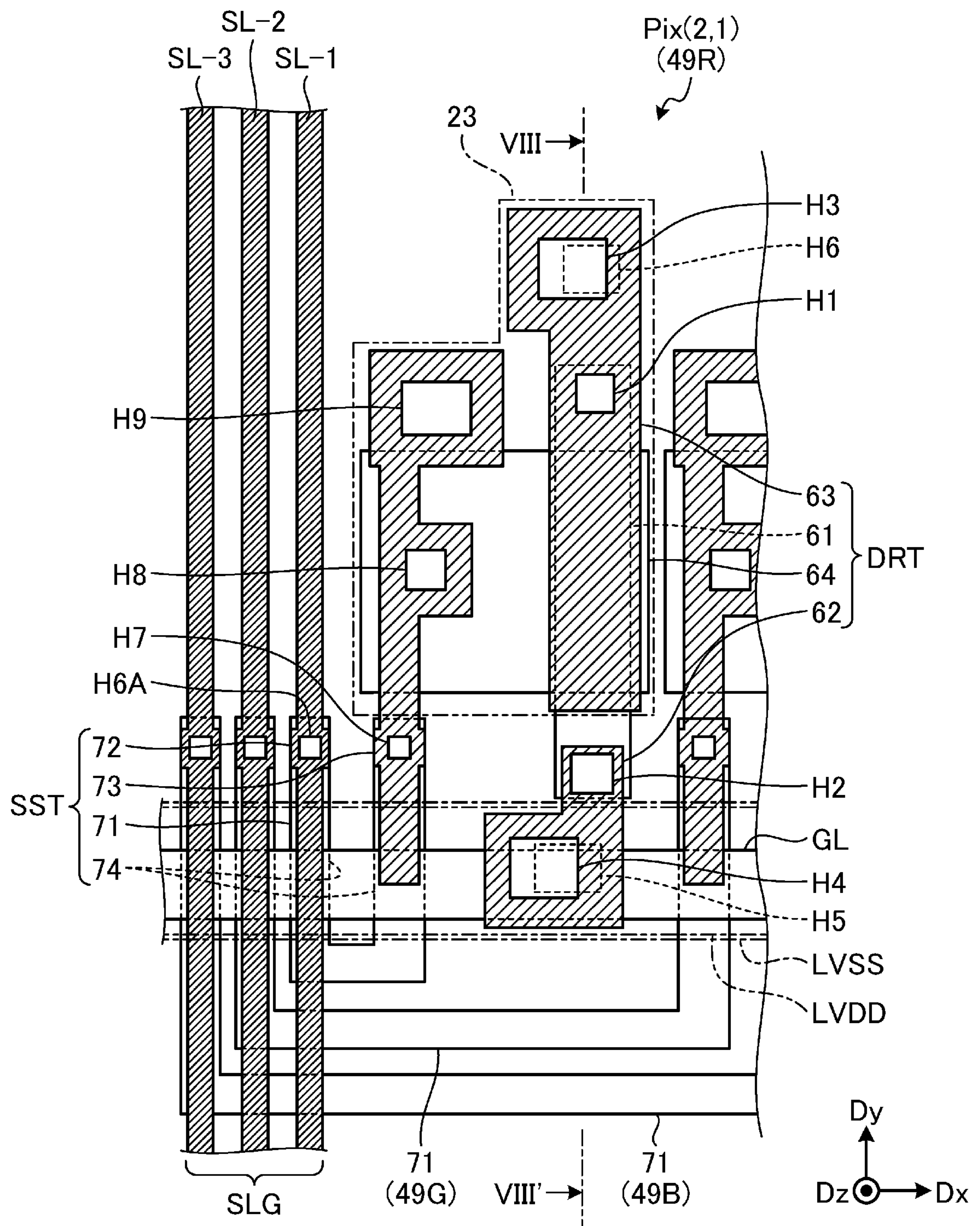
[図4]



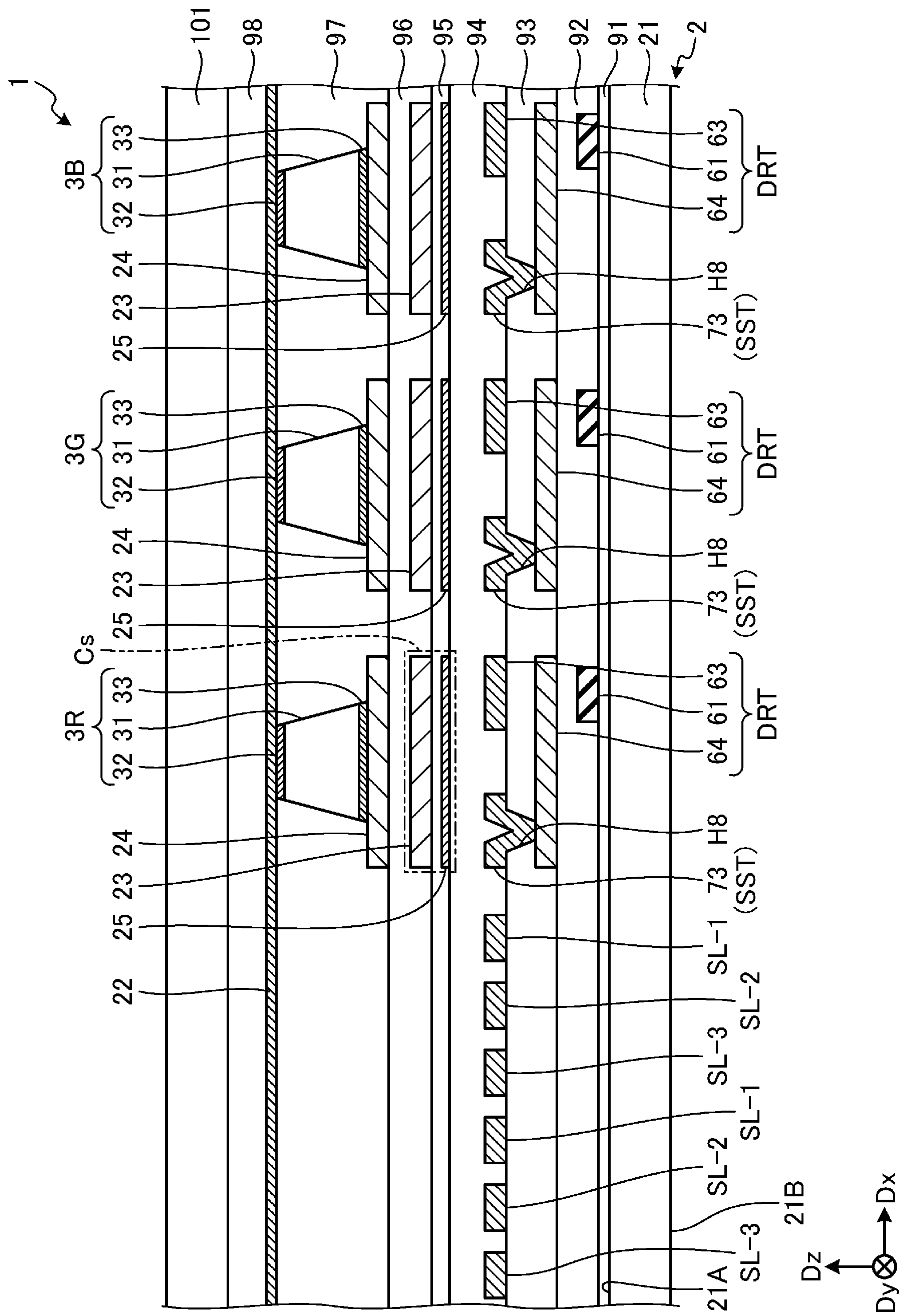
[図5]



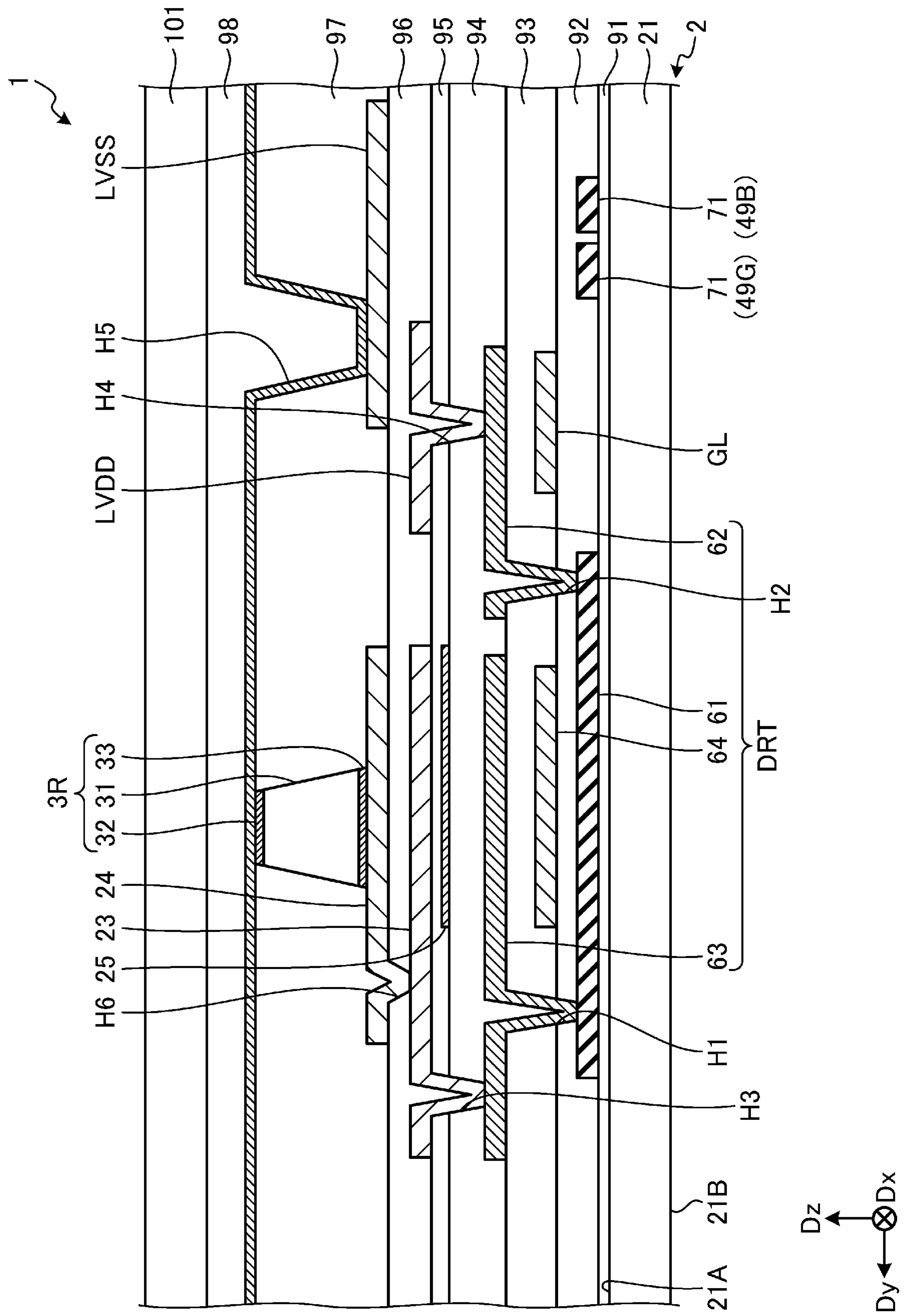
[図6]



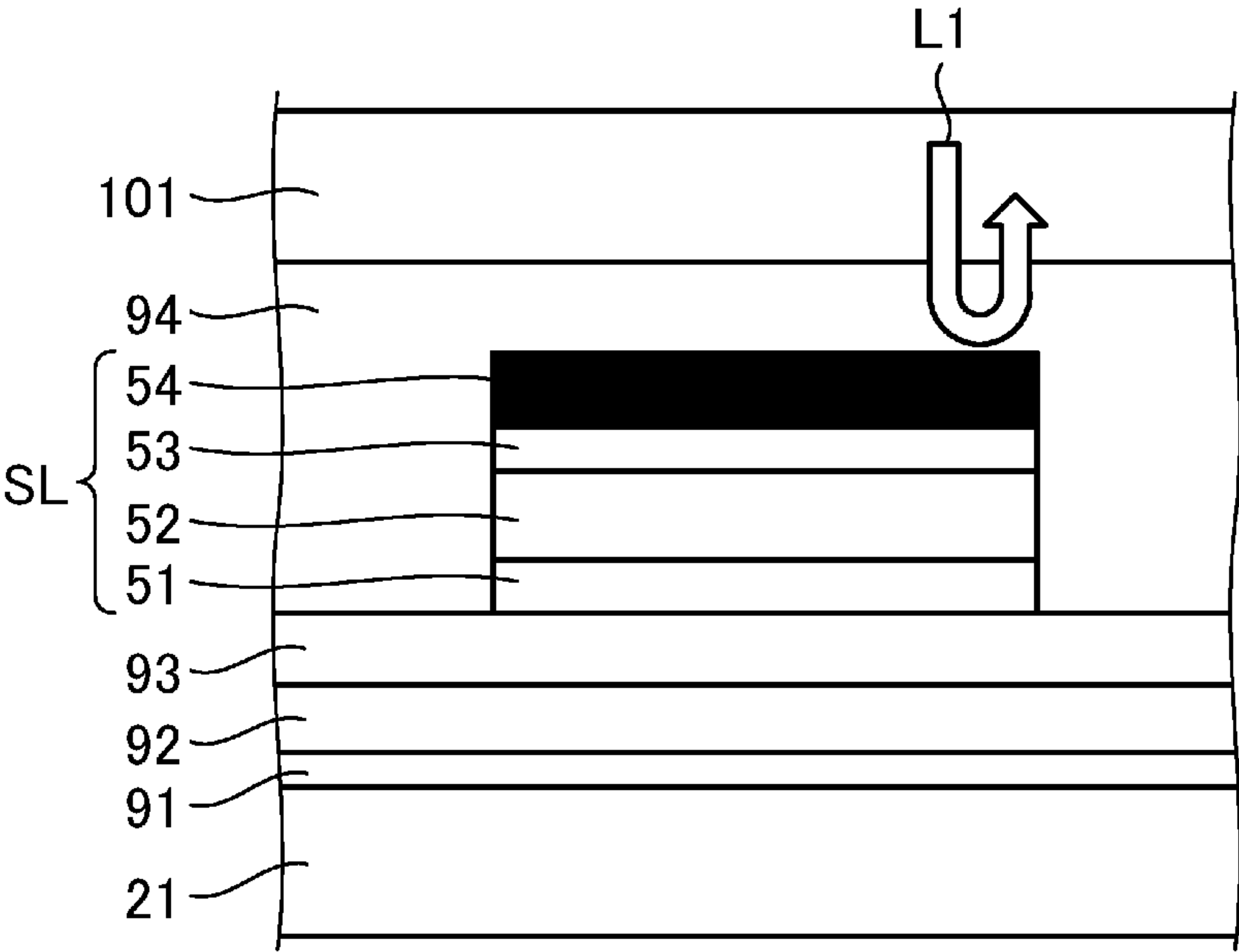
[図7]



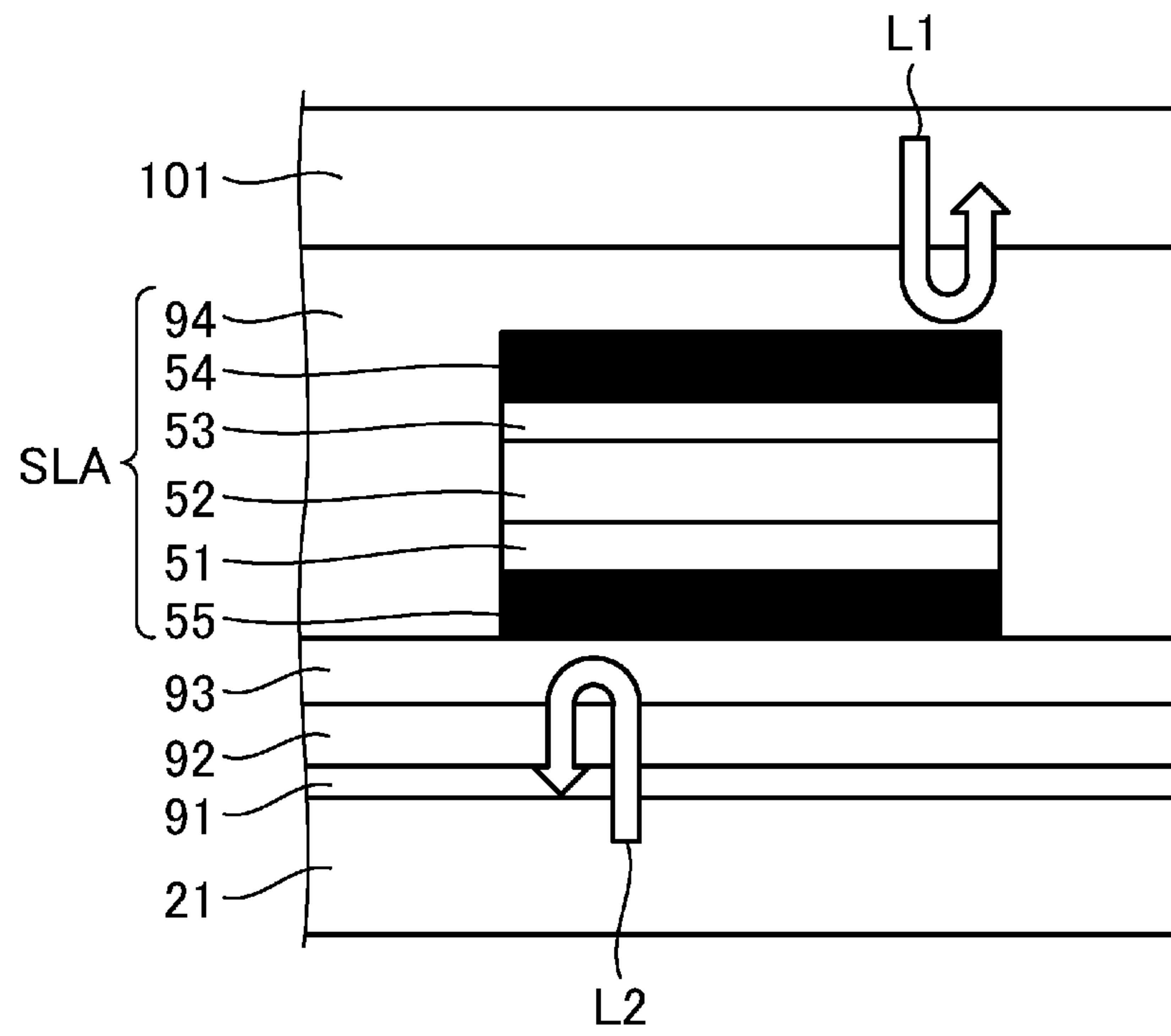
[図8]



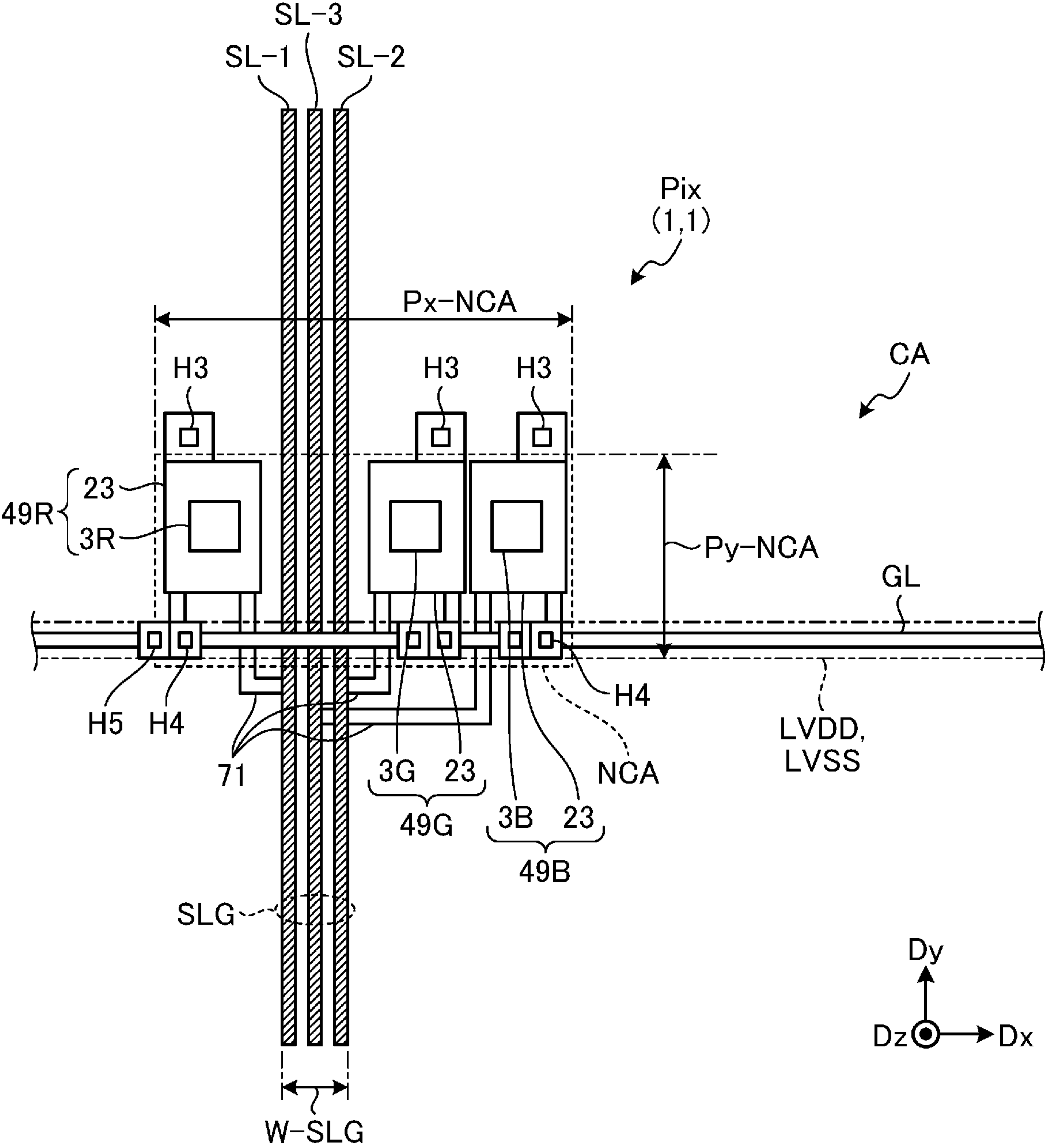
[図9]



[図12]



[図16]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2020/040721

A. CLASSIFICATION OF SUBJECT MATTER

H01L 33/00(2010.01)i; H01L 33/62(2010.01)i; G09F 9/30(2006.01)i; G09F 9/33(2006.01)i

FI: G09F9/30 330; H01L33/00 L; H01L33/62; G09F9/33

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L33/00; H01L33/62; G09F9/30; G09F9/33

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996

Published unexamined utility model applications of Japan 1971-2021

Registered utility model specifications of Japan 1996-2021

Published registered utility model applications of Japan 1994-2021

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2008-227057 A (KONICA MINOLTA HOLDINGS, INC.) 25 September 2008 (2008-09-25) entire text, all drawings	1-18
A	US 2019/0164502 A1 (SAMSUNG DISPLAY CO., LTD.) 30 May 2019 (2019-05-30) entire text, all drawings	1-18
A	JP 2018-198166 A (JAPAN DISPLAY INC.) 13 December 2018 (2018-12-13) entire text, all drawings	1-18
A	JP 2018-185544 A (SEMICONDUCTOR ENERGY LABORATORY CO., LTD.) 22 November 2018 (2018-11-22) entire text, all drawings	1-18
A	JP 2017-40876 A (JAPAN DISPLAY INC.) 23 February 2017 (2017-02-23) entire text, all drawings	1-18
A	JP 2010-160526 A (SEIKO EPSON CORP.) 22 July 2010 (2010-07-22) entire text, all drawings	1-18
A	JP 2007-188047 A (SONY CORP.) 26 July 2007 (2007- 07-26) entire text, all drawings	1-18



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

18 January 2021 (18.01.2021)

Date of mailing of the international search report

26 January 2021 (26.01.2021)

Name and mailing address of the ISA/

Japan Patent Office

3-4-3, Kasumigaseki, Chiyoda-ku,

Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2020/040721

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2004-334204 A (EASTMAN KODAK COMPANY) 25 November 2004 (2004-11-25) entire text, all drawings	1-18

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No.

PCT/JP2020/040721

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
JP 2008-227057 A	25 Sep. 2008	(Family: none)	
US 2019/0164502 A1	30 May 2019	KR 10-2019-0062679 A	
		CN 109841187 A	
JP 2018-198166 A	13 Dec. 2018	US 2018/0342565 A1	
JP 2018-185544 A	22 Nov. 2018	JP 2009-157365 A	
		US 2009/0140253 A1	
		US 2012/0012853 A1	
		US 2014/0175449 A1	
		WO 2009/072452 A1	
		KR 10-2010-0099716 A	
		KR 10-2012-0039759 A	
		KR 10-2012-0123614 A	
JP 2017-40876 A	23 Feb. 2017	US 2017/0053971 A1	
		US 2018/0069056 A1	
		US 2019/0043933 A1	
		CN 106469747 A	
		KR 10-2017-0022906 A	
		TW 201714490 A	
JP 2010-160526 A	22 Jul. 2010	(Family: none)	
JP 2007-188047 A	26 Jul. 2007	US 2008/0067570 A1	
JP 2004-334204 A	25 Nov. 2004	US 6771028 B1	
		EP 1473690 A2	
		KR 10-2004-0094353 A	
		CN 1551079 A	
		TW 200502889 A	

国際調査報告		国際出願番号 PCT/JP2020/040721
A. 発明の属する分野の分類（国際特許分類（IPC）） H01L 33/00(2010.01)i; H01L 33/62(2010.01)i; G09F 9/30(2006.01)i; G09F 9/33(2006.01)i FI: G09F9/30 330; H01L33/00 L; H01L33/62; G09F9/33		
B. 調査を行った分野		
調査を行った最小限資料（国際特許分類（IPC）） H01L33/00; H01L33/62; G09F9/30; G09F9/33		
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922 - 1996年 日本国公開実用新案公報 1971 - 2021年 日本国実用新案登録公報 1996 - 2021年 日本国登録実用新案公報 1994 - 2021年		
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2008-227057 A（コニカミノルタホールディングス株式会社）25.09.2008（2008 - 09 - 25） 全文，全図	1-18
A	US 2019/0164502 A1（SAMSUNG DISPLAY CO., LTD.）30.05.2019（2019 - 05 - 30） 全文，全図	1-18
A	JP 2018-198166 A（株式会社ジャパンディスプレイ）13.12.2018（2018 - 12 - 13） 全文，全図	1-18
A	JP 2018-185544 A（株式会社半導体エネルギー研究所）22.11.2018（2018 - 11 - 22） 全文，全図	1-18
A	JP 2017-40876 A（株式会社ジャパンディスプレイ）23.02.2017（2017 - 02 - 23） 全文，全図	1-8
A	JP 2010-160526 A（セイコーエプソン株式会社）22.07.2010（2010 - 07 - 22） 全文，全図	1-18
A	JP 2007-188047 A（ソニー株式会社）26.07.2007（2007 - 07 - 26） 全文，全図	1-18
☒ C欄の続きにも文献が列挙されている。 ☒ パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的技術水準を示すもの “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献 “T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献		
国際調査を完了した日 18.01.2021		国際調査報告の発送日 26.01.2021
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号		権限のある職員（特許庁審査官） 新井 重雄 21 8605 電話番号 03-3581-1101 内線 3273

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2004-334204 A (イーストマン コダック カンパニー) 25.11.2004 (2004 - 11 - 25) 全文, 全図	1-18

引用文献			公表日	パテントファミリー文献			公表日
JP	2008-227057	A	25.09.2008	(ファミリーなし)			
US	2019/0164502	A1	30.05.2019	KR	10-2019-0062679	A	
				CN	109841187	A	
JP	2018-198166	A	13.12.2018	US	2018/0342565	A1	
JP	2018-185544	A	22.11.2018	JP	2009-157365	A	
				US	2009/0140253	A1	
				US	2012/0012853	A1	
				US	2014/0175449	A1	
				WO	2009/072452	A1	
				KR	10-2010-0099716	A	
				KR	10-2012-0039759	A	
				KR	10-2012-0123614	A	
JP	2017-40876	A	23.02.2017	US	2017/0053971	A1	
				US	2018/0069056	A1	
				US	2019/0043933	A1	
				CN	106469747	A	
				KR	10-2017-0022906	A	
				TW	201714490	A	
JP	2010-160526	A	22.07.2010	(ファミリーなし)			
JP	2007-188047	A	26.07.2007	US	2008/0067570	A1	
JP	2004-334204	A	25.11.2004	US	6771028	B1	
				EP	1473690	A2	
				KR	10-2004-0094353	A	
				CN	1551079	A	
				TW	200502889	A	