

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第6部門第3区分

【発行日】平成25年1月10日(2013.1.10)

【公開番号】特開2012-230684(P2012-230684A)

【公開日】平成24年11月22日(2012.11.22)

【年通号数】公開・登録公報2012-049

【出願番号】特願2012-130000(P2012-130000)

【国際特許分類】

G 06 F 7/483 (2006.01)

G 06 F 1/32 (2006.01)

G 06 F 7/00 (2006.01)

【F I】

G 06 F 7/483

G 06 F 1/00 3 3 2 B

G 06 F 7/00 2 0 1 Z

【手続補正書】

【提出日】平成24年11月1日(2012.11.1)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

方法において、

特定の精度を有し、浮動小数点演算を実行するように動作可能な浮動小数点プロセッサにおいて、副精度を選択して1つ以上の浮動小数点数に関する浮動小数点演算を実行し、前記副精度は、前記特定の精度よりも小さく、前記副精度の選択は、1つ以上の過剰ビットをもたらすことと、

前記1つ以上の過剰ビットを処理するために使用される、ロジック回路の一部から電力を取り除くことと、

前記ロジック回路の一部から電力を取り除いた後に、前記選択した副精度で、前記ロジック回路の電力供給されている部分により前記浮動小数点演算を実行して、結果として生じる出力を発生させることとを含む方法。

【請求項2】

前記ロジック回路の一部のステージからの桁上がり値を強制的にゼロにすることをさらに含む請求項1記載の方法。

【請求項3】

前記副精度は、浮動小数点制御装置を使用して選択される請求項1記載の方法。

【請求項4】

前記過剰ビットに対応する、レジスタファイル内のレジスタの一部から電力を取り除くことをさらに含み、前記浮動小数点演算は、前記電力が取り除かれたレジスタを使用して、前記選択した副精度で実行される請求項1記載の方法。

【請求項5】

一連のスイッチが、前記レジスタファイル内のレジスタの一部から電力を取り除くために使用される請求項4記載の方法。

【請求項6】

前記スイッチは、電界効果トランジスタである請求項5記載の方法。

【請求項 7】

前記スイッチは、前記レジスタファイル内のレジスタの一部に対して内部にある請求項5記載の方法。

【請求項 8】

前記スイッチは、前記レジスタファイル内のレジスタの一部に対して外部にある請求項5記載の方法。

【請求項 9】

前記副精度は、前記浮動小数点制御装置に関係付けられているプログラム可能制御レジスタ中で示される浮動小数点数フォーマットの選択されたビット数に基づいて選択される請求項3記載の方法。

【請求項 10】

第1の精度を有する浮動小数点プロセッサにおいて、

浮動小数点演算に対して、第1の精度よりも小さい副精度を選択し、前記副精度の選択は、1つ以上の過剰ビットをもたらすようにと、前記1つ以上の過剰ビットを処理するために使用される、ロジック回路の一部から電力を取り除く一方で、前記ロジック回路の電力供給されている部分で電力を保持するように構成されている浮動小数点制御装置と、

前記選択した副精度で、前記ロジック回路の電力が供給されている部分により前記浮動小数点演算を実行して、結果として生じる出力を発生させるように構成された浮動小数点演算器とを具備する浮動小数点プロセッサ。

【請求項 11】

前記浮動小数点演算器は、浮動小数点加算器と浮動小数点乗算器とを含む請求項10記載の浮動小数点プロセッサ。

【請求項 12】

前記電力が、前記ロジック回路の電力が取り除かれる部分から取り除かれた後に、前記浮動小数点演算器は、前記ロジック回路の第2の部分からの桁上がりを強制的にゼロにするようにさらに構成されている請求項11記載の浮動小数点プロセッサ。

【請求項 13】

前記浮動小数点制御装置は、前記1つ以上の過剰ビットに対応する、前記浮動小数点プロセッサ中のレジスタファイル内のレジスタの一部から電力を取り除く一方で、前記レジスタファイル内のレジスタの電力供給されている部分で電力を保持するようにさらに構成されており、

前記浮動小数点演算器は、前記レジスタファイル内のレジスタの電力供給されている部分を使用して、前記選択した副精度で前記浮動小数点演算を実行するようにさらに構成されている請求項10記載の浮動小数点プロセッサ。

【請求項 14】

浮動小数点プロセッサにおいて、

1つ以上の浮動小数点数を記憶するように構成された、複数の記憶素子を有する浮動小数点レジスタと、

前記浮動小数点レジスタ中に記憶された前記1つ以上の浮動小数点数に関して、浮動小数点演算を実行するように構成された浮動小数点演算器と、

前記1つ以上の浮動小数点数に関する浮動小数点演算に対して、前記第1の精度よりも小さい副精度を選択し、前記副精度の選択は、1つ以上の過剰ビットをもたらすようにと、前記浮動小数点演算に対して、前記1つ以上の過剰ビットを処理するために使用される、ロジック回路の一部から電力を取り除くように構成されている浮動小数点制御装置とを具備する浮動小数点プロセッサ。

【請求項 15】

一連のスイッチが、前記記憶素子の一部から電力を取り除くために使用される請求項4記載の浮動小数点プロセッサ。

【請求項 16】

前記スイッチは、前記記憶素子に対して内部にある請求項15記載の浮動小数点プロセ

ッサ。

【請求項 1 7】

前記スイッチは、前記記憶素子に対して外部にある請求項 1 5 記載の浮動小数点プロセッサ。

【請求項 1 8】

前記浮動小数点制御装置は、前記 1 つ以上の過剰ビットに対応する、前記記憶素子の部分から電力を取り除くようにさらに構成されており、前記浮動小数点演算は、前記電力が取り除かれるロジック回路から電力が取り除かれている間に前記ロジック回路の電力供給されている部分を使用して、および、前記記憶素子の電力が取り除かれる部分から電力が取り除かれている間に前記記憶素子の電力供給されている部分を使用して、前記選択した副精度で実行される請求項 1 4 記の浮動小数点プロセッサ。

【請求項 1 9】

前記浮動小数点演算は、複数ステージのビット加算を含み、前記複数ステージのビット加算の 1 つ以上のステージは、前記副精度にしたがって電源が切られ、最後に電源が切られたステージからの桁上がり値は、強制的に論理ゼロ値にされる請求項 1 4 記載の浮動小数点プロセッサ。

【請求項 2 0】

浮動小数点プロセッサにおいて、

1 つ以上の浮動小数点数を記憶するように構成された浮動小数点レジスタと、

浮動小数点演算を実行するように構成されたロジックを有する浮動小数点演算器と、

前記 1 つ以上の浮動小数点数に関する浮動小数点演算に対して、最大精度よりも小さい副精度を選択し、前記副精度の選択は、前記 1 つ以上の浮動小数点数のそれぞれに対して、1 つ以上の過剰ビットをもたらすようにと、前記 1 つ以上の過剰ビットを処理するために使用される、前記ロジックの一部から電力を取り除くように構成されている浮動小数点制御装置とを具備する浮動小数点プロセッサ。

【請求項 2 1】

前記浮動小数点制御装置は、前記 1 つ以上の過剰ビットに対応する、前記浮動小数点レジスタ内のレジスタの一部から電力を取り除くようにさらに構成されている請求項 2 0 記載の浮動小数点プロセッサ。

【請求項 2 2】

前記副精度は、前記浮動小数点演算を実行するための実行可能命令における情報を使用して選択され、

前記情報は、浮動小数点数フォーマットの選択されたビットの数を示し、

前記副精度は、前記選択されたビットの数に対応し、前記 1 つ以上の過剰ビットは、選択されないビットに対応する請求項 2 1 記載の浮動小数点プロセッサ。

【請求項 2 3】

前記浮動小数点数フォーマットの選択されたビットの数を示す情報は、ユーザインターフェースから受信される請求項 2 2 記載の浮動小数点プロセッサ。