

公告本

388102

87年10月26日 修正
充

申請日期	87.7.22
案 號	87111938
類 別	H01L 21/26

A4
C4

(以上各欄由本局填註)

388102

發 明 專 利 說 明 書

一、發明 名稱	中 文	一種用於蝕刻基板之堆疊墊以及一種在基板中形成深溝渠之方法
	英 文	A pad stack for etching a substrate and a method of forming deep trenches in a substrate
二、發明 人	姓 名	基爾勇李 Gill Young Lee
	國 籍	韓國
	住、居所	美國紐約NY12524菲舒奇爾無花果樹巷19號
三、申請人	姓 名 (名稱)	西門斯股份有限公司 SIEMENS AKTIENGESELLSCHAFT
	國 籍	德國
	住、居所 (事務所)	德國慕尼黑80333威田巴黎廣場2號
	代 表 人 姓 名	貝斯納 (Basner) 雷哈特 (Reinhardt)

煩請委員明示，本案修正後是否變更原實質內容

裝 訂 線

公告本

388102

87年10月26日 修正
充

申請日期	87.7.22
案 號	87111938
類 別	H01L 21/26

A4
C4

(以上各欄由本局填註)

388102

發 明 專 利 說 明 書

一、發明 名稱	中 文	一種用於蝕刻基板之堆疊墊以及一種在基板中形成深溝渠之方法
	英 文	A pad stack for etching a substrate and a method of forming deep trenches in a substrate
二、發明 人	姓 名	基爾勇李 Gill Young Lee
	國 籍	韓國
	住、居所	美國紐約NY12524菲舒奇爾無花果樹巷19號
三、申請人	姓 名 (名稱)	西門斯股份有限公司 SIEMENS AKTIENGESELLSCHAFT
	國 籍	德國
	住、居所 (事務所)	德國慕尼黑80333威田巴黎廣場2號
	代 表 人 姓 名	貝斯納 (Basner) 雷哈特 (Reinhardt)

煩請委員明示，本案修正後是否變更原實質內容

裝 訂 線

(由本局填寫)

承辦人代碼：
大類：
IPC分類：

A6
B6

本案已向：

國(地區) 申請專利，申請日期： 案號： ，有 無主張優先權

美

1997年9月30日 08/940,891 (主張優先權)

有關微生物已寄存於：

，寄存日期：

，寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

經濟部中央標準局員工消費合作社印製

五、發明說明(10)

參考符號說明

- 100.....溝渠電容器DRAM單胞
- 101.....基板
- 110.....電晶體
- 112.....閘極
- 113.....源極
- 114.....汲極
- 120.....字元線
- 125.....擴散區
- 157.....層
- 160.....溝渠電容器
- 161.....多晶矽
- 163.....節點介電質
- 165.....埋入的電極板
- 166.....多晶矽
- 169.....氮化物層墊
- 170.....埋入井
- 173.....P型井
- 180.....淺溝渠絕緣體
- 186.....位元線接觸開口
- 189.....層間介電層
- 190.....位元線
- 201.....基板
- 210.....堆疊墊

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

經濟部中央標準局員工消費合作社印製

五、發明說明()

發明領域

一般而言，本發明係關於元件製造，尤其是改良式的硬式蝕刻遮罩，用於蝕刻例如在使用於溝渠電容器中之深溝渠。

發明背景

在製造元件時，會在基板上形成絕緣的，半導體的和導電的層，然後將層製作成圖案，以產生特徵和空間，而形元件，如電晶體，電容器和電阻器，再將這些元件相互連接，以形成想要的電性功能。

在某些應用方面，例如，溝渠或深溝渠係製作在基板中，以形成溝渠電容器，該溝渠係藉由非等向性蝕刻，如反應離子蝕刻(RIE)產生，還有提供一硬式遮罩層，並將其製作成圖案，以當作RIE遮罩，通常，在該硬式遮罩層之下，還另外提供額外的層，如氮化物墊和氧化物墊，該氮化物層係當作後面製程之研磨停止層，而氧化物墊層係要增加黏著性，以減少矽基板和氮化物墊層之間的應力，因此，硬式遮罩層密度要夠，才能在RIE期間抵擋離子的撞擊，此外，該遮罩層之蝕刻速度基本上應該高於該研磨層，才能在其移除時，不會移除其他的墊層。

傳統上應該使用TEOS氧化物當作硬式遮罩層，TEOS密度夠，可以抵擋RIE，但是，對於氮化物，TEOS沒有蝕刻選擇性，在移除TEOS硬式遮罩時會造成問題，例如，移除TEOS硬式遮罩，也會蝕刻到氮化物墊之下的氧化物墊

五、發明說明(一)

- 212.....氮化物層墊
- 214.....蝕刻停止層墊
- 216.....硬式蝕刻遮罩層
- 218.....障蔽層
- 220.....抗反射塗著膜
- 230.....光阻層
- 260.....溝渠

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (>)

，而造成氮化物墊會與基板分離。

由以上之討論，係想要製造具有可以選擇性移除氧化物之硬式遮罩層的堆疊墊。

發明總述

本發明係關於基板的反應離子蝕刻以形成，例如，深溝渠 (DTs)，根據一實施例，包含一含有磷摻雜矽酸玻璃 (PSG) 之硬式遮罩層的堆疊墊形成在基板的表面上，該 PSG 係形成在氧化物墊層和氮化物墊層之上，以形成堆疊墊。

在一實施例中，PSG 包含之磷 (P) 的濃度足以對氧化物墊產生選擇性蝕刻，而其濃度小於會產生不穩定層的濃度，對於根據臭氧的 PSG，P 的濃度要約大於 1wt%，以避免表面有依賴相關性。

堆疊墊被設計成圖案，使要形成 DTs 之基板區曝露出來，然後，使用 PSG 當作 DT 蝕刻遮罩，藉由反應離子蝕刻 (RIE)，蝕刻該曝露出來的基板區，如此，RIE 形成期望深度之 DTs，其中 DT 係要用以形成溝渠電容器。

圖式簡單說明

第 1 圖為溝渠電容器記憶體單胞；及

第 2a-2c 圖為根據本發明實施例之含有硬式遮罩之堆疊墊。

發明詳述

本發明係關於一種硬式蝕刻遮罩，為了說明，在文脈中，本發明會描述在製作深溝渠時使用之堆疊墊，該深

五、發明說明()

溝渠之採用係要當作用在隨機存取記憶體體積電路(IC)中之記憶體單胞的溝渠電容器，但是，本發明可以更廣泛的應用到可以選擇性移除氧化物之遮罩墊。

為了方便起見，此處說明溝渠電容器動態隨機存取記憶體(DRAM)單胞，參考第1圖，其為一種溝渠電容器DRAM單胞100，例如，此處納入參考之DRAM單胞係說明在例如Nesbit等人發表在IEDM論文集第93-627頁之“A 0.6 μm^2 256 Mb Trench DRAM Cell With Self-Aligned Buried Strap(BEST)論文中，其在此併入作各種目的的參考，如圖所示，該DRAM單胞包含一形成在基板101中之溝渠電容器160，通常該溝渠係用具有n型雜質大量摻雜之多晶矽(poly)161填充，該多晶矽係當作電容器的電極板之一，通常稱為“儲存點”，而由n型雜質摻雜之埋入電極板165則環繞在溝渠的下面部分，而溝渠的上面部分為用以減少寄生漏電流之環管168，節點介電質163係將電容器的兩個電極板隔開，含有n型雜質之埋入井170係將DRAM單胞之埋入電極板連接成陣列，在該埋入井之上為p型井173，此p型井係要減少垂直漏電流。

該DRAM單胞還包含一電晶體110，此電晶體包含一閘極112和n型雜質擴散區之源極113和汲極114，而汲極和源極之名稱取決於該電晶體之操作運作，為了方便起見，此處之“汲極”和“源極”的名詞可交換使用，電晶體到電容器之連接可經由稱為“節點擴散”之擴散區125完成，堆疊閘極，又稱為“字元線”，通常包含多晶矽166

五、發明說明(4)

和氮化物層168。二擇其一地，層157為在多晶矽層之上，減少字元線電阻之多晶矽化物層，其中其包含各種矽化物，如鉬(MoSi_x)，鉭(TaSi_x)，鎢(WSi_x)，鈦(TiSi_x)或鈷(CoSi_x)的矽化物，在實施例中，在多晶矽上之多晶矽化物層為 WSi_x ，氮化物層墊169覆蓋堆疊閘極和基板，該氮化物層168和氮化物層墊係當作後面製程之蝕刻或研磨停止層。

淺溝渠絕緣體(STI)180之製作係要將DRAM單胞與其他單胞或元件絕緣，如圖所示，字元線120係形成在溝渠之上，且藉由STI與其絕緣，所以字元線120稱為"通行字元線"，此種組態稱為折疊式位元線構造。

層間介電層189係形成在該字元線之上，導電層表示位元線，則形成在該層間介電層之上，之後，在該層間介電層中製作一位元線接點開口188，使源極113能接觸到位元線190。

將許多的此種單胞組成一個陣列，此單胞陣列係藉由字元線和位元線相互連接，單胞資料之存取可藉由活化單胞之對應字元線和位元線而完成。

參考第2a圖，其為用以形成IC之基板201的部分橫截面圖，例如，該IC為一記憶體IC，如隨機存取記憶體(RAM)，動態RAM(DRAM)，同步DRAM(SDRAM)，靜態RAM(SRAM)及唯讀記憶體(ROM)，該IC也可以為一邏輯電路，如可程式邏輯陣列(PLA)，特用IC(ASICs)，DRAM-邏輯電路合併電路，或任何其他電路元件。

五、發明說明(5)

通常，眾多的 ICs 係同時平行製作在半導體基板上，在製程完成之後，會將晶圓切割，使將 ICs 分割成許多個別的晶片，然後，再將該晶片封裝成客戶所用之最終產品，例如，消費產品諸如計算機系統，行動電話，個人數位助理 (PDAs) 及其他電子產品。

該基板 201，例如，係矽晶圓，當然也可以使用其他的基板，如砷化鎳，鍺，絕緣體上矽 (SOI) 或其他的半導體材料，例如，該基板可用預定導電性之雜質輕微或大量地摻雜，以達成想要的電特性。

如圖所示，在該基板之表面上製作一堆疊墊 210，例如，此堆疊墊包含一形成在基板表面上之氧化物層墊 212，例如，此氧化物層墊係利用熱氧化法形成，該氧化物層墊要夠厚，才能減少應力，及增加蝕刻停止層墊和基板之間的黏著性。

在該氧化物層墊之上為蝕刻停止層墊 214，此蝕刻停止層墊係當作 IC 後面製程之蝕刻停止或研磨停止層，在實施例中，該蝕刻停止層墊為氮化矽 (SiN_4)，例如，此氮化物層係利用低壓化學氣相沈積法 (LPCVD) 沈積而成，當然也可以使用其他沈積氮化物層之技術，通常，該氮化物層厚約 2200 Å。

在該氮化物墊之上為硬式蝕刻遮罩層 216，根據本發明，該硬式蝕刻遮罩為磷摻雜矽酸玻璃 (PSG)，此磷摻雜矽酸玻璃 (PSG) 係利用各種不同的化學氣相沈積 (CVD) 技術沈積，例如，CVD 技術有包含電漿增強 CVD (PECVD)

五、發明說明 (b)

，例如，此處納入參考的 PSG 之 PECVD 說明在 Applied Materials P-500 PECVD P-TEOS，PECVD 係使用具有任何磷 (P) 雜質源之矽烷或 TEOS 氣體，當然也可以使用像三甲基磷 (TMP) 之類的材料當作磷雜質源。

也可以使用次常壓 CVD (SACVD) 或常壓 CVD (APCVD) 技術形成 PSG 膜，例如，此種技術可採用具有任何液體形式之 P 雜質源的臭氧 (O_3) 和 TEOS 氣體，此處併入採用作各種必要的參考之 APCVD 和 SACVD 技術，例如，敘述在 Applied Materials Ozone-TEOS，當然也可以使用其他形成 PSG 膜之已知沈積技術。

該 PSG 層之厚度要夠厚，才能當作硬式蝕刻遮罩，而厚度則取決於應用，在本實施例中，例如，具有足夠厚度之 PSG 層係當作用以形成深溝渠之反應離子蝕刻 (RIE) 的蝕刻遮罩，通常，PSG 層之厚度約為 3,000-20,000 Å，約以 5,000-9,000 Å 為佳，而最好約為 7,000 Å。

該 PSG 層之 P 濃度要夠高，才能達到對氧化物的濕式蝕刻選擇性，較高的 P 濃度，對氧化物有較高的蝕刻選擇性，但是，若 P 的濃度超過上限，則 PSG 會容易在表面上形成磷酸晶體，此種酸晶體會造成層的不穩定，但是可以利用回火除去，通常，上限約為 11%，因為 PSG 夠硬，所以不需要回火，以密集化該膜，因此，可以不回火而達成 P 濃度小於或等於 ~10-11wt% 之 PSG 膜的沈積。

在沈積膜上之 O_3 與表面有強烈的關係，因此，在沈積之前，表面須先作處理，但是發現：P 的濃度大於或

五、發明說明(7)

等於 $\sim 1\%$ ，會使PSG膜與表面無關。

在本實施例中，PSG之P的濃度約為3-11wt%，以 $\sim 5-9\text{wt}\%$ 為佳，而最好約為7wt%，當然，P濃度可以改變，以達到希望的濕式蝕刻速率，雖然P濃度超過上限，會有較高的濕式蝕刻速率，但是，需要回火使膜穩定，此外，改變沈積條件可以增強PSG膜的濕式蝕刻選擇性，通常，降低功率和/或溫度會使PSG膜比氧化物具有較高的蝕刻選擇性，在一實施例中，PSG的沈積溫度為 $200-600^{\circ}\text{C}$ ，而RF功率則介於 $100-3500\text{W}$ 之間。

然後使用傳統的石板印刷術和蝕刻技術，製作該堆疊墊之圖案以形成溝渠，參考第2b圖，沈積一光阻層230，以方便該堆疊墊圖案之製作，為了改善石板印刷術的解析度，在光阻之下提供抗反射塗著(ARC)膜220。

在本實施例中，該ARC為有機材料ARC，如bottom抗反射層(BARL)，可提供一障蔽層218，以防止PSG與BARL和/或光阻層起反應，例如，濃度大於8wt%之P可能會污染光阻，但是取決於使用的光阻，例如，該障蔽層為未摻雜的矽酸玻璃，此允許障蔽層以相同的工具藉由關閉摻雜源，以相同方式形成，障蔽層厚的 $200-5000\text{\AA}$ 之間，要防止起反應，通常最好 500\AA 就夠了。

當然也可以使用無機的ARC，例如，該無機的ARC為像含氧氮化物之介電質材料，該無機的ARC也可以當作防止PSG和光阻層起反應之障蔽層，使用無機的ARC之優點為允許PSG和ARC層以相同方式沈積。

五、發明說明(8)

參考第 2c 圖，藉由曝光源和光罩，選擇性曝光該光阻層，在顯影時，根據光阻為正光阻或負光阻，移除曝光或未曝光之區域，然後保留堆疊墊未受保護之區域，該未受保護之區域對應要形成溝渠之區域。

然後藉由 RIE 蝕刻在未受保護區域中之堆疊墊，使其下之基板表面曝露出來，在製作堆疊墊之圖案後，才移除光阻層，若有使用有機 ARC (BARL)，也要移除該 BARL 層，若有使用無機 ARC，則可能留下在 PSG 層上之介電層。

之後，使用堆疊墊當作遮罩，藉由 RIE 蝕刻基板，以形成溝渠 260，例如，該溝渠係用以形成記憶體單胞之溝渠電容器，RIE 係在溝渠形成期間，浸蝕在 PSG 遮罩上之薄障蔽層或無機 ARC 層。

接著使用濕式蝕刻除去該 PSG 遮罩層，濕式蝕刻係採用一種稀釋過的 HF 蝕刻液，例如，該稀釋過的蝕刻液為比例約 50:1 之 HF，此種稀釋過的 HF 蝕刻液能夠對氧化物有足夠高的蝕刻選擇性，PSG 對氧化物之濕式蝕刻選擇性約為 50:1-500:1，其中以 50:1 為佳，當然，實際的蝕刻選擇性取決於 P 的濃度。

該濕式蝕刻選擇性足以除去 PSG 層，但又不影響到氧化物墊 212，此優點為：可以使該硬式遮罩層在前段製程中移除，因而可以避免在後段製程移除硬式遮罩層時的過浸蝕問題。

在此，使用傳統的製造技術，例如，此處納入參考由 Nesbit 等人發表在 IEDM 論文集第 93-627 頁之 A $0.6 \mu m^2$

五、發明說明(9)

256Mb Trench DRAM Cell With Self-Aligned Buried Strap (BEST)論文，繼續形成DRAM單胞的製程，其中包含形成埋入的電極板，節點介電層環管，填充溝渠，例如用有摻雜的多晶矽，形成埋入的金屬帶，定義隔離區，以形成STIs，沈積包含堆疊閘極在內的各層且將這些層製作成圖案，以形成表示字元線之閘極導體，沈積一層間介電層。產生接觸開口，及形成位元線。

當本發明特別參考各實施例圖示和說明時，藉由那些技術中的技巧，可以知道修正例和變化例可能在本發明的範圍中，因此，本發明之範圍應該不是參考上面之敘述決定，而是應該參考具有全部等效範圍之申請專利範圍附錄決定。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明(10)

參考符號說明

- 100.....溝渠電容器DRAM單胞
- 101.....基板
- 110.....電晶體
- 112.....閘極
- 113.....源極
- 114.....汲極
- 120.....字元線
- 125.....擴散區
- 157.....層
- 160.....溝渠電容器
- 161.....多晶矽
- 163.....節點介電質
- 165.....埋入的電極板
- 166.....多晶矽
- 169.....氮化物層墊
- 170.....埋入井
- 173.....P型井
- 180.....淺溝渠絕緣體
- 186.....位元線接觸開口
- 189.....層間介電層
- 190.....位元線
- 201.....基板
- 210.....堆疊墊

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明()

- 212..... 氟化物層墊
- 214..... 蝕刻停止層墊
- 216..... 硬式蝕刻遮罩層
- 218..... 障蔽層
- 220..... 抗反射塗著膜
- 230..... 光阻層
- 260..... 溝渠

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

388102

87年10月26日修正/更正/補充
AS

B5

四、中文發明摘要(發明之名稱:一種用於蝕刻基板之堆疊墊以及一種在基板)中形成深溝渠之方法

一種包含磷摻雜的矽酸玻璃之硬式蝕刻遮罩用於反應離子蝕刻基板,以在基板中形成溝渠。

英文發明摘要(發明之名稱:A pad stack for etching a substrate and) a method of forming deep trenches in a substrate

A hard etch mask comprising phosphorus doped silicate glass for reactive ion etching of a substrate to form trenches therein.

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

388102

87年10月26日修正/更正/補充
AS

B5

四、中文發明摘要(發明之名稱:一種用於蝕刻基板之堆疊墊以及一種在基板)中形成深溝渠之方法

一種包含磷摻雜的矽酸玻璃之硬式蝕刻遮罩用於反應離子蝕刻基板,以在基板中形成溝渠。

英文發明摘要(發明之名稱:A pad stack for etching a substrate and) a method of forming deep trenches in a substrate

A hard etch mask comprising phosphorus doped silicate glass for reactive ion etching of a substrate to form trenches therein.

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

六、申請專利範圍

1. 一種用於蝕刻基板之堆疊墊，包含：
 - PSG硬式遮罩層，該PSG硬式遮罩層係當作形成深溝渠時，反應離子蝕刻之蝕刻遮罩。
2. 如申請專利範圍第1項之堆疊墊，其中該PSG層厚約3,000Å到20,000Å。
3. 如申請專利範圍第1項之堆疊墊，其中該PSG層厚約5,000Å到9,000Å。
4. 如申請專利範圍第1項之堆疊墊，其中該PSG層係形成在具有氧化物層墊之基板上。
5. 如申請專利範圍第4項之堆疊墊，其中該PSG層所含之磷的濃度係使得該PSG層能相對於該氧化物層墊有選擇性蝕刻。
6. 如申請專利範圍第4項之堆疊墊，其中該PSG層相對於該氧化物層墊之選擇蝕刻率約介於50比1到500比1之間。
7. 如申請專利範圍第1項之堆疊墊，其中該PSG層所含之磷的濃度要低於形成磷酸晶體之濃度。
8. 如申請專利範圍第1項之堆疊墊，其中該PSG層所含之磷的濃度約介於1wt%到1wt%之間。
9. 一種用於蝕刻基板之堆疊墊，包含：
 - 形成在該基板上之氧化物層墊；
 - 形成在該氧化物層墊上之停止層墊；及
 - 形成在該停止層墊上之PSG硬式遮罩層，該PSG硬式遮罩層係提供當作形成深溝渠時，反應離子蝕刻之

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

冰

六、申請專利範圍

蝕刻遮罩。

10. 如申請專利範圍第9項之堆疊墊，其中該PSG層厚約3,000Å到20,000Å。

11. 如申請專利範圍第9項之堆疊墊，其中該PSG層厚約5,000Å到9,000Å。

12. 如申請專利範圍第9項之堆疊墊，其中該PSG層所含之磷的濃度係使得該PSG層能相對於該氧化物層墊有選擇性蝕刻，且低於形成磷酸晶體之濃度。

13. 如申請專利範圍第12項之堆疊墊，其中該PSG層相對於該氧化物層墊之選擇蝕刻率約介於50比1到500比1之間。

14. 如申請專利範圍第9項之堆疊墊，其中該PSG層所含之磷的濃度約介於1wt%到11wt%之間。

15. 一種在基板中形成深溝渠之方法，包含之步驟為：

提供一具有PSG硬式遮罩層之堆疊墊；

製作該硬式遮罩層之圖案，以確定深溝渠之位置；

及

反應離子蝕刻在該確定位置之基板，其中該硬式遮罩層為反應離子蝕刻之蝕刻遮罩。

16. 如申請專利範圍第15項之方法，其中該製作圖案之步驟包含：

在該硬式遮罩層上形成一光阻層；及

顯影該光阻層，以在確定之位置形成未受保護之區域以形成深溝渠。

六、申請專利範圍

17. 如申請專利範圍第16項之方法，更包含：在形成該光阻層之前，先在該堆疊墊上沈積一抗反射塗著層之步驟，以改善解析度。

18. 如申請專利範圍第17項之方法，還包含：在形成該光阻層如沈積該抗反射塗著層之前，先在該堆疊墊上沈積一硬式遮罩層之步驟。

19. 如申請專利範圍第18項之方法，更包含：

反應離子蝕刻該堆疊墊，以曝露出該基板；

曝露出該硬式遮罩；及

使用該硬式遮罩層當作形成深溝渠時的遮罩，反應離子蝕刻該基板。

20. 如申請專利範圍第15項之方法，其中該堆疊墊還包含一氧化物層墊，及包含藉由相對於該氧化物層墊之選擇性蝕刻，除去該硬式遮罩層之步驟。

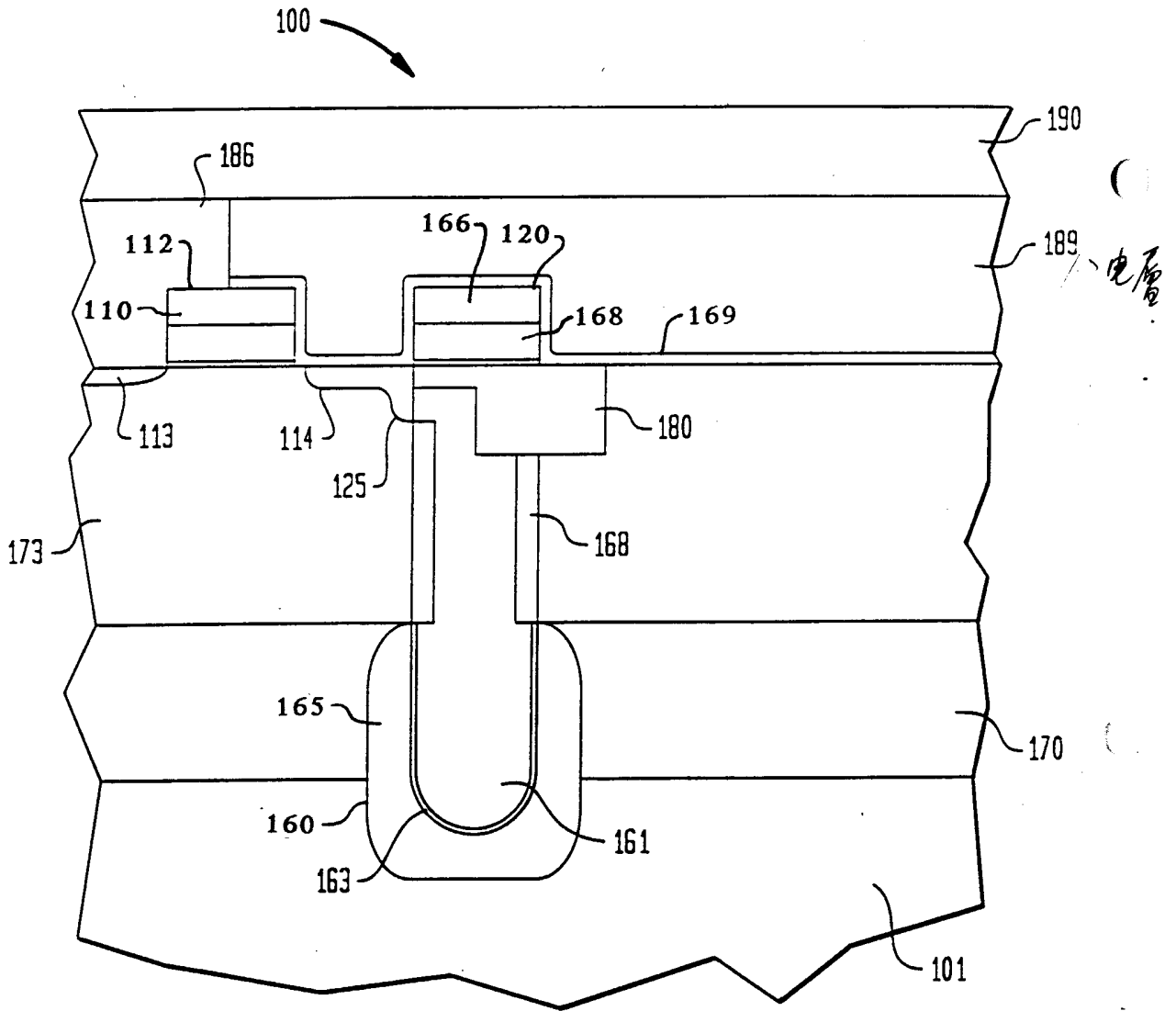
(請先閱讀背面之注意事項再填寫本頁)

裝

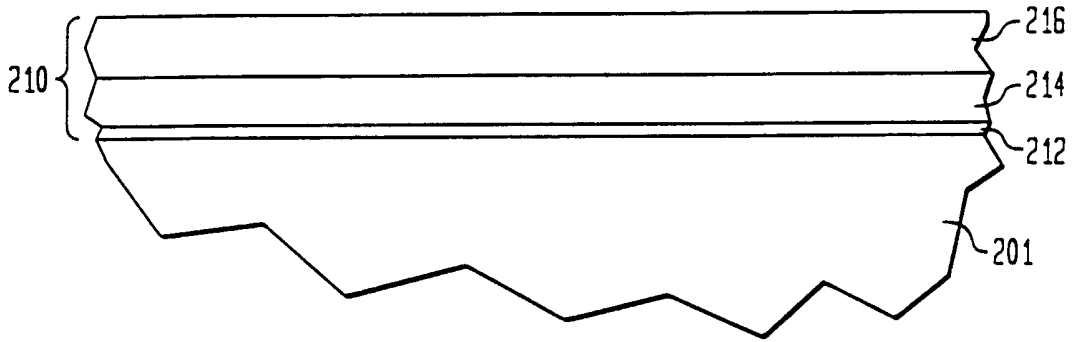
訂

東

第 1 圖



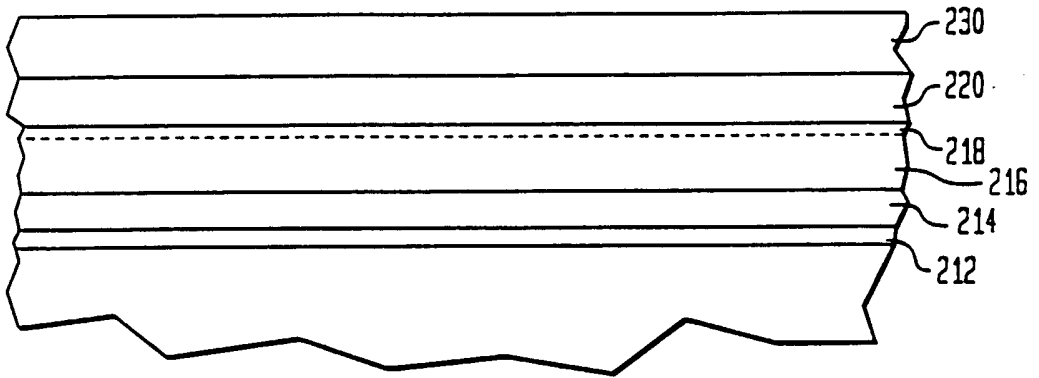
第2A圖



sk
Si₃N₄
stop

β
(

第2B圖



反射

第 3 圖

專利代理人
鄭自添
校正

