



[12] 发 明 专 利 说 明 书

[21] ZL 专利号 99804414.8

[45] 授权公告日 2004 年 9 月 8 日

[11] 授权公告号 CN 1165999C

[22] 申请日 1999.3.17 [21] 申请号 99804414.8

[30] 优先权

[32] 1998.3.24 [33] DE [31] 19812948.3

[86] 国际申请 PCT/DE1999/000762 1999.3.17

[87] 国际公布 WO1999/049516 德 1999.9.30

[85] 进入国家阶段日期 2000.9.25

[71] 专利权人 因芬尼昂技术股份公司

地址 德国慕尼黑

[72] 发明人 H·雷辛格

审查员 陈 源

[74] 专利代理机构 中国专利代理(香港)有限公司

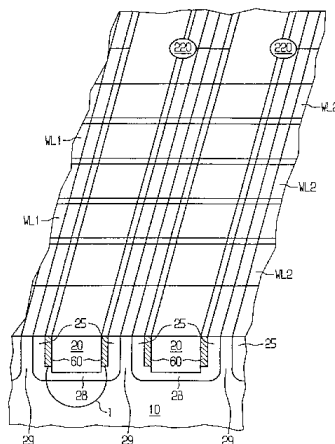
代理人 马铁良 张志醒

权利要求书 2 页 说明书 8 页 附图 6 页

[54] 发明名称 存储器单元装置及其制造方法

[57] 摘要

本发明涉及一种存储器单元装置, 根据本发明多个存储器单元存在于半导体衬底(10)的主表面区, 其中每个存储器单元各包含至少一个具有源极(29)、栅极(WL1 或 WL2)和漏极(60)的 MOS 晶体管, 存储器单元主要按照平行存储器单元行的方式安排, 其中相邻的存储器单元的行通过一条绝缘沟(20)彼此绝缘, 并且相邻的存储器单元行各自至少包含一条位线(60), 并且两相邻存储器单元行的位线(60)彼此相向取向。根据本发明这种存储单元装置是这样设计安排的, 使绝缘沟(20)比位线(60)更深地延伸入半导体衬底(10)内, 并且至少有源极(29)和/或漏极的部分区域在绝缘沟下。此外, 本发明还涉及这种存储器单元装置的一种制造方法。



1. 一种存储器单元装置,
 - 其中,在半导体衬底(10)的主面区存在多个存储器单元(230),
 - 5 - 其中,存储器单元(230)各自包含至少一只具有源极(29)、
栅极和漏极的MOS晶体管,
 - 其中,存储器单元(230)安排在基本平行走向的存储器单元行
内,
 - 其中,相邻的存储器单元行通过一条绝缘沟(20)绝缘,
 - 10 - 其中,相邻的存储器单元行各自包含至少一条位线(60, 60',
60'') 以及
 - 其中,两相邻存储器单元行的位线(60, 60', 60'')彼此相
向取向,其特征为:
 - 绝缘沟(20)比位线(60, 60', 60'')更深嵌入半导体衬底(10)
 - 15 内并且在绝缘沟(20)之下至少存在一个源极(29)和/或漏极的分区。
2. 根据权利要求1所述的存储器单元装置,其特征为:
 - 相邻的MOS晶体管的源极(29)和/或漏极作为相联的掺杂区形成。
3. 根据权利要求1或2所述的存储器单元装置,其特征为:
 - 绝缘沟(20)比位线(60, 60', 60'')更深 0.1~0.5 μm 嵌入
 - 20 半导体衬底(10)内。
4. 根据权利要求1或2所述的存储器单元装置,其特征为:
 - 位线(60, 60', 60'')具有 0.1 μm 到 0.3 μm 的高度。
5. 根据权利要求1或2所述的存储器单元装置,其特征为:
 - 其中在每两个相邻的绝缘沟(20)之间安排一个具有彼此面对的
 - 25 侧壁的凸梁(30),
 - 其中凸梁(30)分别具有 2 条存储器单元行,
 - 其中存储器单元行的位线(60)分别与凸梁(30)的侧壁之一相
邻,
 - 其中垂直于位线(60)的走向相邻存储器单元具有一个公共源极

(29) 和/或漏极。

6. 一种存储器单元装置的制造方法, 其中在半导体衬底(10)内蚀刻绝缘沟(20), 以便在绝缘沟(20)之间形成凸梁(30), 并且其中接着产生位线(60, 60', 60''), 其特征为:

5 在产生位线(60, 60', 60'')之前, 产生沟道区, 并且在产生位线(60, 60', 60'')之后, 进行另一腐蚀步骤, 因此绝缘沟(20)更深地嵌入到半导体衬底(10)内。

7. 根据权利要求6所述的方法, 其特征为:

位线(60, 60', 60'')通过注入注入物(35)而产生。

10 8. 根据权利要求6或7之一所述的方法, 其特征为:

位线(60, 60', 60'')转变为金属化合物。

9. 根据权利要求8所述的方法, 其特征为:

位线(60, 60', 60'')转变为硅化物。

存储器单元装置及其制造方法

5 技术领域

本发明涉及一种存储器单元装置，其中多个存储器单元存在于半导体衬底的主表面区，其中每个存储器单元各包含至少一个具有源极、栅极和漏极的 MOS 晶体管，存储器单元主要按照平行存储器单元行的方式安排，其中相邻的存储器单元的行通过一条绝缘沟彼此绝缘，并且相邻的存储器单元行各自至少包含一条位线，并且其中两相邻存储器单元行的位线彼此相向取向。

此外，本发明还涉及这种存储器单元装置的一种制造方法。

背景技术

存储器单元在非常多的技术领域内获得应用。在存储器单元，它既涉及称为 ROM (Read Only Memory) 的只读存储器，也涉及称作 PROM (Programmable ROM) 的可编程存储器。

在半导体衬底上的存储器单元装置其特点为：它对储存其内的信息允许自由选择地存取。它包含许多晶体管。在读取过程，逻辑状态 1 或 0 安排给通过晶体管的电流是存在还是不存在。通常信息的储存通过使用其沟道区具有按照所希望的截止特性掺杂的 MOS 晶体管来实现。

一种这类的存储器单元装置在 US-PS 5 306 941 内已说明。在这种存储器单元装置中位线安排在存储器单元凸梁的边缘区，其中相邻存储器单元凸梁的位线彼此相向取向。这时位线各自通过充满绝缘材料的绝缘沟彼此分离。此外本文件公布了一种存储器单元装置的制造方法，其中存储器凸梁是通过在半导体衬底内蚀刻绝缘沟形成的。在蚀刻绝缘沟之后进行掺杂材料的扩散，其中通过扩散形成位线。这种类型的存储器单元装置适用于最小 0.5 μm 的结构尺寸和适用于 ROM 只读存储器。电编程在这里是不可能的。

另一种存储器单元装置从 DE-OS 195 10 042 获悉。该存储器单元装置

包含安排成行的 MOS 晶体管。在每一行内 MOS 晶体管彼此串联。为了提高存储器密度，相邻行各自交替地安排在带形纵沟的底部，以及安排在相邻的带形纵沟之间的衬底表面。彼此相连的源/漏区形成连贯的掺杂区。通过行的方式控制，读取这种存储器单元装置是可能的。

- 5 这种存储器单元装置的特点是对存储器单元必须的需求面积从 $4F^2$ 降低到 $2F^2$ ，其中 F 是为制造用光刻工艺的最小结构宽度。然而其缺点是，这时进一步提高单位面积的存储器单元数是不可能的。

发明内容

- 10 本发明的任务是：克服当前技术的这些缺点。尤其是应当创立一种存储器单元装置，其中在尽可能小的空间上安排尽可能多的存储器单元。尤其是这存储器单元装置也应当是可以电编程的。

本任务通过以下技术放案解决。

- 15 一种存储器单元装置，其中，在半导体衬底的主面区存在多个存储器单元，存储器单元各自包含至少一只具有源极、栅极和漏极的 MOS 晶体管，存储器单元安排在基本平行走向的存储器单元行内，相邻的存储器单元行通过一条绝缘沟绝缘，相邻的存储器单元行各自包含至少一条位线，以及，两相邻存储器单元行的位线彼此相向取向，其特征为：绝缘沟比位线更深嵌入半导体衬底内并且在绝缘沟之下至少存在一个源极和/或漏极的分区。

- 20 因此本发明规定，存储器单元装置是如此设计，使得它包含存储器单元凸梁，在凸梁之间存在深深嵌入到半导体衬底的绝缘沟，并且使彼此的相对的位线能实现有效的绝缘。

在不同的存储器单元的凸梁的源和/或漏之间的电连接主要通过源和/或漏的部分区域从一个存储器单元的凸梁延伸到另一存储器单元的凸梁。

- 25 这时优先不同的晶体管的源和/或漏处于共同的槽内。

通过配备例如具有第一 SiO_2 层， Si_3N_4 层和第二 SiO_2 层或类似物的三层的电载流子陷阱的栅电介质，存储器单元装置成为电可编程的。

此外，本发明涉及存储器单元装置的制造方法，其中在半导体衬底内蚀刻绝缘沟，使得在绝缘沟之间形成凸梁，并紧接着制造位线。根据本发

明该方法是这样实现的，在制造位线之前先制造沟道区，并且在制造位线后进行另一个蚀刻步骤，由此绝缘沟更深地嵌入半导体的衬底内。

附图说明

5 本发明的其它优点，特点和合适的扩展依靠附图从以下描述的优选实施例给出。即：

图 1 示出在第 1 次蚀刻过程后通过半导体衬底的一个剖面，

图 2 示出在注入第 1 种注入物之后的图 1 所示半导体衬底，

图 3 示出在注入第 2 种注入物之后的半导体衬底，

图 4 示出在另一次蚀刻过程后的半导体衬底，

10 图 5 示出图 4 所示半导体衬底单个区的电气连接用的线路图，

图 6 示出垂直于图 1 到图 4 所示剖面的剖面，它通过在沉积了电介质层、半导体层的沉积和结构化以及沉积另一绝缘材料之后半导体衬底的上部区域的一部分，

15 图 7 示出为了形成间隔段进行各向异性腐蚀之后在半导体衬底上部区域的局部，

图 8 示出在另一次腐蚀过程之后半导体衬底的上部区域的局部，

图 9 示出在电介质层生长之后半导体衬底的上部区域的局部，

图 10 示出在电极层沉积和局部蚀刻去后半导体衬底的上部区域的局部，

20 图 11 示出已完成的存储器单元装置的一个俯视图，

图 12 示出单元阵列局部的电路图。

具体实施方式

25 一只掩膜 15 加在由具有本底掺杂材料浓度优先在 $1 \times 10^{16} \text{cm}^{-3}$ 到 $1 \times 10^{17} \text{cm}^{-3}$ ，例如 $2 \times 10^{16} \text{cm}^{-3}$ 的 n 掺杂的单晶硅形成的半导体衬底 10 上。该掩膜 15 例如可以是按照 TEOS ($\text{Si}(\text{OC}_2\text{H}_5)_4$) 方法形成的氧化硅构成。在 TEOS 法中在约 700°C 温度、压力约 40 Pa 范围，原硅酸四乙酯 $\text{Si}(\text{OC}_2\text{H}_5)_4$ 转变为二氧化硅 SiO_2 。

在沉积掩膜 15 之后，例如用 CF_4 和 O_2 或 CHF_3 和 O_2 的气体混合物的第 1 腐蚀步骤和用含 HBr 气体的第 2 腐蚀步骤多级地实现，使得在半导体衬底

10 内形成绝缘沟 20。

在绝缘沟 20 之间存在凸梁 30，其中相邻凸梁 30 中心之间的间距为 $2F$ 。这里 F 是最小可制造的结构尺寸，优先在 $0.1\ \mu\text{m}$ 到 $0.5\ \mu\text{m}$ 的范围内。这种半导体衬底的加工状态在图 1 描述。

5 接着进行第 1 注入物 22 的注入，所以凸梁 30 的侧向区域 25 以及绝缘沟 20 的下底部区 28 是 p 注入物的。凸梁 30 的侧向区域 25 和绝缘沟 20 的底部区域 28 在已完成的存储器单元装置内形成沟道区。为了产生 p 掺杂，例如在优先处于 10 到 20keV 量级的注入能量情况下注入硼。注入剂量等于所希望的浓度和应掺杂的层厚之乘积，并且例如在优选层厚约 $0.2\ \mu\text{m}$ 和合适的浓度 $2 \times 10^{17}\text{cm}^{-3}$ 的情况下为 $4 \times 10^{12}\text{cm}^{-2}$ 。在注入和向内驱动之后，在侧向区域 25 和下底部区 28 内的注入物的浓度约为 $2 \times 10^{17}\text{cm}^{-3}$ 。通过注入物的向内驱动，具有两个与其相连的侧向区域 25 的底部区 28 形成一个区域，其中在已完成的存储器单元装置内可以形成一个贯通的沟道。图 2 示出了半导体衬底的这种加工状态。

15 紧接着进行另一注入物 35 的注入，使得凸梁 30 的侧壁 40 和绝缘沟 20 的上底部区 50 是以与侧向区域 25 和底部区域 28 相反的导电类型掺杂的。为了产生 n^+ 掺杂，在主要处于数量级 40 到 80keV 的注入能量以及在 $2 \times 10^{15}\text{cm}^{-2}$ 范围的剂量，例如注入磷或砷。在这种注入后在侧壁 40 和上底部区 50 内的注入物的浓度约为 $2 \times 10^{20}\text{cm}^{-3}$ ，图 3 示出了半导体衬底的这种加工状态。

20 为了在单个凸梁 30 之间的绝缘，接着进行另一次蚀刻工艺。因此比较深地蚀刻绝缘沟 20，并除去绝缘沟 20 已掺杂的上底部区 50。通过这个过程由凸梁 30 的侧壁 40 形成空间上彼此分离的位线 60，其相互的绝缘通过绝缘沟 20 尽量深入衬底而得以保障。部分位线 60 在已完成的存储器单元装置内形成 MOS 晶体管的漏极。位线 60 具有约 200 nm 的高度。绝缘沟 20 的深度大于位线 60 的高度。位线具有 $0.1\ \mu\text{m}$ 到 $0.3\ \mu\text{m}$ 的高度。绝缘沟 20 比位线更深 $0.1 \sim 0.5\ \mu\text{m}$ 嵌入半导体衬底 10 内。因此，对可能的电流路径的有效行程 1 通过半导体衬底 10 放大。图 4 示出了半导体衬底的这种加工状态。

在源 29 之间的低欧姆连接例如经一共同的未绘入的槽实现。一种连接例如也可以经半导体衬底或导电层实现。

位线 60 的宽度约为 50 nm。在截面积为 $200 \times 10^{-9} \text{m} \times 50 \times 10^{-9} \text{m} = 1 \times 10^{-14} \text{m}^2$ 的情况下位线电阻的数量级为几百千欧/mm 位线长度，其中典型值约为 500 千欧/mm。因此约 1 mm 边长的单元阵列是可以实现的。

这种存储器单元装置的典型起始电压约为 0.6V。图 5 示出位线 60 和字线 WL 的电气连接线路图。

通过未示出的硅化工艺可以大大降低位线 60 的电阻，主要约一个量级或更多。在这种硅化工艺中，位线转变为金属化合物，或者位线转变为硅化物。在本实施例中，位线 60 转变为合适的硅化物，即转变为金属硅化合物。在本情况下通过硅化制造硅化物如 MoSi_2 , WSi_2 , TaSi_2 , TiSi_2 , PtSi , Pd_2Si 是特别合适的。在硅化时它涉及选择性硅化物形成。它主要通过唯一溅射形成硅化物的金属。接着导致与作为硅衬底的位线一起形成硅化物反应。在沉积形成硅化物的金属之后，在温度范围从 600 到 1000°C 进行热处理，由此可以形成金属硅化物。

接着去除掩模 15。在去除掩膜 15 之后，绝缘沟 20 用绝缘材料充填，例如用 TEOS 法形成的 SiO_2 。这可以通过原硅酸四乙酯 $\text{Si}(\text{OC}_2\text{H}_5)_4$ 在温度约为 700°C，压力在 40 Pa 范围的情况下转变为二氧化硅形成的。

在用绝缘物充填绝缘沟 20 之后进行平面化过程，优先进行化学机械的平面化工艺。之后一种合适的介质层覆盖到凸梁和绝缘沟 20 上。这个介质层优先通过多重覆盖层形成。如果介质层是 3 层覆盖层，则是特别合适的，其中第一介质层 90 由氧化硅、厚度约 3nm 形成，中间介质层 100 由氮化硅、厚度约 7 到 8 nm 形成，最上介质层 110 由氧化硅，厚度约 4nm 形成。

例如通过在含氧气氛中热处理以所希望的层厚形成第 1 介质层 90。这时凸梁 30 的硅转变为氧化硅 SiO_2 。接着这层可以通过例如用 CHF_3 的各向异性腐蚀进行结构化。

第二介质层 100 优先按照 CVD（化学蒸汽沉积）法沉积，尤其是按照 LPCVD（低压 CVD）法。一种按照 LPCVD 法形成第二介质层 100 特别合适的方案可以通过使二氯硅烷（ SiH_2Cl_2 ）在添加氨（ NH_3 ）下、在温度范围约 750

℃, 压强在 10 Pa 和 100 Pa 之间, 最好为 30 Pa 的等离子体内转变为氮化硅 (Si_3N_4) 而实现。

5 接着上介质层 110 通过热氧化, 优先在含 H_2O 的气氛下、在温度 900℃ 和约 2 小时的时间范围内或按照已知的层制造法之一, 例如 HT0 法进行沉积。用 HT0 法沉积优先通过二氯硅烷 SiH_2Cl_2 在含 N_2O 的气氛下、温度约为 900℃、压强范围 40 Pa 转变为氧化硅 SiO_2 而实现。

例如由高掺杂多晶硅在上介质层 110 上生长半导体层 120。多晶硅的优选掺杂至少为 10^{20}cm^{-3} , 其中掺杂从 10^{21}cm^{-3} 起是特别合适的。

10 例如半导体层 120 通过磷或砷的扩散或注入进行 n^+ 掺杂。注入可以例如用 80keV 能量和 $1 \times 10^{16}\text{cm}^{-2}$ 剂量实现。

15 接在半导体层 120 上覆盖光刻胶掩膜。随后例如用由 CF_4 和 O_2 或 CHF_3 和 O_2 的气体混合物的第一蚀刻步骤和用含 HBr 的气体的第二蚀刻步骤进行多级的腐蚀过程。因此在半导体层 120 内蚀刻绝缘沟 130。在绝缘沟之间通过半导体层 120 的剩余材料形成凸梁 140, 该凸梁在已制成的存储器单元装置中用作字线。

接着按照合适的尽可能保形的方法在凸梁 140 和绝缘沟 130 上沉积绝缘层 150。按照 TEOS 法形成绝缘层 150 是特别合适的。这可以通过原硅酸四乙酯 $\text{Si}(\text{OC}_2\text{H}_5)_4$ 在温度约 700℃、压强范围 40 Pa 下转变为氧化硅 SiO_2 而实现。

20 图 6 示出部分半导体衬底, 其中有介质层 90、100 和 110 以及凸梁 140。在这里图 6 示出一剖面, 它垂直于图 1 到图 4 所示剖面, 并通过凸梁 30 之一。

25 接着进行绝缘层 150 的各向异性腐蚀, 其中腐蚀过程的腐蚀量相当于在平面区的绝缘层 150 的厚度。因此, 也称为 TEOS-间隔层的衬垫 160 保留在凸梁 140 的侧壁上。图 7 示出了半导体衬底的这种状态。

接着进行腐蚀工艺, 其中含氮化物的介质层 100 通过应用合适的试剂, 例如具有浓度范围为 80% 的磷酸和温度约 150℃ 情况下去除。多级腐蚀过程在含氧化物的下介质层 90 上中止。薄介质层 90 在绝缘沟 130 的区域内通过另一腐蚀过程, 例如用含氢氟酸的溶液 (HF -浸泡) 去除。图 8 示出

了半导体衬底的这种状态。

接着生长新的三叠层。为此形成下介质层 180，中间介质层 190 和上介质层 200。下介质层 180 优先由二氧化硅 SiO_2 形成，该二氧化硅例如用热处理法以所希望的层厚形成。在这里凸梁 140 和半导体材料 120 的表面区域，硅在含氧气氛中在约 800 到 900℃ 的温度转变为二氧化硅 SiO_2 。中间介质层 190 优先通过氮化物层形成，该氮化物层是在约 700℃ 通过 LPCVD 法产生的。最上层介质层 200 优先由与下介质层 180 相同的材料即重新优选由 SiO_2 构成。在最终状态下介质层 180 的厚度为例如 3 nm，而中间介质层 190 的厚度约为 7 到 8 nm，而上介质层 200 厚度为 4 nm。为了尽可能持久地储存俘获的电荷，这样一种层厚顺序是特别合适的。图 9 描绘了这种半导体衬底的这种状态。

接着整个表面形成电极层 210。电极层 210 例如由掺杂半导体材料，优选 n 掺杂多晶硅、金属硅化物和/或金属制成。

然而电极层 210 的半导体材料也可以是 p 掺杂的。

电极层 210 形成足以填满在形成字线的凸梁 140 之间的绝缘沟 130 的厚度形。因此以约 0.2 μm 到 0.6 μm 最好为 0.4 μm 的厚度沉积电极层 210。

接着，电极层 210 结构化。用多步骤方法实现电极层 210 的结构化。首先，电极层 210 通过平面化工艺，例如 CMP（化学-机械平面化）步骤去除。这时中间介质层 190 作为中止层。

接着在凸梁之上，通过去除其部分层 180，190 和 200 而去除介质层 170。之后进行另一反向腐蚀或化学-机械平面化（CMP）工艺（图 10）。

在存储器单元装置内，存储单元通过 MOS 晶体管实现，这些 MOS 晶体管分别由起漏极作用的位线 60 之一的一部分、与其邻接的起着沟道区作用的侧向区 25 的一部分、源极 29 之一的一部分、以及起着栅极介质作用的介电层 90，100，110 的一部分、和起着栅极作用的凸梁 140 之一，或起着栅极电介质作用的三叠层 180，190，200 以及起着栅极作用的结构化电极层 210 的一部分而形成。

因为凸梁 140 和结构化电极层 210 彼此自调准制成，所以沿凸梁 30 之一相邻的栅极中央间距保持具有最小可制造结构尺寸 F 的存储单元装置

是可以制造的。相邻的凸梁 30 中央间距在应用借助光刻工艺步骤制造的掩膜 15 情况下最小为 $2F$ 。因为垂直于位线 60 分布线的凸梁分别具有 2 个相邻存储单元，所以每个存储器单元的占有面积为 F^2 。

如果掩膜 15 用侧墙技术形成，则相邻凸梁 30 的中央间距可达到 F 。
5 因此每个存储器单元的占用面积可以达到 $0.5 \times F^2$ 。

图 11 示出了已完成的存储器单元装置的俯视图。在该图中位线 60 的安排以及第 1 字线 WL1 的第 2 字线 WL2 是可见的。第 1 字线 WL1 和第 2 字线 WL2 通过凸梁 140 或通过结构化电极层 210 形成。

在这里可以看到，在处于凸梁 30 上的两条位线 60 中，在单元阵列的上部区域每次一条位线与触点 220 相连。凸梁 30 的每次另一位线 60 以未示出的方式与单元阵列的下缘连接。
10

图 12 示出了单元阵列的局部的电路图。

在这里可看到在位线 60, 60', 60'' 和字线 WL1, WL2 之间的相互连。

为了说明电路的工作方式，示范地示出了为了说明存储器单元 230 必要的那些电压。
15

存储器单元 230 的写入 (Beschreiben) 可以通过电荷的隧道穿透 (Tunneln) 进行。经所属的位线 WL2 优先为 9 伏到 10 伏的栅极电压加在存储单元 230 上。所有存储单元的公共源极处于公共的、提高的、例如 5V 的电位。0 伏的漏极电压经位线 60'' 加在存储器单元 230 上。或 0 伏栅极电压或例如 5V 正漏极电压加在其它的单元上。由此避免了已写入的单元的清除。
20

存储器单元的读出主要是这样进行的，使存储器单元的公共电源极处于 0 伏，则从属于单元的位线处于正电位，以及从属于单元的字线处于例如 3V 的电位。

所有的存储器单元同时清除优先通过使单元的公共源极处于 0 V，这样所有位线 60, 60', 60'' 处于电位 0 伏，而经字线 WL1 和 WL2 加上例如 -10V 的负栅极电压。
25

本发明不限于上述实施例。尤其是 n 和 p 掺杂是可以调换的。

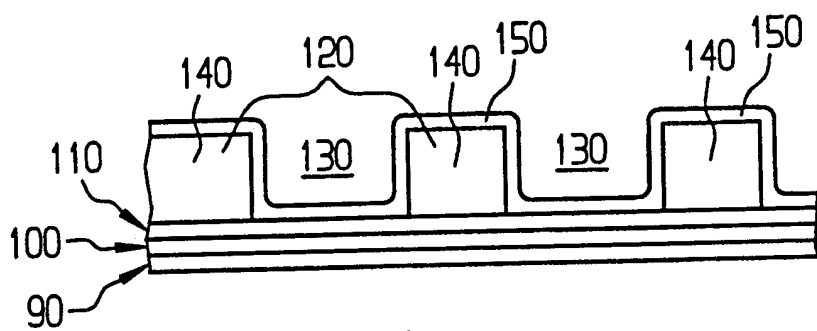


图 6

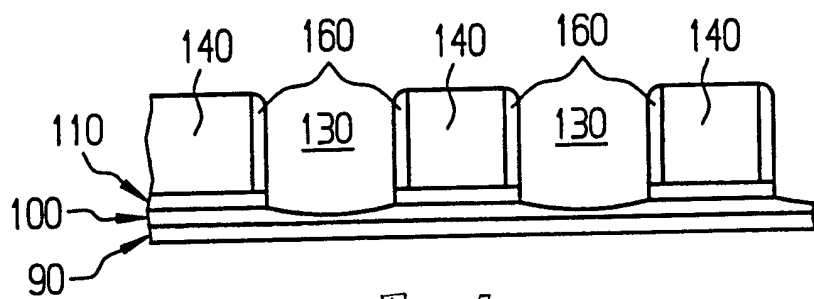


图 7

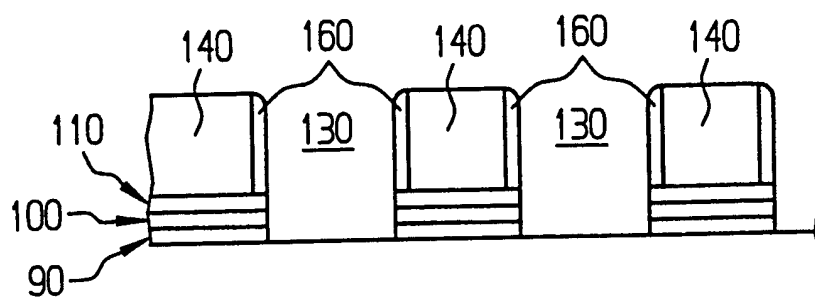


图 8

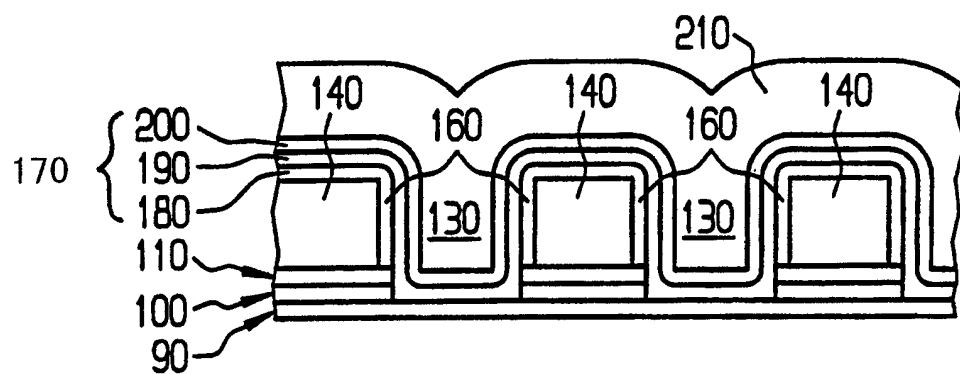


图 9

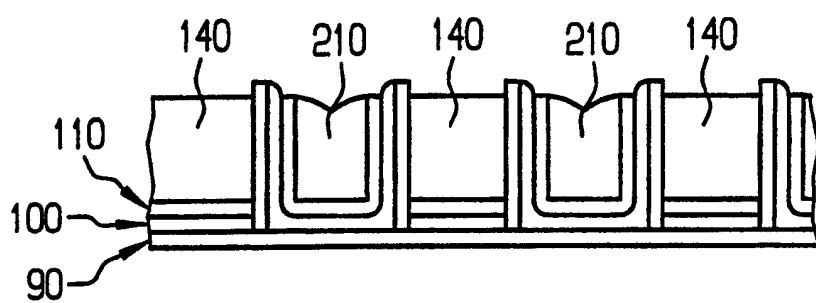


图 10

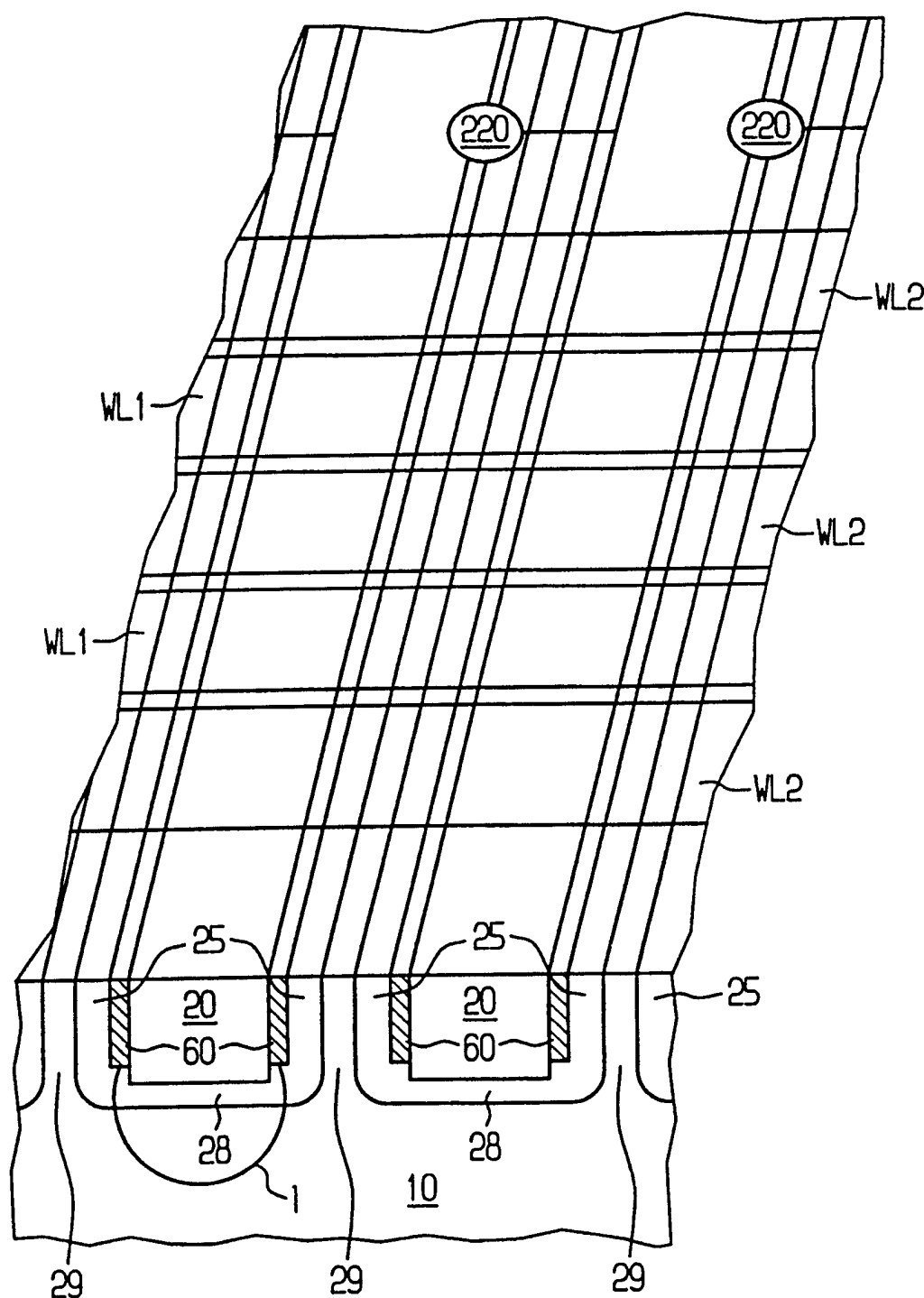


图 11

