(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2022年4月21日(21.04.2022)

WIPO | PCT

(10) 国際公開番号
WO 2022/080253 A1

(51) 国際特許分類:
H01L 27/04 (2006.01) *H01L 21/822* (2006.01)
H01G 4/30 (2006.01) *H01L 21/8234* (2006.01)
H01G 4/33 (2006.01) *H01L 27/06* (2006.01)
H01G 4/40 (2006.01) *H03H 5/12* (2006.01)

(21) 国際出願番号： PCT/JP2021/037331

(22) 国際出願日： 2021年10月8日(08.10.2021)

(25) 国際出願の言語： 日本語

(26) 国際公開の言語： 日本語

(30) 優先権データ：
特願 2020-172070 2020年10月12日(12.10.2020) JP

(71) 出願人:株式会社村田製作所(**MURATA MANUFACTURING CO., LTD.**) [JP/JP]; 〒6178555 京都府長岡京市東神足１丁目１０番１号 Kyoto (JP). 国立大学法人北陸先端科学技術大学院大学(**JAPAN ADVANCED INSTITUTE OF SCIENCE AND TECHNOLOGY**) [JP/JP]; 〒9231292 石川県能美市旭台一丁目１番地 Ishikawa (JP).

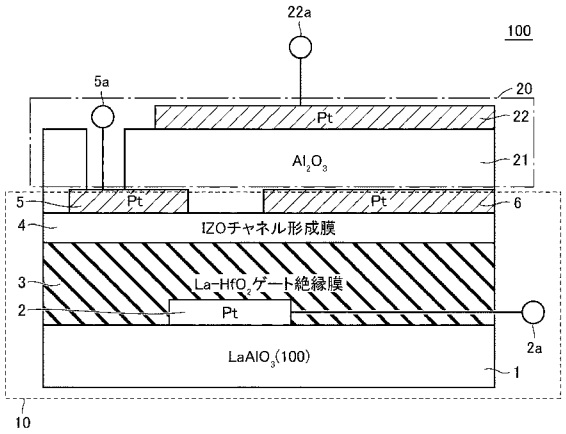
(72) 発明者: 宮迫 毅明 (**MIYASAKO, Takaaki**); 〒6178555 京都府長岡京市東神足１丁目１０番１号 株式会社村田製作所内 Kyoto (JP). ▲徳▼光 永輔(**TOKUMITSU, Eisuke**); 〒9231292 石川県能美市旭台一丁目１番地 国立大学法人北陸先端科学技術大学院大学内 Ishikawa (JP).

(74) 代理人:特許業務法人深見特許事務所(**FUKAMI PATENT OFFICE, P.C.**); 〒5300005 大阪府大

(54) **Title:** VARIABLE ELECTRONIC ELEMENT AND CIRCUIT DEVICE

(54) 発明の名称： 可変電子素子、および回路装置

[図1]
FIG.1



3 La-HfO2 gate insulation film
4 IZO channel formation film

(57) **Abstract:** This variable-capacity element (100) comprises a switch unit (10) constituting a field effect transistor, and an element unit (20) that is electrically connected to the switch unit (10) and that constitutes a capacitor (passive element). This element unit (20) has a terminal electrode (5a) (first terminal electrode) electrically connected to a source electrode (5), and a terminal electrode (22) (second terminal electrode) that constitutes a first capacitor (first passive element) together with the source electrode (5) and that constitutes a second capacitor (second passive element) together

WO 2022/080253 A1

[続葉有]

阪市北区中之島三丁目２番４号 中之島フェスティバルタワー・ウエスト Osaka (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, IT, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類：

— 国際調査報告（条約第21条(3)）

with at least a drain electrode (6).

(57) 要約：可変容量素子（１００）は、電界効果トランジスタを構成するスイッチ部（１０）と、スイッチ部（１０）と電気的に接続され、キャパシタ（受動素子）を構成する素子部（２０）と、を備えている。素子部（２０）は、ソース電極（５）と電気的に接続される端子電極（５ａ）（第１端子電極）と、ソース電極（５）との間で第１キャパシタ（第１受動素子）を構成し、少なくともドレイン電極（６）との間で第２キャパシタ（第２受動素子）を構成する端子電極（２２）（第２端子電極）と、を有している。

明　細　書

発明の名称 ： 可変電子素子、および回路装置

技術分野

[0001] 本発明は、受動素子の物理量を可変する可変電子素子、および当該可変電子素子を備える回路装置に関する。

背景技術

[0002] 近年、容量（キャパシタ）を可変することができる可変容量素子が開発されている。容量を可変する方法として、特許文献１では、マイクロマシニング技術を用いて板状の可動櫛歯電極と、当該可動櫛歯電極と微少空隙を介して面対向するように板状の固定櫛歯電極とを設けた可変容量素子が開示されている。

[0003] また、容量を可変する方法として、非特許文献１では、ＦＥＴ（Field Effect Transistor）のＯＮ／ＯＦＦ動作を利用した２端子構造の可変容量素子が開示されている。当該可変容量素子では、ＯＮ状態にしてゲート電極に電圧が印加されることで、ゲート絶縁膜（誘電体）の＋分極によってチャネル領域の電子が界面に蓄積され電極として機能するので、ソース電極側の電極面積がゲート電極と同じ面積まで広がる。そのため、ソース電極とゲート電極との間で生じる容量が大きくなる。

先行技術文献

特許文献

[0004] 特許文献1：特開２００２－３７３８２９号公報

非特許文献

[0005] 非特許文献1：Tokumitsu Eisuke, Kikuchi Kazuya, "Evaluation of Channel Modulation in In203/(Bi,La)4Ti3012Ferroelectric-Gate Thin Film Transistors by Capacitance-Voltage Measurements", Ferroelectrics, 429, p.15-21, Jun 2012

発明の概要

発明が解決しようとする課題

[0006] しかし、特許文献１で開示された可変容量素子では、可変できる容量の幅は可変前の容量のせいぜい数倍程度と小さく、周波数を大幅に変調することが要求されるワイドバンドの通信システムや電源回路等の用途に用いるには可変できる容量の幅が不十分であった。

[0007] また、非特許文献１で開示された可変容量素子では、耐電圧を上げるためにゲート絶縁膜（誘電体）の膜厚を厚くすると、容量値が膜厚に対して反比例して減少することになる。さらに、非特許文献１で開示された可変容量素子では、ゲート絶縁膜（誘電体）の膜厚を厚くすると、膜厚に比例してゲート電極に印加する制御電圧が大きくなるため消費電力が増大することになる。

[0008] そこで、本発明の目的は、受動素子の物理量（例えば、可変できる容量）を可変することができる幅を広くでき、受動素子の物理量を減少させずに十分な耐電圧を得ることが可能な可変電子素子、および回路装置を提供する。

課題を解決するための手段

[0009] 本開示の一形態に係る可変電子素子は、電界効果トランジスタを構成するスイッチ部と、スイッチ部と電気的に接続され、受動素子を構成する素子部と、を備え、スイッチ部は、ソース電極と、ドレイン電極と、少なくともソース電極の一部とドレイン電極の一部とに重ねて形成されたチャネル形成膜と、チャネル形成膜に重ねて形成されたゲート絶縁膜と、ゲート絶縁膜に重ねて形成されたゲート電極と、を有し、素子部は、ソース電極と電気的に接続される第１端子電極と、ソース電極との間で第１受動素子を構成し、少なくともドレイン電極との間で第２受動素子を構成する第２端子電極と、を有する。

[0010] 本開示の一形態に係る回路装置は、回路配線と、回路配線に電気的に接続される、上記の可変電子素子と、を備える。

発明の効果

[0011] 本開示によれば、ソース電極と第２端子電極との間で第１受動素子を構成

し、ドレイン電極と第２端子電極との間で第２受動素子を構成するので、受動素子の物理量を可変することができる幅を広くでき、受動素子の物理量を減少させずに十分な耐電圧を得ることが可能となる。

図面の簡単な説明

[0012] [図1]実施の形態１に係る可変容量素子の構成を説明するための断面図である。

[図2]実施の形態１に係る可変容量素子の構成を説明するための平面図である。

[図3]実施の形態１に係る可変容量素子の回路図である。

[図4]実施の形態１に係る可変容量素子の可変容量の幅を説明するためのグラフである。

[図5]実施の形態１に係る可変容量素子の製造方法を説明するための断面図である。

[図6]実施の形態１に係る多値化の可変容量素子の回路図である。

[図7]実施の形態１の変形例に係る可変容量素子の構成を説明するための断面図である。

[図8]実施の形態２に係る可変インダクタンス素子の構成を説明するための断面図である。

[図9]実施の形態２に係る可変インダクタンス素子の回路図である。

[図10]実施の形態３に係る回路装置の回路図である。

[図11]実施の形態３に係る回路装置の周波数特性を説明するためのグラフである。

[図12]実施の形態４に係る回路装置のブロック図である。

[図13]実施の形態４に係る回路装置のスイッチングのタイミングを示すタイミングチャートである。

[図14]実施の形態５に係る回路装置のブロック図である。

[図15]実施の形態６に係る回路装置の回路図である。

[図16]実施の形態６に係る回路装置のスイッチング特性を説明するためのグ

ラフである。

[図17]実施の形態７に係る可変容量素子の構成を説明するための断面図である。

[図18]実施の形態７に係る可変容量素子の構成を説明するための平面図である。

[図19]実施の形態８に係る可変容量素子の構成を説明するための断面図である。

[図20]実施の形態８に係る可変容量素子の構成を説明するための平面図である。

[図21]実施の形態８の変形例に係る可変容量素子の構成を説明するための断面図である。

[図22]変形例に係る可変容量素子の構成を説明するための断面図である。

[図23]可変容量素子の容量と保持電圧との関係を説明するための図である。

[図24]可変容量素子の容量と保持時間との関係を説明するための図である。

発明を実施するための形態

[0013] 以下に、本発明の実施の形態に係る可変電子素子について図面を参照して詳しく説明する。可変電子素子とは、含まれる受動素子の物理量を可変することができる素子であり、含まれる受動素子には、キャパシタ、インダクタ、レジスタなどがある。なお、図中同一符号は同一または相当部分を示す。

[0014] （実施の形態１）

実施の形態１では、含まれる受動素子がキャパシタで、容量を可変することができる可変容量素子について図面を参照しながら説明する。図１は、実施の形態１に係る可変容量素子１００の構成を説明するための断面図である。図２は、実施の形態１に係る可変容量素子１００の構成を説明するための平面図である。図３は、実施の形態１に係る可変容量素子１００の回路図である。

[0015] 図１に示す可変容量素子１００は、半導体基板１上に形成した電界効果トランジスタを構成するスイッチ部１０と、スイッチ部１０と電気的に接続さ

れ、受動素子を構成する素子部２０とを含んでいる。素子部２０は、スイッチ部１０の上部に設けられている。

[0016] スイッチ部１０は、ゲート電極２、ゲート絶縁膜３、チャネル形成膜４、ソース電極５、およびドレイン電極６を有している。図１に示すスイッチ部１０では、半導体基板１上にゲート電極２を形成し、ゲート電極２に重ねてゲート絶縁膜３およびチャネル形成膜４を順に形成し、それらの上にソース電極５およびドレイン電極６をそれぞれ形成している。

[0017] より具体的に、スイッチ部１０は、酸化物ＦＥＴ（Field Effect Transistor）である。半導体基板１には、例えば、アルミン酸ランタン（ＬＡＯ）を用い、その上に白金（Ｐｔ）でゲート電極２を図２に示す所定のパターンで形成する。ゲート絶縁膜３には、例えば、膜厚が７０ｎｍのＬａ－ＨｆO_2膜を用い、チャネル形成膜４には、例えば、膜厚が２５ｎｍのＩＺＯ膜を用いる。ＩＺＯ膜のチャネル形成膜４の上に、白金（Ｐｔ）でソース電極５およびドレイン電極６を図２に示す所定のパターンで形成する。なお、図２に示すソース電極５の上には、端子電極５ａ（第１端子電極）が設けられているが、ソース電極５自体を端子電極５ａとして用いてもよい。スイッチ部１０では、例えばチャネル幅Ｗを１００μｍ、チャネル長Ｌを１０μｍとする。

[0018] 素子部２０は、スイッチ部１０の上部に設けられ、誘電体２１のAl_2O_3膜と、誘電体２１に重ねて形成される白金（Ｐｔ）の端子電極２２（第２端子電極）とを含む。端子電極２２は、図２に示す所定のパターンで形成される。なお、ゲート電極２は、図２に示すようにソース電極５とドレイン電極６とが重なる領域から引き出され、ゲート電極２の上に制御電極端子２ａが設けられている。

[0019] 素子部２０は、ソース電極５と端子電極２２との間で第１キャパシタ（第１受動素子）を構成し、少なくともドレイン電極６と端子電極２２との間で第２キャパシタ（第２受動素子）を構成する。第１キャパシタは、図２に示すようにソース電極５と端子電極２２とが平面視で重なる部分Ｃ１である。

第２キャパシタは、チャネル形成膜４を含むドレイン電極６と端子電極２２とが平面視で重なる部分Ｃ２である。

[0020] 可変容量素子１００は、スイッチ部１０がＯＦＦ状態の場合、ゲート電極２に閾値以上のゲート電圧が印加されないので、平面視でゲート電極２と重なるチャネル形成膜４の位置に電子空乏層があり、ソース電極５とドレイン電極６とは導通しない。そのため、可変容量素子１００は、ソース電極５と当該ソース電極５と対向する端子電極２２の部分との間にのみ電圧が印加されるので第１キャパシタのみの容量となる。

[0021] しかし、可変容量素子１００は、スイッチ部１０がＯＮ状態の場合、ゲート電極２に閾値以上のゲート電圧を印加することでチャネルが形成されソース電極５とドレイン電極６とが導通する。そのため、可変容量素子１００は、ソース電極５およびドレイン電極６（その間のチャネル形成膜４を含む）と、対向する端子電極２２との間に電圧が印加されるので、第１キャパシタおよび第２キャパシタの合成容量となる。

[0022] つまり、可変容量素子１００では、スイッチ部１０をＯＮ／ＯＦＦ動作することで、第１キャパシタ素子を素子部２０する場合と、第１キャパシタおよび第２キャパシタ素子を素子部２０する場合とを切り替え、キャパシタの容量を可変している。可変容量素子１００では、ゲート電極２（制御電極端子２ａ）への印加電圧によりＯＮ／ＯＦＦ動作するスイッチ部１０と、端子電極５ａ（第１端子電極）と、端子電極２２（第２端子電極）とで動作する素子部２０とを分け、３端子で動作する可変容量素子である。そのため、可変容量素子１００は、ゲート電極とソース電極との２端子で容量を可変する非特許文献１で開示された可変容量素子と構造が異なる。

[0023] なお、スイッチ部１０において、消費電力の観点からゲート絶縁膜３は膜厚を薄くすることが望ましく、膜厚を薄くすることで耐電圧は低下するが、駆動電圧が下がるので低電圧駆動が可能になる。そこで、可変容量素子１００では、スイッチ部１０のゲート電極２と素子部２０とが電気的に分離されている構造を利用して、ゲート絶縁膜３の膜厚を薄くして低電圧駆動および

低耐電圧化することとは別に、誘電体２１を厚膜にするとともに誘電体２１を積層構造にすることで大容量化でき、耐電圧化と大容量化とを両立することが可能である。

[0024] また、可変容量素子１００では、スイッチ部１０のゲート電極２（制御電極端子２ａ）と、素子部２０の端子電極５ａ（第１端子電極）および端子電極２２（第２端子電極）とが電気的に分離されているため、素子部２０側の信号によってスイッチ部１０の動作に影響を与えることがない。図３に示す回路図からも分かるように、可変容量素子１００の端子電極５ａ（第１端子電極）および端子電極２２（第２端子電極）の端子２２ａがコンバータ回路などに接続される一方、容量を可変するための制御電極端子２ａは当該コンバータ回路とは別の回路と接続される。そのため、コンバータ回路の信号によって制御電極端子２ａに印加される信号が影響される可能性が低い。

[0025] さらに、可変容量素子１００では、スイッチ部１０のチャネル長Ｌを短くすることで、ソース電極５とドレイン電極６との間のチャネル形成膜４の電気抵抗を下げることができる。そのため、可変容量素子１００では、容量を高速に可変させるために、スイッチ部１０のスイッチング速度（時定数）を改善することで対応することができる。

[0026] 次に、可変容量素子１００が可変できる容量の幅について説明する。図４は、実施の形態１に係る可変容量素子１００の可変容量の幅を説明するためのグラフである。可変容量素子１００が可変できる容量の幅は、上述したように第２キャパシタの容量に依存する。つまり、ドレイン電極６と端子電極２２とが平面視で重なる部分Ｃ２が広くなるほど第２キャパシタの容量が大きくなり、可変容量素子１００が可変できる容量の幅も広くできる。

[0027] 図４に示すグラフでは、ドレイン電極６と端子電極２２とが平面視で重なる部分Ｃ２の面積を、ソース電極５と端子電極２２とが平面視で重なる部分Ｃ１の面積の１０００倍（面積比１０００倍）にした可変容量素子１００の実測値である。なお、図４では、横軸をゲート電極２の印加電圧（単位はＶ）、縦軸を可変容量素子１００の容量（単位はｐＦ）としている。

[0028] 第１キャパシタのみの容量が０．０４８ｐＦ、第１キャパシタおよび第２キャパシタの容量が４８ｐＦとなるように設計した可変容量素子１００を実測すると、図４のようにゲート電極２の印加電圧が閾値未満の場合の容量が０．０５２ｐＦ、閾値以上の場合の容量が４１ｐＦとなった。可変容量素子１００では、容量の変調率が４１／０．０５２＝７８８．５と約８００倍となった。

[0029] 次に、可変容量素子１００の製造方法について図を用いて説明する。図５は、実施の形態１に係る可変容量素子の製造方法を説明するための断面図である。まず、図５（ａ）では、準備したアルミン酸ランタン（ＬＡＯ）の半導体基板１の（１００）面に、膜厚８０ｎｍの白金（Ｐｔ）のゲート電極２を形成する。具体的に、ゲート電極２は、半導体基板１の（１００）面にフォトリソグラフィ技術を用いて所定のパターンのフォトレジストを形成し、その後、高周波（ＲＦ）スパッタリングで白金（Ｐｔ）を成膜して、リフトオフでフォトレジストを取り去ることで形成される。

[0030] 図５（ｂ）では、ゲート電極２を形成した半導体基板１の面に重ねて膜厚７０ｎｍのゲート絶縁膜３を形成する。具体的に、ゲート絶縁膜３は、化学溶液堆積法（ＣＳＤ：Chemical Solution Deposition）を用いゲート電極２を形成した半導体基板１の面にＬａ－ＨｆO_2溶液をスピンコートして成膜し、１５０℃で乾燥させた後、酸素雰囲気下、８００℃で焼成して結晶化することで形成される。

[0031] 図５（ｃ）では、ゲート絶縁膜３に重ねて膜厚２５ｎｍのチャネル形成膜４を形成する。具体的に、チャネル形成膜４は、化学溶液堆積法（ＣＳＤ）を用い、ゲート絶縁膜３に重ねてＩＺＯ溶液をスピンコートして成膜し、１５０℃で乾燥させた後、酸素雰囲気下、５００℃で焼成して結晶化することで形成される。

[0032] 図５（ｄ）では、チャネル形成膜４の上に、膜厚８０ｎｍの白金（Ｐｔ）のソース電極５およびドレイン電極６を形成する。具体的に、ソース電極５およびドレイン電極６は、チャネル形成膜４の上にフォトリソグラフィ技術

を用いて所定のパターンのフォトレジストを形成し、その後、高周波（ＲＦ）スパッタリングで白金（Ｐｔ）を成膜して、リフトオフでフォトレジストを取り去ることで形成される。

[0033] 図５（ｅ）では、ソース電極５およびドレイン電極６の上に、膜厚５００ｎｍのAl_2O_3膜で誘電体２１を形成する。具体的に、誘電体２１は、ソース電極５およびドレイン電極６の上にフォトリソグラフィ技術を用いて所定のパターンのフォトレジストを形成し、その後、ＥＣＲ（Electron Cyclotron Resonance）スパッタリングでAl_2O_3膜を成膜して、リフトオフでフォトレジストを取り去ることで形成される。

[0034] 図５（ｆ）では、誘電体２１の上に、膜厚８０ｎｍの白金（Ｐｔ）の端子電極２２を形成する。具体的に、端子電極２２は、誘電体２１の上にフォトリソグラフィ技術を用いて所定のパターンのフォトレジストを形成し、その後、高周波（ＲＦ）スパッタリングで白金（Ｐｔ）を成膜して、リフトオフでフォトレジストを取り去ることで形成される。

[0035] これまで説明した可変容量素子１００は、第１キャパシタのみの容量と、第１キャパシタおよび第２キャパシタの合成容量との２値で容量を可変する素子について説明した。しかし、半導体基板１上に、複数の可変容量素子１００をマトリクス状に形成することで、多値化の可変容量素子を構成することができる。図６は、実施の形態１に係る多値化の可変容量素子１００ａの回路図である。なお、含まれる受動素子がキャパシタ以外の、インダクタ、レジスタなどの可変電子素子をマトリクス状に複数形成することで、同様に多値化の可変電子素子を構成することができる。

[0036] 図６では、図３に示した１つの可変容量素子１００をマトリクス状にｎ×ｎ個接続した可変容量素子１００ａの回路図が図示されている。図６に示す可変容量素子１００ａでは、端子電極５ａ（第１端子電極）および端子電極２２（第２端子電極）の端子２２ａがｎ×ｎ個の可変容量素子１００に対して共通である。しかし、ｎ×ｎ個の可変容量素子１００の各々の制御電極端子２ａは、別々に設けられており、端子Ｇ１１～端子Ｇｎｎと図６では図示

されている。これら端子Ｇ１１～端子Ｇｎｎに信号を供給することで、必要な数の可変容量素子１００をＯＮ状態にして必要な容量を得ることができるので、可変容量素子１００ａは可変する容量を多値化することができる。

[0037] さらに、可変容量素子１００では、図１に示すようにスイッチ部１０の上に素子部２０を設ける構成について説明したが、素子部２０をスイッチ部１０の下に設けてもよい。具体的に、素子部２０をスイッチ部１０の下に設けた可変容量素子について説明する。図７は、実施の形態１の変形例に係る可変容量素子１００ｂ，１００ｃの構成を説明するための断面図である。なお、図７に示す可変容量素子１００ｂ，１００ｃにおいて、図１に示す可変容量素子１００と同じ構成については同じ符号を付して詳細な説明は繰り返さない。

[0038] 図７（ａ）は、素子部２０ｂに積層セラミックコンデンサ（ＭＬＣＣ：multi-layer ceramic capacitor）を用いた可変容量素子１００ｂである。可変容量素子１００ｂでは、素子部２０ｂの積層セラミックコンデンサの上面にソース電極５およびドレイン電極６を形成し、その上にチャネル形成膜４、ゲート絶縁膜３、ゲート電極２の順に形成してスイッチ部１０を構成している。

[0039] 素子部２０ｂの積層セラミックコンデンサには、ソース電極５に接続される第１キャパシタの部分と、ドレイン電極６に接続される第２キャパシタの部分とを含んでいる。第１キャパシタの部分は、ソース電極５に接続される電極２５ｂと、積層セラミックコンデンサの外部電極である端子電極２２ｂに接続される電極２４ｂとを、例えばチタン酸バリウムの誘電体２１ｂを挟んで複数積層した構成である。また、第２キャパシタの部分は、ドレイン電極６に接続される電極２３ｂと、端子電極２２ｂに接続される電極２４ｂとを、誘電体２１ｂを挟んで複数積層した構成である。

[0040] 可変容量素子１００ｂは、可変容量素子１００と同様に、スイッチ部１０がＯＦＦ状態の場合、ゲート電極２に閾値以上のゲート電圧が印加されないので、平面視でゲート電極２と重なるチャネル形成膜４の位置に電子空乏層

があり、ソース電極５とドレイン電極６とは導通しない。そのため、可変容量素子１００ｂは、ソース電極５に接続される電極２５ｂと端子電極２２ｂに接続される電極２４ｂとの間の誘電体２１ｂにのみ電圧が印加されるので第１キャパシタのみの容量となる。

[0041] 一方、可変容量素子１００ｂは、スイッチ部１０がＯＮ状態の場合、ゲート電極２に閾値以上のゲート電圧を印加することでチャネルが形成されソース電極５とドレイン電極６とが導通する。そのため、可変容量素子１００ｂは、ソース電極５に接続される電極２５ｂおよびドレイン電極６に接続される電極２３ｂと、端子電極２２ｂに接続される電極２４ｂとの間の誘電体２１ｂに電圧が印加されるので、第１キャパシタおよび第２キャパシタの合成容量となる。

[0042] 素子部２０ｂの積層セラミックコンデンサの部分には、ＬＴＣＣ（Low Temperature Co-fired Ceramics）やＨＴＣＣ（High Temperature Co-Fired Ceramics）など様々な構成を適用することが可能である。

[0043] 図７（ｂ）は、素子部２０ｃにシリコンキャパシタを用いた可変容量素子１００ｃである。可変容量素子１００ｃでは、素子部２０ｃのシリコンキャパシタの上面にソース電極５およびドレイン電極６を形成し、その上にチャネル形成膜４、ゲート絶縁膜３、ゲート電極２の順に形成してスイッチ部１０を構成している。

[0044] 素子部２０ｃのシリコンキャパシタは、半導体プロセスにより形成され、シリコン基板１ａにｎ型不純物イオンを注入して形成したＮ＋層２４ｃと、その表面に形成された誘電体２１ｃと、誘電体２１ｃの表面に形成され、ソース電極５と接続されるポリシリコン層２５ｃまたはドレイン電極６と接続されるポリシリコン層２３ｃとで構成されている。誘電体２１ｃは、例えばＣＶＤ（Chemical Vapor Deposition）法などで形成した、例えば酸化シリコン、窒化シリコン、酸化ハフニウム、ハフニウムシリケート、アルミナ、チタン酸バリウムなどの無機材料からなる。なお、シリコン基板１ａに複数のトレンチまたは複数のピラーを形成して凸凹形状となっている。

[0045] 素子部２０ｃのシリコンキャパシタには、ソース電極５に接続される第１キャパシタの部分と、ドレイン電極６に接続される第２キャパシタの部分とを含んでいる。第１キャパシタの部分は、ソース電極５に接続されるポリシリコン層２５ｃと、端子電極２２ｃに接続されるＮ＋層２４ｃとの間に挟まれた誘電体２１ｃの部分で構成される。また、第２キャパシタの部分は、ドレイン電極６に接続されるポリシリコン層２３ｃと、端子電極２２ｃに接続されるＮ＋層２４ｃとの間に挟まれた誘電体２１ｃの部分で構成される。

[0046] 可変容量素子１００ｃは、可変容量素子１００と同様に、スイッチ部１０がＯＦＦ状態の場合、ゲート電極２に閾値以上のゲート電圧が印加されないので、平面視でゲート電極２と重なるチャネル形成膜４の位置に電子空乏層があり、ソース電極５とドレイン電極６とは導通しない。そのため、可変容量素子１００ｃは、ソース電極５に接続されるポリシリコン層２５ｃと、端子電極２２ｃに接続されるＮ＋層２４ｃとの間に挟まれた誘電体２１ｃの部分にのみ電圧が印加されるので第１キャパシタのみの容量となる。

[0047] 一方、可変容量素子１００ｃは、スイッチ部１０がＯＮ状態の場合、ゲート電極２に閾値以上のゲート電圧を印加することでチャネルが形成されソース電極５とドレイン電極６とが導通する。そのため、可変容量素子１００ｃは、ソース電極５と接続されるポリシリコン層２５ｃおよびドレイン電極６に接続されるポリシリコン層２３ｃと、端子電極２２ｃに接続されるＮ＋層２４ｃとの間に挟まれた誘電体２１ｃの部分に電圧が印加されるので、第１キャパシタおよび第２キャパシタの合成容量となる。

[0048] なお、素子部２０ｃのシリコンキャパシタでは、シリコン基板１ａに凸凹形状の部分を設けることで素子部２０ｃの容量を大きくしているが、必要な容量を確保できるのであれば、誘電体２１ｃは平行平板の形状であってもよい。

[0049] 以上のように、実施の形態１に係る可変容量素子１００は、電界効果トランジスタを構成するスイッチ部１０と、スイッチ部１０と電気的に接続され、キャパシタ（受動素子）を構成する素子部２０と、を備えている。スイッ

チ部１０は、ソース電極５と、ドレイン電極６と、少なくともソース電極５の一部とドレイン電極６の一部とに重ねて形成されたチャネル形成膜４と、チャネル形成膜４に重ねて形成されたゲート絶縁膜３と、ゲート絶縁膜３に重ねて形成されたゲート電極２と、を有している。素子部２０は、ソース電極５と電気的に接続される端子電極５ａ（第１端子電極）と、ソース電極５との間で第１キャパシタ（第１受動素子）を構成し、少なくともドレイン電極６との間で第２キャパシタ（第２受動素子）を構成する端子電極２２（第２端子電極）と、を有している。そのため、可変容量素子１００は、スイッチ部１０をＯＮ／ＯＦＦ動作することで、第１キャパシタで素子部２０を構成する場合と、第１キャパシタおよび第２キャパシタで素子部２０を構成する場合とを切り替え、キャパシタの容量を可変できる。なお、スイッチ部１０は、素子部２０の上部または下部に設けられることが好ましい。

[0050] これにより、実施の形態１に係る可変容量素子１００は、ソース電極５と端子電極２２との間で第１キャパシタを構成し、ドレイン電極６と端子電極２２との間で第２キャパシタを構成するので、キャパシタの容量を可変することができる幅を広くでき、キャパシタの容量を減少させずに十分な耐電圧を得ることが可能となる。

[0051] なお、素子部２０は、ソース電極５およびドレイン電極６に重ねて設けられる誘電体２１をさらに有し、ソース電極５と端子電極２２との間の誘電体２１で第１受動素子となる第１キャパシタを構成し、少なくともドレイン電極６と端子電極２２との間の誘電体２１で第２受動素子となる第２キャパシタを構成することが好ましい。

[0052] また、ゲート電極２は、半導体基板１上に形成され、ゲート絶縁膜３は、ゲート電極２および半導体基板１上に形成され、チャネル形成膜４は、ゲート絶縁膜３上に形成され、ソース電極５およびドレイン電極６は、チャネル形成膜４上に形成され、誘電体２１は、ソース電極５およびドレイン電極６上に形成され、端子電極２２は、誘電体２１上に形成されることが好ましい。

[0053] （実施の形態２）

実施の形態１に係る可変電子素子は、含まれる受動素子がキャパシタで、容量を可変することができる可変容量素子について説明したが、含まれる受動素子はキャパシタに限定されない。本実施の形態２に係る可変電子素子は、含まれる受動素子がインダクタで、インダクタンスを可変することができる可変インダクタンス素子について図面を参照しながら説明する。図８は、実施の形態２に係る可変インダクタンス素子２００の構成を説明するための断面図である。図９は、実施の形態２に係る可変インダクタンス素子２００の回路図である。なお、図８，図９に示す可変インダクタンス素子２００において、図１，図３に示す可変容量素子１００と同じ構成については同じ符号を付して詳細な説明は繰り返さない。

[0054] 図８に示す可変インダクタンス素子２００は、電界効果トランジスタを構成するスイッチ部１０と、スイッチ部１０と電気的に接続され、受動素子を構成する素子部２０Ａとを含んでいる。素子部２０Ａは、スイッチ部１０の下部に設けられている。

[0055] スイッチ部１０は、ゲート電極２、ゲート絶縁膜３、チャネル形成膜４、ソース電極５、およびドレイン電極６を有している。図８に示すスイッチ部１０では、素子部２０Ａの上面にソース電極５およびドレイン電極６を形成し、その上にチャネル形成膜４、ゲート絶縁膜３、ゲート電極２の順に形成してスイッチ部１０を構成している。

[0056] 図８に示すように可変インダクタンス素子２００では、素子部２０Ａがインダクタであり、ソース電極５に接続される第１インダクタの部分と、ドレイン電極６に接続される第２インダクタの部分とを含んでいる。第１インダクタの部分は、ソース電極５とインダクタの外部電極である端子電極２２Ａとに接続されるコイル電極２３で構成される。第２インダクタの部分は、ドレイン電極６とインダクタの外部電極である端子電極２２Ａとに接続されるコイル電極２４で構成される。コイル電極２３およびコイル電極２４は、同じ非磁性セラミックス２５の中に形成されている。なお、図８に示すソース

電極５の上には、端子電極５ａ（第１端子電極）が設けられているが、ソース電極５自体を端子電極５ａとして用いてもよい。また、図８に示すゲート電極２の上には、制御電極端子２ａが設けられているが、ゲート電極２自体を制御電極端子２ａとして用いてもよい。さらに、図８に示す端子電極２２Ａの上には、端子電極２２Ａの端子２２ａが設けられているが、端子電極２２Ａ自体を端子２２ａとして用いてもよい。

[0057] 可変インダクタンス素子２００は、可変容量素子１００と同様に、スイッチ部１０がＯＦＦ状態の場合、ゲート電極２に閾値以上のゲート電圧が印加されないので、平面視でゲート電極２と重なるチャネル形成膜４の位置に電子空乏層があり、ソース電極５とドレイン電極６とは導通しない。そのため、可変インダクタンス素子２００は、ソース電極５と端子電極２２Ａとの間のコイル電極２４にのみ電流が流れるので第１インダクタのみのインダクタンスとなる。

[0058] 一方、可変インダクタンス素子２００は、スイッチ部１０がＯＮ状態の場合、ゲート電極２に閾値以上のゲート電圧を印加することでチャネルが形成されソース電極５とドレイン電極６とが導通する。そのため、可変インダクタンス素子２００は、ソース電極５と端子電極２２Ａとの間のコイル電極２３と、ドレイン電極６と端子電極２２Ａとの間のコイル電極２４とに電流が流れるので第１インダクタおよび第２インダクタの合成インダクタンスとなる。

[0059] 可変インダクタンス素子２００は、図９に示す回路図からも分かるように、端子電極５ａ（第１端子電極）および端子電極２２Ａ（第２端子電極）の端子２２ａがコンバータ回路などに接続される一方、インダクタンスを可変するための制御電極端子２ａは当該コンバータ回路とは別の回路と接続される。そのため、コンバータ回路の信号によって制御電極端子２ａに印加される信号が影響される可能性が低い。

[0060] 以上のように、実施の形態２に係る可変インダクタンス素子２００は、受動素子は、インダクタであって、素子部２０Ａは、ソース電極５と端子電極

２２Ａとの間に電気的に接続され、第１受動素子となる第１インダクタと、ドレイン電極６と端子電極２２Ａとの間に電気的に接続され、第２受動素子となる第２インダクタとを有する。

[0061] これにより、実施の形態２に係る可変インダクタンス素子２００は、ソース電極５と端子電極２２Ａとの間で第１インダクタを構成し、ドレイン電極６と端子電極２２Ａとの間で第２インダクタを構成するので、インダクタのインダクタンスを可変することができる幅を広くでき、インダクタのインダクタンスを減少させずに十分な耐電圧を得ることが可能となる。

[0062] なお、複数の可変インダクタンス素子２００をマトリクス状に形成することで、多値化の可変インダクタンス素子を構成してもよい。また、図８に示すコイル電極２３，２４を抵抗素子に変更することで、受動素子をレジスタとして可変レジスタ素子としてもよい。さらに、実施の形態１および実施の形態２で説明したスイッチ部１０の構成は、説明した構成に限定されず、例えば、シリコンＭＯＳＦＥＴやＧａＮＦＥＴなどであってもよい。

[0063] （実施の形態３）

実施の形態１および実施の形態２で説明したように、可変容量素子１００，１００ａおよび可変インダクタンス素子２００は、その構成上、受動素子の物理量を可変することができる幅を広くでき、受動素子の物理量を減少させずに十分な耐電圧を得ることができる特性を有している。この特性を利用する可変容量素子１００，１００ａや可変インダクタンス素子２００を含む回路装置について以下に説明する。

[0064] 図１０は、実施の形態３に係る回路装置の回路図である。図１０（ｂ）は、図１０（ａ）の等価回路である。図１０（ａ）に示す回路装置３００は、負荷変動に応じて出力レベルを調整する回路で、ＬＬＣ共振コンバータである。ＬＬＣ共振コンバータである回路装置３００は、入力電圧Ｖｉｎを出力電圧Ｖｏｕｔに変換することができる。回路装置３００は、スイッチング素子Ｑ１，Ｑ２と、トランスＴと、共振用コンデンサＣｒと、漏れインダクタＬｒ，Ｌｒ１，Ｌｒ２、励磁インダクタＬｍ、出力整流ダイオードＤ１，Ｄ

２と、出力コンデンサＣ０と、を有する。出力コンデンサＣ０は、負荷抵抗Ｒ０に接続されている。

[0065] ＬＬＣ共振コンバータである回路装置３００の入出力電圧比（｜Ｖｏｕｔ／Ｖｉｎ｜）は、（式１）と表すことができる。

[0066] [数1]

$$\frac{|Vout|}{|Vin|}=\frac{1}{\sqrt{\left(1+\frac{1}{S}-\frac{1}{SF^2}\right)^2+Q^2\left(F-\frac{1}{F}\right)^2}} \quad \cdots\cdots \text{（式１）}$$

[0067] なお、（式１）のそれぞれの変数は、（式２）および（式３）と表される。

[0068] [数2]

$$S=\frac{L_m}{L_r}\ ,\qquad f_r=\frac{1}{2\pi\sqrt{L_mC_r}}\ ,\qquad F=\frac{f}{f_r} \quad \cdots\cdots \text{（式２）}$$

[0069] [数3]

$$R_{ac}=\frac{8}{\pi^2}\left(\frac{n_1}{n_2}\right)^2R_0\ ,\qquad Q=\frac{\sqrt{\frac{L_r}{C_r}}}{R_{ac}} \quad \cdots\cdots \text{（式３）}$$

[0070] ＬＬＣ共振コンバータの入出力電圧比は、（式１）から分かるように、スイッチング素子Ｑ１，Ｑ２のスイッチング周波数ｆを変調させることで調整できる。そして、ＬＬＣ共振コンバータでは、通常、入出力電圧比が最大値となる周波数以上で動作させ、負荷変動に応じてスイッチング周波数を変えることで、ＬＬＣ共振コンバータの出力電圧（Ｖｏｕｔ）を調整している。

[0071] ＬＬＣ共振コンバータは、例えば、出力電圧（Ｖｏｕｔ）を下げる場合、入出力電圧比が最大値となる周波数より高いスイッチング周波数にする必要があった。しかし、ＬＬＣ共振コンバータの電力損失は、スイッチング周波数に依存するため、スイッチング周波数を高くして、ＬＬＣ共振コンバータの出力電圧（Ｖｏｕｔ）を下げると電力損失が増大する問題があった。

[0072] そこで、回路装置３００では、スイッチング周波数を高くすることなく、ＬＬＣ共振コンバータの出力電圧（Ｖｏｕｔ）を下げるために、共振用コン

デンサＣｒに実施の形態１の可変容量素子１００を用いる。回路装置３００は、共振用コンデンサＣｒを可変容量素子１００とすることで、スイッチング周波数を高くすることなく、出力電圧（Ｖｏｕｔ）を下げることができる。

[0073] 図１１は、実施の形態３に係る回路装置３００の周波数特性を説明するためのグラフである。図１１（ａ）には、共振用コンデンサＣｒ（例えば、０．０２μＦ）に対して容量を１．５倍、１０倍、１００倍にした場合の入出力電圧比の周波数特性が示されている。図１１（ｂ）は、図１１（ａ）のグラフの一部の拡大図である。図１１（ａ）および図１１（ｂ）では、横軸を動作周波数（単位はＨｚ）とし、縦軸を入出力電圧比としている。

[0074] 図１１（ａ）および図１１（ｂ）では、共振用コンデンサＣｒの容量を１００倍にした場合の入出力電圧比の周波数特性がグラフＡ、共振用コンデンサＣｒの容量を１０倍にした場合がグラフＢである。また、図１１（ａ）および図１１（ｂ）では、共振用コンデンサＣｒの容量を１．５倍にした場合の入出力電圧比の周波数特性がグラフＣ、共振用コンデンサＣｒの容量のままとした場合がグラフＤである。

[0075] 図１１（ｂ）で示すように、グラフＡ～グラフＤが同じ動作周波数（破線で示す周波数）のとき示す入出力電圧比は大きく変化する。具体的に、グラフＤの入出力電圧比は、｜Ｖｏｕｔ／Ｖｉｎ｜＝４．０、グラフＣの入出力電圧比は、｜Ｖｏｕｔ／Ｖｉｎ｜＝２．２となる。また、グラフＢの入出力電圧比は、｜Ｖｏｕｔ／Ｖｉｎ｜＝０．９、グラフＡの入出力電圧比は、｜Ｖｏｕｔ／Ｖｉｎ｜＝０．８となる。つまり、共振用コンデンサＣｒの容量を１０倍程度可変させることで、動作周波数を変更することなく入出力電圧比を４．０から０．９までの範囲で変更することができる。

[0076] このように、回路装置３００の共振用コンデンサＣｒに可変容量素子１００を用いることで、電力損失が増大させることなく出力電圧（Ｖｏｕｔ）を下げることができる。特に、回路装置３００の共振用コンデンサＣｒに多値化した可変容量素子１００ａを用いることで、共振用コンデンサＣｒの容量

をダイナミックに可変させることができ、入出力電圧比を多段階に変更することができる。

[0077] （実施の形態４）

次に、ＬＬＣ共振コンバータのソフトスイッチング制御について説明する。ＬＬＣ共振コンバータは、図１０で示したようにＬＣ共振を用いた回路構成であり、当該回路構成により低損失なソフトスイッチングを実現することができる。特に、共振用コンデンサＣｒに可変容量素子１００を用いることで、例えば、スイッチングアンプ（ＰＷＭ（Pulse Width Modulation）アンプなど）についても、共振用コンデンサＣｒの容量をダイナミックに可変させることで、スイッチング時の損失を大きく低減することができる。

[0078] 図１２は、実施の形態４に係る回路装置のブロック図である。図１２に示す回路装置は、スイッチングアンプであり、その中のＤ級出力段３０１に共振用コンデンサＣｒを可変容量素子１００としたＬＬＣ共振コンバータを用いる。Ｄ級出力段３０１では、共振用コンデンサＣｒ（可変容量素子１００）の容量値をダイナミックに可変にすることで、Ｄ級出力段３０１以降の容量性インピーダンスを低減し、低損失なソフトスイッチングを実現できる。

[0079] 低損失なソフトスイッチングを実現するＬＬＣ共振コンバータについて、さらに図を用いて詳しく説明する。図１３は、実施の形態４に係る回路装置のスイッチングのタイミングを示すタイミングチャートである。通常のスイッチングでは、図１３（ａ）に示すように電圧V_{DS}と電流I_Dとの切り替えが同時に発生し、ＰＷＭのＯＦＦ時に対して電流I_Dの立下りが遅れるため、電圧V_{DS}と電流I_Dとが交差する部分でスイッチングロス（Ｐ＝ＩＶ）が発生する。図１３（ａ）に示すようなスイッチングをハードスイッチングという。

[0080] 一方、ＬＬＣ共振コンバータでは、ＬＣ共振周波数で電圧および電流を振動させることで、図１３（ｂ）に示すように電圧V_{DS}がゼロの状態でＰＷＭをＯＮ状態（ＺＶＳ：Zero Voltage Switching）にすることが可能である。また、ＬＬＣ共振コンバータでは、ＬＣ共振周波数で電圧および電流を振動させることで、電流I_Dがゼロの状態でＰＷＭをＯＮ状態（ＺＣＳ：Zero

Current Switching）が可能となる。そのため、ＬＬＣ共振コンバータでは、スイッチング損失を低減することがでる。図１３（ｂ）に示すようなスイッチングをソフトスイッチングという。

[0081] 図１０に示すようなＬＬＣ共振コンバータ（回路装置３００）は、共振用コンデンサＣｒと漏れインダクタＬｒとの共振周波数ｆｒと、共振用コンデンサＣｒと漏れインダクタＬｒと励磁インダクタＬｍとの共振周波数ｆｍとの２つの共振周波数を持っている。ＬＬＣ共振コンバータである回路装置３００において、ソフトスイッチングの状態が成立する条件は、共振周波数ｆｒ，ｆｍとスイッチング周波数ｆとの関係で決まる。例えば、スイッチング周波数ｆが共振周波数ｆｍよりも小さい場合（ｆ＜ｆｍ）、回路装置３００は、ハードスイッチングの条件を満たす。ただし、ゲイン反転が生じるため通常使用されない条件である。

[0082] また、スイッチング周波数ｆが共振周波数ｆｍよりも大きく共振周波数ｆｒよりも小さい場合（ｆｍ＜ｆ＜ｆｒ）、回路装置３００は、ソフトスイッチングの条件を満たす。さらに、スイッチング周波数ｆが共振周波数ｆｒと等しい場合（ｆ＝ｆｒ）、回路装置３００は、ハードスイッチングの条件を満たす。また、スイッチング周波数ｆが共振周波数ｆｒよりも大きい場合（ｆｒ＜ｆ）、回路装置３００は、ソフトスイッチングの条件を満たす。

[0083] ＬＬＣ共振コンバータである回路装置３００において、ソフトスイッチングの状態が成立する条件は、負荷条件によっても異なり、（式４）および（式５）に示す条件式により決定される。

[0084] [数4]

$$|Vin - Vcr| \times \frac{L_m}{L_r + L_m} < Vout \times \frac{n_1}{n_2} \quad \cdots\cdots \text{（式４）}$$

[0085] [数5]

$$|Vin - Vcr| \times \frac{L_m}{L_r + L_m} > Vout \times \frac{n_1}{n_2} \quad \cdots\cdots \text{（式５）}$$

[0086] （式４）の条件式を満たす場合、出力整流ダイオードＤ２が導通しないの

で、回路装置３００において、ソフトスイッチングの状態が成立する。一方、（式５）の条件式を満たす場合、出力整流ダイオードＤ２が導通するので、回路装置３００において、ソフトスイッチングの状態が成立しない。

[0087] 例えば、Ｖｏｕｔが一定の場合、Ｖｉｎや共振用コンデンサＣｒの電圧Ｖｃｒの変動によってソフトスイッチングが成立する条件が変わるため、回路装置３００では、スイッチング損失が増大する条件が発生する。ここで、電圧Ｖｃｒは負荷条件および共振用コンデンサＣｒの容量で変動する。そのため、回路装置３００では、共振用コンデンサＣｒに可変容量素子１００を用いて容量を可変することで、ソフトスイッチングが成立する条件に制御することが可能となる。

[0088] 回路装置３００では、共振用コンデンサＣｒに可変容量素子１００を用いている。可変容量素子１００は、実施の形態１で説明したように、従来の可変容量素子に比べて、容量を可変できる幅が広いので入力電圧Ｖｉｎや負荷条件の大きな変動に対応することが可能である。

[0089] このように、回路装置３００の共振用コンデンサＣｒに可変容量素子１００を用いることで共振用コンデンサＣｒの容量を大きく可変することができ、ソフトスイッチングが成立する条件を広く確保することができる。特に、回路装置３００の共振用コンデンサＣｒに多値化した可変容量素子１００ａを用いることで、共振用コンデンサＣｒの容量をダイナミックに可変させることができ、ソフトスイッチングが成立する条件の調整を多段階で行うことができる。

[0090] なお、回路装置３００の共振用コンデンサＣｒに可変容量素子１００を用いる以外に、漏れインダクタＬｒ、励磁インダクタＬｍに実施の形態２で説明した可変インダクタンス素子を用いても同様の効果が得られる。また、共振用コンデンサＣｒ等を可変させることでソフトスイッチングが成立する条件を調整することができる回路装置は、ＬＬＣ共振コンバータである回路装置３００に限定されず、電流共振回路、電圧共振回路、複共振回路、直列共振回路、並列共振回路など様々な共振方式の回路装置にも適用することがで

きる。

[0091] （実施の形態５）

次に、マルチバンドの無線通信端末に、実施の形態１で説明した可変容量素子、実施の形態２で説明した可変インダクタンス素子を適用した回路構成について説明する。ＩｏＴ（Internet of Things）の普及に伴い、無線通信システムでは、利用する場所、時間、利用可能な周波数、必要な信号伝送スピード等の各条件に応じて最適な通信特性を提供することが望まれている。例えば、大容量かつ高密集のデータを通信するために、無線通信システムでは、数１０ＭＨｚ～５ＧＨｚ程度の非常に広い周波数帯域を１台の無線通信端末で利用することが要求されている。

[0092] そのため、無線通信端末では、マルチバンド化が必要で各周波数に対応したＲＦ回路を複数設け、適宜、使用するＲＦ回路を切り替える必要がある。しかし、複数のＲＦ回路を設けると、無線通信端末は、回路規模、部品点数が増大し、端末の小型化および低コスト化が困難になる。

[0093] そこで、無線通信端末では、複数の周波数に対して回路ブロックを共有化して回路規模、部品点数を削減する必要がある。ただし、複数の周波数に対して回路ブロックを共有化すると、回路ブロック間での信号反射を抑制する必要があり各周波数に応じてインピーダンス整合を取る必要がある。また、無線通信端末の受信アンテナを共有化するには、アンテナの共振周波数を大幅に変調する必要がある。無線通信端末では、インピーダンス整合や共振周波数の変調を行うためにキャパシタの容量値を可変すれば、回路規模、部品点数を削減しつつ、複数の周波数帯域をカバーすることが可能となる。

[0094] 実施の形態１で説明した可変容量素子１００は、従来の可変容量素子に比べて可変することができる容量の幅が広くできる。そのため、可変容量素子１００を用いた無線通信端末では、広い周波数帯域をカバーすることができる。また、可変容量素子１００は、制御電極端子２ａに印加する電圧により容量値が切り替わるので、従来の可変容量素子のように電圧に対して容量値が非線形に（緩やかに）変化することがない。そのため、可変容量素子１０

０を用いた無線通信端末では、ひずみ信号が発生せず、他の周波数に対して妨害信号を発生させることがない。

[0095] 図１４は、実施の形態５に係る回路装置４００のブロック図である。回路装置４００は、無線通信端末に設けられる通信回路ブロックで、複数の周波数に対して共有に用いることができる。そのため、回路装置４００では、インピーダンス整合や共振周波数の変調を行うために容量値を可変することが必要なキャパシタに可変容量素子１００を適用している。

[0096] 回路装置４００では、可変容量素子１００が１０倍～１０００倍の範囲で容量を可変することができるため、インピーダンス整合や共振周波数の変調をより広い範囲で行うことができ、より広い受信周波数帯域をカバーできる。また、回路装置４００では、可変容量素子１００がデジタル的に容量を可変するので、ひずみ信号を抑制できる。そのため、回路装置４００を用いることで、回路規模、部品点数を削減しつつ、複数の周波数帯域をカバーすることが可能なマルチバンドの無線通信端末を実現することができる。なお、回路装置４００のキャパシタに多値化した可変容量素子１００ａを用いてもよい。

[0097] （実施の形態６）

次に、直流遮断器に実施の形態１で説明した可変容量素子を用いて低損失化する構成について説明する。直流遮断器の構成は、各種電源回路の開閉器、接続装置、アーク抑制装置にも同様に適用することができる。また、直流遮断器は、例えば、太陽光発電等のエナジーハーベスティング装置、燃料電池、リチウムイオン電池、などの直流電源装置に用いることができる。

[0098] 直流遮断器では、金属接点に代えて、ＭＯＳＦＥＴに比べて高耐電圧、高温動作、高速動作が可能なＳｉＣ（シリコンカーバイト）やＧａＮ（ガリウムナイトライド）を用いたパワー半導体スイッチが使用されることが期待されている。しかし、金属接点に代えてパワー半導体スイッチを直流遮断器に用いた場合、数１００Ｖ～数１０Ａ程度のスイッチングが可能になるが、半導体の通電時の発熱による通電損失が非常に大きくなり、冷却装置を設ける

ことが必要になるなどの課題がある。

[0099] 一方、直流遮断器に金属接点を使用した場合、通電損失を小さくできるが、遮断時にアーク放電が発生するためＯＦＦ時の損失が非常に大きくなる。そこで、ＯＮ時に通電損の小さい金属接点で通電し、ＯＦＦ時のみＭＯＳＦＥＴの半導体スイッチに電流を転流させてアーク放電を抑えるハイブリッドスイッチ回路を使用した直流遮断器が提案されている。なお、ハイブリッドスイッチ回路については、例えば、”嶋田隆一、「半導体デバイスによるスマートスイッチ（ハイブリッド開閉・接続装置）」、パワーエレクトロニクス学会誌、2017年3月、第42巻、p. 53―57”の文献に記載されている。

[0100] 図１５は、実施の形態６に係る回路装置５００の回路図である。回路装置５００は、直流遮断器に用いるハイブリッドスイッチ回路であり、金属接点Ｓ１とＭＯＳＦＥＴの半導体スイッチＳ２とを有している。回路装置５００では、金属接点Ｓ１がアーク放電することなく開閉することができるので、接点消耗がなく長寿命で、高速な電流の遮断が可能となり、アーク放電によるノイズを発生させない利点がある。

[0101] 回路装置５００では、金属接点Ｓ１がＯＮ時、金属接点Ｓ１に電流が流れ、金属接点Ｓ１がＯＦＦ時、ＭＯＳＦＥＴの閾値電圧Ｖｔｈで半導体スイッチＳ２がＯＮ状態となり半導体スイッチＳ２に電流が流れる。金属接点Ｓ１がＯＦＦ状態になった後、金属接点Ｓ１の再起電圧Ｖは、（式６）で与えられる。なお、Ｖｔｈは、ＭＯＳＦＥＴの閾値電圧、ｔは時間である。

[0102] [数6]

$$\mathrm{V} = \mathrm{Vth} + \frac{Vth}{RC} \times t \quad \cdots\cdots \text{（式６）}$$

[0103] 金属接点Ｓ１の再起電圧Ｖは、時間ｔに対して直線的に増加するが、この時に消費されるエネルギーが回路損失となる。図１６は、実施の形態６に係る回路装置５００のスイッチング特性を説明するためのグラフである。図１６では、横軸を時間ｔとし、縦軸を再起電圧Ｖとしている。図１６のグラフＲ１が示すように、金属接点Ｓ１のＯＦＦ状態になった後、金属接点Ｓ１の

再起電圧Ｖは、時間ｔに対して直線的に増加している。

[0104] そのため、金属接点Ｓ１の再起電圧Ｖは、回路損失を減らすため、金属接点Ｓ１のＯＦＦ状態になった後、できるだけ急峻に上昇することが望ましい。図１６のグラフＲ２が示すように、金属接点Ｓ１の再起電圧Ｖが急峻に上昇することで回路損失を減らすことができる。（式６）から分かるように、キャパシタＣの容量が小さいほど再起電圧Ｖが急峻に立ち上がり、回路損失を低減することができる。一方、金属接点Ｓ１がＯＮ時（および金属接点Ｓ１のＯＦＦ状態になった直後）は、アーク放電を発生させる電荷を吸収するため、キャパシタＣの容量を比較的大きな容量（例えば、数１０ｎＦ）にしておく必要がある。

[0105] そこで、回路装置５００では、図１５に示すようにキャパシタＣに実施の形態１で説明した可変容量素子を用いて、金属接点Ｓ１のＯＮ時とＯＦＦ時とでキャパシタＣの容量を大きく可変することができるようにしてある。そのため、回路装置５００では、アーク放電を抑えつつ、回路損失が非常に低損失な直流遮断器を実現している。実施の形態１で説明した可変容量素子では、従来の可変容量素子では実現が困難であった幅広い範囲で容量を可変しつつ、高い耐電圧を得ることが可能である。なお、回路装置５００のキャパシタＣに多値化した可変容量素子１００ａを用いてもよい。

[0106] （実施の形態７）

実施の形態１では、スイッチ部１０が、ゲート電極２、ゲート絶縁膜３、チャネル形成膜４、ソース電極５、およびドレイン電極６を有していると説明した。このうち、ドレイン電極６は、浮遊電極であり、当該ドレイン電極６を設けないスイッチ部を構成することが可能である。本実施の形態７に係る可変電子素子では、浮遊電極であるドレイン電極を設けない構成について図面を参照しながら説明する。図１７は、実施の形態７に係る可変容量素子１００ｄの構成を説明するための断面図である。図１８は、実施の形態７に係る可変容量素子１００ｄの構成を説明するための平面図である。なお、図１７および図１８に示す可変容量素子１００ｄにおいて、図１および図２に

示す可変容量素子１００と同じ構成については同じ符号を付して詳細な説明は繰り返さない。

[0107] 図１７に示す可変容量素子１００ｄは、半導体基板１上に形成した電界効果トランジスタを構成するスイッチ部１０ｄと、スイッチ部１０ｄと電気的に接続され、受動素子を構成する素子部２０とを含んでいる。素子部２０は、スイッチ部１０ｄの上部に設けられている。

[0108] スイッチ部１０ｄは、ゲート電極２ｄ、ゲート絶縁膜３、チャネル形成膜４、およびソース電極５を有している。図１７に示すスイッチ部１０ｄでは、半導体基板１上にゲート電極２ｄを形成し、ゲート電極２ｄに重ねてゲート絶縁膜３およびチャネル形成膜４を順に形成し、それらの上にソース電極５を形成している。

[0109] スイッチ部１０ｄでは、ドレイン電極が設けられていない代わりに、図１８に示すようにゲート電極２ｄを広げて、端子電極２２の大部分がゲート電極２ｄと平面視で重なっている。そのため、可変容量素子１００ｄは、スイッチ部１０ｄがＯＮ状態となるとゲート電極２ｄにゲート電圧が印加され、ゲート電極２ｄと平面視で重なるチャネル形成膜４の部分にチャネル電荷が生じる。可変容量素子１００ｄは、ソース電極５およびチャネル形成膜４の部分と、当該部分と対向する端子電極２２との間に電圧が印加されて容量が形成される。

[0110] 一方、スイッチ部１０ｄがＯＦＦ状態の場合、可変容量素子１００ｄは、ゲート電極２ｄにゲート電圧が印加されないので、チャネル形成膜４にチャネル電荷が生じない。そのため、可変容量素子１００ｄは、ソース電極５と当該ソース電極５と対向する端子電極２２との間にのみ電圧が印加されるので第１キャパシタのみの容量となる。

[0111] なお、素子部２０は、ソース電極５と端子電極２２との間で第１キャパシタ（第１受動素子）を構成し、ゲート電極２ｄと端子電極２２との間で第２キャパシタ（第２受動素子）を構成する。具体的に、第１キャパシタは、図１８に示すようにソース電極５と端子電極２２とが平面視で重なる部分Ｃ１

である。第２キャパシタは、ゲート電極２ｄと端子電極２２とが平面視で重なる部分Ｃ３である。

[0112] 可変容量素子１００ｄであっても、スイッチ部１０ｄをＯＮ／ＯＦＦ動作することで、第１キャパシタ素子を素子部２０する場合と、第１キャパシタ素子および第２キャパシタ素子を素子部２０する場合とを切り替え、キャパシタの容量を可変することができる。可変容量素子１００ｄであっても、ゲート電極２ｄ（制御電極端子２ａ）への印加電圧によりＯＮ／ＯＦＦ動作するスイッチ部１０ｄと、端子電極５ａ（第１端子電極）と、端子電極２２（第２端子電極）とで動作する素子部２０とを分け、３端子で動作する可変容量素子である。

[0113] しかし、可変容量素子１００ｄでは、ドレイン電極を設けずに、チャネル形成膜４に生じるチャネル電荷により第２キャパシタ素子の容量を変化させることができるので、ゲート電極２ｄへの印加電圧により第２キャパシタ素子の容量を連続的に可変させることができる。また、可変容量素子１００ｄでは、浮遊電極であるドレイン電極を設けない構成にすることで、スイッチ部１０ｄのＯＮ／ＯＦＦ動作時に当該浮遊電極への残留電荷が低減されるので、キャパシタの電位を安定化することやショートによる故障リスクを低減することができる。さらに、可変容量素子１００ｄでは、浮遊電極であるドレイン電極を設けない構成にすることで、印加するゲート電圧のレベルに応じてチャネル形成膜４の広い領域で段階的に導電性を可変できるので、キャパシタの容量をより連続的に変化させることができる。

[0114] 以上のように、実施の形態７に係る可変容量素子１００ｄは、ドレイン電極に代えて、ゲート電極２ｄとチャネル形成膜４とが平面視で重なる部分Ｃ３を用いる。当該部分Ｃ３と端子電極２２との間で第２キャパシタ素子を構成する。これにより、可変容量素子１００ｄは、第２キャパシタ素子の容量を連続的に可変させることができる。

[0115] 可変容量素子１００ｄでは、図１７に示すようにスイッチ部１０ｄの上に素子部２０を設ける構成について説明したが、素子部２０をスイッチ部１０

ｄの下に設けてもよい。また、可変容量素子１００ｄをマトリクス状に複数形成することで、同様に多値化の可変電子素子を構成してもよい。さらに、可変容量素子１００ｄの構成をキャパシタ以外の、インダクタ、レジスタなどの可変電子素子に適用してもよい。

[0116] （実施の形態８）

実施の形態１で説明した可変容量素子１００では、ソース電極５とドレイン電極６との間に形成されるチャネル領域の上部にも端子電極２２が形成されている。そのため、可変容量素子１００は、端子電極２２の端子２２ａに印加される電圧によって、スイッチ部１０のＯＮ／ＯＦＦ状態に影響を与える場合があった。つまり、可変容量素子１００は、端子電極５ａ（第１端子電極）と端子電極２２（第２端子電極）の端子２２ａとの間の信号によって容量値が変動する虞があった。

[0117] そこで、本実施の形態８に係る可変電子素子では、第１端子電極と第２端子電極との間の信号によって容量値が変動し難い構成について図面を参照しながら説明する。図１９は、実施の形態８に係る可変容量素子１００ｅの構成を説明するための断面図である。図２０は、実施の形態８に係る可変容量素子１００ｅの構成を説明するための平面図である。なお、図１９および図２０に示す可変容量素子１００ｅにおいて、図１および図２に示す可変容量素子１００と同じ構成については同じ符号を付して詳細な説明は繰り返さない。

[0118] 図１９に示す可変容量素子１００ｅは、半導体基板１上に形成した電界効果トランジスタを構成するスイッチ部１０と、スイッチ部１０と電気的に接続され、受動素子を構成する素子部２０ｅとを含んでいる。素子部２０ｅは、スイッチ部１０の上部に設けられている。

[0119] 素子部２０ｅは、誘電体２１のAl_2O_3膜と、誘電体２１に重ねて形成される白金（Ｐｔ）の端子電極２２ｅ（第２端子電極）とを含む。端子電極２２ｅは、図２０に示すようにソース電極５とドレイン電極６との間に形成されるチャネル領域を避けたパターンで形成される。そのため、図１９に示す

断面図では、ソース電極５の上部に形成されている端子電極２２ｅ１と、ドレイン電極６の上部に形成されている端子電極２２ｅ２とに分離されて図示されている。

[0120] 素子部２０ｅは、ソース電極５と端子電極２２ｅ１との間で第１キャパシタ（第１受動素子）を構成し、ドレイン電極６と端子電極２２ｅ２との間で第２キャパシタ（第２受動素子）を構成する。第１キャパシタは、図２０に示すようにソース電極５と端子電極２２ｅ１とが平面視で重なる部分Ｃ１である。第２キャパシタは、ドレイン電極６と端子電極２２ｅ２とが平面視で重なる部分Ｃ４である。

[0121] 可変容量素子１００ｅは、スイッチ部１０がＯＦＦ状態の場合、ゲート電極２に閾値以上のゲート電圧が印加されないので、平面視でゲート電極２と重なるチャネル形成膜４の位置に電子空乏層があり、ソース電極５とドレイン電極６とは導通しない。そのため、可変容量素子１００ｅは、ソース電極５と当該ソース電極５と対向する端子電極２２ｅ１の部分（第１領域）との間にのみ電圧が印加されるので第１キャパシタのみの容量となる。

[0122] しかし、可変容量素子１００ｅは、スイッチ部１０がＯＮ状態の場合、ゲート電極２に閾値以上のゲート電圧を印加することでチャネルが形成されソース電極５とドレイン電極６とが導通する。そのため、可変容量素子１００ｅは、ソース電極５およびドレイン電極６と、対向する端子電極２２ｅ（第１領域＋第２領域）との間に電圧が印加されるので、第１キャパシタおよび第２キャパシタの合成容量となる。ここで、端子電極２２ｅのうち、ソース電極５と平面視で重なる部分を第１領域（端子電極２２ｅ１）と、ドレイン電極と平面視で重なる部分を第２領域（端子電極２２ｅ２）とする。

[0123] 可変容量素子１００ｅは、端子電極２２ｅが、ソース電極５とドレイン電極６との間に形成されるチャネル領域と平面視で重ならないため、図１に示す可変容量素子１００に比べてスイッチ部１０がＯＮ状態の場合の容量は小さくなる。しかし、可変容量素子１００ｅは、上述したように、端子電極５ａ（第１端子電極）と端子電極２２（第２端子電極）の端子２２ａとの間の

信号によって容量値が変動し難くなる。もちろん、可変容量素子１００ｅは、図２０に示したように端子電極２２ｅが、ソース電極５とドレイン電極６との間に形成されるチャネル領域の全ての部分を迂回するパターンで形成されなくても、チャネル領域の一部と重なるパターンでも第１端子電極と第２端子電極との間の信号による容量値の変動を抑制することができる。

[0124] 以上のように、可変容量素子１００ｅは、端子電極２２ｅが、ソース電極５と平面視で重なる第１領域と、ドレイン電極６と平面視で重なる第２領域とを有し、第１領域と第２領域とは、ソース電極５とドレイン電極６との間に形成されるチャネル領域の少なくとも１部を迂回して電気的に接続されている。ここで、端子電極２２ｅが、ソース電極５とドレイン電極６との間に形成されるチャネル領域の少なくとも１部を迂回するとは、チャネル領域の少なくとも１部と平面視で重ならない部分を有することである。

[0125] 可変容量素子１００ｅでは、図１９に示すようにスイッチ部１０の上に素子部２０ｅを設ける構成について説明したが、素子部２０ｅをスイッチ部１０の下に設けてもよい。また、可変容量素子１００ｅをマトリクス状に複数形成することで、同様に多値化の可変電子素子を構成してもよい。さらに、可変容量素子１００ｅの構成をキャパシタ以外の、インダクタ、レジスタなどの可変電子素子に適用してもよい。

[0126] 実施の形態８に係る可変容量素子１００ｆでは、端子電極２２ｅがソース電極５とドレイン電極６との間に形成されるチャネル領域を避けたパターンで形成されると説明した。しかし、端子電極のパターンにあわせて誘電体もチャネル領域を避けたパターンで形成してもよい。具体的に、図２１は、実施の形態８の変形例に係る可変容量素子１００ｆの構成を説明するための断面図である。なお、図２１に示す可変容量素子１００ｆにおいて、図１９および図２０に示す可変容量素子１００ｅと同じ構成については同じ符号を付して詳細な説明は繰り返さない。

[0127] 図２１に示す可変容量素子１００ｆは、半導体基板１上に形成した電界効果トランジスタを構成するスイッチ部１０と、スイッチ部１０と電気的に接

続され、受動素子を構成する素子部２０ｆとを含んでいる。素子部２０ｆは、スイッチ部１０の上部に設けられている。

[0128] 素子部２０ｆは、誘電体２１ｆのAl_2O_3膜と、誘電体２１ｆに重ねて形成される白金（Ｐｔ）の端子電極２２ｅ（第２端子電極）とを含む。端子電極２２ｅは、図２０に示すようにソース電極５とドレイン電極６との間に形成されるチャネル領域を避けたパターンで形成される。なお、誘電体２１ｆは、端子電極２２ｅのパターンにあわせてソース電極５とドレイン電極６との間に形成されるチャネル領域を避けたパターンで形成される。そのため、図２１に示す断面図では、ソース電極５の上部に形成されている誘電体２１ｆ１および端子電極２２ｅ１と、ドレイン電極６の上部に形成されている誘電体２１ｆ２および端子電極２２ｅ２とに分離されて図示されている。なお、端子電極２２ｅが、ソース電極５とドレイン電極６との間に形成されるチャネル領域の少なくとも１部を迂回する場合、誘電体２１ｆは、端子電極２２ｅのパターンにあわせて、ソース電極５とドレイン電極６との間に形成されるチャネル領域の少なくとも１部を避けて形成される。

[0129] （変形例）

前述の実施の形態で説明した可変容量素子１００，１００ａ～１００ｄ、および可変インダクタンス素子２００において、可変させる速度、つまりスイッチングスピードを改善するには、スイッチ部１０のＱ値（Ｑ＝１／ωＣＲ）を向上する必要がある。ここで、ωは、各周波数である。すなわち、寄生抵抗Ｒとキャパシタ Ｃ（寄生容量）を低減することでスイッチングスピードを改善することができる。

[0130] 寄生抵抗Ｒは、チャネル形成膜４の直列抵抗に相当し、Ｒ＝ρ（Ｌ／（Ｗｔ））で与えられる。ここで、ρはチャネル形成膜４の材料固有の抵抗率、Ｌはチャネル長、Ｗはチャネル幅、ｔはチャネル形成膜４の膜厚である。

[0131] 寄生抵抗Ｒは、上述したように、チャネル長Ｌ／チャネル幅Ｗの値に依存している。そのため、Ｑ値は、チャネル長Ｌに対してチャネル幅Ｗを大きくすることで改善することができる。スイッチ部１０が、図２に示すようにチ

ャネル形成膜４上にソース電極５とドレイン電極６とを設けているため、チャネル長Ｌおよびチャネル幅Ｗは、デバイス設計により容易に変更することができる。

[0132] 一方、キャパシタＣ（寄生容量）は、スイッチ部１０のゲート絶縁膜３の容量に相当し、当該ゲート絶縁膜３の比誘電率に比例し、膜厚に反比例する。そのため、スイッチ部１０は、素子部２０と分離した構造であるため、キャパシタＣ（寄生容量）を個別に調整することが可能である。

[0133] 例えば、実施の形態１で説明した可変容量素子１００では、チャネル長Ｌが１０μｍ、チャネル幅Ｗが１００μｍ、寄生抵抗Ｒが１ｋΩ、キャパシタＣ（寄生容量）が１０ｐＦとすると、１ＭＨｚでＱ値が０．０２となる。ここで、チャネル長Ｌを微細化して１μｍとし、チャネル幅Ｗを１０００μｍとし、ゲート絶縁膜３の膜厚を１０倍（７０００μｍ）、ゲート絶縁膜３の比誘電率を５分の１（４０～５０程度）にすると、Ｑ値が１００となる。そのため、スイッチ部１０は、５０００倍のスイッチングスピードに改善することができる。

[0134] 前述の実施の形態では、チャネル形成膜４にＩＺＯ膜を用いると説明したが、これは一例でありＩＴＯ膜など他の膜を用いてもよい。また、前述の実施の形態では、ゲート絶縁膜３にＬａ－ＨｆＯ$_2$膜を用いると説明したが、これは一例でありＣｅ－ＨｆＯ$_2$膜など他の膜を用いてもよい。

[0135] 前述の実施の形態で説明した可変電子素子では、例えば、可変容量素子１００においてチャネル形成膜４を、図１に示すようにソース電極５およびドレイン電極６の下側に形成してある（トップコンタクト構造）。トップコンタクト構造は、ゲート電極２側から見てチャネル形成膜４の上側でソース電極５およびドレイン電極６とコンタクトする構造である。しかし、これに限定されず、可変電子素子は、例えば、可変容量素子１００においてチャネル形成膜４を、ソース電極５およびドレイン電極６の上側に形成してもよい（ボトムコンタクト構造）。ボトムコンタクト構造は、ゲート電極２側から見てチャネル形成膜４の下側でソース電極５およびドレイン電極６とコンタク

トする構造である。

[0136] 前述の実施の形態で説明した可変電子素子では、例えば、可変容量素子１００において、図１に示すように半導体基板１上にゲート電極２を形成し、ゲート電極２に重ねてゲート絶縁膜３およびチャネル形成膜４を順に形成し、それらの上にソース電極５およびドレイン電極６をそれぞれ形成しているボトムゲート構造を採用している。しかし、これに限定されず、可変電子素子は、トップゲート構造を採用してもよい。図２２は、変形例に係る可変容量素子１００ｇの構成を説明するための断面図である。可変容量素子１００ｇでは、図２２に示すように素子部２０は、スイッチ部１０の下部に設けられている。スイッチ部１０は、誘電体２１上にソース電極５およびドレイン電極６をそれぞれ形成し、ソース電極５およびドレイン電極６に重ねてチャネル形成膜４およびゲート絶縁膜３を順に形成し、ゲート絶縁膜３の上にゲート電極２を形成しているトップゲート構造を採用している。なお、図２２に示す可変容量素子１００ｇにおいて、図１に示す可変容量素子１００と同じ構成については同じ符号を付して詳細な説明は繰り返さない。

[0137] トップゲート構造の可変容量素子１００ｇでは、図２２に示すようにゲート電極２側から見てチャネル形成膜４の上側でソース電極５およびドレイン電極６とコンタクトするトップコンタクト構造を採用している。しかし、これに限定されず、トップゲート構造の可変容量素子１００ｇであっても、ゲート電極２側から見てチャネル形成膜４の下側でソース電極５およびドレイン電極６とコンタクトするボトムコンタクト構造を採用してもよい。

[0138] ゲート絶縁膜３および誘電体２１に採用することが可能な材料を、以下にまとめて列記する。もちろん、当該材料は、以下の記載に限定されない。

[0139] ・SiO_2，Al_2O_3，HfO_2，ZrO_2，La_2O_3，Ta_2O_5などのアモルファスまたは多結晶金属酸化物

・ＳｉＮ，Si_3N_4，ＳｉＯＮ等の窒化膜

・強誘電体HfO_2，およびHfO_2にＳｉ，Ｃｅ，Ｙ，Ｚｒ，Ｂｉ，Ｎｉ，Ｔａ，Ｌａ等の３価または４価または５価金属原子を少なくとも１種類以

上ドーピングした強誘電体膜、$PbTiO_3$を母結晶とした強誘電体材料、$BaTiO_3$を母結晶とした強誘電体材料、Ｂｉ層状構造を有する強誘電体材料、その他ペロブスカイト型結晶を有する金属酸化物、パイロクロア型結晶を有する金属酸化物、有機強誘電体材料、その他樹脂材料（ポリイミド、アクリル、エポキシ、ポリプロピレン、ポリエステル、ポリエチレンテレフタレート、ポリエチレンナフタレート、ポリフェニレンスルフィド、ポリ乳酸など

チャネル形成膜４に採用することが可能な材料を、以下にまとめて列記する。もちろん、当該材料は、以下の記載に限定されない。

[0140] ・Ｉｎ－Ｏ，Ｉｎ－Ｓｎ－Ｏ，Ｉｎ－Ｚｎ－Ｏ，Ｉｎ－Ｓｎ－Ｚｎ－Ｏ，Ｉｎ－Ｇａ－Ｚｎ－Ｏ，Ｉｎ－Ｇａ－Ｏ，Ｇａ－Ｏ，Ｚｎ－Ｏ，Ａｌ－Ｚｎ－Ｏ，Ｓｎ－Ｏ，Ｔｉ－Ｏ系のｎ型酸化物半導体

・Ｃｕ－Ｏ，Ｓｎ－Ｏ，Ｚｎ－Ｏ系のｐ型酸化物半導体

・Ｃｕ－Ｓｎ－Ｉ系アモルファスｐ型酸化物半導体

・ｎ型Ｓｉ、ｐ型Ｓｉ、ＳｉＣ等のＳｉ半導体

・ＧａＮなどの窒化物半導体

・グラフェン、遷移金属カルコゲナイド系の２次元導電材料

・$LaNiO_3$，$BaSnO_3$，$SrTiO_3$等のペロブスカイト型導電材料

前述の実施の形態で説明した可変容量素子１００～１００ｇにおいて、ゲート絶縁膜３にＬａ－HfO_2膜などの強誘電体膜を用いた場合、強誘電体ゲートトランジスタの構成を含むことになる。そのため、可変容量素子１００～１００ｇは、強誘電体ゲートトランジスタの構成に由来するメモリ特性を有することになる。具体的に、図１に示す可変容量素子１００において、ゲート電極２にＯＮ電圧（例えば＋１０Ｖ）を印加して端子電極２２とドレイン電極６との間でキャパシタが構成された場合に生じる容量値C_{on}を、０（ゼロ）Ｖまたは小さな一定値（例えば、－１．０Ｖ）の保持電圧をゲート電極２に印加するだけで保持することができる。同様に、可変容量素子１００において、ゲート電極２にＯＦＦ電圧（例えば－１０Ｖ）を印加して端子電

極２２とドレイン電極６との間でキャパシタを構成しない場合に生じる容量値C_{off}を、０（ゼロ）Ｖまたは小さな一定値（例えば、－１．０Ｖ）の保持電圧をゲート電極２に印加するだけで保持することができる。

[0141] 図２３は、可変容量素子の容量と保持電圧との関係を説明するための図である。図２３において、横軸はゲート電圧、縦軸は容量である。ゲート絶縁膜３にＬａ－ＨｆO_2膜などの強誘電体膜を用いて強誘電体ゲートトランジスタを構成した場合、図２３に示すように、ゲート電極２に印加するゲート電圧Ｖｇに対して端子電極２２とドレイン電極６との間で生じる容量値Ｃの変化がヒステリシス曲線となる。図２３では、ゲート電極２に－１．０Ｖの保持電圧を印加することで容量値C_{on}および容量値C_{off}が維持できることが分かる。

[0142] 図２４は、可変容量素子の容量と保持時間との関係を説明するための図である。図２４において、横軸は時間、縦軸は容量である。図２４に示すように、ゲート電極２に－１．０Ｖの保持電圧を印加した状態で、１．０×10^5ｓｅｃ程度（２７時間）の間、容量値C_{on}および容量値C_{off}を変化させずに維持できる。そのため、可変容量素子１００～１００ｇにおいて、強誘電体ゲートトランジスタの構成を採用した場合、容量を保持するために高いゲート電圧を印加させる必要がないので省電力化できるとともに、素子の劣化を抑制することができる。

[0143] 今回開示された実施の形態はすべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は、上記した説明ではなく、請求の範囲によって示され、請求の範囲と均等の意味および範囲内でのすべての変更が含まれることが意図される。

符号の説明

[0144] １ 半導体基板、１ａ シリコン基板、２ ゲート電極、２ａ 制御電極端子、３ ゲート絶縁膜、４ チャネル形成膜、５ ソース電極、５ａ，２２ 端子電極、６ ドレイン電極、１０ スイッチ部、２０ 素子部、２１ 誘電体、２２ａ 端子、２３，２４ コイル電極、２５ 非磁性セラミッ

クス、１００，１００ａ～ｇ　可変容量素子、２００　可変インダクタンス素子、３００，４００，５００　回路装置。

請求の範囲

[請求項1] 電界効果トランジスタを構成するスイッチ部と、

前記スイッチ部と電気的に接続され、受動素子を構成する素子部と、を備え、

前記スイッチ部は、

ソース電極と、

ドレイン電極と、

少なくとも前記ソース電極の一部と前記ドレイン電極の一部とに重ねて形成されたチャネル形成膜と、

前記チャネル形成膜に重ねて形成されたゲート絶縁膜と、

前記ゲート絶縁膜に重ねて形成されたゲート電極と、を有し、

前記素子部は、

前記ソース電極と電気的に接続される第１端子電極と、

前記ソース電極との間で第１受動素子を構成し、少なくとも前記ドレイン電極との間で第２受動素子を構成する第２端子電極と、を有する、可変電子素子。

[請求項2] 前記スイッチ部は、前記素子部の上部または下部に設けられる、請求項１に記載の可変電子素子。

[請求項3] 前記受動素子は、キャパシタ、インダクタ、レジスタのいずれかである、請求項１または請求項２に記載の可変電子素子。

[請求項4] 前記受動素子は、キャパシタであって、

前記素子部は、

前記ソース電極および前記ドレイン電極に重ねて設けられる誘電体をさらに有し、

前記ソース電極と前記第２端子電極との間の前記誘電体で前記第１受動素子となる第１キャパシタを構成し、

少なくとも前記ドレイン電極と前記第２端子電極との間の前記誘電体で前記第２受動素子となる第２キャパシタを構成する、請求項１

～請求項３のいずれか１項に記載の可変電子素子。

[請求項5] 前記ゲート電極は、半導体基板上に形成され、

前記ゲート絶縁膜は、前記ゲート電極および前記半導体基板上に形成され、

前記チャネル形成膜は、前記ゲート絶縁膜上に形成され、

前記ソース電極および前記ドレイン電極は、前記チャネル形成膜上に形成され、

前記誘電体は、前記ソース電極および前記ドレイン電極上に形成され、

前記第２端子電極は、前記誘電体上に形成される、請求項４に記載の可変電子素子。

[請求項6] 前記受動素子は、インダクタであって、

前記素子部は、

前記ソース電極と前記第２端子電極との間に電気的に接続され、前記第１受動素子となる第１インダクタと、

前記ドレイン電極と前記第２端子電極との間に電気的に接続され、前記第２受動素子となる第２インダクタとを有する、請求項１～請求項３のいずれか１項に記載の可変電子素子。

[請求項7] 前記ドレイン電極に代えて、前記ゲート電極と前記チャネル形成膜とが平面視で重なる部分を用い、

当該部分と前記第２端子電極との間で前記第２受動素子を構成する、請求項１～請求項６のいずれか１項に記載の可変電子素子。

[請求項8] 前記第２端子電極は、

前記ソース電極と平面視で重なる第１領域と、前記ドレイン電極と平面視で重なる第２領域とを有し、

前記第１領域と前記第２領域とは、前記ソース電極と前記ドレイン電極との間に形成されるチャネル領域の少なくとも１部を迂回して電気的に接続されている、請求項１～請求項６のいずれか１項に記載の

可変電子素子。

[請求項9] 前記第２端子電極は、

前記ソース電極と平面視で重なる第１領域と、前記ドレイン電極と平面視で重なる第２領域とを有し、

前記第１領域と前記第２領域とは、前記ソース電極と前記ドレイン電極との間に形成されるチャネル領域の少なくとも１部を迂回して電気的に接続され、

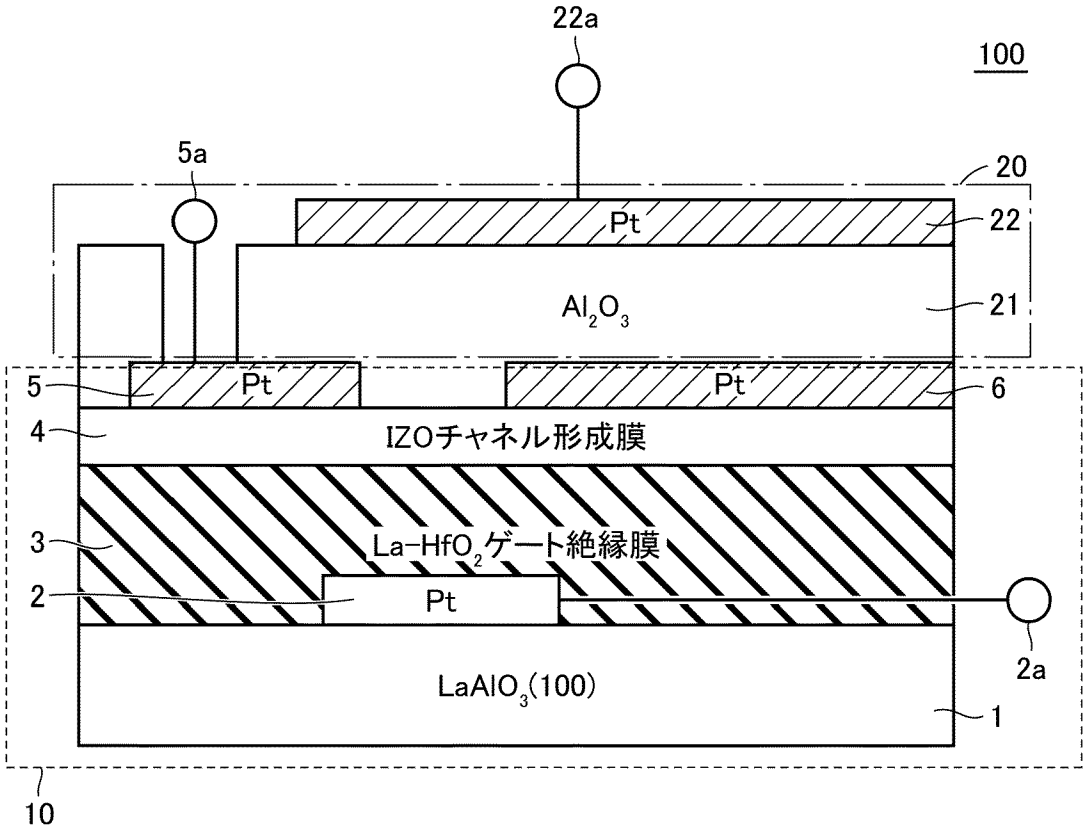
前記誘電体は、前記第２端子電極のパターンにあわせて、前記ソース電極と前記ドレイン電極との間に形成されるチャネル領域の少なくとも１部を避けて形成される、請求項４または請求項５に記載の可変電子素子。

[請求項10] 回路配線と、

前記回路配線に電気的に接続される、請求項１～請求項９のいずれか１項に記載の前記可変電子素子と、を備える回路装置。

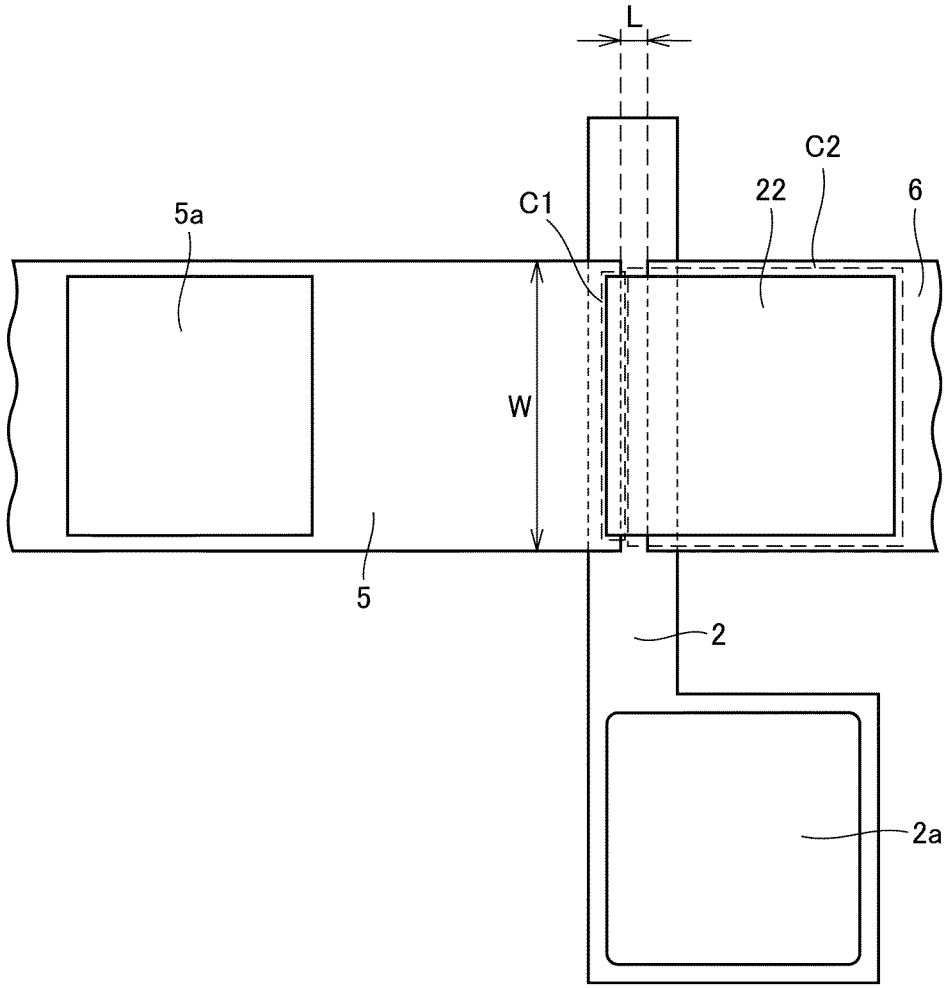
[図1]

FIG.1


22a
100
5a
20
Pt
22
Al_2O_3
21
5
Pt
Pt
6
4
IZOチャネル形成膜
3
La-HfO_2ゲート絶縁膜
2
Pt
2a
$LaAlO_3$(100)
1
10

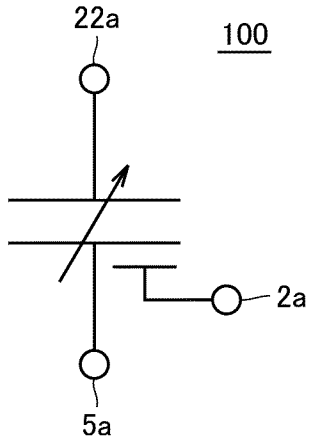
[図2]

FIG.2



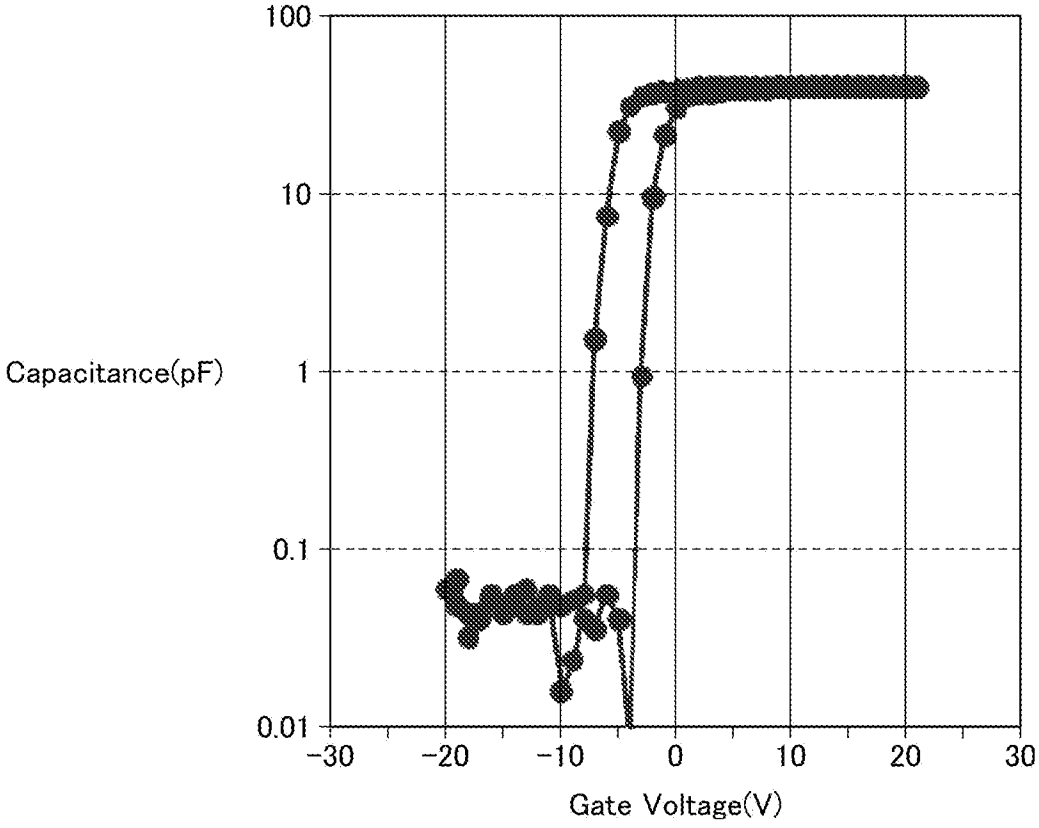
[図3]

FIG.3



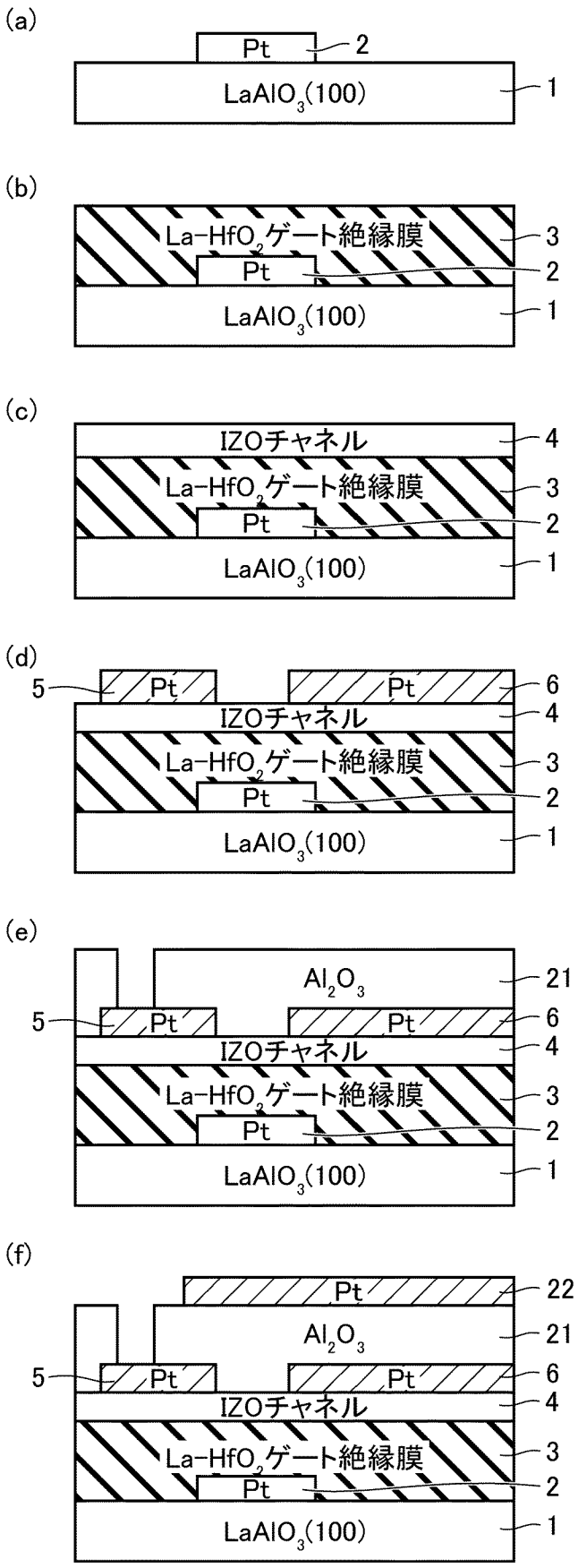
[図4]

FIG.4



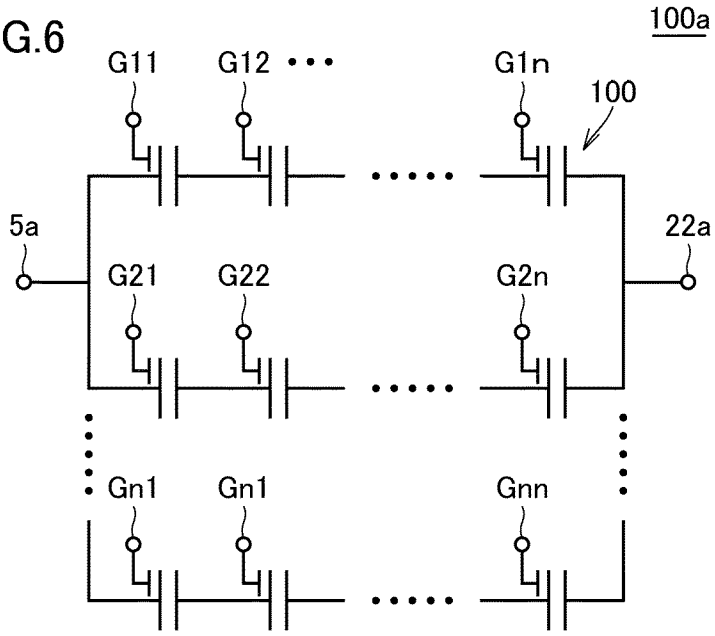
[図5]

FIG.5


(a)
Pt
2
LaAlO3(100)
1
(b)
La-HfO2ゲート絶縁膜
3
Pt
2
LaAlO3(100)
1
(c)
IZOチャネル
4
La-HfO2ゲート絶縁膜
3
Pt
2
LaAlO3(100)
1
(d)
5
Pt
Pt
6
IZOチャネル
4
La-HfO2ゲート絶縁膜
3
Pt
2
LaAlO3(100)
1
(e)
Al2O3
21
5
Pt
Pt
6
IZOチャネル
4
La-HfO2ゲート絶縁膜
3
Pt
2
LaAlO3(100)
1
(f)
Pt
22
Al2O3
21
5
Pt
Pt
6
IZOチャネル
4
La-HfO2ゲート絶縁膜
3
Pt
2
LaAlO3(100)
1

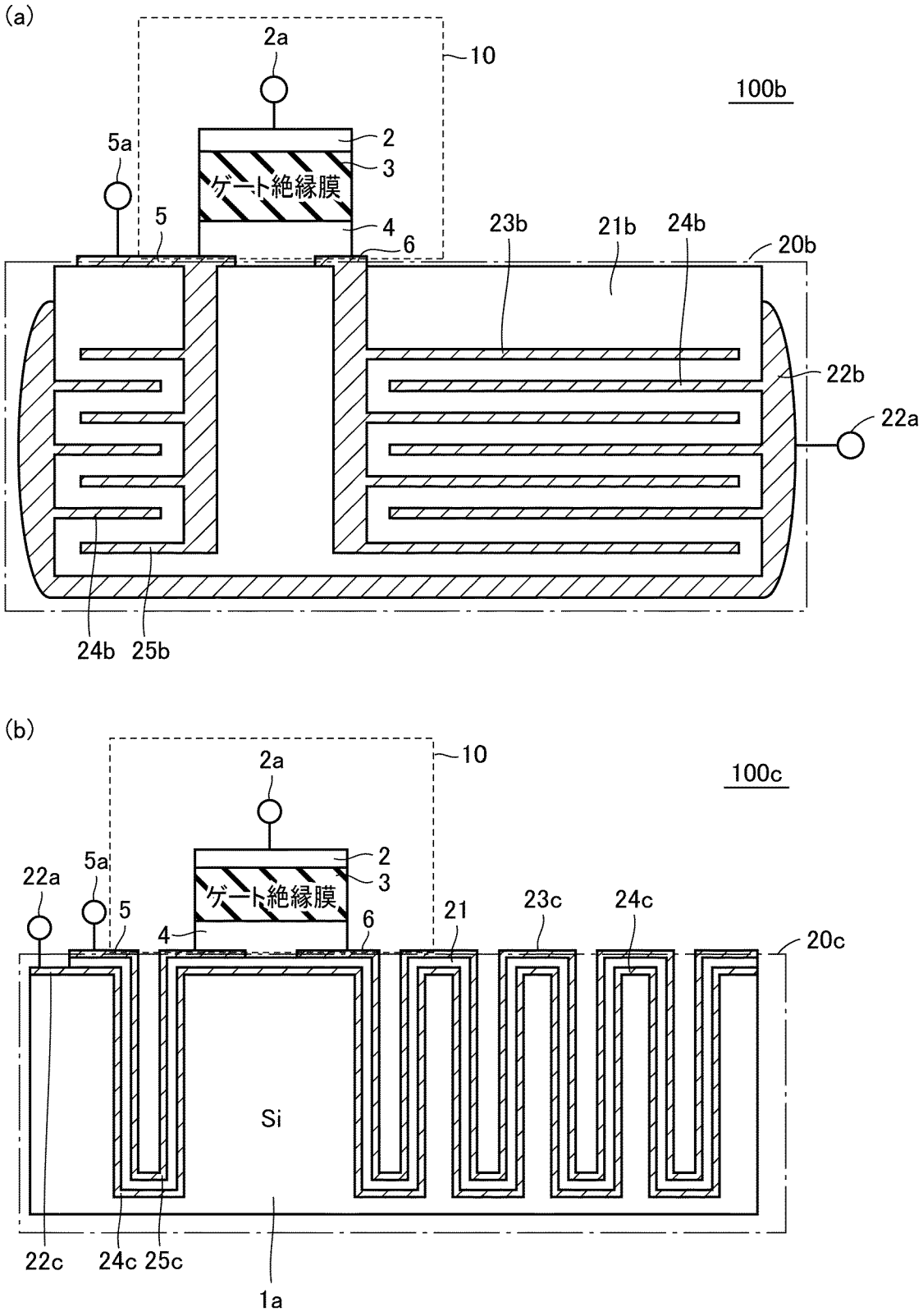
[図6]

FIG.6



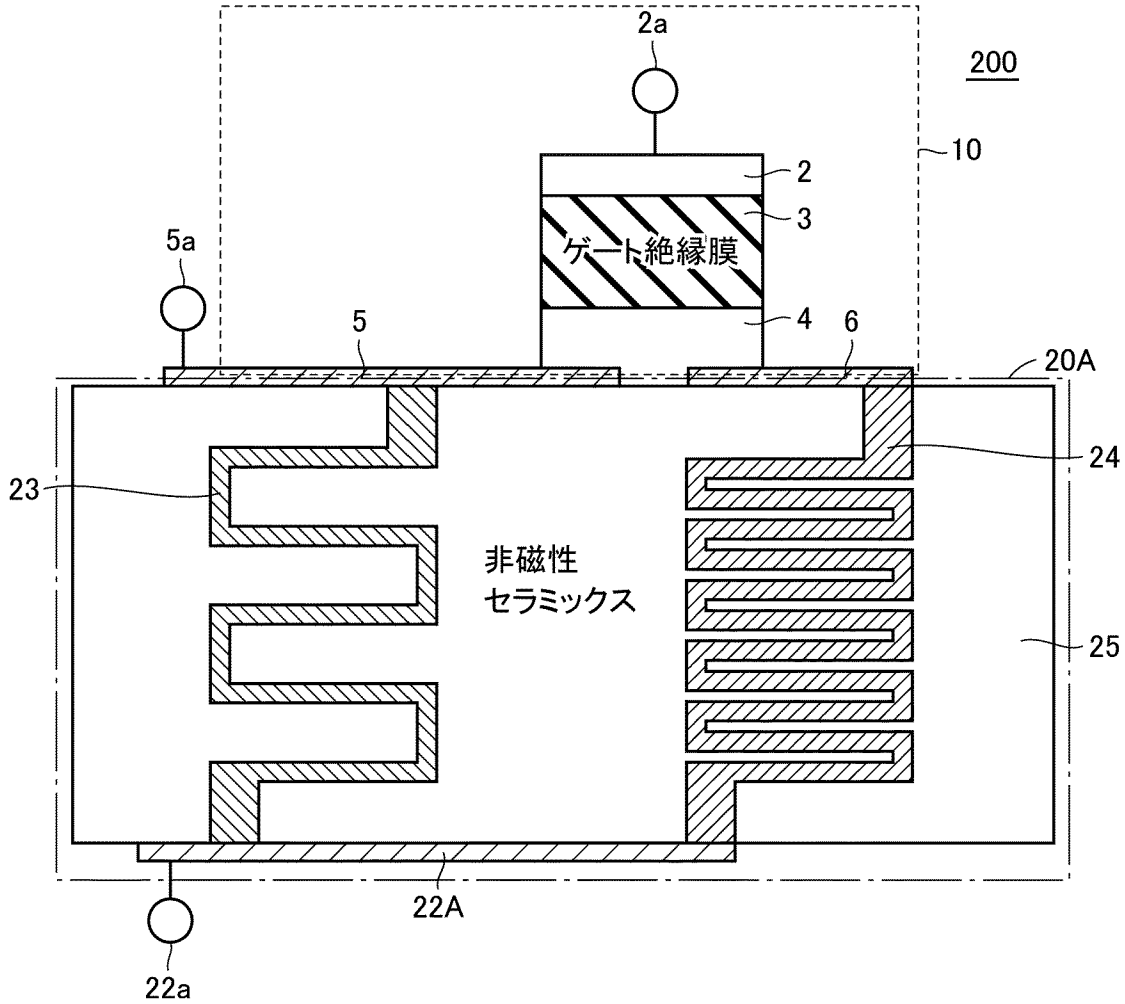
[図7]

FIG.7


(a)
2a
10
100b
5a
2
3
ゲート絶縁膜
5
4
6
23b
21b
24b
20b
22b
22a
24b
25b
(b)
2a
10
100c
22a
5a
2
3
ゲート絶縁膜
5
4
6
21
23c
24c
20c
Si
22c
24c
25c
1a

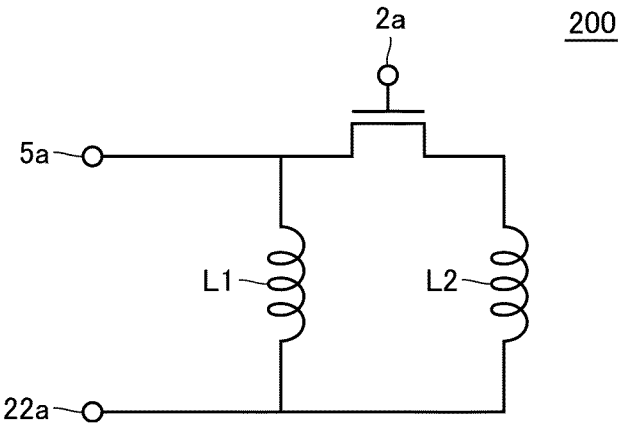
[図8]

FIG.8



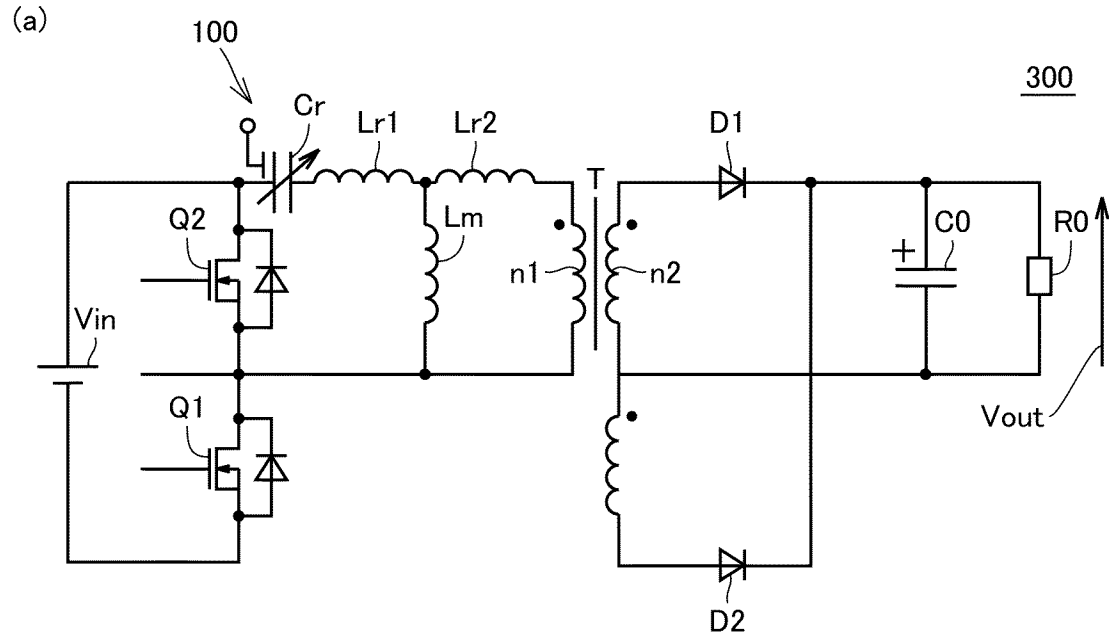
[図9]

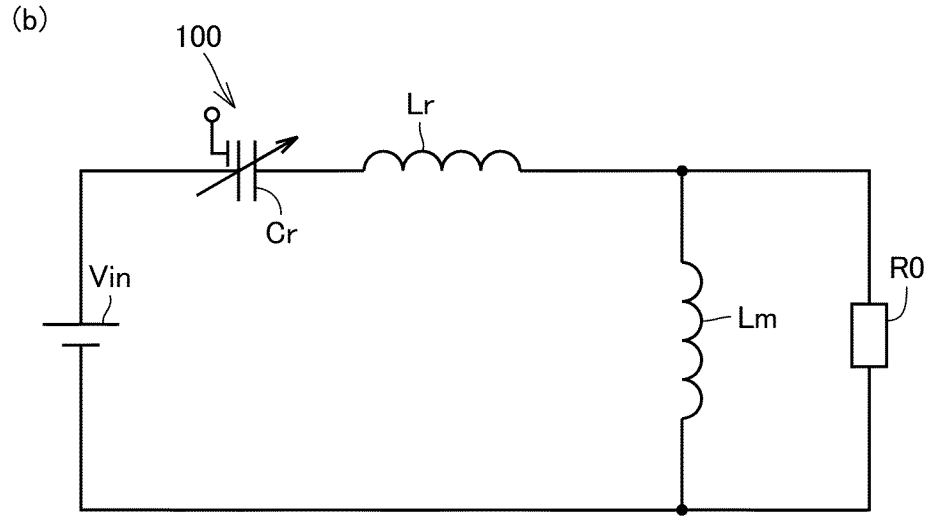
FIG.9



[図10]

FIG.10

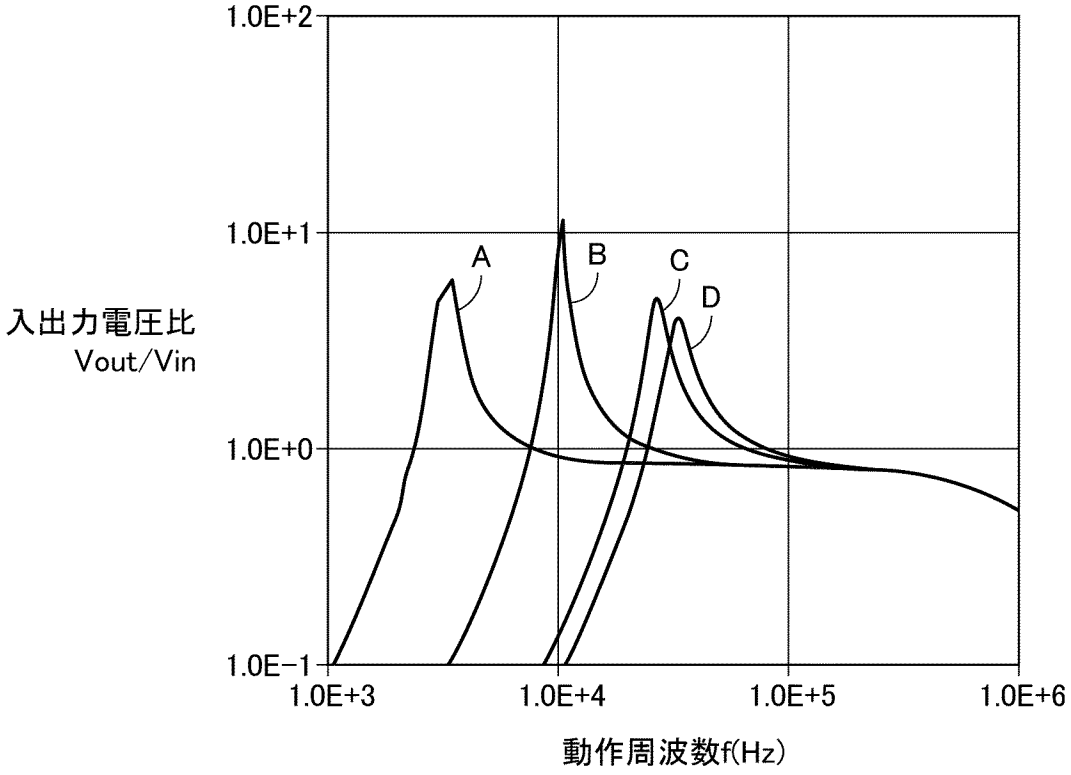

(a)
100
300
Cr
Lr1
Lr2
D1
T
Q2
Lm
n1
n2
C0
R0
Vin
Q1
Vout
D2


(b)
100
Lr
Cr
Vin
Lm
R0

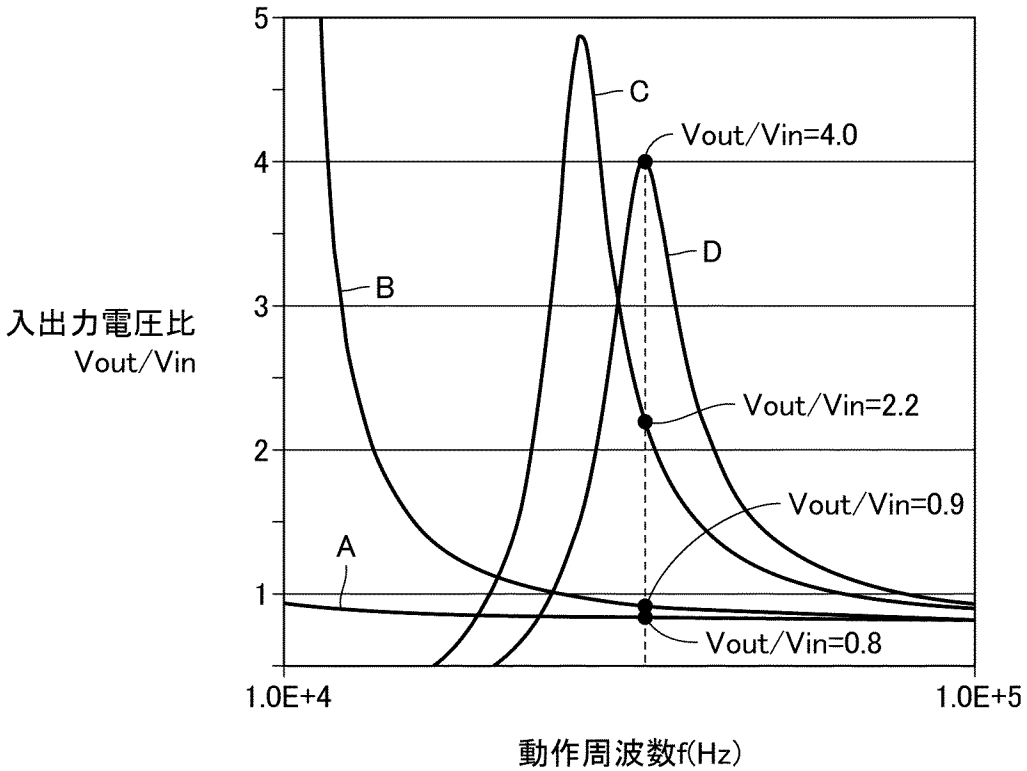
[図11]

FIG.11

(a)

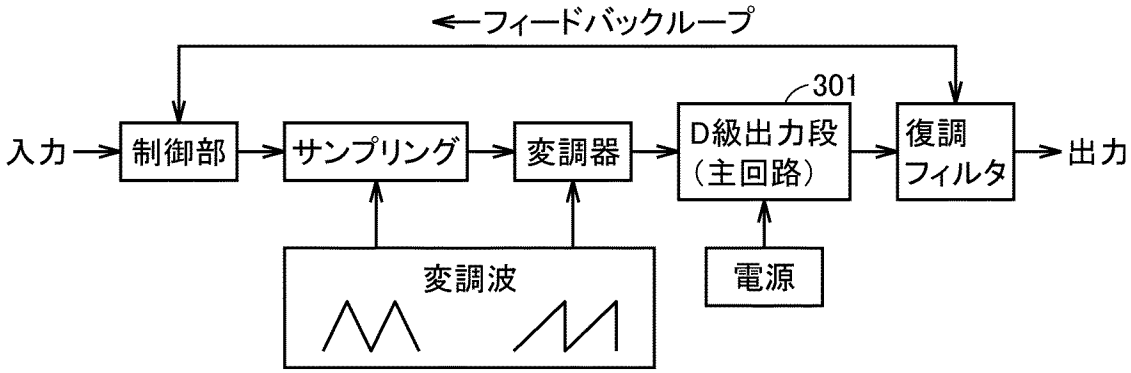

1.0E+2
1.0E+1
1.0E+0
1.0E−1
A
B
C
D
入出力電圧比
Vout/Vin
1.0E+3
1.0E+4
1.0E+5
1.0E+6
動作周波数f(Hz)

(b)


5
4
3
2
1
C
Vout/Vin=4.0
D
B
Vout/Vin=2.2
Vout/Vin=0.9
A
Vout/Vin=0.8
入出力電圧比
Vout/Vin
1.0E+4
1.0E+5
動作周波数f(Hz)

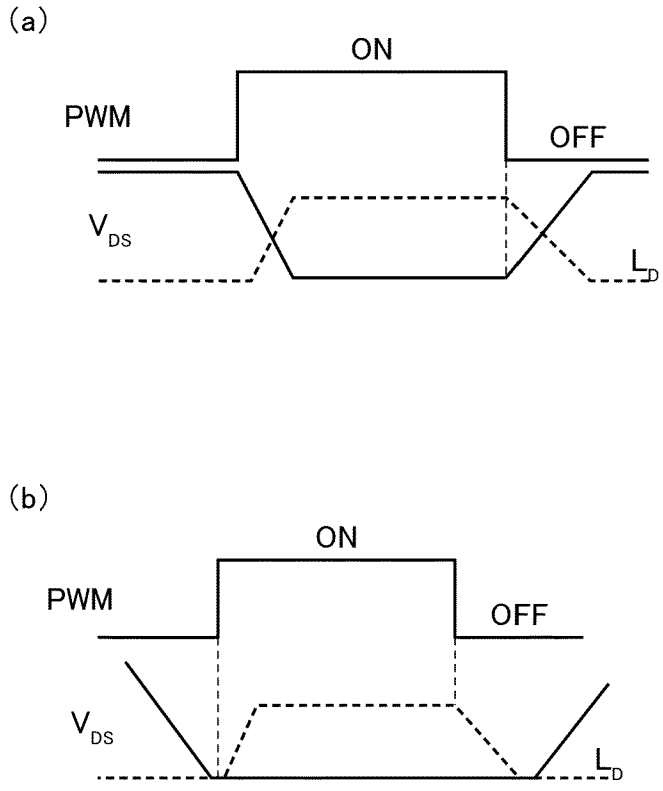
[図12]

FIG.12



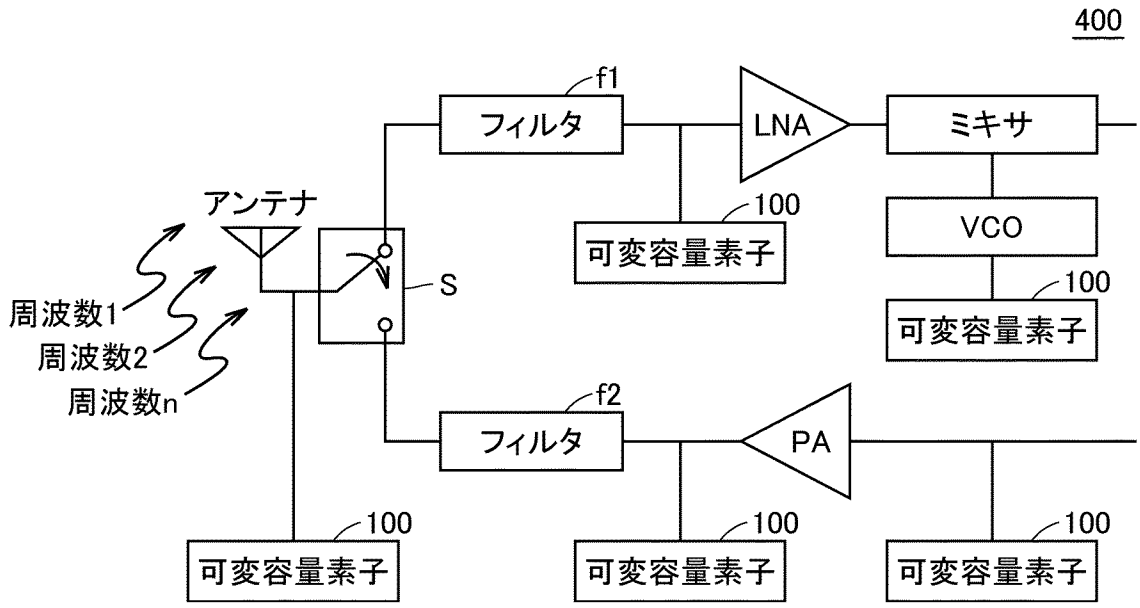
[図13]

FIG.13



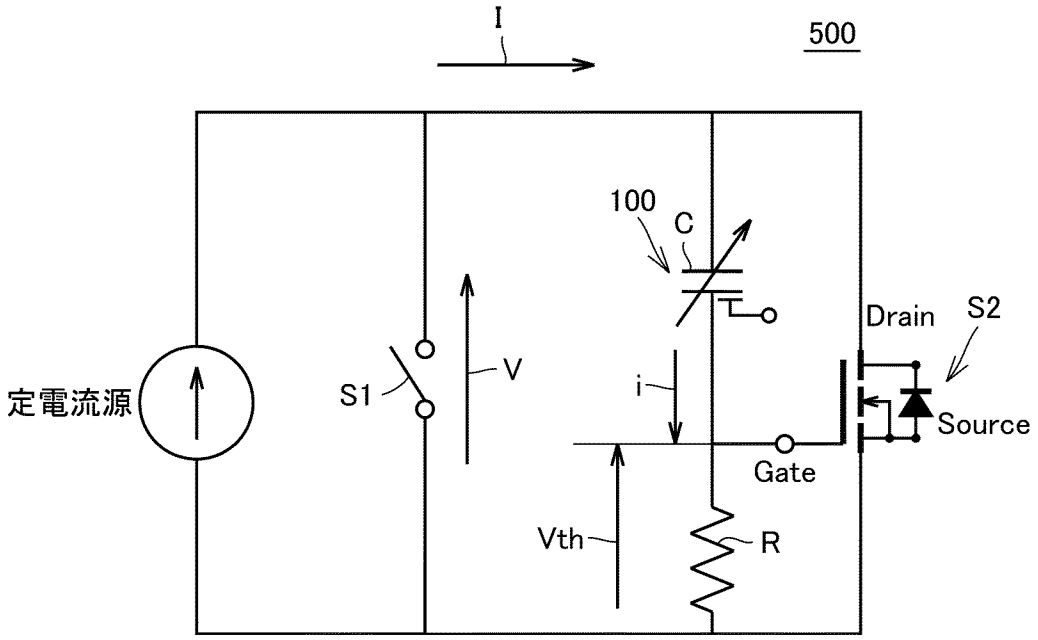
[図14]

FIG.14



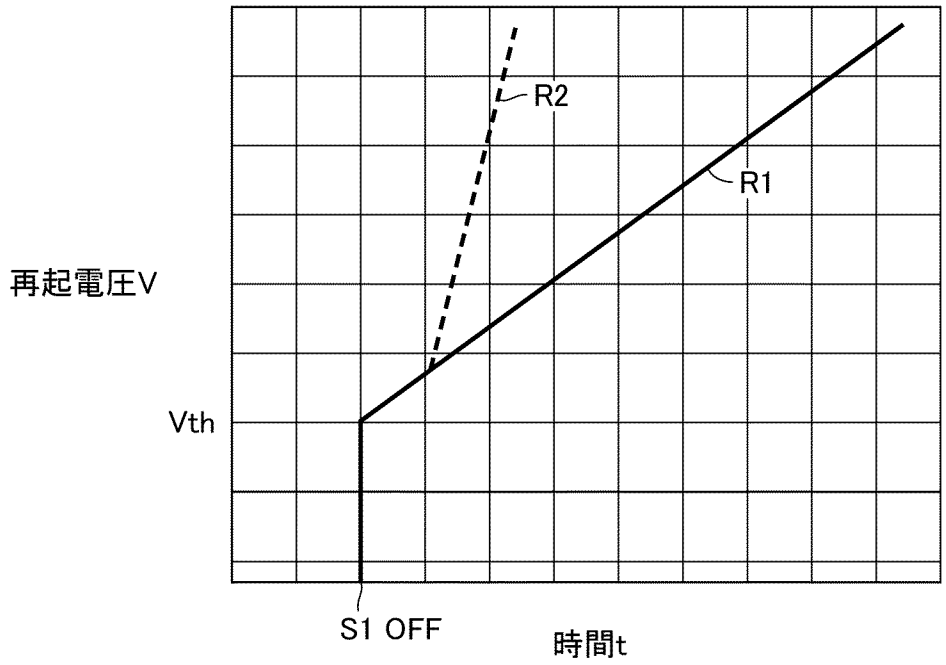
[図15]

FIG.15



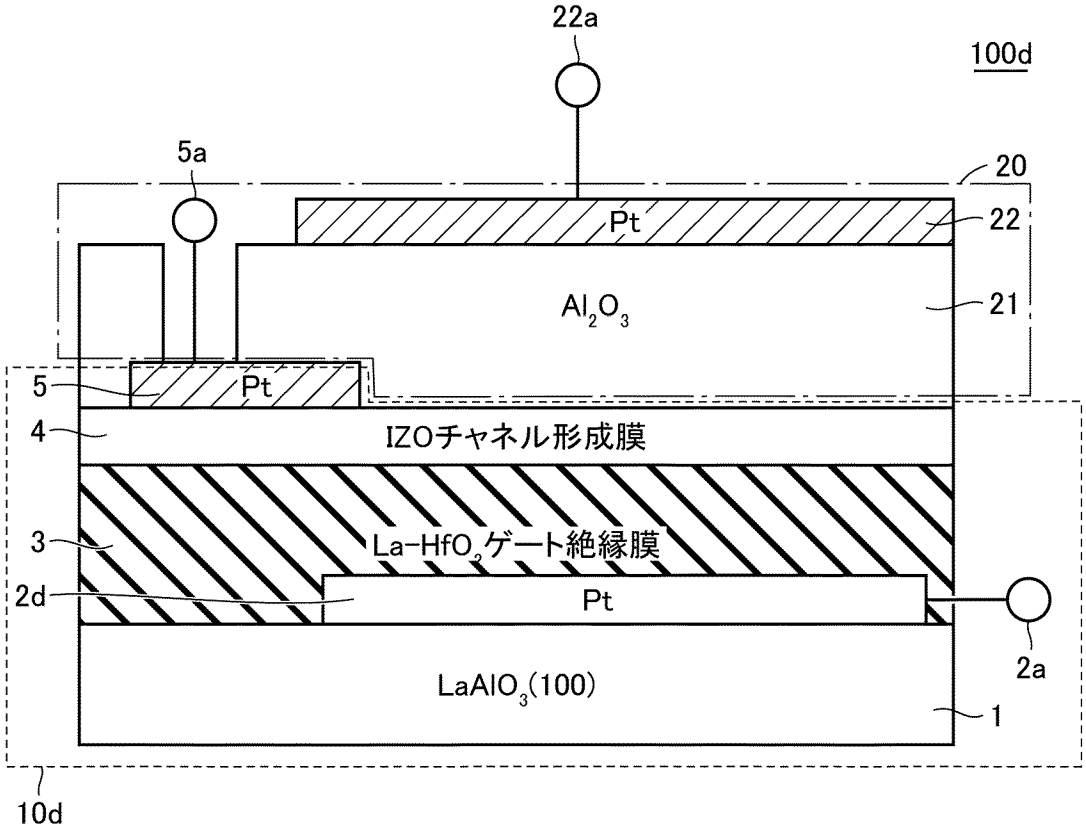
[図16]

FIG.16



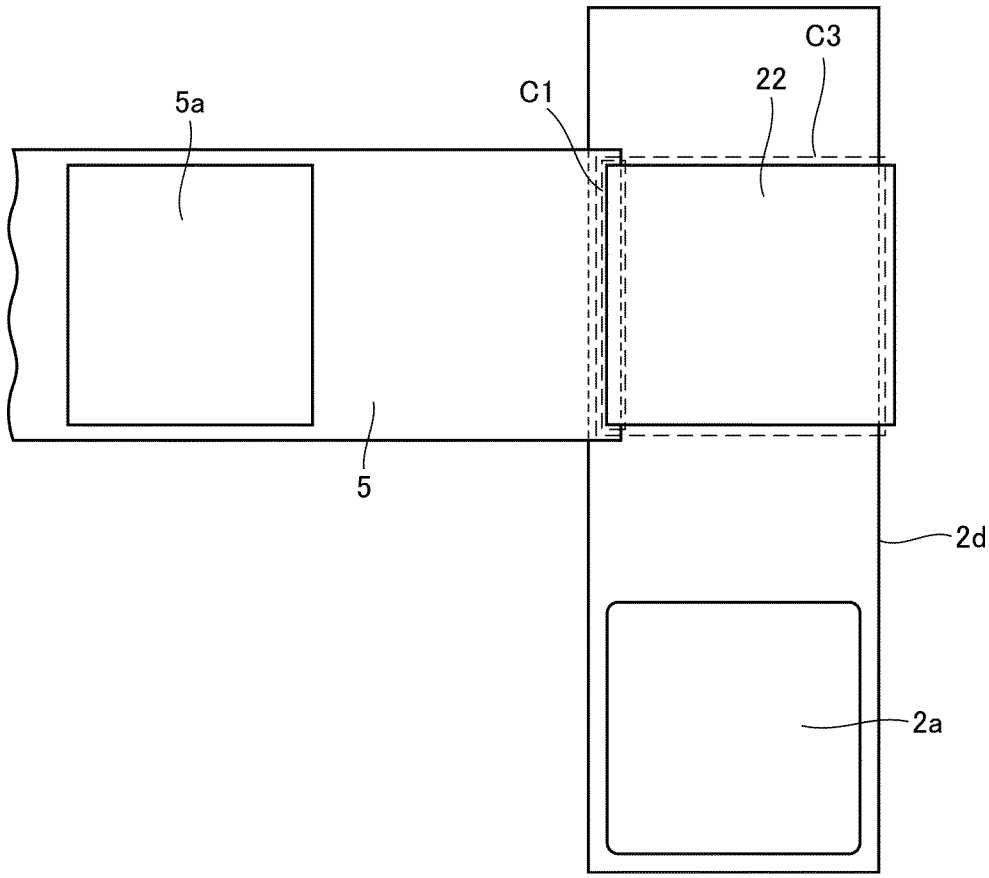
[図17]

FIG.17



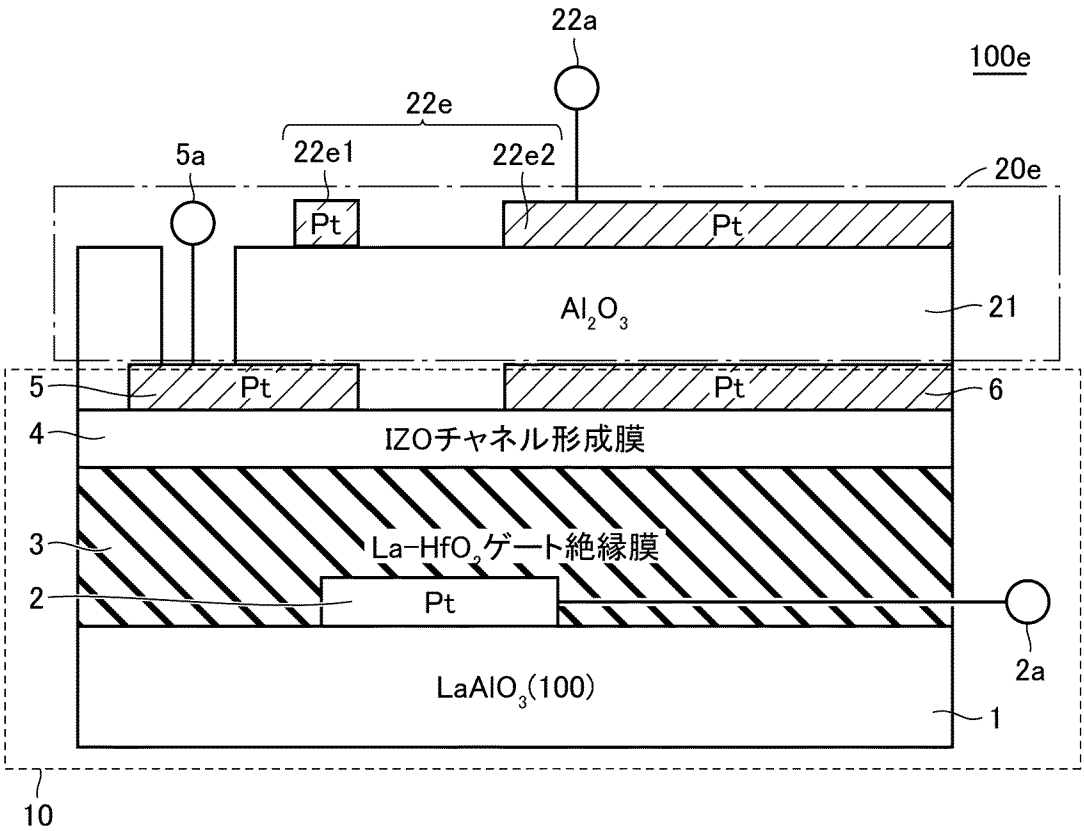
[図18]

FIG.18



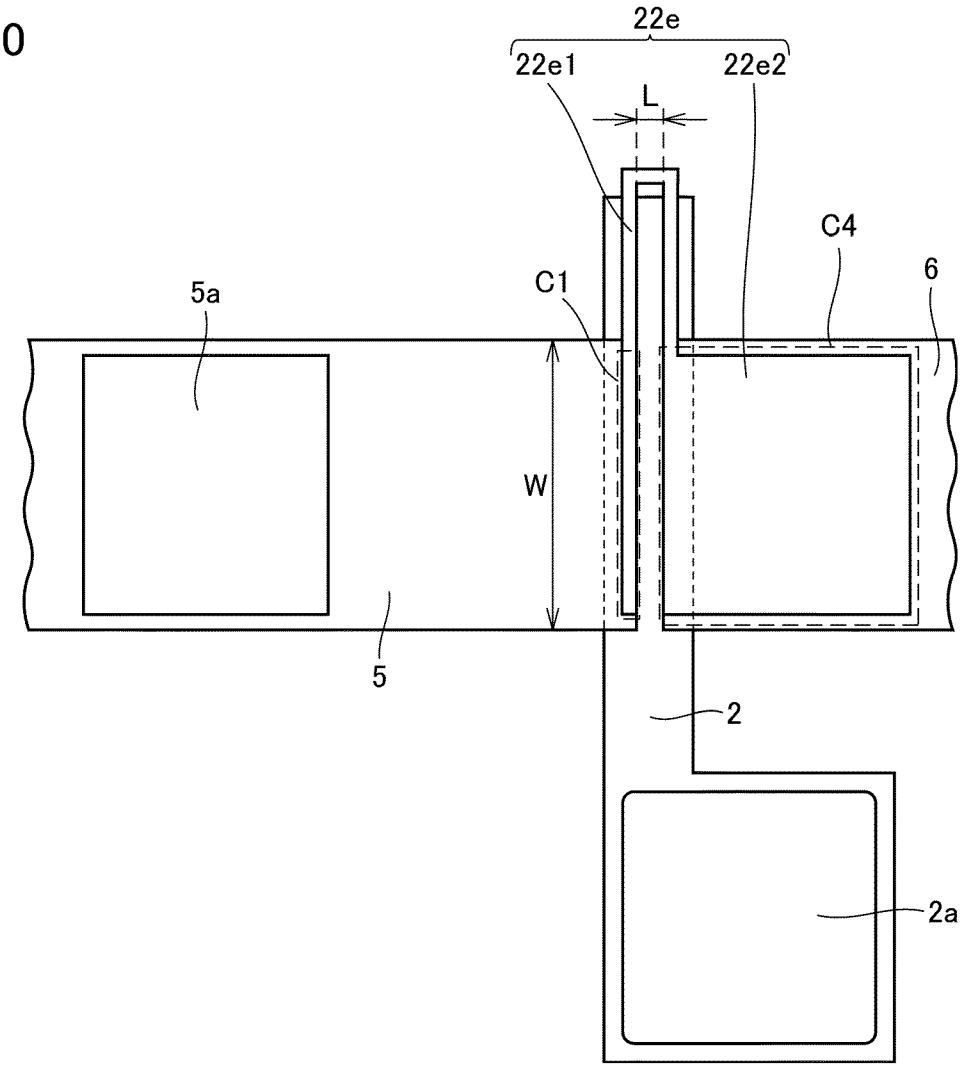
[図19]

FIG.19



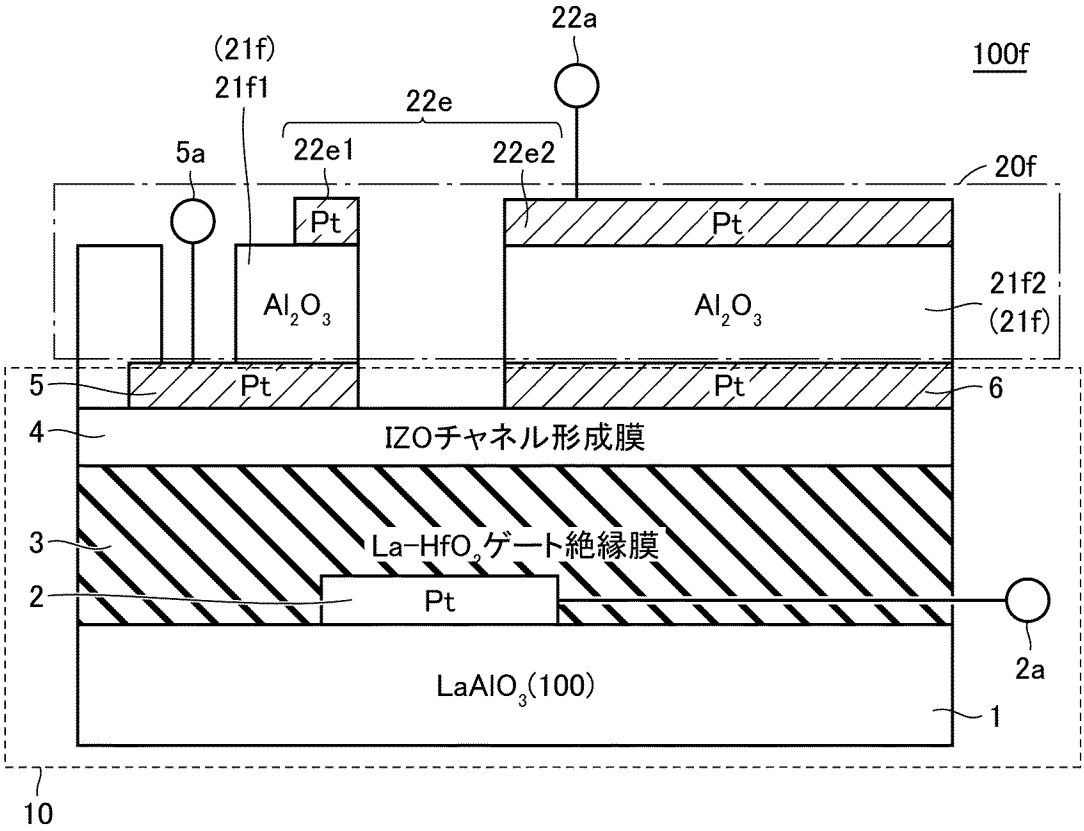
[図20]

FIG.20



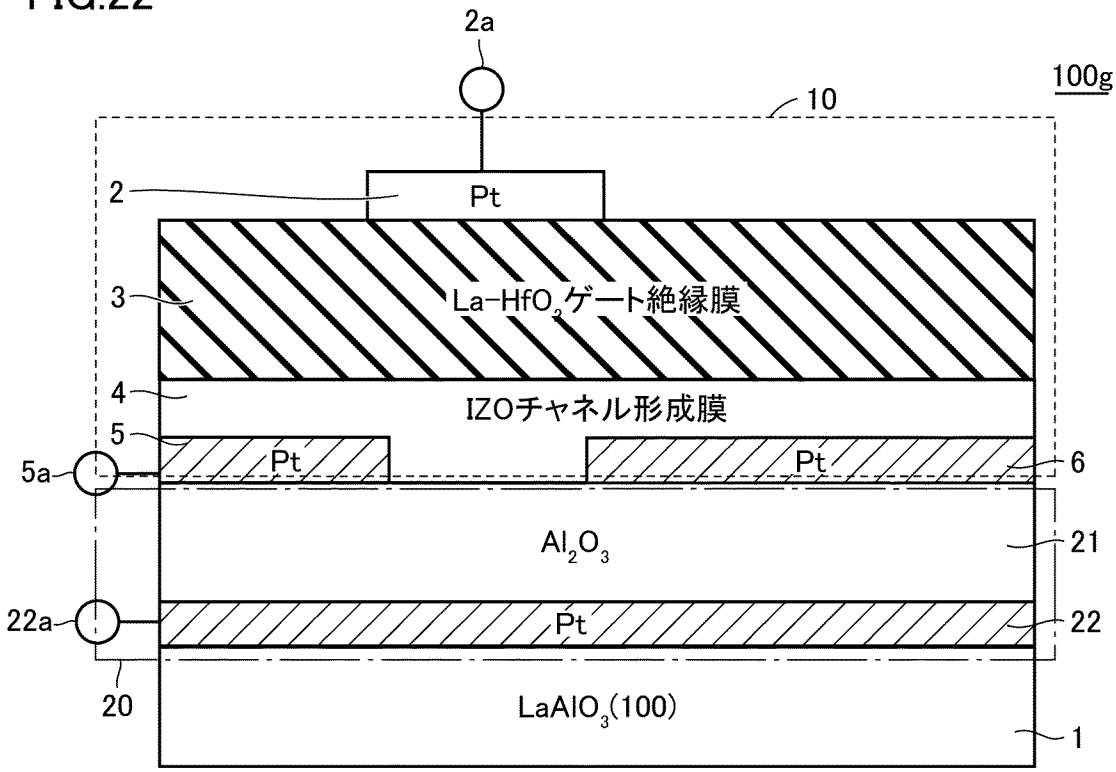
[図21]

FIG.21



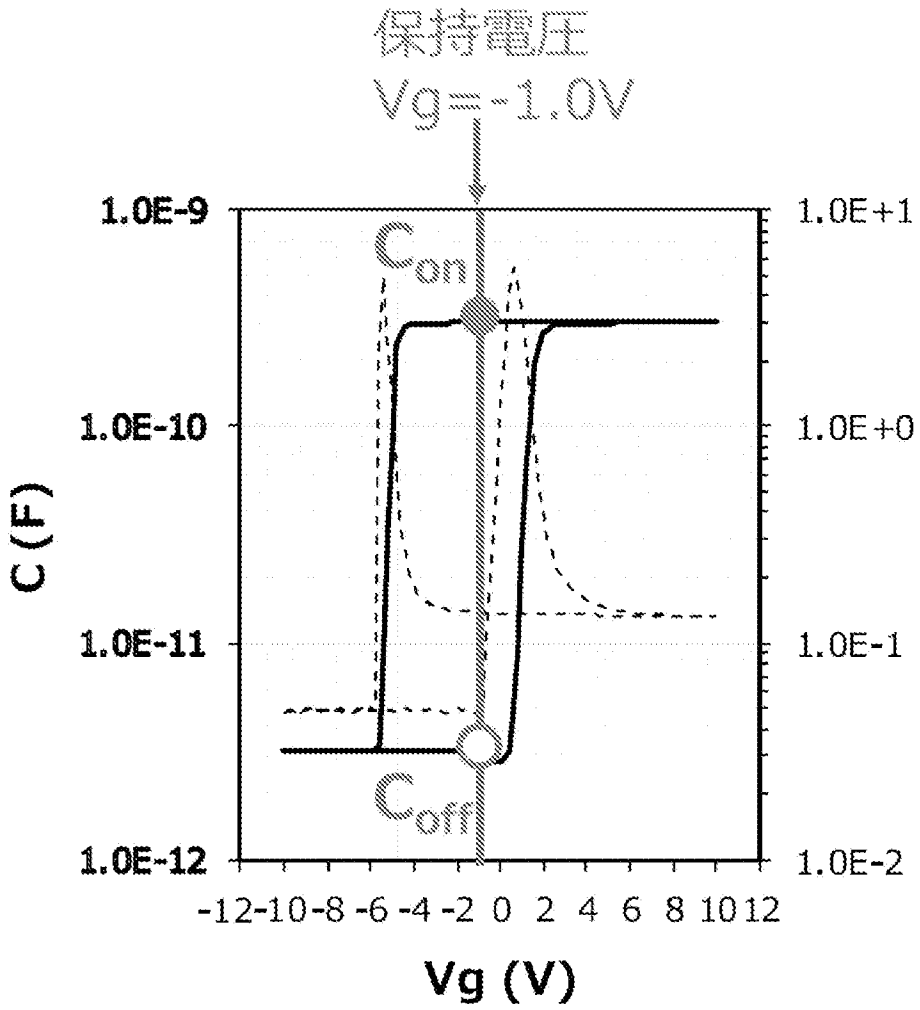
[図22]

FIG.22



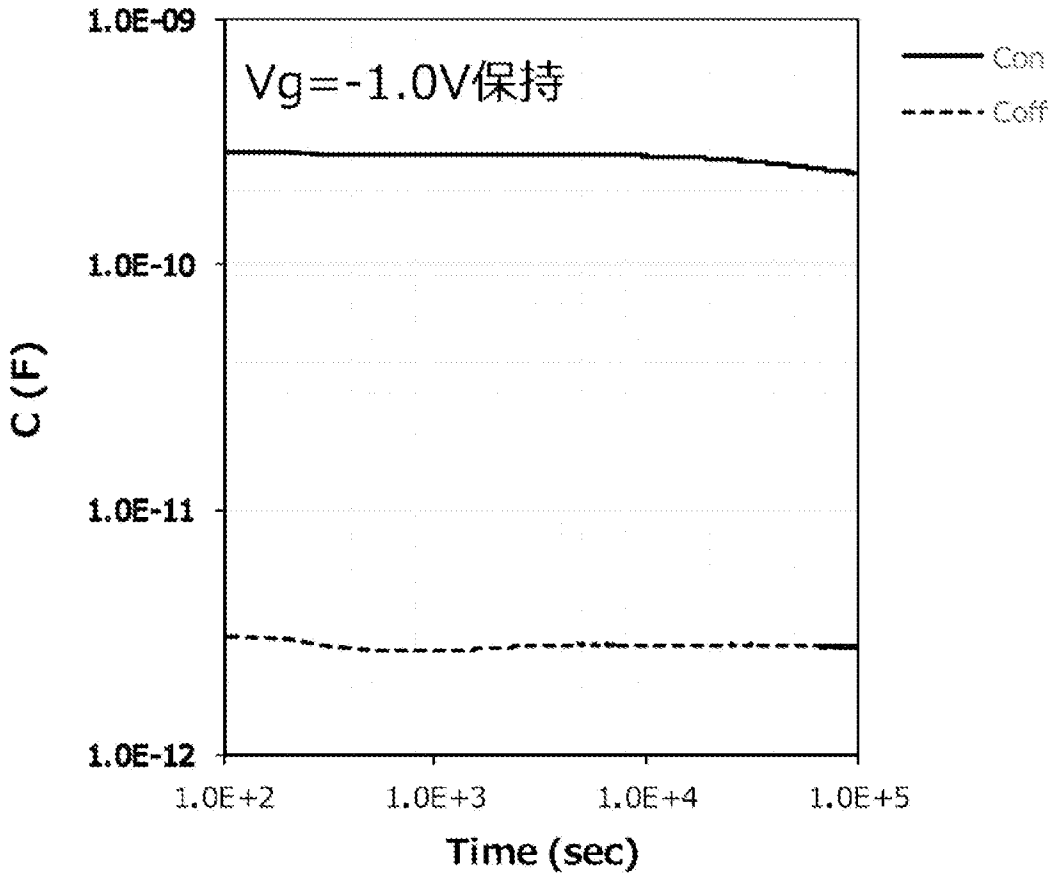
[図23]

FIG.23


保持電圧
Vg=-1.0V
1.0E-9
1.0E-10
1.0E-11
1.0E-12
C (F)
Con
Coff
1.0E+1
1.0E+0
1.0E-1
1.0E-2
-12 -10 -8 -6 -4 -2 0 2 4 6 8 10 12
Vg (V)

[図24]

FIG.24


1.0E-09
1.0E-10
1.0E-11
1.0E-12
C (F)
Vg=-1.0V保持
Con
Coff
1.0E+2
1.0E+3
1.0E+4
1.0E+5
Time (sec)

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2021/037331

A. CLASSIFICATION OF SUBJECT MATTER

H01L 27/04(2006.01)i; ***H01G 4/30***(2006.01)i; ***H01G 4/33***(2006.01)i; ***H01G 4/40***(2006.01)i; ***H01L 21/822***(2006.01)i; ***H01L 21/8234***(2006.01)i; ***H01L 27/06***(2006.01)i; ***H03H 5/12***(2006.01)i
FI: H01L27/04 C; H01G4/40 A; H03H5/12; H01G4/30 201Z; H01G4/33 102; H01L27/06 102A

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L27/04; H01G4/30; H01G4/33; H01G4/40; H01L21/822; H01L21/8234; H01L27/06; H03H5/12

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996
Published unexamined utility model applications of Japan 1971-2021
Registered utility model specifications of Japan 1996-2021
Published registered utility model applications of Japan 1994-2021

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	WO 2018/173497 A1 (SONY SEMICONDUCTOR SOLUTIONS CORP) 27 September 2018 (2018-09-27)	1-10
A	CN 102570839 A (XI'AN GAODU ELECTRONIC TECHNOLOGY CO., LTD.) 11 July 2012 (2012-07-11)	1-10
A	US 2004/0140528 A1 (KIM, Cheon-Soo et al.) 22 July 2004 (2004-07-22)	1-10
A	JP 2010-272815 A (RENESAS ELECTRONICS CORP) 02 December 2010 (2010-12-02)	1-10
A	JP 2009-147204 A (TAIYO YUDEN CO LTD) 02 July 2009 (2009-07-02)	1-10
E, A	WO 2021/205695 A1 (MURATA MANUFACTURING CO) 14 October 2021 (2021-10-14)	1-10

☐ Further documents are listed in the continuation of Box C. ☑ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
19 November 2021	**07 December 2021**
Name and mailing address of the ISA/JP **Japan Patent Office (ISA/JP)** **3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915** **Japan**	Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/JP2021/037331

Patent document cited in search report	Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
WO 2018/173497 A1	27 September 2018	US 2020/0013772 A1 CN 110419163 A	
CN 102570839 A	11 July 2012	(Family: none)	
US 2004/0140528 A1	22 July 2004	KR 10-2004-0042130 A	
JP 2010-272815 A	02 December 2010	US 2010/0295625 A1	
JP 2009-147204 A	02 July 2009	(Family: none)	
WO 2021/205695 A1	14 October 2021	(Family: none)	

国際調査報告

国際出願番号
PCT/JP2021/037331

A. 発明の属する分野の分類（国際特許分類（ＩＰＣ））

H01L 27/04(2006.01)i; H01G 4/30(2006.01)i; H01G 4/33(2006.01)i; H01G 4/40(2006.01)i; H01L 21/822(2006.01)i; H01L 21/8234(2006.01)i; H01L 27/06(2006.01)i; H03H 5/12(2006.01)i
FI: H01L27/04 C; H01G4/40 A; H03H5/12; H01G4/30 201Z; H01G4/33 102; H01L27/06 102A

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

H01L27/04; H01G4/30; H01G4/33; H01G4/40; H01L21/822; H01L21/8234; H01L27/06; H03H5/12

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２０２１年
日本国実用新案登録公報	１９９６－２０２１年
日本国登録実用新案公報	１９９４－２０２１年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献のカテゴリー*	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
A	WO 2018/173497 A1 (ソニーセミコンダクタソリューションズ株式会社) 27.09.2018 (2018-09-27)	1-10
A	CN 102570839 A (XI'AN GAODU ELECTRONIC TECHNOLOGY CO., LTD.) 11.07.2012 (2012-07-11)	1-10
A	US 2004/0140528 A1 (KIM CHEON SOO et al.) 22.07.2004 (2004-07-22)	1-10
A	JP 2010-272815 A (ルネサスエレクトロニクス株式会社) 02.12.2010 (2010-12-02)	1-10
A	JP 2009-147204 A (太陽誘電株式会社) 02.07.2009 (2009-07-02)	1-10
E, A	WO 2021/205695 A1 (株式会社村田製作所) 14.10.2021 (2021-10-14)	1-10

☐ Ｃ欄の続きにも文献が列挙されている。

☑ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー
"A" 特に関連のある文献ではなく、一般的技術水準を示すもの
"E" 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
"L" 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
"O" 口頭による開示、使用、展示等に言及する文献
"P" 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
"T" 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの
"X" 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
"Y" 特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
"&" 同一パテントファミリー文献

国際調査を完了した日	国際調査報告の発送日
19.11.2021	07.12.2021

名称及びあて先
日本国特許庁(ISA/JP)
〒100-8915
日本国
東京都千代田区霞が関三丁目４番３号

権限のある職員（特許庁審査官）
市川　武宜 5F 1592

電話番号 03-3581-1101 内線 3516

国際調査報告
パテントファミリーに関する情報

国際出願番号
PCT/JP2021/037331

引用文献	公表日	パテントファミリー文献	公表日
WO 2018/173497 A1	27.09.2018	US 2020/0013772 A1 CN 110419163 A	
CN 102570839 A	11.07.2012	（ファミリーなし）	
US 2004/0140528 A1	22.07.2004	KR 10-2004-0042130 A	
JP 2010-272815 A	02.12.2010	US 2010/0295625 A1	
JP 2009-147204 A	02.07.2009	（ファミリーなし）	
WO 2021/205695 A1	14.10.2021	（ファミリーなし）	