



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I590337 B

(45)公告日：中華民國 106 (2017) 年 07 月 01 日

(21)申請案號：103139774 (22)申請日：中華民國 103 (2014) 年 11 月 17 日

(51)Int. Cl. : H01L21/336 (2006.01) H01L29/78 (2006.01)

(30)優先權：2013/12/18 世界智慧財產權組織 PCT/US13/76232

(71)申請人：英特爾股份有限公司(美國) INTEL CORPORATION (US)

美國

(72)發明人：莫希 安拿 MURTHY, ANAND (US)；林德 尼克 LINDERT, NICK (US)；葛雷

斯 葛蘭 GLASS, GLENN (US)

(74)代理人：林志剛

(56)參考文獻：

US	2010/0090281A1	US	2010/0219474A1
US	2012/0181625A1	US	2012/0205715A1
US	2012/0319203A1	US	2013/0248999A1
US	2013/0277752A1		

審查人員：林士淵

申請專利範圍項數：25 項 圖式數：5 共 49 頁

(54)名稱

由增加有效閘極長度而增進閘極對電晶體通道的控制的技術

TECHNIQUES FOR IMPROVING GATE CONTROL OVER TRANSISTOR CHANNEL BY INCREASING EFFECTIVE GATE LENGTH

(57)摘要

揭露經由在源極區及汲極區之通道介面之閘極控制層(GCL)之沉積，增加有效電閘極長度(L_{eff})而增進閘極對電晶體通道之控制的技術。GCL 為名義上未摻雜層(或相對於重摻雜 S/D 填充材料之實質上較低摻雜層)，當使用置換 S/D 沉積形成電晶體時可予沉積。在空腔形成之後及重摻雜 S/D 填充材料沉積之前，GCL 可選擇性沉積於 S/D 空腔中。以此方式，GCL 以閘極堆疊減少源極及汲極欠疊(X_{ud})，並進一步分離重摻雜源極區及汲極區。接著，增加有效電閘極長度(L_{eff})及增進閘極對通道之控制。

Techniques are disclosed for improving gate control over the channel of a transistor, by increasing the effective electrical gate length (L_{eff}) through deposition of a gate control layer (GCL) at the interfaces of the channel with the source and drain regions. The GCL is a nominally undoped layer (or substantially lower doped layer, relative to the heavily doped S/D fill material) that can be deposited when forming a transistor using replacement S/D deposition. The GCL can be selectively deposited in the S/D cavities after such cavities have been formed and before the heavily doped S/D fill material is deposited. In this manner, the GCL decreases the source and drain underlap (X_{ud}) with the gate stack and further separates the heavily doped source and drain regions. This, in turn, increases the effective electrical gate length (L_{eff}) and improves the control that the gate has over the channel.

指定代表圖：

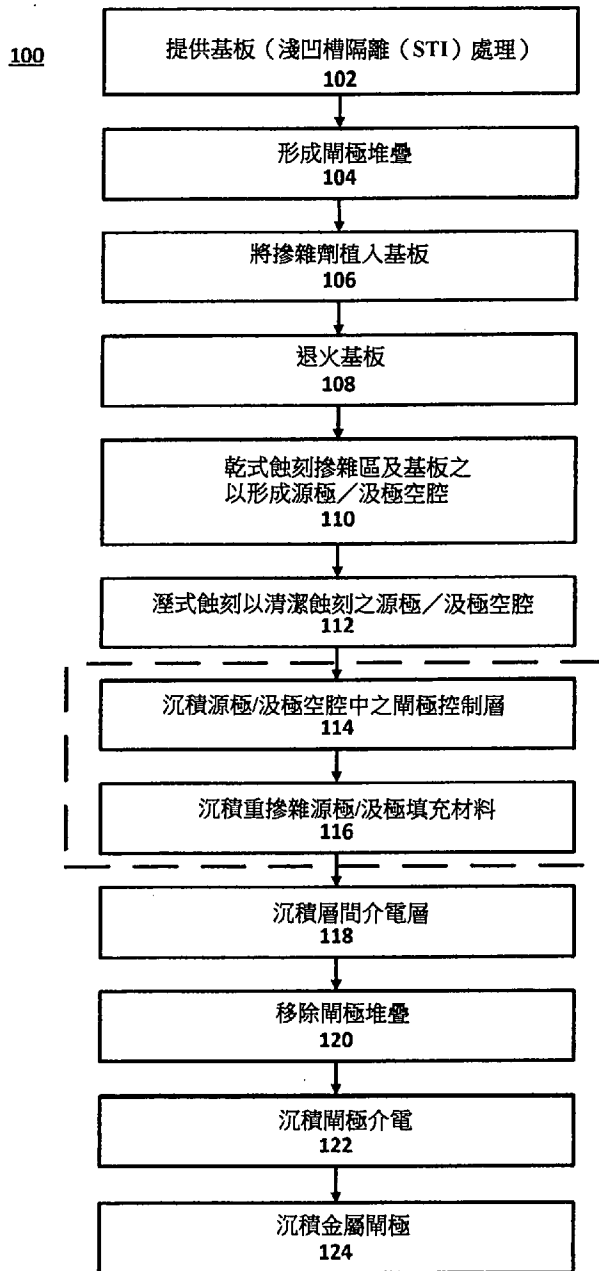


圖 1

發明摘要

※申請案號：103139774

※申請日：103年11月17日

※IPC分類： H01L 21/336 (2006.1)
H01L 29/78 (2006.1)

【發明名稱】(中文/英文)

由增加有效閘極長度而增進閘極對電晶體通道的控制的技術

Techniques for improving gate control over transistor channel by increasing effective gate length

【中文】

揭露經由在源極區及汲極區之通道介面之閘極控制層(GCL)之沉積，增加有效電閘極長度(L_{eff})而增進閘極對電晶體通道之控制的技術。GCL為名義上未摻雜層(或相對於重摻雜S/D填充材料之實質上較低摻雜層)，當使用置換S/D沉積形成電晶體時可予沉積。在空腔形成之後及重摻雜S/D填充材料沉積之前，GCL可選擇性沉積於S/D空腔中。以此方式，GCL以閘極堆疊減少源極及汲極欠疊(X_{ud})，並進一步分離重摻雜源極區及汲極區。接著，增加有效電閘極長度(L_{eff})及增進閘極對通道之控制。

【 英文 】

Techniques are disclosed for improving gate control over the channel of a transistor, by increasing the effective electrical gate length (L_{eff}) through deposition of a gate control layer (GCL) at the interfaces of the channel with the source and drain regions. The GCL is a nominally undoped layer (or substantially lower doped layer, relative to the heavily doped S/D fill material) that can be deposited when forming a transistor using replacement S/D deposition. The GCL can be selectively deposited in the S/D cavities after such cavities have been formed and before the heavily doped S/D fill material is deposited. In this manner, the GCL decreases the source and drain underlap (X_{ud}) with the gate stack and further separates the heavily doped source and drain regions. This, in turn, increases the effective electrical gate length (L_{eff}) and improves the control that the gate has over the channel.

【代表圖】

【本案指定代表圖】：第(1)圖。

【本代表圖之符號簡單說明】：無

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：無

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】(中文/英文)

由增加有效閘極長度而增進閘極對電晶體通道的控制的技術

Techniques for improving gate control over transistor channel by increasing effective gate length

【技術領域】

[0001] 本發明係關於一種電晶體裝置及其形成方法，特別是由增加有效閘極長度而增進閘極對電晶體通道的控制的技術。

【先前技術】

[0002] 包括電晶體、二極體、電阻器、電容器、及形成於半導體基板上之其他被動及主動電子裝置之電路裝置之增加性能典型地為該些裝置之設計、製造、及作業期間考量之主要因子。例如，在金屬氧化物半導體（MOS）電晶體半導體裝置之設計及製造或形成期間，諸如用於互補式金屬氧化物半導體（CMOS）之設計及製造或形成，通常希望調整每一處理產出的間距以支援每面積更多之電晶體。通常，縮小電晶體閘極之關鍵尺寸以縮小整體間距。

【圖式簡單說明】

[0003] 圖 1 為依據本揭露之一個或多個實施例之形成包括閘極控制層 (GCL) 之金屬氧化物半導體 (MOS) 電晶體之方法。

[0004] 圖 2A-至 2K 描繪依據若干實施例之針對平面或非平面電晶體架構實施之如圖 1 之方法形成之範例結構。

[0005] 圖 3A-至 3C 顯示依據本揭露之實施例組配之包括 GCL 之範例非平面架構結構之透視圖。

[0006] 圖 4A 描繪依據本揭露之若干實施例，在相對於包括 GCL 之電晶體之源極/汲極 (S/D) 欠疊距離 (X_{ud}) 之固定洩漏量，電晶體開啟之電壓 (V_t)。

[0007] 圖 4B 繪依據本揭露之若干實施例，在相對於包括 GCL 之電晶體之 S/D 欠疊距離 (X_{ud}) 之特定閘極電壓，源極至汲極電流洩漏 (I_L)。

[0008] 圖 5 描繪以依據範例實施例組配之一個或多個電晶體結構實施之運算裝置。

【發明內容與實施方式】

[0009] 揭露經由在源極區及汲極區之通道介面之閘極控制層 (GCL) 之沉積，增加有效電閘極長度 (L_{eff}) 而增進閘極對電晶體通道之控制的技術。GCL 為名義上未摻雜層 (或相對於重摻雜 S/D 填充材料之實質上較低摻雜層)，當使用置換 S/D 沉積形成電晶體時可予沉積。在空

腔形成之後及重摻雜 S/D 填充材料沉積之前，GCL 可選擇性沉積於 S/D 空腔中。以此方式，GCL 以閘極堆疊減少源極及汲極欠疊 (X_{ud})，並進一步分離重摻雜源極區及汲極區。接著，增加有效電閘極長度 (L_{eff}) 及增進閘極對通道之控制（例如當移除閘極電壓時增加關閉通道電流之功效）。

總體概述

[0010] 如先前所說明，可縮小電晶體閘極之關鍵尺寸以縮小整體間距，並支援每面積更多之電晶體。縮小電晶體閘極之關鍵尺寸使電晶體之源極及汲極更接近。電晶體源極及汲極亦可因增加源極/汲極 (S/D) 欠疊而更接近，此係 S/D 在閘極電極或閘極堆疊下延伸之範圍。此成為問題，例如在 10 nm 圖案化節點及以下，由於源極及汲極如此接近，閘極對通道之控制變弱。閘極對通道之控制弱可導致當閘極電壓移除時，不欲通道電流從源極流至汲極。不欲通道電流亦可因電流洩漏而從源極流至汲極。增加源極及汲極區間之距離的一個選項為增加閘極堆疊間隔器寬度以協助控制後續 S/D 空腔蝕刻尺寸。然而，增加閘極堆疊間隔器寬度減少聚合線間之空間，藉以減少製造與源極區及汲極區電接觸之空間，接著造成更高接觸電阻。

[0011] 因而，依據本揭露之一個或多個實施例，提供經由沉積閘極控制層 (GCL) 增加有效電閘極長度 (L_{eff}) 而增進閘極對電晶體通道之控制之技術。源極區

及汲極區典型地係藉由將摻雜劑（諸如硼）植入基板，或藉由置換 S/D 沉積，其包括蝕刻基板以形成 S/D 空腔及接著沉積重摻雜材料，而予形成。如鑑於本揭露將理解的，當使用置換 S/D 沉積形成電晶體時，可使用 GCL。GCL 為名義上未摻雜層（或實質上較低摻雜層，相對於後續沉積重摻雜 S/D 填充材料），其於使用置換 S/D 沉積形成電晶體時可予沉積。於空腔形成之後，及重摻雜 S/D 填充材料沉積之前，可於 S/D 空腔中選擇性沉積 GCL。以此方式，GCL 進一步分離重摻雜源極區及汲極區，藉以增加有效電閘極長度（ L_{eff} ），及提供電晶體性能優勢，如以下將進一步詳細討論。

[0012] 在蝕刻以形成空腔後，可於 S/D 空腔中選擇性沉積 GCL。在若干狀況下，蝕刻程序可造成 S/D 空腔在閘極堆疊下延伸，而以閘極堆疊造成 S/D 欠疊。此欠疊距離文中稱為 X_{ud} 。在 S/D 空腔於閘極堆疊下延伸之狀況下， X_{ud} 為正（+ X_{ud} ）（例如如圖 2F' 中所示）。在若干狀況下，蝕刻以形成 S/D 空腔可造成空腔延伸恰至閘極堆疊之邊緣，使得 $X_{ud} = 0$ （例如如圖 2F 中所示）。在仍其他狀況下，蝕刻以形成 S/D 空腔可造成空腔僅在閘極堆疊間隔器下延伸（或甚至更遠），且未在閘極堆疊本身之下，使得 X_{ud} 為負（- X_{ud} ）。如鑑於本揭露將理解，經由於 S/D 空腔中沉積 GCL 可使 X_{ud} 更負或減少，藉以後續進一步分離沉積重摻雜源極區及汲極區。最後 X_{ud} 值係由蝕刻 S/D 空腔及後續沉積其上之 GCL 厚度之組合決定。

[0013] 在若干實施例中，可以特定最後 X_{ud} 值為目標（諸如約 -3 nm），同時在其他實施例中，可以特定範圍之最後 X_{ud} 值為目標（諸如 -5 至 1 nm 範圍之 X_{ud} ）。在該等實施例中，可依據所欲目標 X_{ud} 選擇 GCL 厚度。在若干實施例中，可選擇特定 GCL 厚度。例如，可選擇 1 至 6 nm 範圍之厚度用於 GCL，諸如 3 nm。此外，在若干實施例中，GCL 可為名義上保形，使得 GCL 之厚度與 S/D 空腔內之所有生長表面實質上相同。在若干該等實施例中，實質上相同表示三個因子或更佳。例如，在特定狀況下，其中 GCL 於 S/D 空腔之一個位置具有 2 nm 之最小厚度成為三個因子內之名義上保形，GCL 最大厚度（在 S/D 空腔之另一位置）可為最多 6 nm，如以下將更詳細討論。

[0014] 在若干實施例中，GCL 可由名義上未摻雜矽（Si）、鍺（Ge）、或矽鍺（SiGe）組成。在若干實施例中，GCL 可為名義上摻雜，諸如具有 $1E17 \text{ cm}^{-3}$ 至 $1E20 \text{ cm}^{-3}$ 範圍之摻雜程度。在若干實施例中，GCL 可較後續沉積重摻雜 S/D 填充材料實質上較少摻雜。在該等實施例中，實質上較少可包括例如低於後續沉積於 GCL 上之重摻雜 S/D 填充材料至少一個數量級。例如，重摻雜 S/D 填充材料可具有 $1E20 \text{ cm}^{-3}$ 至 $9E21 \text{ cm}^{-3}$ 範圍之摻雜程度，因此，GCL 可具有低於 $1E19 \text{ cm}^{-3}$ 至 $1E20 \text{ cm}^{-3}$ 範圍之摻雜程度。然而，如鑑於本揭露將理解，GCL 可具有任何適當摻雜程度。

[0015] 經分析（例如掃描電子顯微鏡及/或組成映

射)，依據一個實施例組配之結構將於 S/D 及通道區之介面有效地顯示 GCL。此外，在若干狀況下，使用如文中各式描述之 GCL 製造之電晶體將可以較低電壓操作（因為電晶體針對特定洩漏量開啟之閘極電壓將減少），且其將展現較少源極至汲極電流洩漏。因而，依據本揭露之一個實施例組配之電晶體結構提供相對於至少電力消耗超越習知結構之增進。該等電晶體結構可用於 p 型或 n 型裝置，或用於包括 p 型及 n 型裝置之裝置（例如 CMOS），以及用於平面及非平面（例如三閘極、FinFET、奈米線/奈米帶）電晶體組態。該等電晶體結構可以各式處理/圖案化節點形成，諸如 10 nm 節點及以下；然而，電晶體結構不需如此限制，如鑑於本揭露將理解。因此，具有低電力消耗及/或高度整合需求之任何數量半導體裝置或電路可從使用包括如文中各式描述之 GCL 之電晶體獲益。許多組態及變化將鑑於本揭露而顯而易見。

架構及方法

[0016] 圖 1 為依據本揭露之一個或多個實施例之形成包括 GCL 之 MOS 電晶體之方法 100。圖 2A-K 描繪依據若干實施例之以圖 1 之方法 100 形成之範例結構實施用於平面或非平面電晶體架構。如鑑於本揭露將理解的，對於諸如三閘極或 FinFET 實施例之非平面電晶體架構而言，圖 2A-K 可描繪沿半導體緒之長度之截面圖。

[0017] 如同可見，範例方法 100 包括在 102 提供半

導體基板，其上可形成 MOS 裝置，諸如 PMOS 或 PMOS 電晶體。在若干實施例中，可於半導體基板上形成 NMOS 及 PMOS 電晶體（例如 CMOS 裝置）。方塊 102 亦包括可選淺凹槽隔離（STI）處理，且在包括 STI 處理、n 型及 p 型區之該等實施例中可藉由 STI（或其他實施例中之若干其他適當隔離形式）分離。在包括 STI 之若干該等實施例中，擴散區之平面為與 STI 之頂部名義上平面（例如約 10 nm 內）。在非平面架構之狀況下，諸如用於 FinFET/三閘極或奈米線/奈米帶電晶體裝置者，接著可使擴散被界定為窄結構處之 STI 位置滲出氧化物平面（例如擴散程度為 10 nm 或高於頂 STI 平面之程度）。可以例如塊狀矽、絕緣體上半導體組態（XOI，其中 X 為半導體材料，諸如矽、鍺、或含鍺矽）實施半導體基板，或具多層結構，包括其上於後續閘極圖案化程序之前形成鰭或奈米線/奈米帶之該些基板。在其他實施中，可使用替代材料形成半導體基板，其可或不可為與矽之組合，諸如鍺、矽鍺、銻化銮、碲化鉛、砷化銮、砷化銮鎳、磷化銮、砷化鎳、或銻化鎳。在更一般的意義上，依據本揭露之實施例，可使用任何材料做為基座，其上可建立半導體裝置。

[0018] 方法 100 持續，在 104 於半導體基板上形成閘極堆疊。閘極堆疊可如習知作法或使用任何適當客製技術形成。在本揭露之若干實施例中，可藉由沉積接著圖案化閘極介電層及閘極電極層而形成閘極堆疊。例如，在一個範例狀況下，閘極介電層可使用習知沉積程序圍包沉積

至半導體基板上，諸如化學氣相沉積（CVD）、原子層沉積（ALD）、旋塗沉積（SOD）、或物理氣相沉積（PVD）。亦可使用替代沉積技術，例如，閘極介電層可熱生長。可從諸如二氧化矽或高 k 介電材料之材料形成閘極介電材料。高 k 閘極介電材料之範例包括例如氧化鉛、氧化鉛矽、氧化釧、鋁酸釧、氧化鋯、氧化鋯矽、氧化鈮、氧化鈮、鈦酸鋇、氧化鋇、鈦酸鋇、氧化鈮、氧化鋁、氧化鉛鈮鈮、及鋇鋅酸鉛。在若干特定範例實施例中，仿或高 k 閘極介電層可介於約 5 Å 至約 200 Å 之間（例如 20 Å 至 50 Å）厚。通常，閘極介電層之厚度應足以電隔離閘極電極與相鄰源極及汲極接點。在進一步實施例中，可於高 k 閘極介電層上實施其餘處理，諸如退火程序，以增進高 k 材料之等同性。其次，可使用類似沉積技術，諸如 ALD、CVD、或 PVD，於閘極介電層上沉積閘極電極材料。在若干該等特定實施例中，閘極電極材料可為多晶矽或金屬層，儘管亦可使用其他適當閘極電極材料。在若干範例實施例中，閘極電極材料可為之後移除用於置換金屬閘極（RMG）程序之犧牲的材料，可具有 50Å 至 500Å 範圍（例如 100Å）厚度。如圖 2A 中所示，接著可實施習知圖案化程序以蝕刻掉閘極電極層及閘極介電層部分，形成閘極堆疊。使用閘極第一/閘極最後、RMG、或習知 SiO₂/多閘極均與本揭露相容。

[0019] 圖 2A 描繪其上形成閘極堆疊之基板 200。如基此範例實施例可見，閘極堆疊包括閘極介電層 202（其

可為高 k 閘極介電材料) 及犧牲的閘極電極 204。在一個特定範例狀況下，閘極堆疊包括二氧化矽閘極介電層 202 及多晶矽閘極電極 204。閘極堆疊亦可包括頂部上之閘極硬遮罩層 206，如同所示，其提供某些好處或於處理期間用以諸如保護閘極電極 204 免於後續離子植入程序。可使用典型硬遮罩材料形成硬遮罩層 206，諸如二氧化矽、氮化矽、及/或其他習知介電材料。

[0020] 基於進一步參照圖 1，在形成閘極堆疊後，範例方法 100 持續，在 106 以離子植入程序將摻雜劑植入基板而高度摻雜鄰近閘極堆疊之基板部分。用於離子植入程序中之摻雜劑可依據例如其增加植入之基板材料之蝕刻率的能力而予挑選，且選擇用於離子植入程序之特定摻雜劑可依據基板材料及後續蝕刻程序中使用之蝕刻劑而異。可選擇以增加基板之蝕刻率之特定摻雜劑包括例如碳、磷、及砷。例如，可使用 1×10^{14} 至 1×10^{16} 原子/cm³ 範圍之劑量的碳並使用落於 5 及 15 千電子伏 (keV) 間之植入能量。可使用 1×10^{14} 至 5×10^{15} 原子/cm³ 範圍之劑量的磷並使用落於 1 及 5 keV 間之植入能量。可使用 1×10^{14} 至 5×10^{15} 原子/cm³ 範圍之劑量的砷並使用落於 2 及 5 keV 間之植入能量。其他適當摻雜劑及劑量方案鑑於本揭露將顯而易見。在若干實施例中，離子植入實質上係以垂直方向發生 (即垂直於基板之方向)；同時在其他實施例中，至少部分離子植入程序係以彎角方向發生以植入低於閘極堆疊之離子。請注意，硬遮罩 206 可用以避免閘極電極 204

材料之摻雜。

[0021] 其次，方法 100 持續，在 108 退火基板，其可用以驅動摻雜劑進一步進入基板，並減少離子植入程序期間基板承受之任何損害。在若干實施例中，106 之植入及 108 之後續退火可驅動離子至基板深度，其落於例如 2 nm 及 20 nm 之間。108 之退火可於落於例如 700°C 及 1100°C 之間之溫度實施，達 60 秒或較少（例如 5 秒）期間。如將理解的，退火溫度及期間可隨實施例而異，取決於諸如擴散率、基板材料、使用之摻雜劑、及所欲末端摻雜劑濃度之因子。

[0022] 圖 2B 描繪離子植入及擴散程序後之基板 200。如本範例實施例中所示，離子植入程序製造鄰近閘極介電層 202 之二摻雜區 208，供形成 MOS 電晶體。當暴露至適當蝕刻劑時，摻雜區 208 可具有高於周圍基板材料之蝕刻率的蝕刻率。一個摻雜區 208 將做為一部分源極區，同時其他摻雜區 208 將做為一部分汲極區。請注意，在所示範例實施例中，摻雜區 208 並非設置低於閘極介電層 202；然而，在其他實施例中，摻雜區 208 可設置低於閘極介電層 202，例如其可協助形成磊晶 S/D 尖端。亦請注意摻雜區 208 之尺寸，包括其深度，可依據形成 MOS 電晶體及/或使用之特別程序之需求而異。

[0023] 其次，方法 100 持續，可於閘極堆疊之任一側 210 形成間隔器。可使用例如諸如氧化矽、氮化矽之習知材料、或其他適當間隔器材料形成間隔器。間隔器之寬

度通常可依據形成 MOS 電晶體之設計需求挑選。然而，依據若干實施例，間隔器之寬度並不受限於形成源極及汲極外延尖端強加之設計限制。依據範例實施例，圖 3C 描繪基板 300 具有形成於閘極電極層 304 及閘極介電層 302 任一側 310 之間隔器。

[0024] 基於進一步參照圖 1，方法 100 持續，在 110 乾式蝕刻基板之摻雜區以形成空腔，其中可形成 S/D 區。如最佳參照圖 2D 可見，蝕刻之空腔通常鄰近閘極堆疊。在若干範例實施例中，蝕刻之空腔可形成至落於 20 nm 及 1500 nm 間之深度，其可較摻雜區深。在更一般的意義上，可依據所欲 MOS 裝置需求/性能而視需要設定蝕刻深度。在若干實施例中，乾式蝕刻程序可使用蝕刻劑配方，其補充離子植入程序中使用之摻雜劑以增加摻雜區之蝕刻率，藉以致能蝕刻程序以高於基板 200 之殘餘的速率從摻雜區 208 移除基板材料。

[0025] 依據若干實施例，乾式蝕刻程序可使用發生於電漿反應器中之氯化化學。在若干特定該等實施例中，蝕刻劑配方可包括 NF_3 及 Cl_2 與用作緩衝或載氣之氫或氮的組合。依據若干該等實施例，主動蝕刻劑種類之流率可在例如 50 及 200 每分鐘標準立方公分 (SCCM) 之間改變，同時載氣之流率可在例如 150 及 400 SCCM 之間改變。依據若干該等實施例，可採用例如從 700W 至 1100W 範圍電力具少於 100W 之低 RF 偏壓之高能電漿。依據若干該等實施例，反應器壓力範圍可從約 1 帕 (Pa) 至約 2

Pa。在另一特定範例實施例中，蝕刻劑化學可包括 HBr 及 Cl₂ 之組合。在若干該等實施例中，蝕刻劑種類之流率可在例如 40 SCCM 及 100 SCCM 之間改變。依據若干該等實施例，可採用從約 600W 至約 1000W 範圍電力具少於 100W 之低 RF 偏壓之高能電漿，且反應器壓力範圍可從約 0.3 Pa 至約 0.8 Pa。

[0026] 在仍另一範例實施例中，蝕刻劑化學可包括 Ar 及 Cl₂ 之組合。在若干該等實施例中，蝕刻劑種類之流率可在例如 40 SCCM 及 80 SCCM 之間改變。依據若干該等實施例，可採用從約 400W 至約 800W 範圍電力具約 100W 及 200W 間之高 RF 偏壓之中能電漿，且反應器壓力範圍可從約 1 Pa 至約 2 Pa。每一該些範例實施例之乾式蝕刻程序時間可為例如每基板 60 秒，但可依據諸如所欲蝕刻深度及蝕刻劑之因子而異。如將理解的，該等蝕刻程序參數可隨實施例而異。

[0027] 依據本揭露之若干實施例，圖 2D 描繪已實施乾式蝕刻程序後之基板 200。如同所示，形成源極空腔 212 及汲極空腔 214。在若干實施例中，乾式蝕刻程序 110 可蝕刻掉部分摻雜區，其底切間隔器 210 及閘極介電層 202 藉以形成 S/D 空腔之尖端或延伸置於閘極堆疊之下。例如，圖 2D' 顯示乾式蝕刻程序之替代範例結果，其導致形成源極尖端空腔 212' 及汲極尖端空腔 214'，分別為空腔 212 及 214 之延伸。該等空腔延伸/尖端可因例如增加摻雜區之蝕刻率或減少閘極堆疊間隔器 210 之寬度而發

生。

[0028] 在乾式蝕刻程序完成後，進一步參照圖 1，本範例實施例之方法持續，在 112 實施溼式蝕刻以清潔及進一步蝕刻源極空腔 212 及汲極空腔 214。溼式蝕刻 112 可使用習知或客製溼式蝕刻化學實施，並可移除污染物，諸如碳、氟、氯氟化碳、及諸如氧化矽之氧化物，而提供其上可實施後續程序之清潔表面。此外，在使用單晶矽基板之實施例中，溼式蝕刻 112 亦可用以移除基板連同<111>及<001>結晶平面之薄部分而提供其上可發生高品質磊晶沉積之平滑表面。在若干範例狀況下，蝕刻掉基板之薄部分可達例如 5 nm 厚，亦可移除殘餘污染物。如圖 2E 中最佳顯示，溼式蝕刻 112 使得源極空腔 212 及汲極空腔 214 之側面依循<111>及<001>結晶平面。然而，如先前所描述，可發生各式不同空腔形狀，包括具有空腔延伸或尖端之 S/D 空腔。例如，圖 2E'顯示最終結構，包括具空腔延伸 212'之源極空腔 212 及具空腔延伸 214'之汲極空腔 214。許多不同因子可影響空腔形狀/深度/尺寸，諸如使用之蝕刻程序、閘極堆疊側壁間隔器寬度、及閘極長度，僅舉數例。

[0029] 圖 2F 描繪圖 2E 之虛線圓形區域之放大圖，圖 2F'描繪圖 2E'之虛線圓形區域之放大圖。如同圖 2E 及 2F 中可見，源極空腔 212 之側面 220（及類似地，汲極空腔 214 之側面）對準，無閘極介電層 202 之側面，更一般地，空腔側面對準，無閘極堆疊之側面。因此，在此範例

結構中，S/D 間無欠疊。如先前所描述，具閘極堆疊之 S/D 欠疊文中稱為 X_{ud} 。在圖 2E-F 中， $X_{ud} = 0$ ，因為 S/D 空腔蝕刻造成空腔側面 220 在閘極堆疊外部靠右對齊。此可與圖 2E'-F' 中所示之範例結構相比，其中 X_{ud} 為正 ($+ X_{ud}$)。在圖 2E'-F' 中所示之範例結構中 X_{ud} 為正，因為源極空腔 212 在閘極堆疊之下延伸，如同所示源極空腔延伸 212' (及類似地，汲極空腔 214 及汲極空腔延伸 214')。圖 2F' 以源極空腔側面 220' 置於閘極堆疊之下而最佳顯示。請注意，為易於描述，源極及汲極空腔在本揭露中為對稱；然而，不一定要如此狀況。例如，在一個實施例中，源極空腔可具有正 X_{ud} ，同時汲極空腔可具有 $X_{ud} = 0$ 。

[0030] 圖 1 之方法 100 持續，在 114，沉積 S/D 空腔中之 GCL，接著在 116，後續沉積 GCL 襯裡 S/D 空腔中之重摻雜 S/D 填充材料。在若干實施例中，在沉積重摻雜 S/D 填充材料之前，可沉積 GCL 做為不同沉積序列。在其他實施例中，如圖 1 之方法 100 中圍繞方塊 114 及 116 之虛線框所描繪，GCL 及重摻雜 S/D 填充材料可於單一沉積序列中沉積。在該等實施例中，GCL 及重摻雜 S/D 填充材料之沉積間可存在階化或突然轉換。無論哪種方式，重摻雜 S/D 填充材料滿足頂表面上之接觸需求，同時未摻雜 (或實質上較少摻雜) 層提供至 S/D 介面之通道，如文中所描述之好處。GCL 可選擇性沉積於 S/D 空腔中，表示其僅至 S/D 空腔材料 (例如 Si) 而未至閘極周圍之絕緣體

區。該等選擇沉積可使用化學氣相沉積 (CVD) 技術或任何其他適當技術實施，諸如超高真空 CVD (UHV-CVD)、快熱 CVD (RT-CVD)、低壓力 CVD (LP-CVD)、或氣體源分子束磊晶 (GS-MBE)。GCL 之沉積可在廣泛狀況下，並可為磊晶或多晶。

[0031] GCL 沉積溫度、壓力、流率、載氣等可依據沉積 GCL 之材料予以選擇。在若干實施例中，GCL 可由名義上未摻雜矽 (Si)、鍺 (Ge)、或矽鍺 (SiGe) 組成。例如，對 n 型裝置而言，GCL 可選擇為 Si，同時對 p 型裝置而言，GCL 可選擇為 SiGe 或 Ge。在其他實施例中，GCL 可最小摻雜例如 $1E17 \text{ cm}^{-3}$ 至 $1E20 \text{ cm}^{-3}$ 程度，或較低。摻雜劑可依據後續沉積之重摻雜 S/D 填充材料而予決定。例如，對 n 型裝置而言，磷 (P) 或硼 (B) 可用做摻雜劑，對 p 型裝置而言，鋁 (Al)、鎵 (Ga)、銦 (In)、砷 (As)、或銻 (Sb) 可用做摻雜劑。在若干實施例中，GCL 可依據通道及/或 S/D 填充材料而包括最小程度其他適當摻雜劑。在若干實施例中，就每 cm^3 之原子而言，GCL 最小摻雜劑程度可為低於塊狀重摻雜 S/D 填充材料之一個數量級。

[0032] 在若干實施例中，重摻雜 S/D 填充材料可包括其上為重摻雜硼之鍺層之原位摻雜硼之鍺或摻雜硼之矽鍺。例如，對 n 型裝置而言，用於重摻雜 S/D 填充材料之摻雜劑可包括 P 或 B，同時對 p 型裝置而言，摻雜劑可包括 Al、Ga、In、As、或 Sb。重摻雜 S/D 填充材料可摻雜

1E19 至 9E21 cm^{-3} 範圍，但在若干實施例中，則摻雜 1E20 至 9E21 cm^{-3} 範圍。在一個或多個實施例中，任何相容材料組可用於 GCL 及重摻雜 S/D，只要缺陷保持足夠低以避免來自膜之接觸部分的總擴散，並保持摻雜差異到底。

[0033] 在 116，CVD 程序或其他適當沉積技術可用於重摻雜 S/D 填充材料之沉積。例如，在 116，可以 CVD 反應器、LPCVD 反應器、或超高真空 CVD (UHVCVD) 實施沉積。在若干範例狀況中，反應器溫度可落於例如 600°C 及 800°C 之間，及反應器壓力可落於例如 1 及 760 Torr 之間。載氣可包括諸如 10 及 50 SLM 間之適當流率的例如氫或氦。在若干特定實施例中，可使用諸如於 H_2 中稀釋之 GeH_4 (例如 GeH_4 可以 1-5% 稀釋) 的鍍來源前驅物氣體實施沉積。例如，稀釋之 GeH_4 可以 1% 濃度及 50 及 300 SCCM 間範圍之流率使用。對硼之原位摻雜而言，可使用稀釋之 B_2H_6 (例如 B_2H_6 可於 H_2 中以 1-5% 稀釋)。例如，稀釋之 B_2H_6 可以 3% 濃度及 10 及 100 SCCM 間範圍之流率使用。在若干範例狀況下，可添加蝕刻劑以增加沉積之選擇性。例如，可以例如 50 及 300 SCCM 間範圍之流率添加 HCl 或 Cl_2 。

[0034] 圖 2G 描繪依據本揭露之實施例之已於圖 E 之結構的 S/D 空腔中沉積 GCL 232、234 後之範例結構。圖 2G' 描繪描繪依據本揭露之實施例之已於圖 E' 之結構的 S/D 空腔中沉積 GCL 232'、234' 後之範例結構。依據本發

明之實施，GCL 232、232'、234、234'為與通道區 223 截然不同之層，並於源極空腔 212 及汲極空腔 214 形成之後形成。圖 2H 描繪圖 2G 之虛線圓形區域之放大圖，及圖 2H'描繪圖 2G'之虛線圓形區域之放大圖。為易於描述，將僅討論源極空腔 212 及其上沉積之 GCL 232；然而，描述適於汲極空腔 214 及其上沉積之 GCL 234，因為在此範例結構中源極及汲極對稱。

[0035] 圖 2G-H 顯示一種結構，其中 S/D 空腔始自 0 之 X_{ud} ，接著沉積 GCL 以減少 X_{ud} 至負值 ($-X_{ud}$)，如圖 2H 中最佳可見。如同所示，GCL 232 用以使通道 223 離開閘極邊緣下方，藉以製造修改之源極空腔 216 (及修改之汲極空腔 218) 供重摻雜 S/D 填充材料之後續沉積。圖 2I 顯示重摻雜 S/D 填充材料 222、224 沉積於修改之 S/D 空腔 216、218 中後之最終結構。如同圖 2I 中可見，重摻雜源極材料 222 及汲極材料 224 藉由添加名義上未摻雜 (或實質上較少摻雜) GCL 而進一步分離，藉以增加有效電閘極長度 (L_{eff})。圖 2G'-H'顯示一種結構，其中 S/D 空腔始自正 X_{ud} ，接著沉積 GCL 以減少 X_{ud} 至較小值，如圖 2H'中最佳可見。圖 2G'-H'提供如何可使用 GCL 232'、234'進一步分離源極區及汲極區之其餘範例。

[0036] 在若干實施例中，可選擇 GCL 之厚度做為所欲值或值範圍，諸如 1-6 nm 厚，或若干其他適當厚度。在若干實施例中，可依據 S/D 區之所欲最後 X_{ud} 決定 GCL 之厚度。在該等實施例中，可依據源自 S/D 空腔蝕刻之

X_{ud} 決定 GCL 之厚度。在一個範例實施例中，GCL 沉積後之目標最後 X_{ud} 為約 -3 nm。在該等範例實施例中，其中 S/D 蝕刻後之 X_{ud} 為 0，GCL 厚度將為 3 nm 以達成所欲目標最後 X_{ud} 。在另一範例實施例中，目標最後 X_{ud} 為 -5 至 1 nm 範圍。在若干實施例中，GCL 可名義上保形，使得 GCL 之厚度與 S/D 空腔內之所有生長表面實質上相同。在若干該等實施例中，實質上相同表示三個因子或更佳。例如，在特定狀況下，其中 GCL 於 S/D 空腔之一個位置具有 2 nm 最小厚度，而於三個因子內名義上保形，GCL 最大厚度（於 S/D 空腔之另一位置）可為最多 6 nm，如下將更詳細討論。在更多特定範例中，其中 GCL 於 S/D 空腔側面（諸如圖 2F 之源極空腔 212 之側面 220）具有 2 nm 最小厚度（且不超過 6 nm），而於三個因子內名義上保形，S/D 空腔底部（諸如圖 2F 之源極空腔 212 之底部 222）之 GCL 厚度於其最厚處可為最多 6 nm（只要其最薄區域為至少 2nm）。

[0037] 在本揭露之若干實施例中，其中可使用置換金屬閘極程序，方法 100 可持續，在 120，使用蝕刻程序移除閘極堆疊（包括仿閘極介電層 202、犧牲的閘極電極 204、及硬遮罩層 206），如通常所做。在替代實施中，僅可移除硬遮罩 206 及犧牲的閘極電極 204，留下高 k 閘極介電層 202，若有使用。若移除閘極介電層 202，方法可持續，在 122，沉積新閘極介電層 252 進入凹槽開口。此處可使用先前所描繪之任何適當高 k 介電材料，諸如氧

化鉛。亦可使用相同沉積程序。可使用閘極介電層之置換，例如以處理施加乾式及溼式蝕刻程序期間、沉積 GCL 及/或重摻雜 S/D 填充材料期間、及/或以高 k（或所欲）閘極介電材料取代低 k（或犧牲的介電材料），最初閘極介電層可發生之任何損害。

[0038] 接著，方法 100 可持續，在 124，沉積金屬閘極電極層進入凹槽及超過閘極介電層（不論之後在 202 是否以新閘極介電層 252 取代高 k 閘極介電）。圖 2K 描繪依據一個實施例之沉積高 k 閘極介電層 252 及金屬閘極電極 254 進入凹槽開口後之範例結構。各式金屬沉積程序可用以形成金屬閘極電極層，諸如 CVD、ALD、PVD、無電電鍍、或電鍍，僅舉數範例程序。金屬閘極電極層可包括例如 p 型功函數金屬，諸如鈦、鈮、鉑、鈷、鎳，及導電金屬氧化物，例如氧化鈦。在若干範例組態中，可沉積二或更多金屬閘極電極層。例如，可沉積功函數金屬，其後為適當金屬閘極電極填充金屬，諸如鋁。

[0039] 如鑑於本揭露將理解，方法 100 可包括其餘或替代程序。例如，方法可持續，在蝕刻至源極汲極區厚，沉積 S/D 金屬接點或接點層。可使用矽化程序（通常，沉積點金屬及後續退火）實施源極及汲極接點之金屬化。例如，以鎳、鋁、鎳-鉑或鎳-鋁或鎳及鋁之其他合金之矽化，或具或不具鍍預非晶化植入之鈦可用以形成低電阻鍍化物。如先前所描述，包括文中所描述之 GCL 的電晶體裝置可為 p 型或 n 型電晶體，或裝置可包括 p 型及 n

型電晶體之組合（例如 CMOS 裝置）。

非平面組態

[0040] 例如使用鰭式（例如三閘極或 FinFET）或奈米線/奈米帶組態可實施非平面架構。鰭式組態包括繞薄帶半導體材料（通常稱為鰭）建立之電晶體。電晶體包括標準場效電晶體（FET）節點，包括閘極、閘極介電、源極區、及汲極區。裝置之導電通道駐於閘極介電下之鰭之外側上/內。具體地，電流沿鰭之側壁（垂直於基板表面之側面）以及沿鰭之頂部（平行於基板表面之側面）運行。因為該等組態之導電通道實質上沿鰭之三不同外部平面區配置，該等組態稱為 FinFET 及三閘極電晶體。亦可使用其他類型鰭式組態，諸如所謂雙閘極 FinFET，其中導電通道主要僅沿鰭之二側壁配置（例如未沿鰭之頂部）。奈米線/奈米帶電晶體組態（有時稱為閘極全圍繞（GAA）FET）極類似地組配，但取代鰭結構，使用奈米線/奈米帶（例如由矽、鍺、或矽鍺材料製造）及大體上的圍繞所有側面之通道區的閘極材料。依據特別設計，奈米線/奈米帶電晶體可具有例如四個有效閘極。

[0041] 圖 3A-B 顯示包括依據本揭露之實施例組配之 GCL 之範例三閘極架構之透視圖。更具體地，圖 3A 顯示類似於圖 2G 之三閘極結構，及圖 3B 顯示類似於圖 2I 之三閘極結構。如鑑於本揭露將理解的，習知程序及形成技術可用以製造圖 3A-B 中所示之三閘極電晶體結構。然

而，依據本揭露之一個或多個實施例，閘極控制層（GCL）可沉積於通道及源極/汲極區之介面以增進閘極對通道之控制。如同可見，三閘極裝置包括基板 300，其具有從基板 300 延伸通過隔離區 370、380 之半導體本體或鰭 305（由虛線表示）。在一個實施例中，隔離區 370、380 為使用習知技術形成之淺凹槽隔離（STI）區，諸如蝕刻基板 300 以形成凹槽，接著沉積氧化物材料至凹槽上以形成 STI 區。隔離區 370、380 可由任何適當介電/絕緣材料製造，諸如 SiO_2 。閘極電極 304 形成於鰭 305 之表面上，以形成三閘極。硬遮罩 306 形成於閘極電極 304 之頂部上。閘極間隔器 310 形成於閘極電極 304 之相對側壁。

[0042] 圖 3A 顯示沉積於源極空腔中之 GCL 332，及圖 3B 顯示沉積於 GCL 332 上之重摻雜源極/汲極填充材料 322，使用置換程序，且可選罩層 341 沉積於其上。如同圖 3B 中可見，通道區 307 從源極延伸至閘極下之汲極。圖 3C 顯示另一替代狀況，其可包括奈米線/奈米帶通道架構 309。類似於圖 3B 中所示之鰭結構，圖 3C 中所示之奈米線/奈米帶結構包括 GCL 332 及源極/汲極區 322。源極/汲極區 322 可使用置換程序形成，其包括重摻雜 S/D 填充材料。在圖 3C 中所示之範例中，結構包括多（二）奈米線/奈米帶 309。然而，如鑑於本揭露將理解，結構可僅包括一個奈米線/奈米帶或二個以上奈米線/奈米帶。先前相對於 GCL 332 及重摻雜 S/D 區 322 之討論可相等地應用

於此處。請注意，圖 3B-C 中僅顯示一個源極/汲極區 322，但可以類似方式實施許多該等區（包括 n 型及 p 型 S/D 區，以及 n 型及 p 型區之組合，例如 CMOS 裝置）。亦請注意，為描繪目的提供源極/汲極區 322 及可選罩層 341 之範例形狀，且不希望侷限本揭露。

閘極控制層（GCL）好處

[0043] 圖 4A 描繪依據本揭露之若干實施例之在固定洩漏量之電晶體開啟之電壓（ V_t ）404 相對於包括 GCL 之電晶體之 S/D 欠疊距離（ X_{ud} ）402。如同圖中可見，隨著 X_{ud} 402 減少達某點， V_t 404 減少（以固定洩漏量），導致可以較低電壓位準運行電晶體之好處。圖 4B 描繪依據本揭露之若干實施例之在特定閘極電壓之源極至汲極電流洩漏（ I_L ）408 相對於包括 GCL 之電晶體之 S/D 欠疊距離（ X_{ud} ）406。如同圖中可見，隨著 X_{ud} 406 減少達某點， I_L 408 減少（以特定閘極電壓量），導致源極及汲極間之較低電流洩漏之好處。隨著 X_{ud} 減少，重摻雜源極區及汲極區間之分離增加，藉以增加有效電閘極長度（ L_{eff} ）及增進閘極對通道之控制。請注意，二圖顯示負 X_{ud} 有利，如文中各式描述，其可於電晶體形成期間使用 GCL 達成。亦請注意，在具有少於約 20 nm 閘極長度之電晶體產生中，GCL 可特別有利，因為其可增加 L_{eff} 及使通道離開閘極邊緣而提供文中所描述之好處。因此，使用 GCL 導致電晶體性能增進，尤其是針對低電力應用。

範例系統

[0044] 圖 5 描繪以依據範例實施例組配之一個或多個電晶體結構實施之運算裝置 500。如同可見，運算裝置 500 容納主機板 502。主機板 502 可包括若干組件，包括但不侷限於處理器 504 及至少一個通訊晶片 506，每一者可實體或電耦接至主機板 502，或整合於其中。如將理解的，主機板 502 可為例如何任何印刷電路板，不論是主板、安裝於主板上之子板、或僅裝置 500 之板等。依據其應用，運算裝置 500 可包括一個或多個其他組件，可或不可實體或電耦接至主機板 502。該些其他組件可包括但不侷限於揮發性記憶體（例如 DRAM）、非揮發性記憶體（例如 ROM）、圖形處理器、數位信號處理器、加密處理器、晶片組、天線、顯示器、觸控螢幕顯示器、觸控螢幕控制器、電池、音頻加解碼器、視訊加解碼器、功率放大器、全球定位系統（GPS）裝置、羅盤、加速計、陀螺儀、揚聲器、相機、及大量除存裝置（諸如硬碟機、光碟（CD）、數位影音光碟（DVD）等）。運算裝置 500 中所包括之任一組件可包括如文中各式描述之一個或多個電晶體結構（例如以 GCL 在源極/汲極及通道介面製造之電晶體）。該些電晶體結構可用以例如實施板載處理器快取記憶體或記憶體陣列。在若干實施例中，多個功能可整合於一個或多個晶片中（例如，請注意通訊晶片 506 可為部分處理器 504 或整合於其中）。

[0045] 通訊晶片 506 致能無線通訊進行資料轉移至及自運算裝置 500。「無線」用詞及其衍生字可用以描述可經由使用調變電磁輻射而傳遞資料至非固態媒體之電路、裝置、系統、方法、技術、通訊通道等。此用詞未暗示相關裝置不包含任何線路，儘管在若干實施例中未包含任何線路。通訊晶片 506 可實施任何若干無線標準或協定，包括但不侷限於 Wi-Fi (IEEE 802.11 系列)、WiMAX (IEEE 802.16 系列)、IEEE 802.20、長期演進 (LTE)、Ev-DO、HSPA+、HSDPA+、HSUPA+、邊緣、GSM、GPRS、CDMA、TDMA、DECT、Bluetooth、其衍生字，以及指定作為 3G、4G、5G 及更先進之任何其他無線協定。運算裝置 500 可包括複數通訊晶片 506。例如，第一通訊晶片 506 可專用於較短距離無線通訊諸如 NFC、Wi-Fi 及 Bluetooth，及第二通訊晶片 506 可專用於較長距離無線通訊諸如 GPS、邊緣、GPRS、CDMA、WiMAX、LTE、Ev-DO、及其他。

[0046] 運算裝置 500 之處理器 504 包括封裝於處理器 504 內的積體電路晶粒。在若干實施例中，處理器之積體電路晶粒包括以如文中各式描述之一個或多個電晶體結構實施之板載電路。「處理器」用詞可指處理例如來自暫存器及/或記憶體之電子資料，而將電子資料轉換為可儲存於暫存器及/或記憶體之其他電子資料的任何裝置或部分裝置。

[0047] 通訊晶片 506 亦可包括封裝於通訊晶片 506

內之積體電路晶粒。依據若干該等範例實施例，通訊晶片之積體電路晶粒包括以如文中各式描述之一個或多個電晶體結構（例如處理器或記憶體晶片）實施之一個或多個裝置。如鑑於本揭露將理解的，請注意多標準無線能力可直接整合於處理器 504 內（例如，其中任何晶片 506 之功能係併入處理器 504，而非具有不同通訊晶片）。進一步請注意，處理器 504 可為具有該等無線能力之晶片組。簡言之，可使用任何數量處理器 504 及/或通訊晶片 506。同樣地，任一晶片或晶片組可具有整合於其中之多個功能。

[0048] 在各式實施中，運算裝置 500 可為膝上型電腦、輕省筆電、筆記型電腦、智慧手機、平板電腦、個人數位助理（PDA）、超行動 PC、行動電話、桌上型電腦、伺服器、印表機、掃描器、螢幕、機上盒、娛樂控制單元、數位相機、可攜式音樂播放器、或數位錄影機。在進一步實施中，裝置 500 可為處理資料或使用如文中各式描述之一個或多個電晶體裝置之任何其他電子裝置。

進一步範例實施例

[0049] 下列範例關於進一步實施例，由此許多排列及組態將顯而易見。

[0050] 範例 1 為一種電晶體裝置，包含：具有通道區之基板；通道區上之閘極堆疊，閘極堆疊包括閘極電極及閘極介電；源極區及汲極區，包括形成於基板中並鄰近通道區之摻雜填充材料；以及閘極控制層（GCL），形成

於至少摻雜填充材料及通道區間之每一源極區及汲極區中，其中，GCL 具有無摻雜或低於摻雜填充材料之摻雜程度的最大摻雜程度。

[0051] 範例 2 包括範例 1 之技術主題，其中，GCL 具有低於 $1E20 \text{ cm}^{-3}$ 之摻雜程度。

[0052] 範例 3 包括範例 1 或 2 之技術主題，其中，GCL 未摻雜。

[0053] 範例 4 包括先前範例任一項之技術主題，其中，GCL 由至少矽 (Si)、鍺 (Ge)、及 / 或矽鍺 (SiGe) 組成。

[0054] 範例 5 包括先前範例任一項之技術主題，其中，GCL 具有 1 至 6 nm 之厚度。

[0055] 範例 6 包括先前範例任一項之技術主題，其中，GCL 減少每一源極及汲極相對於閘極堆疊之欠疊距離，使得欠疊距離各介於 1 至 -5 nm 之範圍。

[0056] 範例 7 包括先前範例任一項之技術主題，其中，源極及汲極填充材料為 $1E20 \text{ cm}^{-3}$ 至 $9E21 \text{ cm}^{-3}$ 範圍之重摻雜。

[0057] 範例 8 包括先前範例任一項之技術主題，其中，GCL 增加電有效閘極長度。

[0058] 範例 9 包括先前範例任一項之技術主題，其中，GCL 由與源極及汲極填充材料相同材料組成，但 GCL 材料為未摻雜或具有低於源極及汲極填充材料達就每 cm^3 之原子而言至少一個數量級之摻雜程度。

[0059] 範例 10 包括先前範例任一項之技術主題，其中，閘極堆疊長度少於 20 nm。

[0060] 範例 11 包括先前範例任一項之技術主題，其中，裝置為平面電晶體。

[0061] 範例 12 包括範例 1-10 任一項之技術主題，其中，裝置具有鰭式、奈米線或奈米帶電晶體結構。

[0062] 範例 13 為包含先前範例任一項之裝置之積體電路。

[0063] 範例 14 為包含範例 1-12 任一項之裝置之積體電路。

[0064] 範例 15 為一種電晶體裝置，包含：包括範例 1-14 任一項之技術主題，其中，基板具有通道區；通道區上之閘極電極，其中，閘極介電層係提供於閘極電極及通道區之間，及間隔器係提供於閘極電極之任一側；重摻雜源極及汲極區，形成於基板中並鄰近通道區，其中，源極及汲極區包括具有超過 $1E20 \text{ cm}^{-3}$ 之摻雜程度之填充材料；以及閘極控制層（GCL），形成於至少重摻雜源極/汲極（S/D）填充材料及通道區間之每一源極及汲極區中，其中，GCL 具有低於 $1E20 \text{ cm}^{-3}$ 之摻雜程度，且 GCL 藉由減少重摻雜 S/D 填充材料相對於閘極介電層之欠疊距離而進一步分離重摻雜源極區及汲極區。

[0065] 範例 16 包括範例 15 之技術主題，其中，重摻雜 S/D 填充材料相對於閘極介電層之欠疊距離介於 1 至 -5 nm 範圍。

[0066] 範例 17 包括範例 15 或 16 任一項之技術主題，其中，重摻雜 S/D 填充材料相對於閘極介電層之欠疊距離為約 -3 nm。

[0067] 範例 18 包括範例 15-17 任一項之技術主題，其中，GCL 係由與源極及汲極填充材料相同材料組成，但 GCL 材料為未摻雜或具有低於源極及汲極填充材料達就每 cm^3 之原子而言至少一個數量級之摻雜程度。

[0068] 範例 19 包括範例 15-18 任一項之技術主題，其中，GCL 由至少矽 (Si)、鍺 (Ge)、及 / 或矽鍺 (SiGe) 組成。

[0069] 範例 20 包括範例 15-19 任一項之技術主題，其中，GCL 係以介於 $1\text{E}17 \text{ cm}^{-3}$ 至 $1\text{E}20 \text{ cm}^{-3}$ 範圍之程度摻雜。

[0070] 範例 21 包括範例 15-20 任一項之技術主題，其中，GCL 具有 1 至 6 nm 範圍之厚度。

[0071] 範例 22 包括範例 15-21 任一項之技術主題，其中，GCL 增加電有效閘極長度。

[0072] 範例 23 包括範例 15-22 任一項之技術主題，其中，GCL 減少電晶體以固定洩漏量開啟之電壓。

[0073] 範例 24 包括範例 15-23 任一項之技術主題，其中，GCL 減少特定閘極電壓之源極至汲極電流洩漏。

[0074] 範例 25 包括範例 15-24 任一項之技術主題，其中，電晶體裝置為 p 型或 n 型裝置。

[0075] 範例 26 為一種互補式金屬氧化物半導體

(CMOS) 積體電路，包含範例 15-25 任一項之至少一個 p 型電晶體裝置及範例 15-25 任一項之至少一個 n 型電晶體裝置。

[0076] 範例 27 為一種行動運算系統，包含範例 15-25 任一項之電晶體裝置。

[0077] 範例 28 為一種形成電晶體裝置之方法，包含：提供具有通道區之基板；於通道區上提供閘極電極，其中，閘極介電層係提供於閘極電極及通道區之間，及間隔器係提供於閘極電極側面；蝕刻以於基板中並鄰近通道區形成源極空腔及汲極空腔；於每一源極及汲極空腔中選擇性沉積閘極控制層 (GCL)，其中，閘極控制層具有低於 $1E20 \text{ cm}^{-3}$ 之摻雜程度；以及於閘極控制層上沉積重摻雜源極/汲極 (S/D) 填充材料，其中，重摻雜 S/D 填充材料具有超過 $1E20 \text{ cm}^{-3}$ 之摻雜程度。

[0078] 範例 29 包括範例 28 之技術主題，其中，GCL 及重摻雜 S/D 填充材料係於單一沉積序列中沉積。

[0079] 範例 30 包括範例 29 之技術主題，其中，就 GCL 之沉積及重摻雜 S/D 填充材料之沉積間之摻雜程度而言存在階化轉換。

[0080] 範例 31 包括範例 28-30 任一項之技術主題，其中，GCL 於沉積後名義上保形，使得 GCL 之厚度於源極及汲極空腔內之所有生長表面上實質上相同。

[0081] 範例 32 包括範例 31 之技術主題，其中，所有生長表面上實質上相同表示至少三個因子。

[0082] 範例 33 包括範例 28-32 任一項之技術主題，其中，GCL 係由與源極及汲極填充材料相同材料組成，但 GCL 材料為未摻雜或具有低於源極及汲極填充材料達就每 cm^3 之原子而言至少一個數量級之摻雜程度。

[0083] 範例 34 包括範例 28-33 任一項之技術主題，其中，GCL 具有 1 至 6 nm 之厚度。

[0084] 範例 35 包括範例 28-34 任一項之技術主題，其中，GCL 減少重摻雜 S/D 填充材料相對於閘極介電層之欠疊距離，使得重摻雜 S/D 填充材料相對於閘極介電層之欠疊距離介於 1 至 -5 nm 範圍。

[0085] 範例 36 包括範例 28-35 任一項之技術主題，其中，在蝕刻以形成源極及汲極空腔後，源極及汲極空腔相對於閘極介電層之欠疊距離為 0。

[0086] 範例 37 包括範例 28-36 任一項之技術主題，其中，重摻雜 S/D 填充材料相對於閘極介電層之欠疊距離為約 -3 nm。

[0087] 範例 38 包括範例 28-37 任一項之技術主題，進一步包含移除及後續取代閘極介電層及閘極電極。

[0088] 已為描繪及描述而呈現範例實施例之前述描述。不希望窮舉或侷限本揭露為精確揭露形式。鑑於本揭露，許多修改及變化可行。希望本揭露之範圍並非侷限於此詳細描述，而係侷限於所附申請項。主張本申請案之優先權的未來提交之申請案可以不同方式主張揭露之技術主題，通常可包括如文中各式揭露或展示之一或多限制之任

何組合。

【符號說明】

[0089]

100：方法

102、104、106、108、110、112、114、116、120、122、

124：方塊

200、300：基板

202、252、302：閘極介電層

204：閘極電極

206、306：硬遮罩

208：摻雜區

210：閘極堆疊間隔器

212、216：源極空腔

212'：源極尖端空腔

214、218：汲極空腔

214'：汲極尖端空腔

220：側面

222、224：重摻雜源極/汲極填充材料

223、307：通道區

232、232'、234、234'、332：閘極控制層（GCL）

254：金屬閘極電極

304：閘極電極層

305：鰭

- 309：奈米線/奈米帶通道架構
- 310：閘極間隔器
- 322：源極/汲極區
- 341：可選罩層
- 370、380：隔離區
- 402、406：欠疊距離 (X_{ud})
- 404：電壓 (V)
- 408：電流洩漏 (I_L)
- 500：運算裝置
- 502：主機板
- 504：處理器
- 506：通訊晶片
- L_{eff} ：有效電閘極長度

申請專利範圍

1. 一種電晶體裝置，包含：

基板，具有通道區；

該通道區上之閘極堆疊，該閘極堆疊包括閘極電極及閘極介電層；

源極區及汲極區，包括於該基板中並鄰近該通道區之由摻雜填充材料構成的區域；以及

閘極控制層（GCL），於至少由該摻雜填充材料構成的該區域及該通道區之間的每一該源極區及該汲極區中，其中，該 GCL 具有無摻雜或低於由該摻雜填充材料構成的該區域之摻雜程度的最大摻雜程度，

其中，該 GCL 與該閘極介電層接觸，且由該摻雜填充材料構成的該區域未與該閘極介電層接觸。

2. 如申請專利範圍第 1 項之裝置，其中，該 GCL 具有低於 $1E20 \text{ cm}^{-3}$ 之摻雜程度。

3. 如申請專利範圍第 1 項之裝置，其中，該 GCL 未摻雜。

4. 如申請專利範圍第 1 項之裝置，其中，該 GCL 由至少矽（Si）、鍺（Ge）、及矽鍺（SiGe）構成。

5. 如申請專利範圍第 1 項之裝置，其中，該 GCL 具有 1 至 6 nm 之厚度。

6. 如申請專利範圍第 1 項之裝置，其中，該 GCL 減少由該摻雜填充材料構成的該區域相對於該閘極堆疊之欠疊距離，使得該欠疊距離為約 -3 nm。

7. 如申請專利範圍第 1 項之裝置，其中，由該摻雜填充材料構成的該區域為 $1E20 \text{ cm}^{-3}$ 至 $9E21 \text{ cm}^{-3}$ 範圍之重摻雜。

8. 如申請專利範圍第 1 項之裝置，其中，該 GCL 具有在由該摻雜填充材料構成的該區域及該通道區之間的為約 3 nm 的厚度。

9. 如申請專利範圍第 1-8 項之任一項之裝置，其中，該裝置為平面電晶體。

10. 如申請專利範圍第 1-8 項之任一項之裝置，其中，該裝置具有鰭式、奈米線或奈米帶電晶體結構。

11. 一種行動運算系統，包含如申請專利範圍第 1-8 項之任一項之裝置。

12. 一種電晶體裝置，包含：

基板，具有通道區；

該通道區上之閘極電極，其中，閘極介電層係提供於該閘極電極及該通道區之間，及間隔器係提供於該閘極電極之任一側；

重摻雜源極區及汲極區，於該基板中並鄰近該通道區，其中，該重摻雜源極區及汲極區包括具有超過 $1E20 \text{ cm}^{-3}$ 之摻雜程度之填充材料；以及

閘極控制層（GCL），於至少該重摻雜源極區及汲極區及該通道區之間的每一該源極區及該汲極區中，其中，該 GCL 具有低於 $1E20 \text{ cm}^{-3}$ 之摻雜程度，且該 GCL 藉由減少該重摻雜源極區及汲極區相對於該閘極介電層之欠疊

距離而進一步分離該重摻雜源極區及汲極區，

其中，該 GCL 與該閘極介電層接觸，且該重摻雜源極區及汲極區未與該閘極介電層接觸。

13. 如申請專利範圍第 12 項之裝置，其中，該重摻雜源極區及汲極區相對於該閘極介電層之欠疊距離為約 -3 nm。

14. 如申請專利範圍第 12 項之裝置，其中，該 GCL 減少於該電晶體以固定洩漏量開啟時之電壓。

15. 如申請專利範圍第 12 項之裝置，其中，該 GCL 減少於特定閘極電壓時之源極至汲極電流洩漏。

16. 如申請專利範圍第 12-15 項之任一項之裝置，其中，該 GCL 具有在該重摻雜源極區及汲極區及該通道區之間的為約 3 nm 的厚度。

17. 一種互補式金屬氧化物半導體 (CMOS) 積體電路，包含如申請專利範圍第 12-15 項之任一項之至少一個 p 型電晶體裝置及如申請專利範圍第 12-15 項之任一項之至少一個 n 型電晶體裝置。

18. 一種形成電晶體裝置之方法，包含：

提供具有通道區之基板；

於該通道區上提供閘極電極，其中，閘極介電層係提供於該閘極電極及該通道區之間，及間隔器係提供於該閘極電極側面；

蝕刻以於該基板中並鄰近該通道區形成源極空腔及汲極空腔；

於每一該源極空腔及該汲極空腔中選擇性沉積閘極控制層 (GCL)，其中，該閘極控制層具有低於 $1E20 \text{ cm}^{-3}$ 之摻雜程度；以及

於該閘極控制層上沉積重摻雜源極 / 汲極 (S/D) 填充材料區，其中，該重摻雜 S/D 填充材料區具有超過 $1E20 \text{ cm}^{-3}$ 之摻雜程度，

其中，該 GCL 與該閘極介電層接觸，且該重摻雜 S/D 填充材料區未與該閘極介電層接觸。

19. 如申請專利範圍第 18 項之方法，其中，該 GCL 及該重摻雜 S/D 填充材料區係於單一沉積序列中沉積。

20. 如申請專利範圍第 19 項之方法，其中，就該 GCL 之沉積及該重摻雜 S/D 填充材料區之沉積之間的摻雜程度而言存在階化轉換。

21. 如申請專利範圍第 18 項之方法，其中，該 GCL 於沉積後名義上保形，使得該 GCL 之厚度於該源極空腔及該汲極空腔內之所有生長表面上實質上相同，其中，所有生長表面上實質上相同表示至少三個因子。

22. 如申請專利範圍第 18-22 項之任一項之方法，其中，該 GCL 具有在該重摻雜 S/D 填充材料區及該通道區之間的為約 3 nm 的厚度。

23. 如申請專利範圍第 18-22 項之任一項之方法，其中，該 GCL 與該重摻雜 S/D 填充材料區係由相同材料構成，但該 GCL 為未摻雜或具有低於該重摻雜 S/D 填充材料區的材料達就每 cm^3 之原子而言至少一個數量級之摻雜

程度。

24. 如申請專利範圍第 18-22 項之任一項之方法，其中，該 GCL 減少該重摻雜 S/D 填充材料區相對於該閘極介電層之欠疊距離，使得該重摻雜 S/D 填充材料區相對於該閘極介電層之欠疊距離為約 -3 nm。

25. 如申請專利範圍第 18-22 項之任一項之方法，其中，在蝕刻以形成該源極空腔及該汲極空腔後，該源極空腔及該汲極空腔相對於該閘極介電層之該欠疊距離為 0。

圖式

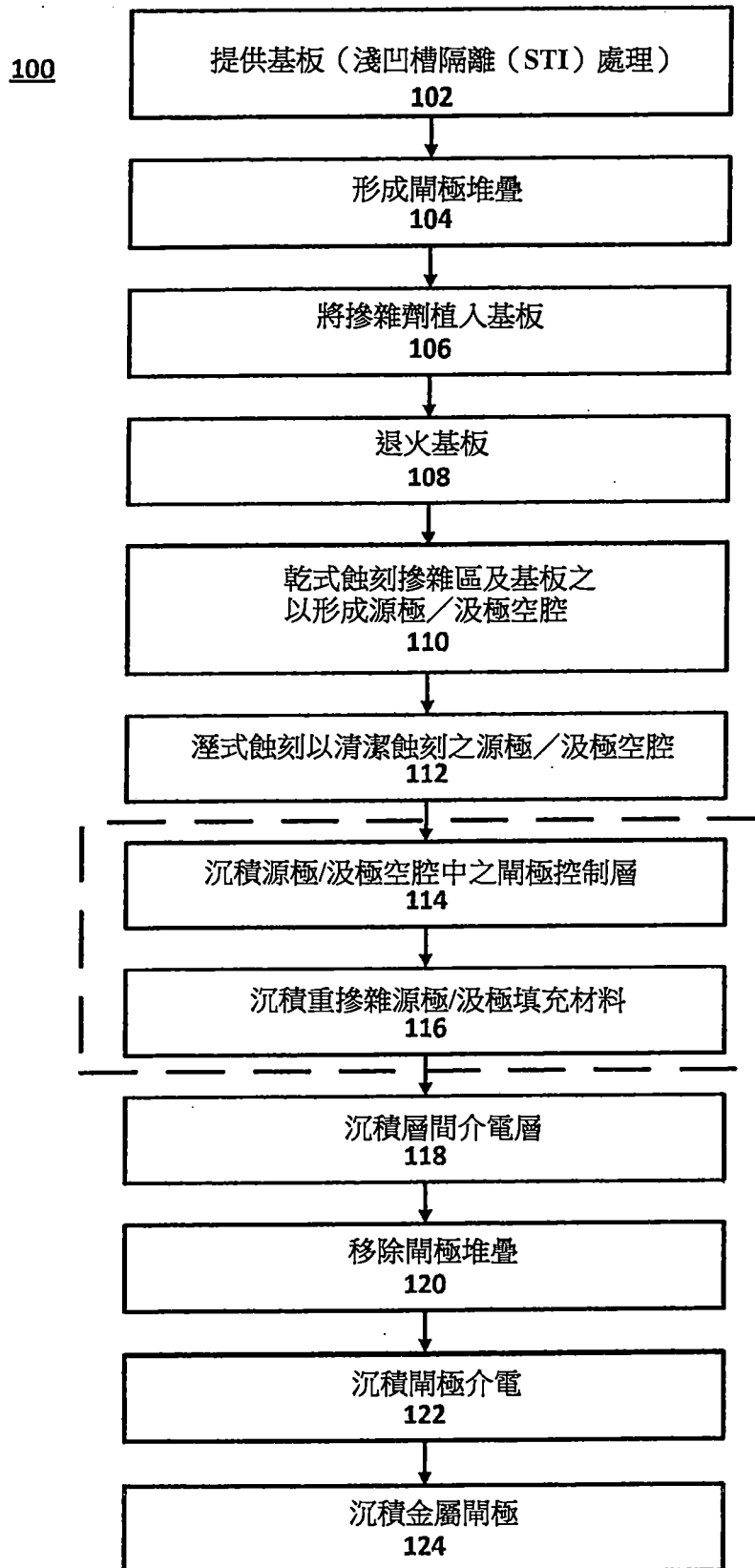


圖 1

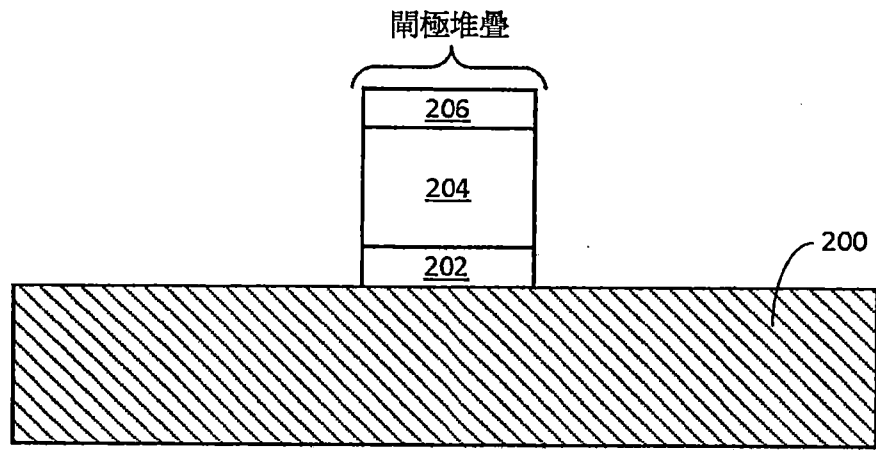


圖 2A

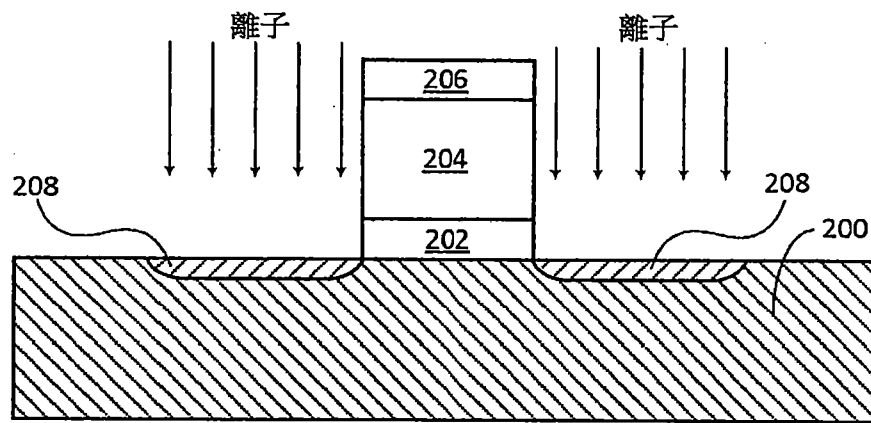


圖 2B

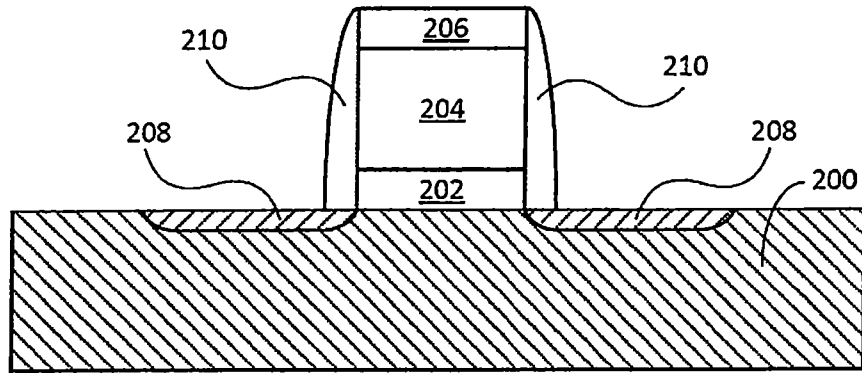


圖 2C

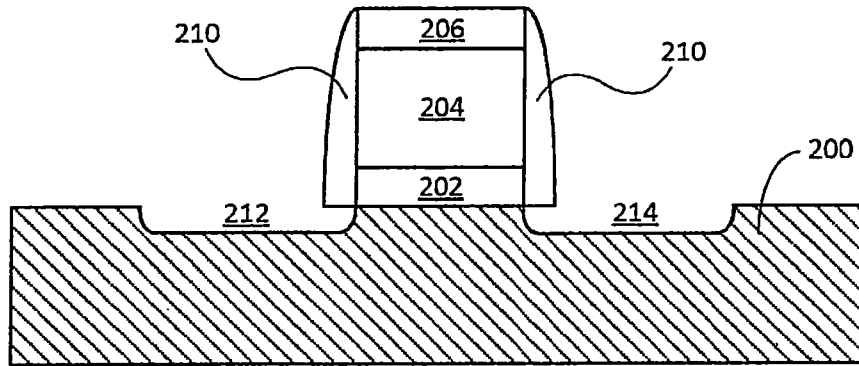


圖 2D

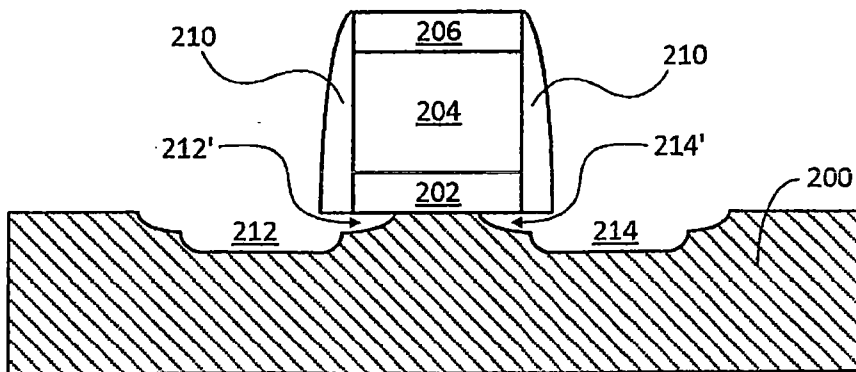


圖 2D'

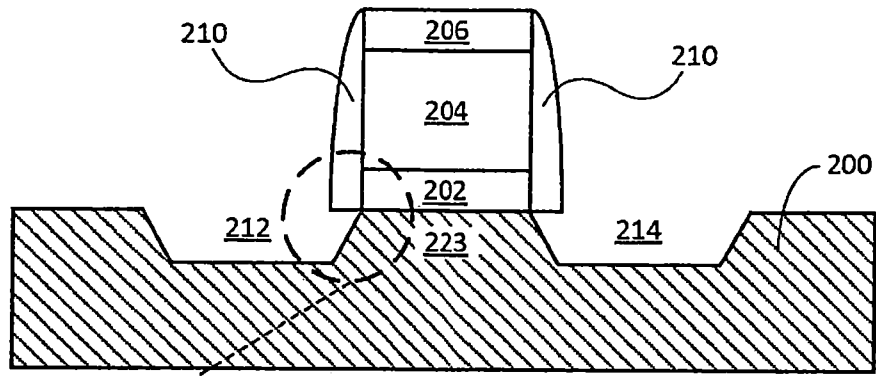


圖 2E

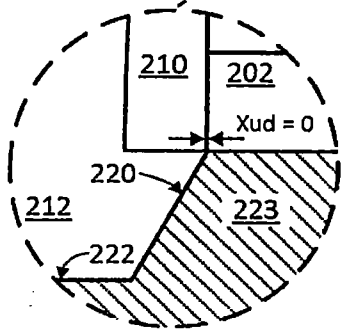


圖 2F

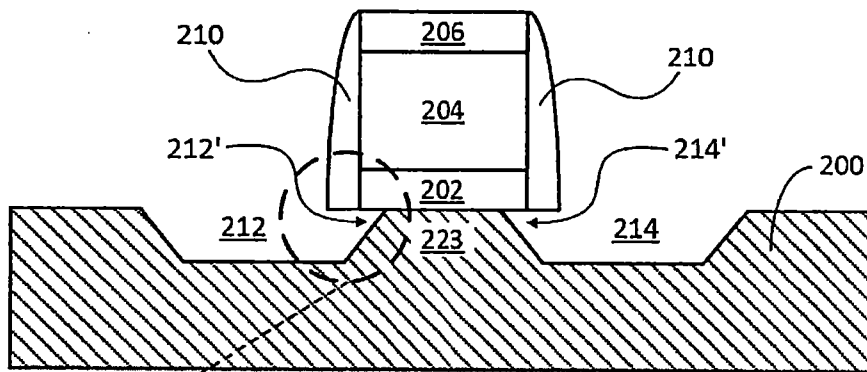


圖 2E'

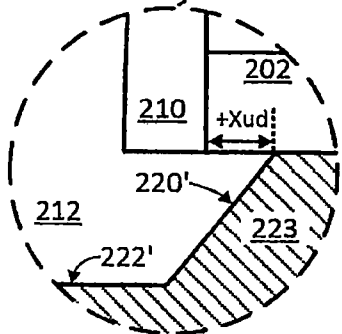


圖 2F'

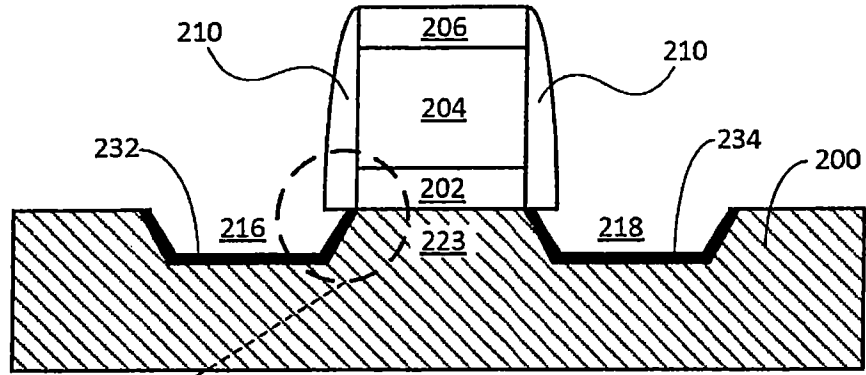


圖 2G

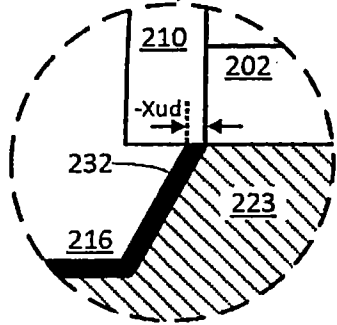


圖 2H

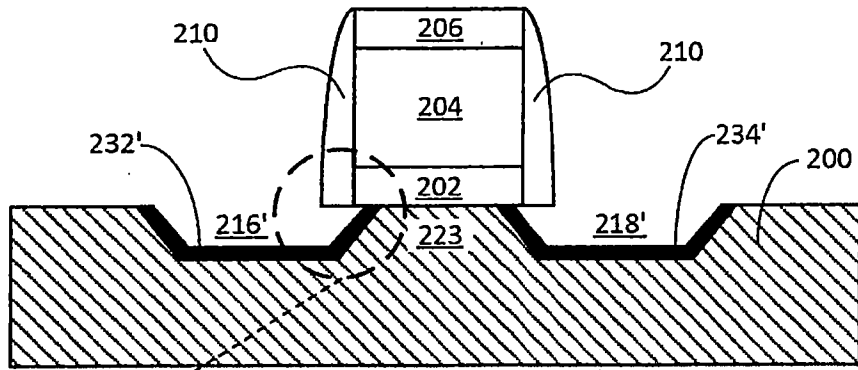


圖 2G'

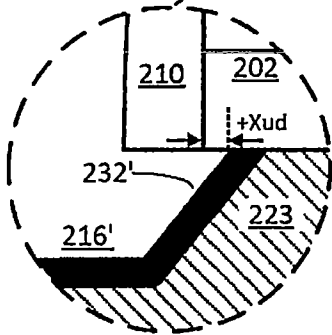


圖 2H'

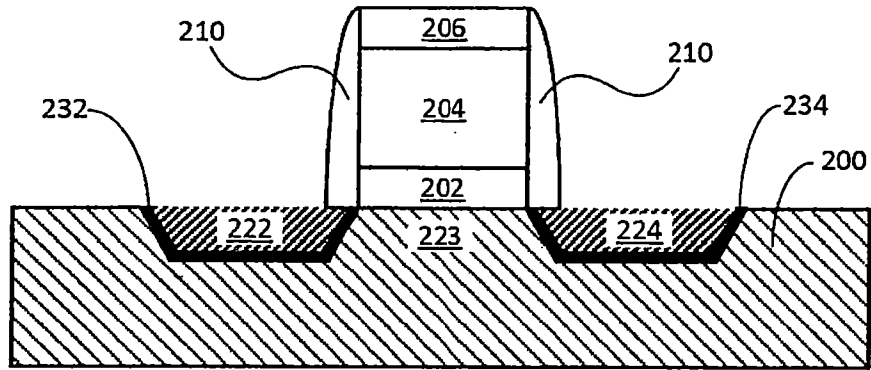


圖 2I

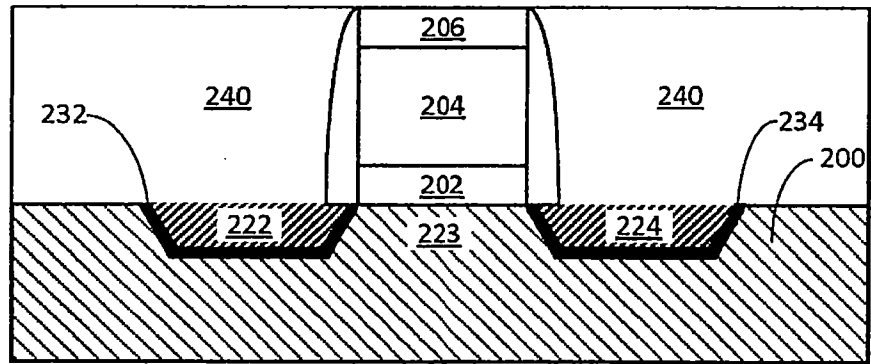


圖 2J

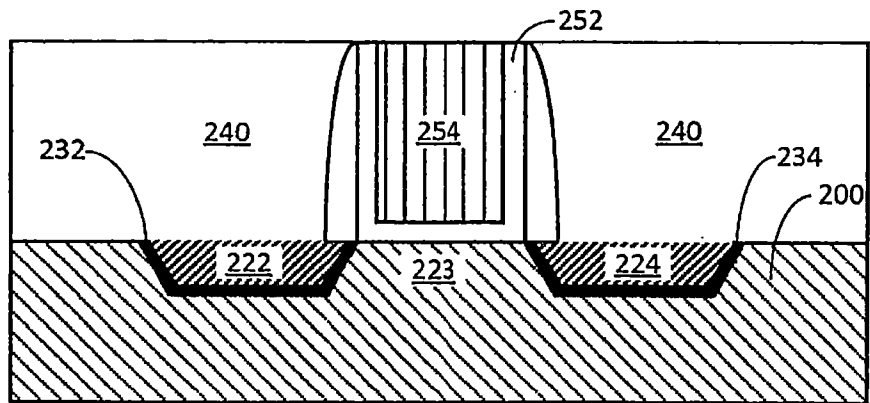


圖 2K

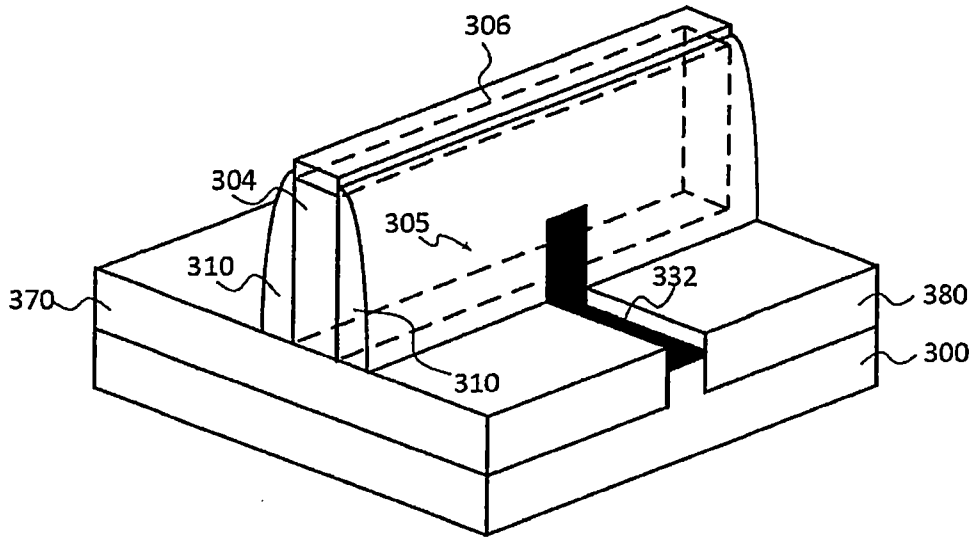


圖 3A

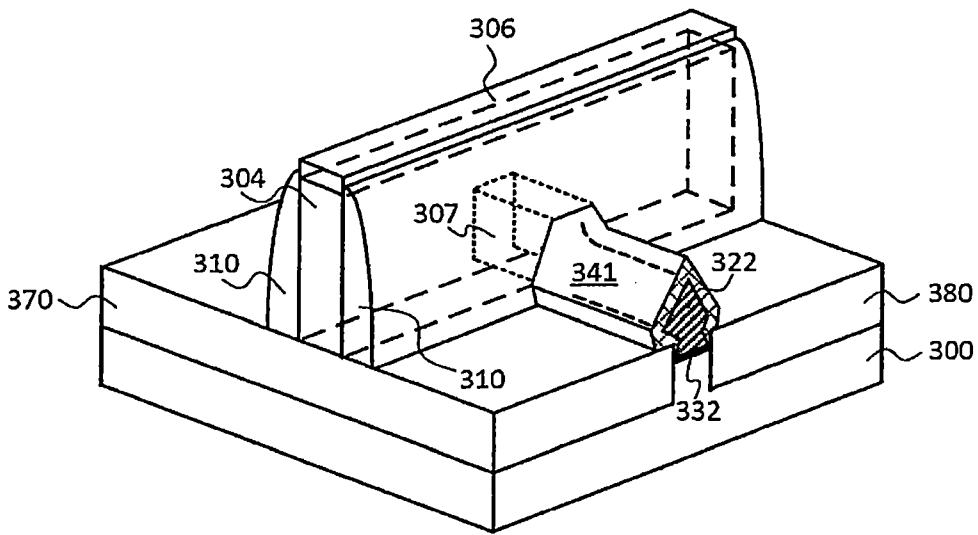


圖 3B

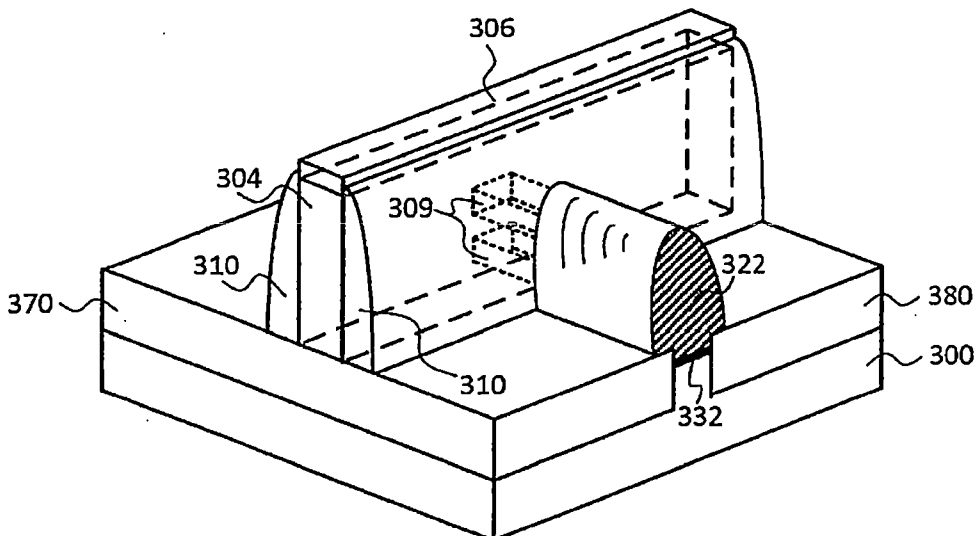


圖 3C

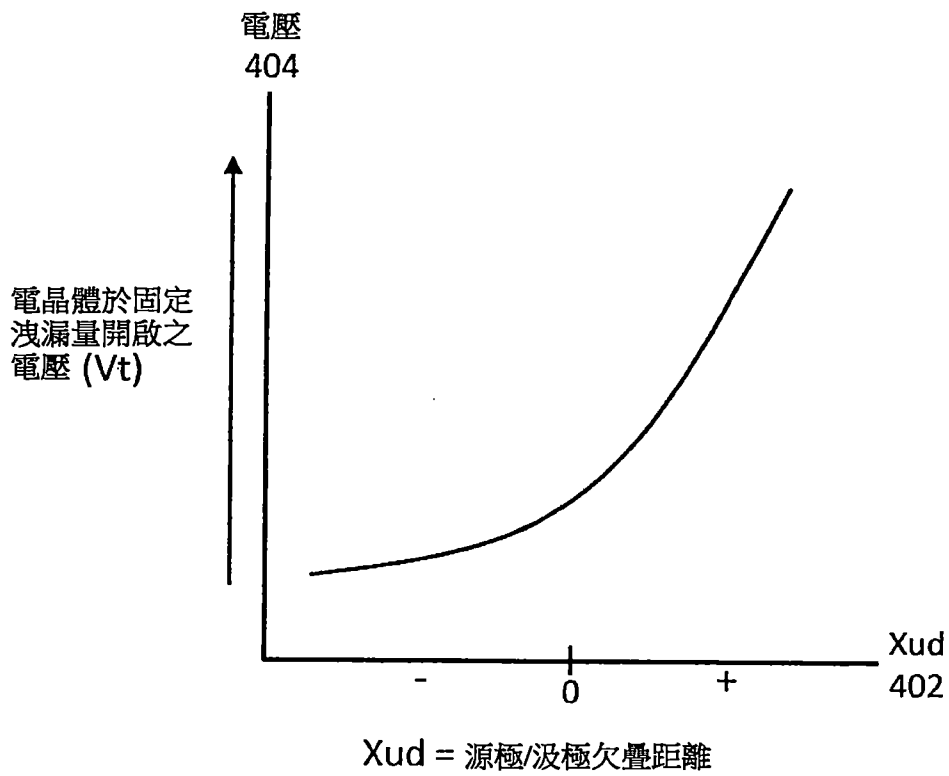


圖 4A

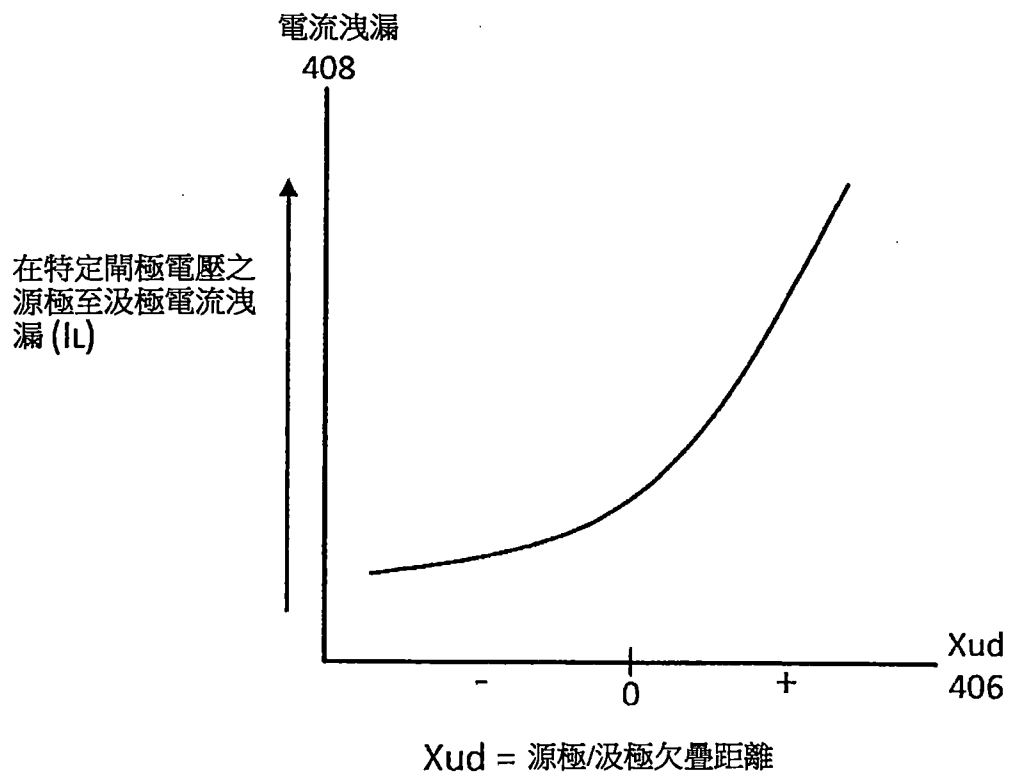


圖 4B

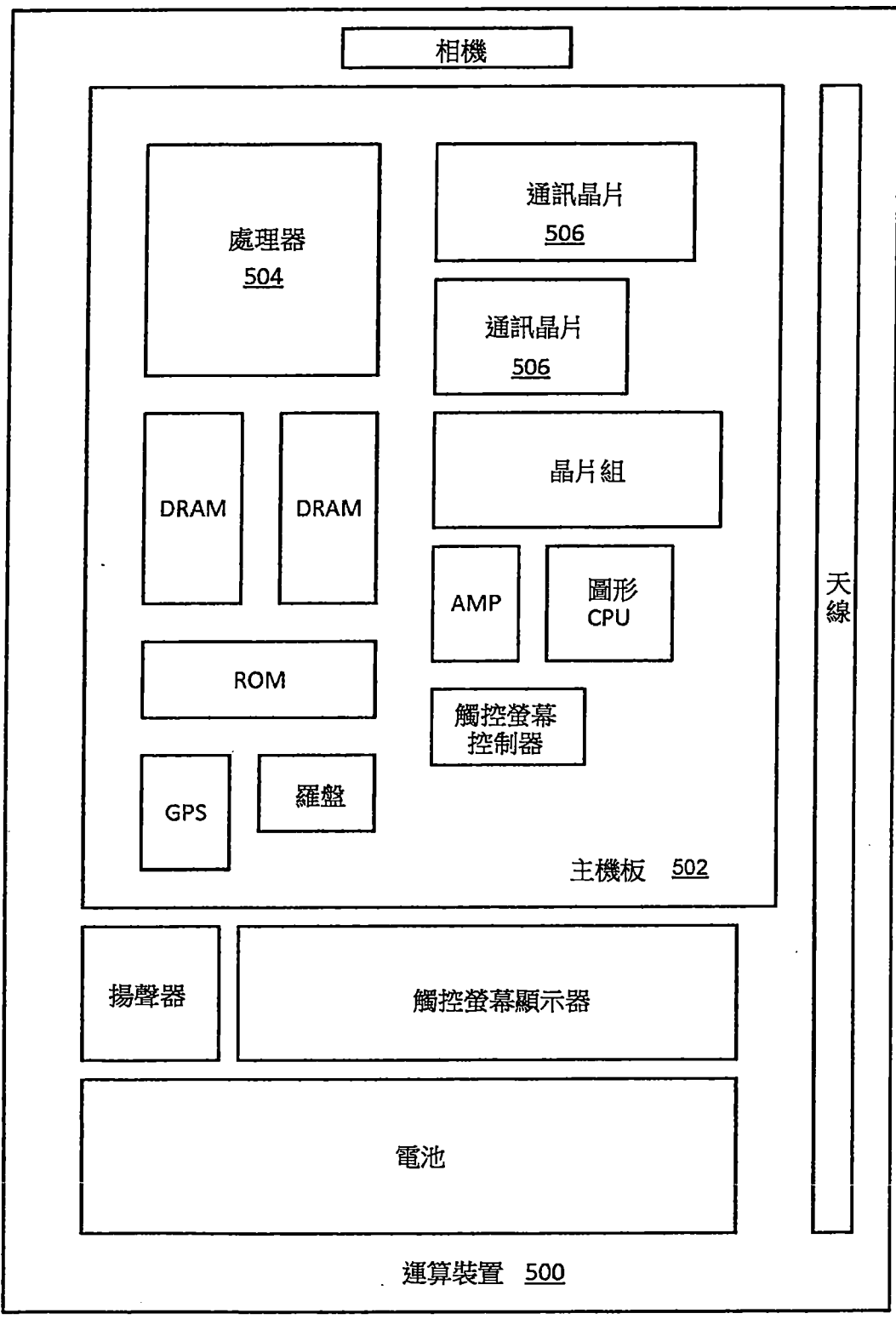


圖 5