

(19) 日本国特許庁(JP)

再公表特許(A1)

(11) 国際公開番号

W02015/114698

発行日 平成29年3月23日(2017.3.23)

(43) 国際公開日 平成27年8月6日(2015.8.6)

(51) Int.Cl.	F I	テーマコード (参考)
H03F 1/07 (2006.01)	H03F 1/07	5J500
H03F 3/68 (2006.01)	H03F 3/68	B
H03F 3/24 (2006.01)	H03F 3/24	

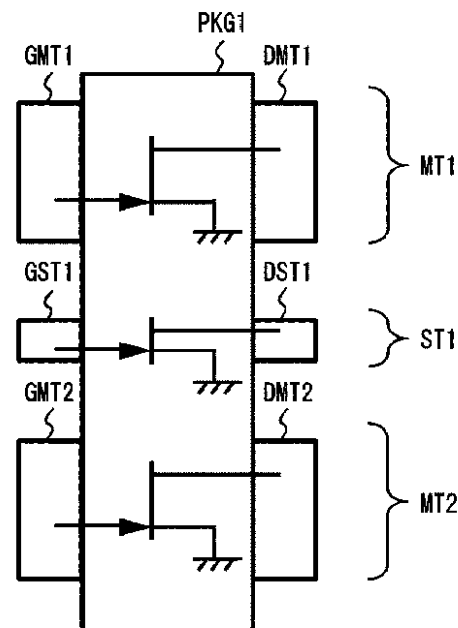
審査請求 有 予備審査請求 未請求 (全 25 頁)

出願番号	特願2015-559622 (P2015-559622)	(71) 出願人	000004237
(21) 国際出願番号	PCT/JP2014/005161		日本電気株式会社
(22) 国際出願日	平成26年10月10日 (2014.10.10)		東京都港区芝五丁目7番1号
(31) 優先権主張番号	特願2014-17171 (P2014-17171)	(74) 代理人	100103894
(32) 優先日	平成26年1月31日 (2014.1.31)		弁理士 家入 健
(33) 優先権主張国	日本国 (JP)	(72) 発明者	椎熊 一実
			東京都港区芝五丁目7番1号 日本電気株式会社内
		Fターム(参考)	5J500 AA01 AA21 AA41 AA63 AA64
			AA65 AC15 AC36 AC81 AC87
			AC92 AC98 AF07 AF10 AF13
			AF15 AF16 AH09 AH19 AH20
			AH25 AH29 AH33 AK12 AK18
			AK68 AM19 AQ04 AS14 AT01
			CK03 CK06 CK07
			最終頁に続く

(54) 【発明の名称】 トランジスタパッケージ、それを備えた増幅回路、及び、トランジスタの構成方法

(57) 【要約】

一実施の形態によれば、トランジスタパッケージは、メイントランジスタ(MT1, MT2)と、メイントランジスタ(MT1, MT2)と同じパッケージ内に設けられ、メイントランジスタ(MT1, MT2)よりもサイズの小さいサブトランジスタ(ST1)と、を備える。それにより、オートバイアス機能が付加されたドハティ増幅回路や、所望の動作特性の拡張型ドハティ増幅回路等、様々な種類のドハティ増幅回路を構成することが可能なより汎用性の高いトランジスタパッケージ、それを備えた増幅回路、及び、トランジスタの構成方法を提供することができる。



【特許請求の範囲】**【請求項 1】**

第 1 及び第 2 メイントランジスタと、

前記第 1 及び前記第 2 メイントランジスタと同じパッケージ内に設けられ、前記第 1 及び前記第 2 メイントランジスタよりもサイズの小さい第 1 サブトランジスタと、を備えたトランジスタパッケージ。

【請求項 2】

請求項 1 に記載のトランジスタパッケージを備えた増幅回路であって、

入力信号を分配して第 1 及び第 2 分配信号を生成する分配器と、

少なくとも前記第 1 メイントランジスタにより構成され、前記第 1 分配信号を線形増幅する第 1 増幅器と、

少なくとも前記第 2 メイントランジスタにより構成され、前記第 2 分配信号を非線形増幅する第 2 増幅器と、

前記第 1 及び前記第 2 増幅器のそれぞれの出力信号を合成する合成器と、を備えた、増幅回路。

【請求項 3】

前記第 1 サブトランジスタは、前記第 1 又は前記第 2 メイントランジスタとともに、前記第 1 又は第 2 増幅器を構成する、請求項 2 に記載の増幅回路。

【請求項 4】

前記第 1 メイントランジスタ、前記第 2 メイントランジスタ及び前記第 1 サブトランジスタは、何れも電界効果トランジスタであって、

前記第 1 サブトランジスタのドレイン電流を所定値に保つような前記第 1 サブトランジスタのゲート電圧を検出し、検出された前記ゲート電圧に応じた第 1 バイアス電圧を前記第 1 メイントランジスタのゲートに供給することで前記第 1 増幅器の動作点を設定する、オートバイアス回路をさらに備えた、請求項 2 に記載の増幅回路。

【請求項 5】

前記オートバイアス回路は、さらに、検出された前記ゲート電圧に応じた第 2 バイアス電圧を前記第 2 メイントランジスタのゲートに供給することで前記第 2 増幅器の動作点を設定する、請求項 4 に記載の増幅回路。

【請求項 6】

前記第 1 メイントランジスタ、前記第 2 メイントランジスタ及び前記第 1 サブトランジスタは、何れもバイポーラトランジスタであって、

前記第 1 サブトランジスタのコレクタ電流を所定値に保つような前記第 1 サブトランジスタのベース電流を検出し、検出された前記ベース電流に応じた第 1 バイアス電流を前記第 1 メイントランジスタのベースに供給することで前記第 1 増幅器の動作点を設定する、オートバイアス回路をさらに備えた、請求項 2 に記載の増幅回路。

【請求項 7】

前記オートバイアス回路は、さらに、検出された前記ベース電流に応じた第 2 バイアス電流を前記第 2 メイントランジスタのベースに供給することで前記第 2 増幅器の動作点を設定する、請求項 6 に記載の増幅回路。

【請求項 8】

前記第 1 メイントランジスタ、前記第 2 メイントランジスタ及び前記第 1 サブトランジスタの単位サイズあたりの特性は略同一である、請求項 2 ～ 7 の何れか一項に記載の増幅回路。

【請求項 9】

前記第 1 及び前記第 2 メイントランジスタよりもサイズの小さい第 2 サブトランジスタをさらに備えた請求項 1 に記載のトランジスタパッケージ。

【請求項 10】

請求項 9 に記載のトランジスタパッケージを備えた増幅回路であって、

入力信号を分配して第 1 及び第 2 分配信号を生成する分配器と、

10

20

30

40

50

少なくとも前記第 1 メイントランジスタにより構成され、前記第 1 分配信号を線形増幅する第 1 増幅器と、

少なくとも前記第 2 メイントランジスタにより構成され、前記第 2 分配信号を非線形増幅する第 2 増幅器と、

前記第 1 及び前記第 2 増幅器のそれぞれの出力信号を合成する合成器と、を備えた、増幅回路。

【請求項 1 1】

前記第 1 サブトランジスタは、前記第 1 又は前記第 2 メイントランジスタとともに、前記第 1 又は第 2 増幅器を構成する、請求項 1 0 に記載の増幅回路。

【請求項 1 2】

前記第 1 メイントランジスタ、前記第 2 メイントランジスタ、前記第 1 サブトランジスタ及び前記第 2 サブトランジスタは、何れも電界効果トランジスタであって、

前記第 2 サブトランジスタのドレイン電流を所定値に保つような前記第 2 サブトランジスタのゲート電圧を検出し、検出された前記ゲート電圧に応じた第 1 バイアス電圧を前記第 1 メイントランジスタのゲートに供給することで前記第 1 増幅器の動作点を設定し、かつ、検出された前記ゲート電圧に応じた第 2 バイアス電圧を前記第 2 メイントランジスタのゲートに供給することで前記第 2 増幅器の動作点を設定する、オートバイアス回路をさらに備えた、請求項 1 0 又は 1 1 に記載の増幅回路。

【請求項 1 3】

前記第 1 メイントランジスタ、前記第 2 メイントランジスタ、前記第 1 サブトランジスタ及び前記第 2 サブトランジスタは、何れもバイポーラトランジスタであって、

前記第 2 サブトランジスタのコレクタ電流を所定値に保つような前記第 2 サブトランジスタのベース電流を検出し、検出された前記ベース電流に応じた第 1 バイアス電流を前記第 1 メイントランジスタのベースに供給することで前記第 1 増幅器の動作点を設定し、かつ、検出された前記ベース電流に応じた第 2 バイアス電流を前記第 2 メイントランジスタのベースに供給することで前記第 2 増幅器の動作点を設定する、オートバイアス回路をさらに備えた、請求項 1 0 又は 1 1 に記載の増幅回路。

【請求項 1 4】

前記第 1 メイントランジスタ、前記第 2 メイントランジスタ、前記第 1 サブトランジスタ及び第 2 サブトランジスタの単位サイズあたりの特性は略同一である、請求項 1 0 ~ 1 3 の何れか一項に記載の増幅回路。

【請求項 1 5】

前記サイズはゲート幅である、請求項 1 又は 9 に記載のトランジスタパッケージ。

【請求項 1 6】

前記サイズはゲート幅である、請求項 2 ~ 8、1 0 ~ 1 4 の何れか一項に記載の増幅回路。

【請求項 1 7】

第 1 及び第 2 メイントランジスタと、前記第 1 及び前記第 2 メイントランジスタよりもサイズの小さい第 1 サブトランジスタと、を同じパッケージ内に設ける、トランジスタの構成方法。

【請求項 1 8】

前記サイズはゲート幅である、請求項 1 7 に記載のトランジスタの構成方法。

【発明の詳細な説明】

【技術分野】

【0 0 0 1】

本発明は、トランジスタパッケージ、それを備えた増幅回路、及び、トランジスタの構成方法に関する。

【背景技術】

【0 0 0 2】

無線通信システムに利用される電力増幅回路には、線形性と高効率とが要求されている

10

20

30

40

50

。特に、最近の多値デジタル変調通信システム等では、信号振幅の平均値と最大振幅とが大きく異なる信号を取り扱うことが多い。従来の電力増幅回路を用いてこのような信号を増幅する場合、この電力増幅回路の動作点は、信号を歪ませずに最大振幅まで増幅できるように設定される。このため、比較的高効率を維持できる飽和出力付近で動作している時間がほとんどなく、一般的に電力増幅回路の効率は低かった。

【 0 0 0 3 】

このような問題に対する解決策が、特許文献 1 に開示されている。特許文献 1 には、線形性を維持しつつ電力効率を向上させたドハティ増幅回路の構成が開示されている。このドハティ増幅回路は、入力信号を分配する分配器と、分配された一方の信号を線形増幅するキャリア増幅器と、分配された他方の信号を非線形増幅するピーク増幅器と、キャリア増幅器及びピーク増幅器のそれぞれの出力信号を合成する合成器と、を備える。それにより、このドハティ増幅回路は、線形性を維持しつつ高効率化を実現している。また、このドハティ増幅回路は、キャリア増幅器及びピーク増幅器を 1 個のパッケージ内のトランジスタで構成することで、小型化を実現している。

【 0 0 0 4 】

ところで、近年では、対称型から拡張型まで様々な動作特性のドハティ増幅回路が電力増幅回路として使用されてきている。そのため、このような様々な種類のドハティ増幅回路を設計し製造するに際し、設計工数や管理調整工数を削減して効率化することが求められている。

【 0 0 0 5 】

その他、非特許文献 1 には、キャリア増幅器及びピーク増幅器のそれぞれを構成するトランジスタのサイズ、及び、キャリア増幅器及びピーク増幅器の相対位置が固定された拡張型ドハティ増幅回路が開示されている。また、特許文献 2 には、高周波特性を損なうことなく素子のばらつきを適切に吸収するバイアス回路の構成が開示されている。

【 先行技術文献 】

【 特許文献 】

【 0 0 0 6 】

【 特許文献 1 】 国際公開第 2 0 0 5 / 0 2 9 6 9 5 号

【 特許文献 2 】 特開平 6 - 2 3 7 1 2 3 号 公 報

【 非特許文献 】

【 0 0 0 7 】

【 非特許文献 1 】 freescale Semiconductor, Inc.、 “ Technical Data ”、 [online]、 [2013年12月17日検索]、 インターネット、 <URL:http://www.freescale.com/files/rf_if/doc/data_sheet/AFT09H310-03S.pdf>

【 発明の概要 】

【 発明が解決しようとする課題 】

【 0 0 0 8 】

ここで、特許文献 1 に開示された 1 個のパッケージ内のトランジスタのサイズは同じであると考えられる。そのため、例えば、パッケージ内のトランジスタを用いて所望の動作特性の拡張型ドハティ増幅回路を構成しようとした場合、パッケージには、キャリア増幅器及びピーク増幅器のそれぞれに分配される電力の比に応じた数の同一サイズのトランジスタが設けられている必要があり、パッケージのサイズが大きくなってしまふ。その結果、拡張型ドハティ増幅回路の回路規模が増大してしまふ。また、非特許文献 1 に開示された拡張型ドハティ増幅回路では、上記したように、キャリア増幅器及びピーク増幅器のそれぞれを構成するトランジスタのサイズ、及び、キャリア増幅器及びピーク増幅器の相対位置が固定されているため、増幅器配置の自由度が損なわれていた。例えば、キャリア増幅器及びピーク増幅器の位置を入れ替えた拡張型ドハティ増幅器を構成する場合には、キャリア増幅器及びピーク増幅器のそれぞれを構成するトランジスタの配置が入れ替わった別のトランジスタ構成のパッケージが必要になり、設計の自由度やトランジスタの汎用性に問題があった。このように、特許文献 1 や非特許文献 1 に開示されたパッケージのトラ

ンジスタ構成では、様々な種類のドハティ増幅回路をより効率的に構成するのが困難であった。その他の課題と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【 0 0 0 9 】

本発明は、このような問題点を解決するためになされたものであり、オートバイアス機能が付加されたドハティ増幅回路や、所望の動作特性の拡張型ドハティ増幅回路等、様々な種類のドハティ増幅回路を効率的に構成することが可能なより汎用性の高いトランジスタパッケージ、それを備えた増幅回路、及び、トランジスタの構成方法を提供することを目的とする。

【課題を解決するための手段】

10

【 0 0 1 0 】

一実施の形態によれば、トランジスタパッケージは、第 1 及び第 2 メイントランジスタと、前記第 1 及び前記第 2 メイントランジスタと同じパッケージ内に設けられ、前記第 1 及び前記第 2 メイントランジスタよりもサイズの小さい第 1 サブトランジスタと、を備える。

【 0 0 1 1 】

また、一実施の形態によれば、トランジスタの構成方法は、第 1 及び第 2 メイントランジスタと、前記第 1 及び前記第 2 メイントランジスタよりもサイズの小さい第 1 サブトランジスタと、を同じパッケージ内に設ける。

20

【発明の効果】

【 0 0 1 2 】

前記一実施の形態によれば、様々な種類のドハティ増幅回路を構成することが可能なより汎用性の高いトランジスタパッケージ、それを備えた増幅回路、及び、トランジスタの構成方法を提供することができる。

【図面の簡単な説明】

【 0 0 1 3 】

【図 1】実施の形態 1 に係るトランジスタパッケージ P K G 1 の概略を示す平面図である。

【図 2】実施の形態 2 に係るドハティ増幅回路の構成例を示す図である。

【図 3】各クラスの増幅回路の出力振幅とドレイン電流との関係を示す図である。

30

【図 4】実施の形態 2 に係るドハティ増幅回路の第 1 具体的構成例を示す図である。

【図 5】実施の形態 2 に係るドハティ増幅回路の第 2 具体的構成例を示す図である。

【図 6】実施の形態 2 に係るドハティ増幅回路の第 3 具体的構成例を示す図である。

【図 7】実施の形態 2 に係るドハティ増幅回路の第 4 具体的構成例を示す図である。

【図 8】実施の形態 2 に係るドハティ増幅回路の第 5 具体的構成例を示す図である。

【図 9】実施の形態 3 に係るドハティ増幅回路の第 1 構成例を示す図である。

【図 10】実施の形態 3 に係るドハティ増幅回路の第 2 構成例を示す図である。

【図 11】実施の形態 3 に係るドハティ増幅回路の第 3 構成例を示す図である。

【図 12】実施の形態 3 に係るドハティ増幅回路の第 4 構成例を示す図である。

【図 13】実施の形態 3 に係るドハティ増幅回路の第 5 構成例を示す図である。

40

【図 14】図 10 ~ 図 13 に示すドハティ増幅回路の電力と電力効率との関係を示す図である。

【図 15】実施の形態 4 に係るトランジスタパッケージ P K G 2 の概略を示す平面図である。

【図 16】図 15 に示すトランジスタパッケージ P K G 2 が適用されたドハティ増幅回路を説明するための図である。

【図 17】実施の形態 4 に係るトランジスタパッケージ P K G 3 の概略を示す平面図である。

【図 18】図 17 に示すトランジスタパッケージ P K G 3 が適用されたドハティ増幅回路を説明するための図である。

50

【発明を実施するための形態】

【0014】

以下、図面を参照しつつ、実施の形態について説明する。なお、図面は簡略的なものであるから、この図面の記載を根拠として実施の形態の技術的範囲を狭く解釈してはならない。また、同一の要素には、同一の符号を付し、重複する説明は省略する。

【0015】

以下の実施の形態においては便宜上その必要があるときは、複数のセクションまたは実施の形態に分割して説明するが、特に明示した場合を除き、それらはお互いに無関係なものではなく、一方は他方の一部または全部の変形例、応用例、詳細説明、補足説明等の関係にある。また、以下の実施の形態において、要素の数等（個数、数値、量、範囲等を含む）に言及する場合、特に明示した場合および原理的に明らかに特定の数に限定される場合等を除き、その特定の数に限定されるものではなく、特定の数以上でも以下でもよい。

【0016】

さらに、以下の実施の形態において、その構成要素（動作ステップ等も含む）は、特に明示した場合および原理的に明らかに必須であると考えられる場合等を除き、必ずしも必須のものではない。同様に、以下の実施の形態において、構成要素等の形状、位置関係等に言及するときは、特に明示した場合および原理的に明らかにそうでないと考えられる場合等を除き、実質的にその形状等に近似または類似するもの等を含むものとする。このことは、上記数等（個数、数値、量、範囲等を含む）についても同様である。

【0017】

< 実施の形態 1 >

図1は、実施の形態1に係るトランジスタパッケージPKG1の概略を示す平面図である。図1に示すトランジスタパッケージPKG1は、ドハティ増幅回路等を構成するための複数のトランジスタを備えたトランジスタパッケージであって、メイントランジスタ（第1メイントランジスタ）MT1と、メイントランジスタ（第2メイントランジスタ）MT2と、サブトランジスタ（第1サブトランジスタ）ST1と、を備える。なお、本実施の形態では、メイントランジスタMT1、MT2及びサブトランジスタST1が何れもNチャンネル型の電界効果トランジスタである場合を例に説明する。

【0018】

図1の例では、平面視上、サブトランジスタST1がパッケージ中央に配置され、メイントランジスタMT1、MT2がサブトランジスタST1を挟んでパッケージ両端付近に配置されている。なお、メイントランジスタMT1、MT2及びサブトランジスタST1の配置位置は、図1に示す配置位置に限られない。例えば、メイントランジスタMT1、MT2の何れか一方がサブトランジスタST1の代わりにパッケージ中央に配置されてもよい。

【0019】

サブトランジスタST1のサイズは、メイントランジスタMT1、MT2のサイズより小さい。具体的には、サブトランジスタST1のゲート幅 W_a は、メイントランジスタMT1、MT2のゲート幅 W_b より小さい。好適には、サブトランジスタST1のサイズは、メイントランジスタMT1、MT2のサイズの $1/2 \sim 1/20$ 程度である。

【0020】

トランジスタパッケージPKG1から張り出すようにして、メイントランジスタMT1のドレイン電極DMT1及びゲート電極GMT1と、メイントランジスタMT2のドレイン電極DMT2及びゲート電極GMT2と、サブトランジスタST1のドレイン電極DST1及びゲート電極GST1と、が設けられている。なお、メイントランジスタMT1、MT2及びサブトランジスタST1のそれぞれのソースは、接地されている。

【0021】

このような構成により、図1に示すトランジスタパッケージPKG1は、オートバイアス機能が付加されたドハティ増幅回路や、拡張型ドハティ増幅回路等、様々な種類のドハティ増幅回路を構成することができる。ここで、図1に示すトランジスタパッケージPK

10

20

30

40

50

G 1 は、サブトランジスタ S T 1 のサイズが小さいため、様々な種類のドハティ増幅回路を小規模で実現することができる。

【 0 0 2 2 】

なお、メイントランジスタ M T 1 , M T 2 及びサブトランジスタ S T 1 は、単位ゲート幅あたりの直流特性および高周波特性が略同一の特性を有することが好ましい。例えば、メイントランジスタ M T 1 , M T 2 及びサブトランジスタ S T 1 は、同一ダイにて形成されることで、単位ゲート幅あたりの直流特性および高周波特性が略同一の特性を有する。それにより、トランジスタパッケージ P K G 1 が適用されるドハティ増幅回路の性能を向上させることができる。例えば、オートバイアス機能が付加されたドハティ増幅回路の場合には、各トランジスタに対して所望のバイアスを、バラつきを抑えてより精度良く与えることが可能になる。また、拡張型ドハティ増幅回路の場合には、キャリア増幅器及びピーク増幅器に対して所望の分配率で電力を分配合成し、ドハティ増幅器としての所望の利得や出力電力をより安定して得ることが可能になる。また、製造調整コストの低減や小型化の面でも有利になることは言うまでもない。これらの増幅回路の詳細については、実施の形態 2 以降で説明する。

【 0 0 2 3 】

また、図 1 の例では示されていないが、トランジスタパッケージ P K G 1 内部に、トランジスタ入出力整合回路等が配置される場合も考えられる。本発明の本質が変わるものではなく、また、必須の構成でもないので説明は省略している。

【 0 0 2 4 】

< 実施の形態 2 >

本実施の形態では、図 1 に示すトランジスタパッケージ P K G 1 が適用されたドハティ増幅回路の一例として、オートバイアス機能が付加されたドハティ増幅回路について説明する。

【 0 0 2 5 】

図 2 は、実施の形態 2 に係るドハティ増幅回路 1 の構成例を示す図である。図 2 に示すドハティ増幅回路 1 は、キャリア増幅器（第 1 増幅器）C A 1 と、ピーク増幅器（第 2 増幅器）P A 1 と、オートバイアス回路 1 0 と、分配器 1 1 と、合成器 1 2 と、を備える。なお、図 2 では、簡略化のため、整合回路やバイパスキャパシタ等は省略されている。

【 0 0 2 6 】

（分配器 1 1）

分配器 1 1 は、入力信号を分配して第 1 及び第 2 分配信号を生成する。分配器 1 1 は、キャリア増幅器 C A 1 及びピーク増幅器 P A 1 のそれぞれの出力信号が合成器 1 2 にて合成されるときに、それらの位相が同相となるように、入力信号の位相を調整して第 1 及び第 2 分配信号を生成する。例えば、分配器 1 1 は、1 / 4 波長の伝送線路や 9 0 ° ハイブリッド回路などによって構成されている。

【 0 0 2 7 】

（キャリア増幅器 C A 1）

キャリア増幅器 C A 1 は、トランジスタパッケージ P K G 1 に設けられたメイントランジスタ M T 1 により構成され、メイントランジスタ M T 1 のゲートに入力された第 1 分配信号を増幅してトランジスタ M T 1 のドレインから出力する。ここで、キャリア増幅器 C A 1 は、例えば、A B 級や B 級にバイアスされ、第 1 分配信号を線形増幅する。

【 0 0 2 8 】

（ピーク増幅器 P A 1）

ピーク増幅器 P A 1 は、トランジスタパッケージ P K G 1 に設けられたメイントランジスタ M T 2 により構成され、メイントランジスタ M T 2 のゲートに入力された第 2 分配信号を増幅してトランジスタ M T 2 のドレインから出力する。ここで、ピーク増幅器 P A 1 は、例えば、C 級にバイアスされ、第 2 分配信号を非線形増幅する。つまり、ピーク増幅器 P A 1 は、高電力出力時にのみ増幅動作を行う。

【 0 0 2 9 】

(合成器 12)

合成器 12 は、キャリア増幅器 C A 1 及びピーク増幅器 P A 1 のそれぞれの出力信号を合成し、ドハティ増幅回路 1 の出力信号として出力する。例えば、合成器 12 は、トランス、インピーダンス変換器、又は、マイクロ波帯等の信号を扱う場合には通常 1 / 4 波長の伝送経路等によって構成されている。

【0030】

ドハティ増幅回路 1 は、飽和出力電力近傍にて飽和を維持しながら動作するキャリア増幅器 C A 1 と、飽和出力電力近傍のみで動作するピーク増幅器 P A 1 と、を備えることで、飽和電力からバックオフをとった出力時においても、通常の A 級、A B 級の増幅回路よりも高い電力効率を実現している。

10

【0031】

ここで、キャリア増幅器 C A 1 及びピーク増幅器 P A 1 は、1 個のパッケージに内蔵されている。そのため、キャリア増幅器 C A 1 及びピーク増幅器 P A 1 がそれぞれ別のパッケージに内蔵されている構成と比較して、ドハティ増幅回路 1 の小型化を実現することができる。また、キャリア増幅器 C A 1 及びピーク増幅器 P A 1 のそれぞれの出力から合成器 12 における信号合成点までの伝送線路長が短くなるため、伝送損失が減少する、その結果、ドハティ増幅回路 1 の電力効率を向上させることができる。

【0032】

(オートバイアス回路 10)

オートバイアス回路 10 は、キャリア増幅器 C A 1 及びピーク増幅器 P A 1 のそれぞれに対して自動でバイアス電流やバイアス電圧を設定する回路である。なお、図 2 には示されていないが、実際には、各増幅器の入出力信号線上に直流遮断用のキャパシタが設けられることでオートバイアス回路 10 は動作する。オートバイアス回路 10 の具体的な構成例については、図 4 等を用いて後述する。

20

【0033】

まず、オートバイアス回路 10 は、サブトランジスタ S T 1 のドレイン電流 (バイアス電流) を所定値 I_a に保つようなサブトランジスタ S T 1 のゲート電圧を検出する。

【0034】

次に、オートバイアス回路 10 は、検出されたゲート電圧に応じたバイアス電圧 V_{b1} を (本例では、検出されたゲート電圧をそのままバイアス電圧 V_{b1} として) メイントランジスタ M T 1 のゲートに供給する。それにより、キャリア増幅器 C A 1 を構成するメイントランジスタ M T 1 のドレイン電流 (バイアス電流) は所望値 I_b に設定される。例えば、バイアス電圧 V_{b1} は、キャリア増幅器 C A 1 が A B 級や B 級の増幅器として動作するようなバイアス電圧値に設定される。

30

【0035】

ここで、サブトランジスタ S T 1 のバイアス電流を I_a 、メイントランジスタ M T 1 のバイアス電流を I_b とすると、バイアス電流 I_a 、 I_b の関係は、例えば、 $I_a = (W_a / W_b) \times I_b$ と表される。

【0036】

次に、オートバイアス回路 10 は、検出されたゲート電圧に応じたバイアス電圧 V_{b2} をメイントランジスタ M T 2 のゲートに供給する。本例では、オートバイアス回路 10 は、電圧加減算部 13 を用いてバイアス電圧 V_{b1} から電圧を減算することで、当該バイアス電圧 V_{b1} より低い電圧レベルのバイアス電圧 V_{b2} を生成する。それにより、ピーク増幅器 P A 1 を構成するメイントランジスタ M T 2 のドレイン電流 (バイアス電流) は所望値に設定される。例えば、バイアス電圧 V_{b2} は、ピーク増幅器 P A 1 が C 級増幅器として動作するようなバイアス電圧値に設定される。

40

【0037】

図 3 は、各クラスの増幅回路の出力振幅とドレイン電流との関係を示す図である。前述のように、キャリア増幅器 C A 1 は、例えば、出力振幅の増加に伴ってドレイン電流が増加する A B 級にバイアスされる。

50

【 0 0 3 8 】

ここで、仮に、オートバイアス回路 10 がメイントランジスタ M T 1 のゲートに直接バイアス電圧 V_{b1} を供給する構成である場合、キャリア増幅器 C A 1 のドレイン電流は、出力振幅が増加しても、オートバイアス回路 10 が有する所望の負帰還作用によって、一定の値に保持されてしまう（図 3 の点線）。そのため、キャリア増幅器 C A 1 は所望の増幅動作を行うことができない。また、通常、ドレイン電流の検出のために電源とキャリア増幅器 C A 1 のドレインとの間には抵抗素子等の電流検出素子が設けられる。そのため、この電流検出素子によって消費電力が増大してしまう。

【 0 0 3 9 】

そこで、本実施の形態にかかるオートバイアス回路 10 は、サブトランジスタ S T 1 を用いてバイアス電圧 V_{b1} （ V_{b2} ）を検出し設定している。ここで、サブトランジスタ S T 1 には信号の入出力が無いので、バイアス電圧 V_{b1} は信号の入出力によって変化することはない。つまり、キャリア増幅器 C A 1 のバイアス電圧 V_{b1} は信号の入出力によらずオートバイアス回路 10 によって所望の値に保たれる。そのため、キャリア増幅器 C A 1 のドレイン電流は、出力振幅が増加しても一定の値に保持されることはない（図 3 の実線）。そのため、キャリア増幅器 C A 1 は所望の増幅動作を行うことができる。さらに、サブトランジスタ S T 1 のサイズが小さいため、電源とサブトランジスタ S T 1 のドレインとの間に抵抗素子等の電流検出素子が設けられた場合でも、この電流検出素子によって消費される電力をより小さくすることが可能である。

【 0 0 4 0 】

このように、トランジスタパッケージ P K G 1 を用いて、オートバイアス機能が付加されたドハティ増幅回路を構成することができる。ここで、トランジスタパッケージ P K G 1 は、サブトランジスタ S T 1 のサイズが小さいため、オートバイアス機能が付加されたドハティ増幅回路を小規模で実現することができる。

【 0 0 4 1 】

また、キャリア増幅器 C A 1 及びピーク増幅器 P A 1 のそれぞれの出力から信号合成点までの伝送線路長が短くなるため、伝送損失が減少する。その結果、ドハティ増幅回路 1 の電力効率を向上させることができる。

【 0 0 4 2 】

なお、サブトランジスタ S T 1 のゲート電圧は、例えば、ドハティ増幅回路 1 の前段に設けられた非常に小さい出力電力のドライバ又はプリドライバのバイアス設定に用いられてもよい。ここで、非常に小さいとは、動作点近傍で出力電力によらずドレイン電流が略一定とみなせる領域のことを指す。オートバイアス回路 10 によって消費される電力の一部を、ドライバ又はプリドライバのバイアス設定に用いることができるため、増幅回路全体の電力効率をさらに向上させることができる。なお、当然ながら、ドライバ又はプリドライバは、例えば、図 2 に示すようなオートバイアス機能付きのドハティ増幅回路の構成を有していてもよい。

【 0 0 4 3 】

また、図 2 に示すオートバイアス回路 10 の構成は本発明の動作原理を説明する一例にすぎず、同等の機能を有する他の構成に適宜変更可能である。以下、幾つかの具体例を説明する。

【 0 0 4 4 】

（ドハティ増幅回路 1 の第 1 具体的構成例）

図 4 は、ドハティ増幅回路 1 の第 1 具体的構成例を示す図である。図 4 では、オートバイアス回路 1 の具体的構成例が示されている。

【 0 0 4 5 】

図 4 に示すオートバイアス回路 10 は、容量素子 C 1 ~ C 5 と、コイル L 1 ~ L 6 と、抵抗素子 R 1 ~ R 4 と、電圧加減算部 13 と、バイポーラトランジスタ T r 1 と、トランジスタパッケージ P K G 1 に設けられたサブトランジスタ S T 1 と、を有する。ここで、コイル L 1 ~ L 6 は R F チョークコイルを意味している。

【 0 0 4 6 】

抵抗素子 R_1 , R_2 は、接地電圧端子 GND と電源電圧端子 V_{dd1} との間に直列に設けられている。バイポーラトランジスタ Tr_1 では、ベースが抵抗素子 R_1 , R_2 間のノードに接続され、コレクタがノード N_1 に接続され、エミッタがノード N_2 に接続されている。抵抗素子 R_3 は、電源電圧端子 V_{dd2} とノード N_1 との間に設けられている。抵抗素子 R_4 は、電源電圧端子 V_{dd1} とノード N_2 との間に設けられている。

【 0 0 4 7 】

容量素子 C_1 は、ドハティ増幅回路 1 の外部入力端子と分配器 11 の入力端子との間のノードと、キャリア増幅器 CA_1 の入力端子（トランジスタ MT_1 のゲート電極）と、の間に設けられている。容量素子 C_2 は、分配器 11 の出力端子と、ピーク増幅器 PA_1 の入力端子（トランジスタ MT_2 のゲート電極）と、の間に設けられている。容量素子 C_3 は、キャリア増幅器 CA_1 の出力端子（トランジスタ MT_1 のドレイン電極）と、合成器 12 の入力端子と、の間に設けられている。容量素子 C_4 は、ピーク増幅器 PA_1 の出力端子（トランジスタ MT_2 のドレイン電極）と、ドハティ増幅回路 1 の外部出力端子と合成器 12 の出力端子との間のノードと、の間に設けられている。容量素子 C_5 は、接地電圧端子 GND と、ノード N_1 と、の間に設けられている。

【 0 0 4 8 】

コイル L_1 は、キャリア増幅器 CA_1 の入力端子と、ノード N_1 と、の間に設けられている。コイル L_2 は、ピーク増幅器 PA_1 の入力端子と、ノード N_1 と、の間に設けられている。コイル L_3 は、キャリア増幅器 CA_1 の出力端子と、電源電圧端子 V_{dd1} と、の間に設けられている。コイル L_4 は、ピーク増幅器 PA_1 の出力端子と、電源電圧端子 V_{dd1} と、の間に設けられている。コイル L_5 は、サブトランジスタ ST_1 のゲート電極と、ノード N_1 と、の間に設けられている。コイル L_6 は、サブトランジスタ ST_1 のドレイン電極と、ノード N_2 と、の間に設けられている。電圧加減算部 13 は、コイル L_2 と、ノード N_1 と、の間に設けられている。

【 0 0 4 9 】

なお、不要発振防止のため、サブトランジスタ ST_1 の入出力は適切に終端することが好ましい。また、回路の配置や用途が決まっているのであれば、ゲートバイアスはパッケージ内において RF チョークして配線しておくことも可能である。

【 0 0 5 0 】

（ドハティ増幅回路 1 の第 2 具体的構成例）

図 5 は、ドハティ増幅回路 1 の第 2 具体的構成例をドハティ増幅回路 1 a として示す図である。図 5 に示すドハティ増幅回路 1 a は、図 4 に示すドハティ増幅回路 1 と比較して、電圧加減算部 13 として、 N (N は自然数) 個のダイオード $D_1 \sim D_N$ と、抵抗素子 R_{13} と、を備える。

【 0 0 5 1 】

ダイオード $D_1 \sim D_N$ は、ノード N_1 とコイル L_2 との間に直列に設けられている。なお、各ダイオード $D_1 \sim D_N$ のアノードはノード N_1 側に接続され、各ダイオード $D_1 \sim D_N$ のカソードはコイル L_2 側に接続されている。抵抗素子 R_{13} は、ダイオード $D_1 \sim D_N$ とコイル L_2 との間のノードと、電源電圧端子 V_{dd3} と、の間に設けられている。

【 0 0 5 2 】

ここで、ダイオード 1 個当たりの電圧降下分を V_f とすると、バイアス電圧 V_{b1} , V_{b2} の関係は、 $V_{b2} = V_{b1} - N \times V_f$ と表される。ダイオード 1 個当たりの電圧降下分は 0.7 V 程度であるから、例えば、ダイオードの数が 3 個の場合、バイアス電圧 V_{b1} , V_{b2} 間に生じる電位差は 2.1 V 程度である。なお、当然ながら電圧降下の程度の異なるダイオードと組み合わせで用いられてもよい。

【 0 0 5 3 】

（ドハティ増幅回路 1 の第 3 具体的構成例）

図 6 は、ドハティ増幅回路 1 の第 3 具体的構成例をドハティ増幅回路 1 b として示す図である。図 6 に示すドハティ増幅回路 1 b は、図 4 に示すドハティ増幅回路 1 と比較して

10

20

30

40

50

、電圧加減算部 13 として、ツェナーダイオード Z D 1 と、抵抗素子 R 1 3 と、を備える。

【 0 0 5 4 】

ツェナーダイオード Z D 1 のカソードはノード N 1 に接続され、ツェナーダイオード Z D 1 のアノードはコイル L 2 に接続されている。抵抗素子 R 1 3 は、ツェナーダイオード Z D 1 とコイル L 2 との間のノードと、電源電圧端子 V d d 3 と、の間に設けられている。

【 0 0 5 5 】

ここで、ツェナーダイオード Z D 1 のブレークダウン電圧を V_{zd} とすると、バイアス電圧 V_{b1} , V_{b2} の関係は、 $V_{b2} = V_{b1} - V_{zd}$ と表される。

10

【 0 0 5 6 】

(ドハティ増幅回路 1 の第 4 具体的構成例)

図 7 は、ドハティ増幅回路 1 の第 4 具体的構成例をドハティ増幅回路 1 c として示す図である。図 7 に示すドハティ増幅回路 1 c は、図 4 に示すドハティ増幅回路 1 と比較して、電圧加減算部 13 として、NPN 型のバイポーラトランジスタ T r 2 と、抵抗素子 R 1 1 ~ R 1 3 と、を備える。

【 0 0 5 7 】

バイポーラトランジスタ T r 2 のコレクタはノード N 1 に接続され、バイポーラトランジスタ T r 2 のエミッタはコイル L 2 に接続されている。抵抗素子 R 1 1 は、バイポーラトランジスタ T r 2 のベース及びコレクタ間に設けられている。抵抗素子 R 1 2 は、バイポーラトランジスタ T r 2 のベース及びエミッタ間に設けられている。抵抗素子 R 1 3 は、バイポーラトランジスタ T r 2 のエミッタと、電源電圧端子 V d d 3 と、の間に設けられている。

20

【 0 0 5 8 】

ここで、バイポーラトランジスタ T r 2 のコレクタ - エミッタ間電圧を V_{tr2} とすると、バイアス電圧 V_{b1} , V_{b2} の関係は、 $V_{b2} = V_{b1} - V_{tr2}$ と表される。ただし、バイポーラトランジスタ T r 2 のベース - エミッタ間電圧を V_{be} とすると、 $V_{tr2} = (1 + R_{11} / R_{12}) \cdot V_{be}$ である。

【 0 0 5 9 】

(ドハティ増幅回路 1 の第 5 具体的構成例)

30

図 8 は、ドハティ増幅回路 1 の第 5 具体的構成例をドハティ増幅回路 1 d として示す図である。図 8 に示すドハティ増幅回路 1 d は、図 4 に示すドハティ増幅回路 1 と比較して、電圧加減算部 13 として、PNP 型のバイポーラトランジスタ T r 3 と、抵抗素子 R 1 1 ~ R 1 3 と、を備える。

【 0 0 6 0 】

バイポーラトランジスタ T r 3 のエミッタはノード N 1 に接続され、バイポーラトランジスタ T r 3 のコレクタはコイル L 2 に接続されている。抵抗素子 R 1 1 は、バイポーラトランジスタ T r 3 のベース及びエミッタ間に設けられている。抵抗素子 R 1 2 は、バイポーラトランジスタ T r 3 のベース及びコレクタ間に設けられている。抵抗素子 R 1 3 は、バイポーラトランジスタ T r 3 のコレクタと、電源電圧端子 V d d 3 と、の間に設けられている。

40

【 0 0 6 1 】

ここで、バイポーラトランジスタ T r 3 のコレクタ - エミッタ間電圧を V_{tr3} とすると、バイアス電圧 V_{b1} , V_{b2} の関係は、 $V_{b2} = V_{b1} - V_{tr3}$ と表される。ただし、バイポーラトランジスタ T r 3 のベース - エミッタ間電圧を V_{be} とすると、 $V_{tr3} = (1 + R_{12} / R_{11}) \cdot V_{be}$ と表される。

【 0 0 6 2 】

図 5 ~ 図 8 に示す電圧加減算部 13 の具体的構成例は、何れも単純な構成であるため、例えばオートバイアス回路 10、メイントランジスタ M T 1 , M T 2、及び、サブトランジスタ S T 1 の全部又は一部とともに集積化したり同一パッケージに搭載することができ

50

る。なお、当然ながら、ダイオードの温度特性を補償する回路等がさらに設けられてもよい。

【 0 0 6 3 】

< 実施の形態 3 >

本実施の形態では、図 1 に示すトランジスタパッケージ P K G 1 が適用されたドハティ増幅回路の他の例として、拡張型ドハティ増幅回路について説明する。

【 0 0 6 4 】

(ドハティ増幅回路 2 の第 1 構成例)

図 9 は、実施の形態 3 に係るドハティ増幅回路 2 の第 1 構成例を示す図である。図 9 に示すドハティ増幅回路 2 は、キャリア増幅器 C A 1 と、ピーク増幅器 P A 1 と、分配器 1 1 と、合成器 1 2 と、を備える。各構成要素の基本動作及び接続関係については、前述のとおりであるため、その説明を省略する。

【 0 0 6 5 】

図 9 の例では、キャリア増幅器 C A 1 がトランジスタ M T 1 によって構成され、ピーク増幅器 P A 1 がトランジスタ M T 2 によって構成されている。つまり、キャリア増幅器 C A 1 及びピーク増幅器 P A 1 は、互いに同じサイズのトランジスタにより構成されている。そのため、図 9 に示すドハティ増幅回路 2 では、キャリア増幅器 C A 1 及びピーク増幅器 P A 1 のそれぞれに分配される電力が同じになる。

【 0 0 6 6 】

(ドハティ増幅回路 2 の第 2 構成例)

図 1 0 は、実施の形態 3 に係るドハティ増幅回路 2 の第 2 構成例をドハティ増幅回路 2 a として示す図である。図 1 0 に示すドハティ増幅回路 2 a では、図 9 に示すドハティ増幅回路 2 と比較して、キャリア増幅器 C A 1 の構成が異なる。

【 0 0 6 7 】

具体的には、図 1 0 に示すキャリア増幅器 C A 1 は、メイントランジスタ M T 1 及びサブトランジスタ S T 1 により構成され、トランジスタ M T 1 , S T 1 のゲートに入力された第 1 分配信号を増幅してトランジスタ M T 1 , S T 1 のドレインから出力する。図 1 0 に示すドハティ増幅回路 2 a のその他の構成については、図 9 に示すドハティ増幅回路 2 の場合と同様であるため、その説明を省略する。

【 0 0 6 8 】

図 1 0 に示すドハティ増幅回路 2 a では、キャリア増幅器 C A 1 及びピーク増幅器 P A 1 のそれぞれに分配される電力が異なる。つまり、図 1 0 に示すドハティ増幅回路 2 a は、所謂、拡張型ドハティ増幅回路を構成している。

【 0 0 6 9 】

(ドハティ増幅回路 2 の第 3 構成例)

図 1 1 は、実施の形態 3 に係るドハティ増幅回路 2 の第 3 構成例をドハティ増幅回路 2 b として示す図である。図 1 1 に示すドハティ増幅回路 2 b では、図 1 0 に示すドハティ増幅回路 2 a と比較して、キャリア増幅器 C A 1 及びピーク増幅器 P A 1 の配置が入れ替わっている。

【 0 0 7 0 】

具体的には、図 1 1 に示すキャリア増幅器 C A 1 は、メイントランジスタ M T 2 及びサブトランジスタ S T 1 により構成され、トランジスタ M T 2 , S T 1 のゲートに入力された第 1 分配信号を増幅してトランジスタ M T 2 , S T 1 のドレインから出力する。図 1 1 に示すピーク増幅器 P A 1 は、メイントランジスタ M T 1 により構成され、メイントランジスタ M T 1 のゲートに入力された第 2 分配信号を増幅してメイントランジスタ M T 1 のドレインから出力する。図 1 1 に示すドハティ増幅回路 2 b のその他の構成については、図 9 に示すドハティ増幅回路 2 の場合と同様であるため、その説明を省略する。

【 0 0 7 1 】

図 1 1 に示すドハティ増幅回路 2 b では、図 1 0 に示すドハティ増幅回路 2 a と同様の比率で、キャリア増幅器 C A 1 及びピーク増幅器 P A 1 のそれぞれに電力が分配されてい

10

20

30

40

50

る。つまり、図 1 1 に示すドハティ増幅回路 2 b は、キャリア増幅器 C A 1 及びピーク増幅器 P A 1 の配置が入れ替わっていることを除いて、図 1 0 に示すドハティ増幅回路 2 a と同様の拡張型ドハティ増幅回路を構成している。

【 0 0 7 2 】

(ドハティ増幅回路 2 の第 4 構成例)

図 1 2 は、実施の形態 3 に係るドハティ増幅回路 2 の第 4 構成例をドハティ増幅回路 2 c として示す図である。図 1 2 に示すドハティ増幅回路 2 c では、図 9 に示すドハティ増幅回路 2 と比較して、ピーク増幅器 P A 1 の構成が異なる。

【 0 0 7 3 】

具体的には、図 1 2 に示すピーク増幅器 P A 1 は、メイントランジスタ M T 2 及びサブトランジスタ S T 1 により構成され、トランジスタ M T 2 , S T 1 のゲートに入力された第 2 分配信号を増幅してトランジスタ M T 2 , S T 1 のドレインから出力する。図 1 2 に示すドハティ増幅回路 2 c のその他の構成については、図 9 に示すドハティ増幅回路 2 の場合と同様であるため、その説明を省略する。

10

【 0 0 7 4 】

図 1 2 に示すドハティ増幅回路 2 c では、キャリア増幅器 C A 1 及びピーク増幅器 P A 1 のそれぞれに分配される電力が異なる。つまり、図 1 2 に示すドハティ増幅回路 2 c は、所謂、拡張型ドハティ増幅回路を構成している。

【 0 0 7 5 】

(ドハティ増幅回路 2 の第 5 構成例)

図 1 3 は、実施の形態 3 に係るドハティ増幅回路 2 の第 5 構成例をドハティ増幅回路 2 d として示す図である。図 1 3 に示すドハティ増幅回路 2 d では、図 1 2 に示すドハティ増幅回路 2 c と比較して、キャリア増幅器 C A 1 及びピーク増幅器 P A 1 の配置が入れ替わっている。

20

【 0 0 7 6 】

具体的には、図 1 3 に示すキャリア増幅器 C A 1 は、メイントランジスタ M T 2 により構成され、メイントランジスタ M T 2 のゲートに入力された第 1 分配信号を増幅してメイントランジスタ M T 2 のドレインから出力する。図 1 3 に示すピーク増幅器 P A 1 は、メイントランジスタ M T 1 及びサブトランジスタ S T 1 により構成され、トランジスタ M T 1 , S T 1 のゲートに入力された第 2 分配信号を増幅してトランジスタ M T 1 , S T 1 のドレインから出力する。図 1 3 に示すドハティ増幅回路 2 d のその他の構成については、図 9 に示すドハティ増幅回路 2 の場合と同様であるため、その説明を省略する。

30

【 0 0 7 7 】

図 1 3 に示すドハティ増幅回路 2 d では、図 1 2 に示すドハティ増幅回路 2 c と同様の比率で、キャリア増幅器 C A 1 及びピーク増幅器 P A 1 のそれぞれに電力が分配されている。つまり、図 1 3 に示すドハティ増幅回路 2 d は、キャリア増幅器 C A 1 及びピーク増幅器 P A 1 の配置が入れ替わっていることを除いて、図 1 2 に示すドハティ増幅回路 2 c と同様の拡張型ドハティ増幅回路を構成している。

【 0 0 7 8 】

図 1 4 は、図 1 0 ~ 図 1 3 に示すドハティ増幅回路 2 a ~ 2 d の電力と電力効率との関係を示す図である。図 1 4 に示すように、キャリア増幅器 C A 1 及びピーク増幅器 P A 1 に対する電力分配比が異なるドハティ増幅回路 2 a , 2 b とドハティ増幅回路 2 c , 2 d とでは、電力に対する電力効率のピークが異なっているのがわかる。つまり、トランジスタパッケージ P K G 1 を用いて、様々な動作特性の拡張型ドハティ増幅回路を構成することができる。

40

【 0 0 7 9 】

このように、トランジスタパッケージ P K G 1 を用いて、所望の動作特性及び所望の配置の拡張型ドハティ増幅回路を構成することができる。ここで、トランジスタパッケージ P K G 1 は、サブトランジスタ S T 1 のサイズが小さいため、所望の動作特性及び所望の配置の拡張型ドハティ増幅回路を小規模で実現することができる。また、サブトランジス

50

タ S T 1 の数を増やせば電力分配比を細かく調整することができる。

【 0 0 8 0 】

さらに、キャリア増幅器 C A 1 及びピーク増幅器 P A 1 のそれぞれの出力から信号合成点までの伝送線路長が短くなるため、伝送損失が減少する。その結果、拡張ドハティ増幅回路の電力効率を向上させることができる。

【 0 0 8 1 】

< 実施の形態 4 >

図 1 5 は、実施の形態 4 に係るトランジスタパッケージ P K G 2 の概略を示す平面図である。図 1 5 に示すトランジスタパッケージ P K G 2 は、図 1 に示すトランジスタパッケージ P K G 1 と比較して、サブトランジスタ S T 1 と同じ構造のサブトランジスタ（第 2 サブトランジスタ）S T 2 をさらに備える。図 1 5 に示すトランジスタパッケージ P K G 2 のその他の構成については、図 1 に示すトランジスタパッケージ P K G 1 の場合と同様であるため、その説明を省略する。

【 0 0 8 2 】

図 1 5 の例では、平面視上、メイントランジスタ M T 1、サブトランジスタ S T 1、メイントランジスタ M T 2、及び、サブトランジスタ S T 1 の順に並んでパッケージ内に配置されている。

【 0 0 8 3 】

図 1 6 は、図 1 5 に示すトランジスタパッケージ P K G 2 が適用されたドハティ増幅回路を説明するための図である。図 1 6 では、図 1 5 に示すトランジスタパッケージ P K G 2 の 3 つの適用事例が示されている。ここで、図中の「キャリア」は、トランジスタがキャリア増幅器 C A 1 を構成することを示し、「ピーク」は、トランジスタがピーク増幅器 P A 1 を構成することを示し、「バイアス」は、トランジスタがオートバイアス回路 1 0 を構成することを示し、「拡張」は、トランジスタが他のメイントランジスタとともにキャリア増幅器 C A 1 又はピーク増幅器 P A 1 を構成することを示している。なお、図 1 6 に示す 3 つの適用事例はほんの一例にすぎない。

【 0 0 8 4 】

（トランジスタパッケージ P K G 2 の変形例）

図 1 7 は、本実施の形態に係るトランジスタパッケージ P K G 2 の変形例をトランジスタパッケージ P K G 3 として示す平面図である。図 1 7 に示すトランジスタパッケージ P K G 3 では、図 1 5 に示すトランジスタパッケージ P K G 2 と比較して、各トランジスタの配置位置が異なる。

【 0 0 8 5 】

図 1 7 の例では、平面視上、メイントランジスタ M T 1、サブトランジスタ S T 1、サブトランジスタ S T 1、及び、メイントランジスタ M T 2 の順に並んでパッケージ内に配置されている。

【 0 0 8 6 】

図 1 8 は、図 1 7 に示すトランジスタパッケージ P K G 3 が適用されたドハティ増幅回路を説明するための図である。図 1 8 では、図 1 7 に示すトランジスタパッケージ P K G 3 の 4 つの適用事例が示されている。

【 0 0 8 7 】

このように、トランジスタパッケージ P K G 2、P K G 3 は、2 つのサブトランジスタ S T 1、S T 2 を備えているため、オートバイアス機能が付加された拡張型ドハティ増幅回路等、より様々な種類のドハティ増幅回路を構成することができる。ここで、トランジスタパッケージ P K G 2、P K G 3 は、サブトランジスタ S T 1、S T 2 のサイズが小さいため、様々な種類のドハティ増幅回路を小規模で実現することができる。

【 0 0 8 8 】

なお、トランジスタパッケージ P K G 2 に設けられるサブトランジスタの数は、3 個以上であってもよい。同じく、トランジスタパッケージ P K G 2 に設けられるメイントランジスタの数は、3 個以上であってもよい。

【 0 0 8 9 】

以上のように、上記実施の形態にかかるトランジスタパッケージ P K G 1 ~ P K G 3 は、オートバイアス機能が付加されたドハティ増幅回路や、所望の動作特性の拡張型ドハティ増幅回路等、様々な種類のドハティ増幅回路を構成することができる。様々な種類のドハティ増幅回路を共通のトランジスタパッケージにより構成することができるため、様々な種類のドハティ増幅回路を設計し製造する場合において設計工数や管理調整工数を減らして効率化することができる。ここで、トランジスタパッケージ P K G 1 ~ P K G 2 は、サブトランジスタのサイズが小さいため、様々な種類のドハティ増幅回路を小規模で実現することができる。

【 0 0 9 0 】

上記実施の形態では、メイントランジスタ M T 1 , M T 2 及びサブトランジスタ S T 1 , S T 2 が電界効果トランジスタである場合を例に説明したが、これに限られない。メイントランジスタ M T 1 , M T 2 及びサブトランジスタ S T 1 , S T 2 は、バイポーラトランジスタであってもよい。なお、電界効果トランジスタのサイズがゲート幅により代表的に表されるのに対し、バイポーラトランジスタのサイズはエミッタ面積により表されることとなる。また、電界効果トランジスタが電圧制御素子であるのに対し、バイポーラトランジスタは電流制御素子であるため、バイポーラトランジスタが用いられる場合には、バイアス等は電流によって与えられることとなる等、当業者にとっては容易な変更がなされることで本発明が成り立つことは言うまでもない。

【 0 0 9 1 】

なお、必ずしも好適ではないが、トランジスタパッケージ P K G 1 ~ P K G 3 は、サブトランジスタ S T 1 , S T 2 のサイズをメイントランジスタ M T 1 , M T 2 のサイズと同等程度にして構成されてもよい。

【 0 0 9 2 】

以上、実施の形態を参照して本願発明を説明したが、本願発明は上記によって限定されるものではない。本願発明の構成や詳細には、発明のスコープ内で当業者が理解し得る様々な変更をすることができる。

【 0 0 9 3 】

この出願は、2014年1月31日に出願された日本出願特願2014-17171を基礎とする優先権を主張し、その開示の全てをここに取り込む。

【 符号の説明 】

【 0 0 9 4 】

- 1 ドハティ増幅回路
- 1 a ~ 1 d ドハティ増幅回路
- 2 ドハティ増幅回路
- 2 a ~ 2 d ドハティ増幅回路
- 1 0 オートバイアス回路
- 1 0 a ~ 1 0 d オートバイアス回路
- 1 1 分配器
- 1 2 合成器
- 1 3 電圧加減算部
- 1 3 a ~ 1 3 d 電圧加減算部
- C 1 ~ C 5 容量素子
- C A 1 キャリア増幅器
- D 1 ~ D N ダイオード
- D M T 1 ドレイン電極
- D M T 2 ドレイン電極
- D S T 1 ドレイン電極
- D S T 2 ドレイン電極
- G M T 1 ゲート電極

10

20

30

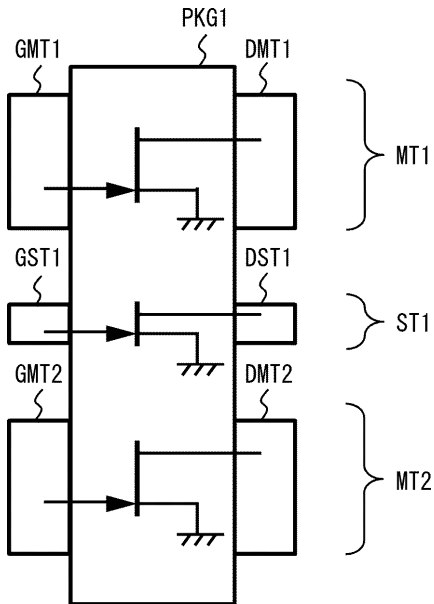
40

50

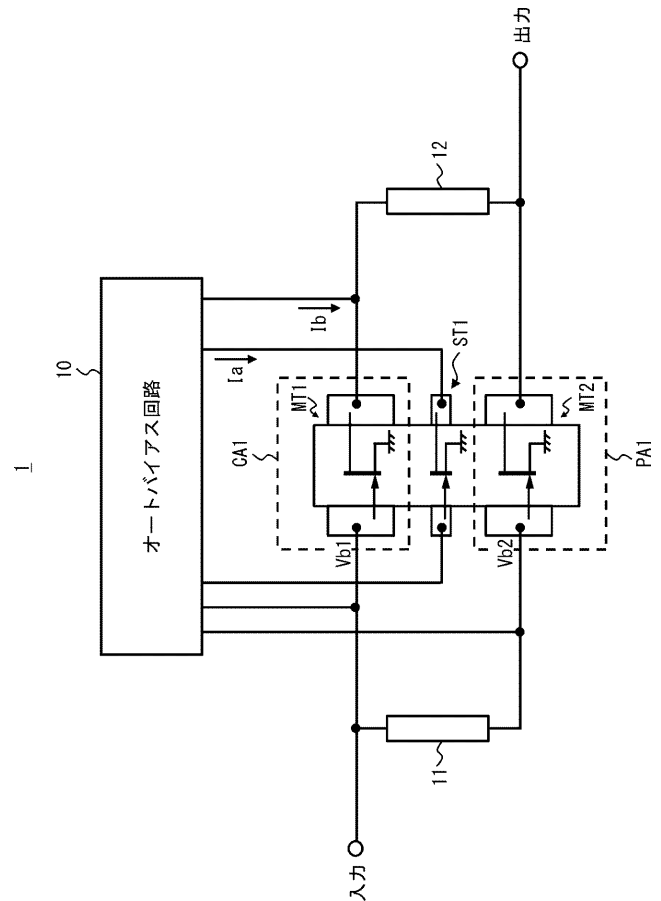
G M T 2 ゲート電極
 G S T 1 ゲート電極
 G S T 2 ゲート電極
 L 1 ~ L 6 コイル
 M T 1 , M T 2 メイントランジスタ
 P A 1 ピーク増幅器
 P K G 1 ~ P K G 3 トランジスタパッケージ
 R 1 ~ R 4 抵抗素子
 R 1 1 ~ R 1 3 抵抗素子
 S T 1 , S T 2 サブトランジスタ
 T r 1 ~ T r 3 バイポーラトランジスタ
 Z D 1 ツェナーダイオード

10

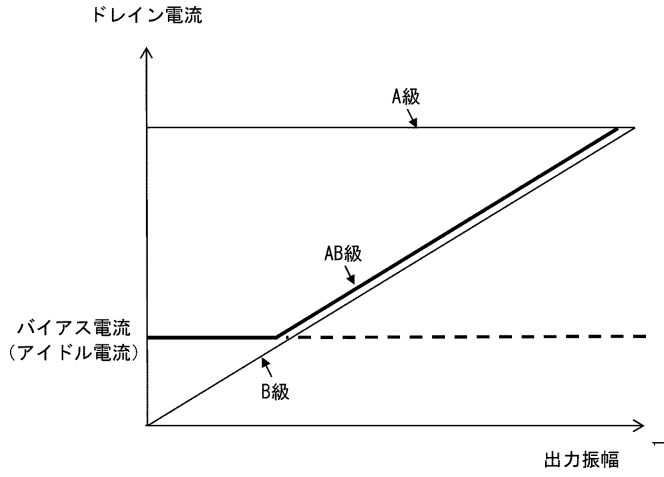
【図 1】



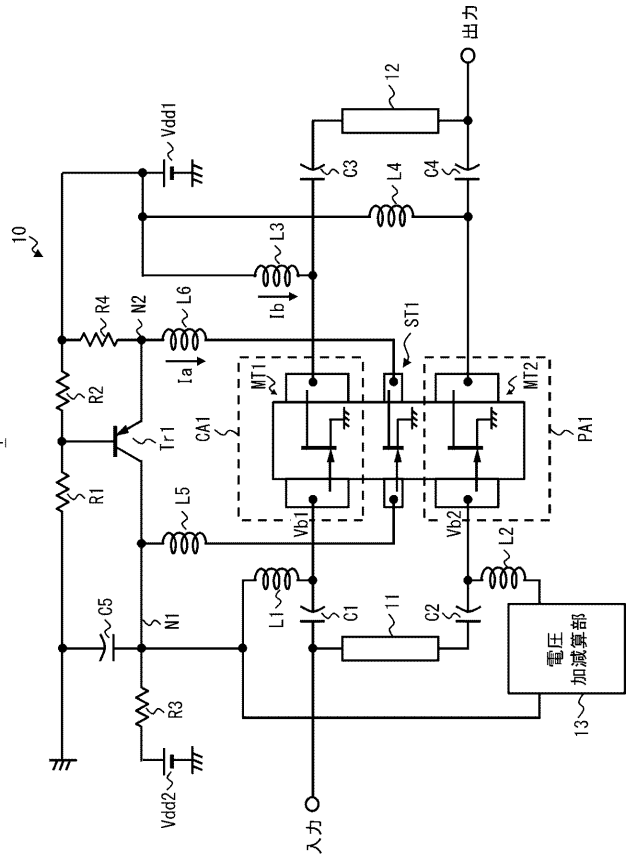
【図 2】



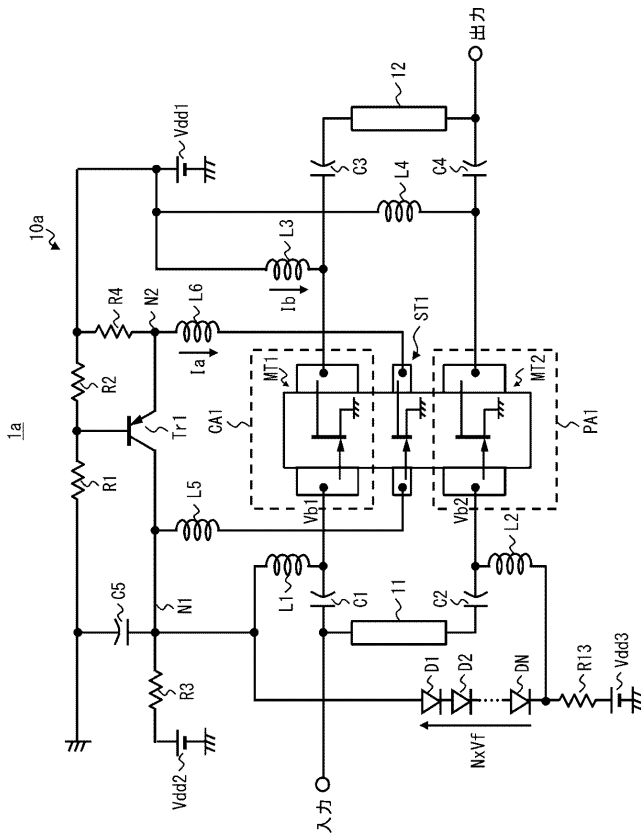
【図 3】



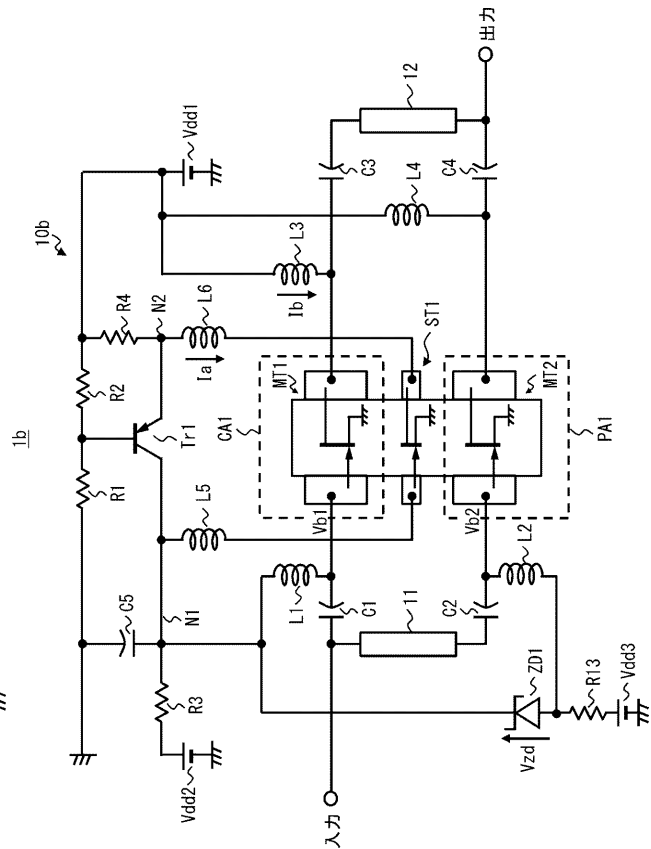
【図 4】



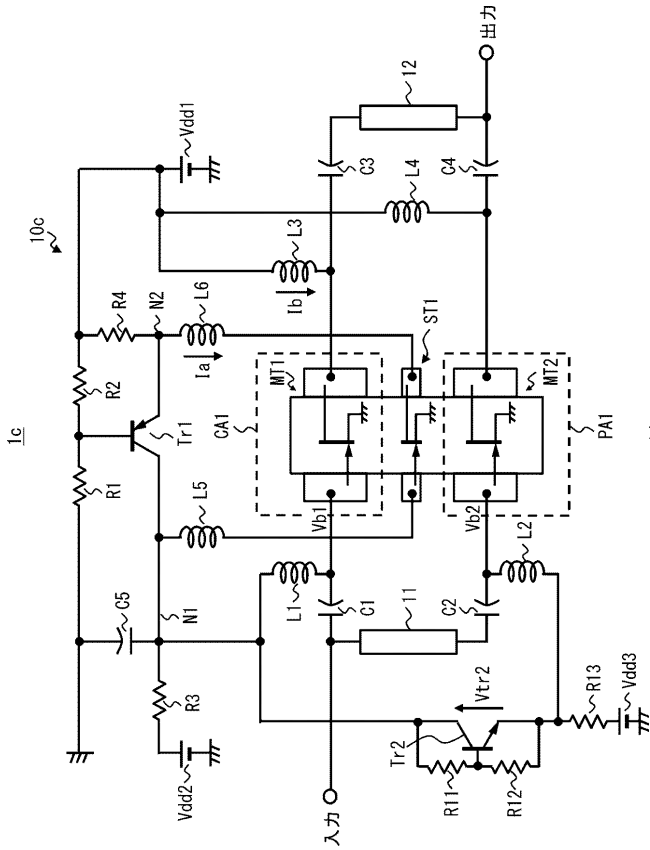
【図 5】



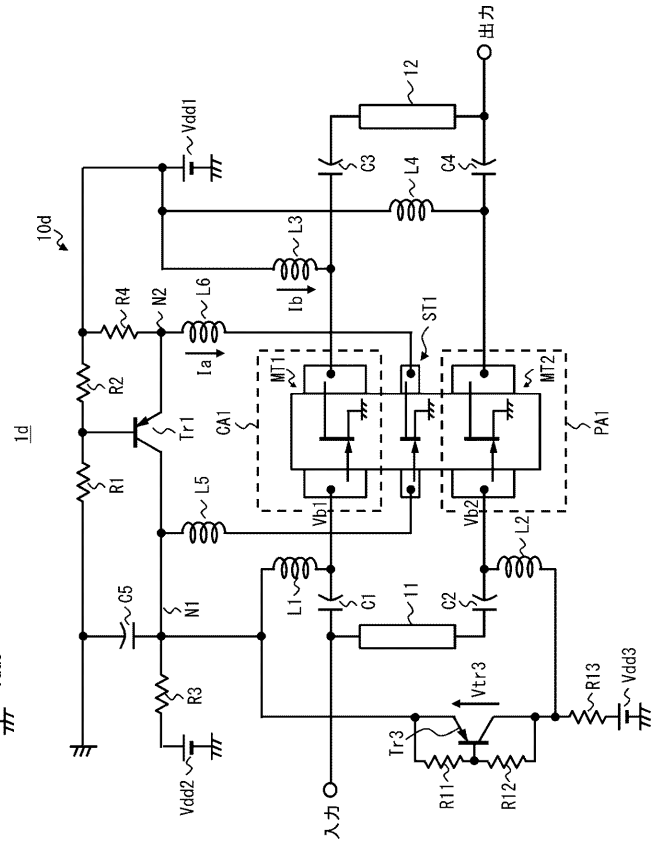
【図 6】



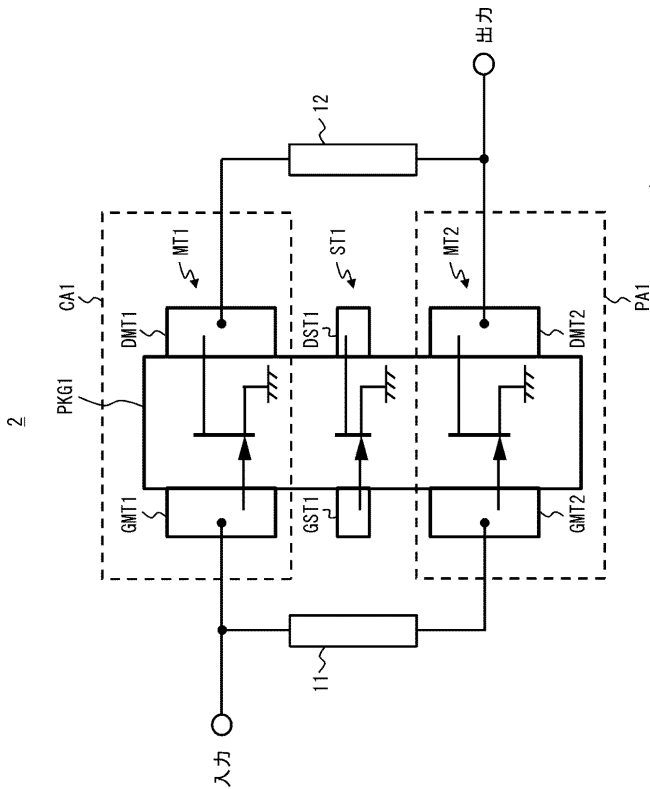
【図 7】



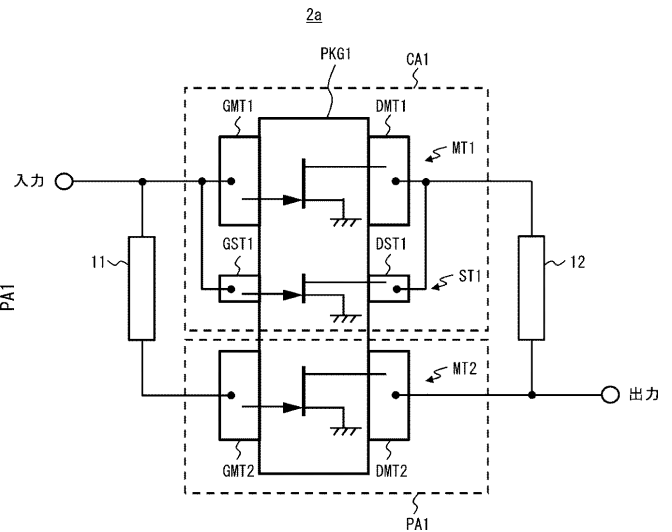
【図 8】



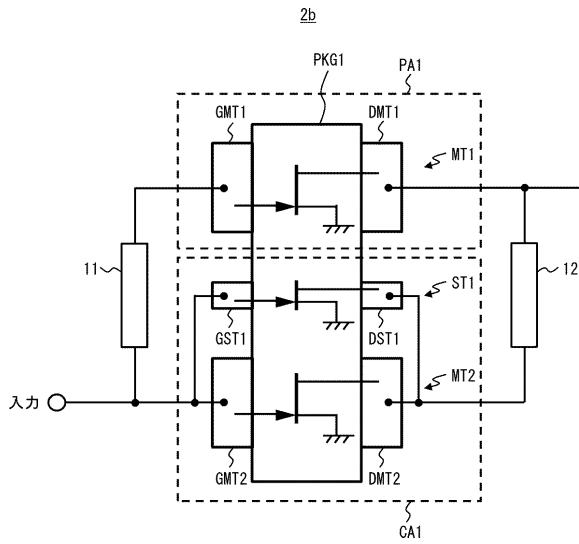
【図 9】



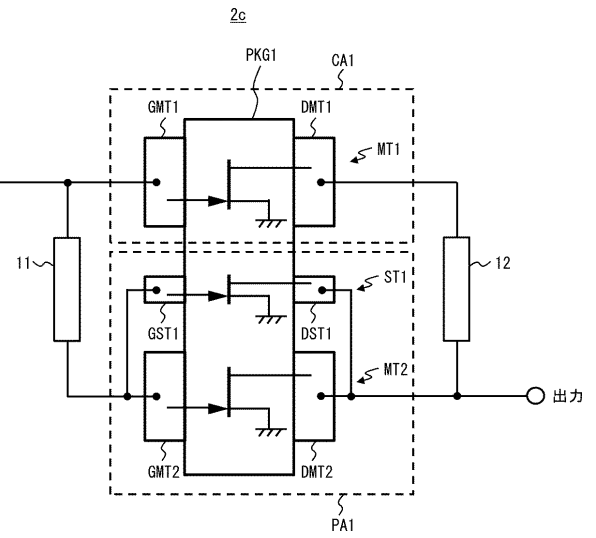
【図 10】



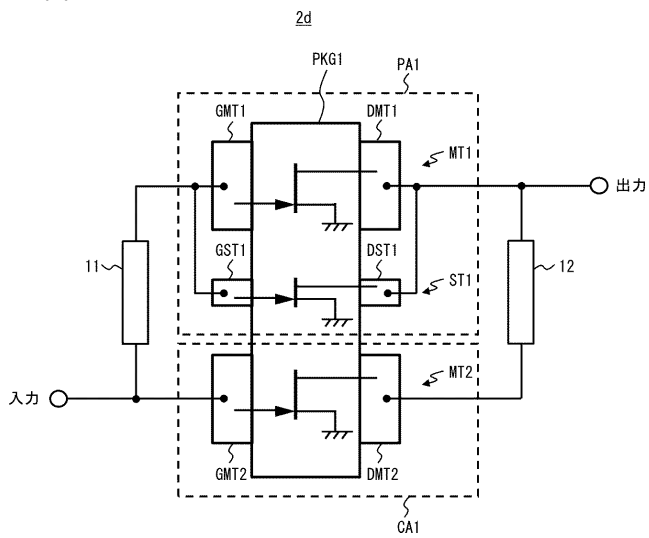
【図 1 1】



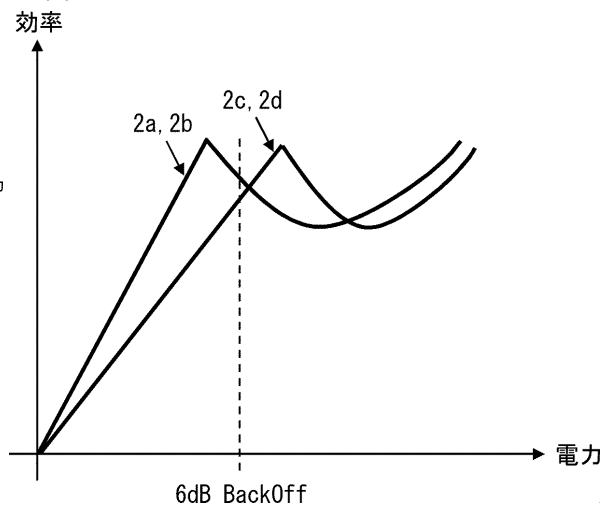
【図 1 2】



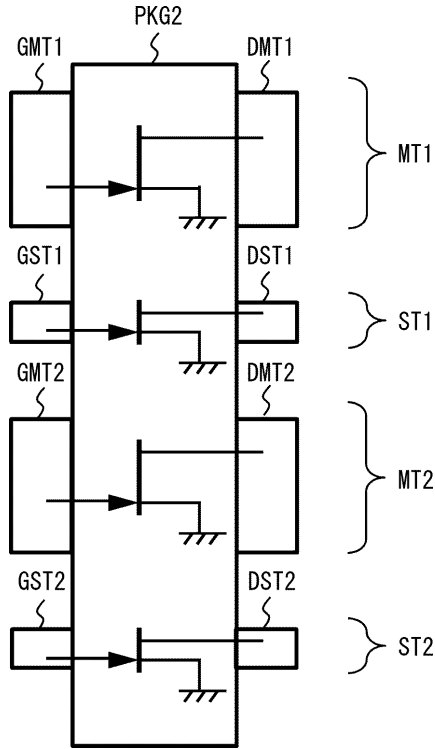
【図 1 3】



【図 1 4】



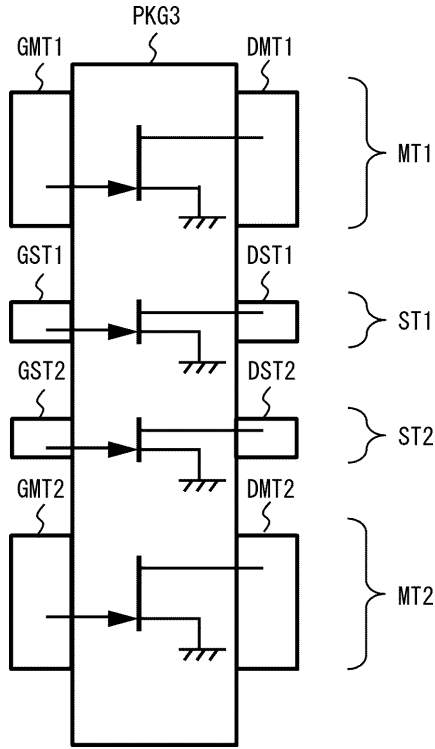
【 図 1 5 】



【 図 1 6 】

	適用事例 1	適用事例 2	適用事例 3
MT1	キャリア	キャリア	キャリア
ST1	拡張	キャリア	バイアス
MT2	ピーク	ピーク	ピーク
ST2	バイアス	ピーク	ピーク

【 図 1 7 】



【 図 1 8 】

	適用事例 1	適用事例 2	適用事例 3	適用事例 4
MT1	キャリア	キャリア	キャリア	ピーク
ST1	キャリア	バイアス	ピーク	キャリア
ST2	ピーク	ピーク	ピーク	キャリア
MT2	ピーク	ピーク	ピーク	キャリア

【国際調査報告】

INTERNATIONAL SEARCH REPORT		International application No. PCT/JP2014/005161									
A. CLASSIFICATION OF SUBJECT MATTER H03F1/07(2006.01)i, H03F3/213(2006.01)i, H03F3/60(2006.01)i, H03F3/68(2006.01)i According to International Patent Classification (IPC) or to both national classification and IPC											
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) H03F1/07, H03F3/213, H03F3/60, H03F3/68 Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2014 Kokai Jitsuyo Shinan Koho 1971-2014 Toroku Jitsuyo Shinan Koho 1994-2014 Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)											
C. DOCUMENTS CONSIDERED TO BE RELEVANT <table border="1"> <thead> <tr> <th>Category*</th> <th>Citation of document, with indication, where appropriate, of the relevant passages</th> <th>Relevant to claim No.</th> </tr> </thead> <tbody> <tr> <td>X Y</td> <td>JP 2012-500583 A (Cree Inc.), 05 January 2012 (05.01.2012), paragraphs [0026] to [0048]; fig. 1 to 4 & US 2010/0045385 A1 & EP 2316163 A & WO 2010/021957 A1 & CN 102187570 A</td> <td>1-3, 8-11, 14-18 4-7, 12-13</td> </tr> <tr> <td>X Y</td> <td>JP 10-22300 A (Oki Electric Industry Co., Ltd.), 23 January 1998 (23.01.1998), paragraphs [0002], [0010] to [0016]; fig. 1 & US 5886372 A & EP 818826 A1 & DE 69733447 T & CA 2209699 A & CN 1174414 A</td> <td>1, 9, 15, 17-18 2-8, 10-14, 16</td> </tr> </tbody> </table>			Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.	X Y	JP 2012-500583 A (Cree Inc.), 05 January 2012 (05.01.2012), paragraphs [0026] to [0048]; fig. 1 to 4 & US 2010/0045385 A1 & EP 2316163 A & WO 2010/021957 A1 & CN 102187570 A	1-3, 8-11, 14-18 4-7, 12-13	X Y	JP 10-22300 A (Oki Electric Industry Co., Ltd.), 23 January 1998 (23.01.1998), paragraphs [0002], [0010] to [0016]; fig. 1 & US 5886372 A & EP 818826 A1 & DE 69733447 T & CA 2209699 A & CN 1174414 A	1, 9, 15, 17-18 2-8, 10-14, 16
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.									
X Y	JP 2012-500583 A (Cree Inc.), 05 January 2012 (05.01.2012), paragraphs [0026] to [0048]; fig. 1 to 4 & US 2010/0045385 A1 & EP 2316163 A & WO 2010/021957 A1 & CN 102187570 A	1-3, 8-11, 14-18 4-7, 12-13									
X Y	JP 10-22300 A (Oki Electric Industry Co., Ltd.), 23 January 1998 (23.01.1998), paragraphs [0002], [0010] to [0016]; fig. 1 & US 5886372 A & EP 818826 A1 & DE 69733447 T & CA 2209699 A & CN 1174414 A	1, 9, 15, 17-18 2-8, 10-14, 16									
☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.											
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family											
Date of the actual completion of the international search 26 December 2014 (26.12.14)		Date of mailing of the international search report 13 January 2015 (13.01.15)									
Name and mailing address of the ISA/ Japan Patent Office		Authorized officer									
Facsimile No.		Telephone No.									

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2014/005161

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2005-123861 A (Renesas Technology Corp.), 12 May 2005 (12.05.2005), paragraphs [0025] to [0034]; fig. 1 & US 2005/0083129 A1 & US 2008/0068086 A1 & US 2009/0072906 A1 & CN 1610251 A	4-7, 12-13
A	JP 10-270953 A (Mitsubishi Electric Corp.), 09 October 1998 (09.10.1998), paragraphs [0051] to [0056] & US 6044255 A	1-18

国際調査報告		国際出願番号 PCT/J P 2 0 1 4 / 0 0 5 1 6 1	
A. 発明の属する分野の分類（国際特許分類（IPC）） Int.Cl. H03F1/07(2006.01)i, H03F3/213(2006.01)i, H03F3/60(2006.01)i, H03F3/68(2006.01)i			
B. 調査を行った分野 調査を行った最小限資料（国際特許分類（IPC）） Int.Cl. H03F1/07, H03F3/213, H03F3/60, H03F3/68			
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2014年 日本国実用新案登録公報 1996-2014年 日本国登録実用新案公報 1994-2014年			
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）			
C. 関連すると認められる文献			
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号	
X	JP 2012-500583 A (クリー インコーポレイテッド) 2012.01.05, 段落【0026】-【0048】, 第1-4図 & US 2010/0045385 A1 & EP 2316163 A & WO 2010/021957 A1 & CN 102187570 A	1-3, 8-11, 14-18 4-7, 12-13	
Y			
X	JP 10-22300 A (沖電気工業株式会社) 1998.01.23, 段落【0002】, 【0010】-【0016】, 第1図 & US 5886372 A & EP 818826 A1 & DE 69733447 T & CA 2209699 A & CN 1174414 A	1, 9, 15, 17-18 2-8, 10-14, 16	
Y			
☒ C欄の続きにも文献が列挙されている。 ☐ パテントファミリーに関する別紙を参照。			
* 引用文献のカテゴリー 「A」特に関連のある文献ではなく、一般的技術水準を示すもの 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） 「O」口頭による開示、使用、展示等に言及する文献 「P」国際出願日前で、かつ優先権の主張の基礎となる出願日の後に公表された文献 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」同一パテントファミリー文献			
国際調査を完了した日 26.12.2014		国際調査報告の発送日 13.01.2015	
国際調査機関の名称及びあて先 日本国特許庁（ISA/J P） 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号		特許庁審査官（権限のある職員） 緒方 寿彦 電話番号 03-3581-1101 内線 3596	5 X 8 3 2 1

国際調査報告		国際出願番号 PCT/J P 2 0 1 4 / 0 0 5 1 6 1
C (続き) . 関連すると認められる文献		
引用文献の カテゴリ*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2005-123861 A(株式会社ルネサステクノロジ) 2005.05.12, 段落【0025】－【0034】, 第1図 & US 2005/0083129 A1 & US 2008/0068086 A1 & US 2009/0072906 A1 & CN 1610251 A	4-7, 12-13
A	JP 10-270953 A (三菱電機株式会社) 1998.10.09, 段落【0051】－【0056】 & US 6044255 A	1-18

フロントページの続き

(81)指定国 AP(BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, RU, TJ, TM), EP(AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US

(注) この公表は、国際事務局(WIPO)により国際公開された公報を基に作成したものである。なおこの公表に係る日本語特許出願(日本語実用新案登録出願)の国際公開の効果は、特許法第184条の10第1項(実用新案法第48条の13第2項)により生ずるものであり、本掲載とは関係ありません。