(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.[6]
G11C 16/00

(45) 공고일자 1999년03월30일
(11) 등록번호 특0170710
(24) 등록일자 1998년10월15일

(21) 출원번호 특1995-049714
(22) 출원일자 1995년12월14일
(65) 공개번호 특1997-051320
(43) 공개일자 1997년07월29일

(73) 특허권자 삼성전자주식회사 김광호
경기도 수원시 팔달구 매탄동 416번지
(72) 발명자 염진선
경기도 수원시 팔달구 매탄4동 206-70
(74) 대리인 이영필, 권석흠, 노민식

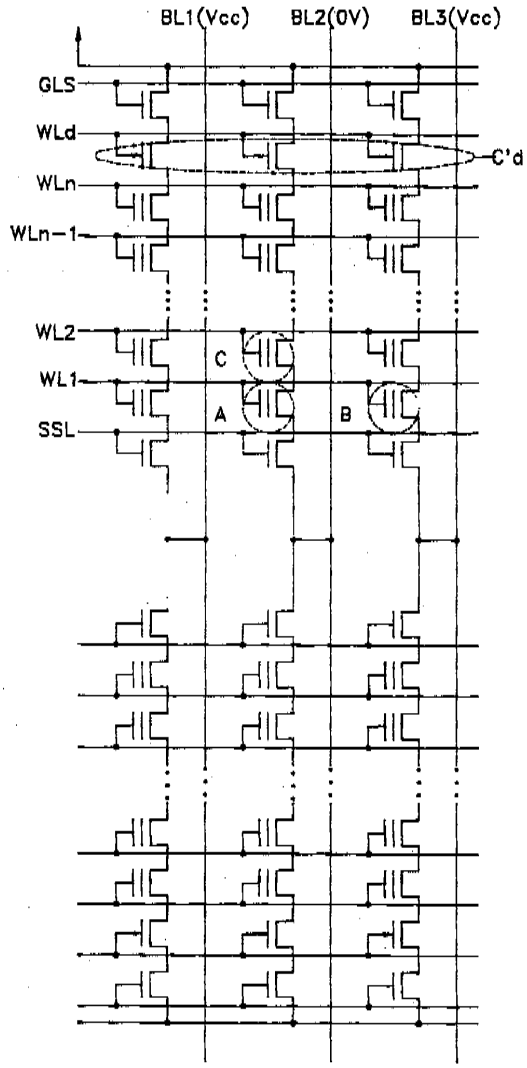
심사관 : 김종찬

(54) 불휘발성 반도체 메모리 장치

요약

본 발명은 소스와 드레인을 서로 이웃하는 셀들과 공유하면서 직렬로 2개이상 연결된 메모리 셀 트랜지스터, 상기 메모리 셀 트랜지스터의 일단에 직렬로 연결된 스트링 선택 트랜지스터, 상기 메모리 셀 트랜지스터 타단에 직렬로 연결된 접지 선택트랜지스터를 구비하는 제1스트링과, 상기 제1스트링과 비트라인 콘택을 통해 접속되는 제2스트링을 구비하며 상기 제1 및 제2스트링이 비트라인에 평행하게 반복되어 형성되는 불휘발성 메모리 장치에 있어서, 상기 스트링내에 셀 트랜지스터와 직렬로 접속된 하나 이상의 노말 인한스먼트 더미 트랜지스터를 포함하는 불휘발성 반도체 메모리 장치를 제공한다. 상기 더미 트랜지스터는 상기 스트링 선택 트랜지스터와 동일한 구조이다. 본 발명에 채용되는 더이 트랜지스터 셀은 제어게이트만으로 구성되어 있기 때문에 제어게이트에 Vpgm 전압이 인가되더라도 더미 트랜지스터의 Vth는 변하지 않는다. 따라서, 데이터 독출시 더미 트랜지스터 셀의 오버프로그램으로 인한 오동작을 방지할 수 있다. 또한, 더미 셀을 사용할 시 종래에는 프로그램 전압이 20V일 때 더미 셀이 부스팅해서 채널 전압을 상승시키는 최고 전압은 12V정도인데, 본 발명에서 제안한 더미 트랜지스터를 사용하면 제어게이트에 12V만 인가하여도 더미셀이 부스팅할 수 있는 전압과 동일한 전압을 부스팅할 수 있다. 또한 Vpgm이 15V이고 Vpass 전압이 10V라고 하면 더미 트랜지스터에 인가해야 하는 전압은 Vpass 전압보다 낮은 전압을 인가할 수 있는 장점을 갖는다.

대표도



명세서

[발명의 명칭]

불휘발성 반도체 메모리 장치

[도면의 간단한 설명]

제1도는 종래 기술에 따른 NAND형 메모리 셀의 등가회로도.

제2도는 종래 기술에 따른 다른 NANF형 메모리 셀의 등가회로도.

제3도는 종래 및 본 발명의 반도체 메모리셀의 수직 단면도.

제4도는 본 발명의 실시예에 따른 NAND형 메모리 셀의 등가회로도.

제5도는 선택되지 않은 셀(B, C)의 오동작으로 제한되는 플래쉬 메모리의 동작 전압 특성도.

* 도면의 주요부분에 대한 부호의 설명

200 : 공핍층 210 : 제1유전막(터널산화막)

220 : 제2유전막 300, 400 : 소스/드레인, 채널

BL1-BL3 : 비트라인 WL1-WLn : 워드라인

GSL : 접지선택트랜지스터 SSL : 스트링선택트랜지스터

WLd : 더미 워드라인 Cd : 더미 트랜지스터 셀

[발명의 상세한 설명]

본 발명은 반도체 메모리 장치에 관한 것으로, 보다 상세하게는 프로그램 교란을 방지할 수 있는 불휘발성 메모리 장치에 관한 것이다.

최근, 데이터를 전기적으로 쓰고 지울 수 있으면서도 리프레쉬(refresh) 기능이 필요없는 반도체 메모리 소자에 대한 수요가 증가하고 있으며, 많은 데이터를 치환 및 저장할 수 있는 대용량 메모리소자 개발을 위해 메모리 셀의 고집적화 기술 개발이 진행되고 있다.

이를 위하여 n개의 셀이 직렬로 연결되어 한 개의 스트링을 구성하고 두 개의 스트링이 한 개의 콘택을 공유하는 NAND형 프래쉬(flash) 메모리가 제안되었다. 상기 메모리 소자의 소거(erase) 및 개서(program or write)는 FN(Fowler Nordheim) 터널링 방식을 이용하여 부유 게이트(floating gate)에 전자를 주입하거나 방출하면서 셀의 문턱(threshold)전압을 제어함으로써 이루어진다.

이러한 플래쉬 메모리를 포함한 EEPROM에서는 프로그램이나 소거동작시 터널 산화막을 통하여 부유게이트로 전자를 주입 혹은 방출함으로써 이루어진다. 이로써 소자의 신뢰성에 커다란 문제가 발생하게 된다.

따라서 데이터를 개서하고자 할 때 비선택된 셀이 프로그램되는 오동작 여부, 데이터를 어느 만큼 오랜동안 보존할 수 있는가 하는 충전유지력(charge retention) 특성, 그리고 얼마나 많이 개서와 소거를 할 수 있냐 하는 내구성(endurance) 특성으로 대변된다.

제1도는 NAND형 플래쉬 메모리셀 구조의 일부에 대한 등가회로도이다. 제1도에서, 3개의 비트라인(BL1-BL3)에 접속된 복수개의 스트링을 상대적으로 도시한 것이다. NAND형 플래쉬 메모리의 일반적인 프로그램 동작과, 프로그램이 방지되어야 하는 셀이 프로그램되는 동작을 살펴보면 다음과 같다.

각 스트링은 개개의 스트링을 선택하는 선택트랜지스터(이하 SSL트랜지스터)(MS1-MS3)의 소스측이 비트라인에 접속되고 드레인 측이 제어게이트와 부유게이트를 갖춘 트랜지스터(또는 셀)의 소스측과 공통접속되어 있다. 상기 셀은 일정한 이격 폭을 가지고 복수개가 직렬로 배치되며, 스트링의 최종단 셀의 소스측을 접지선과 선택적으로 연결되게 하는 접지트랜지스터(GSL트랜지스터)(MGS1-MGS3)를 구비하고 있다.

한편, 상기 플래쉬 메모리에서의 0 또는 1인 데이터의 판별은 각 셀 트랜지스터의 제어게이트에서 본 트랜지스터의 문턱전압(Vth)으로 구분하는 것으로 선택된 워드라인(WL1-WLn)에 0V를 인가하고 비선택 워드라인에는 Vcc이상의 전압, SSL 및 GSL에는 Vcc를 인가하여 트랜지스터를 도통상태로 만들고, 소스를 접지시킨 상태에서 비트라인에 0-Vcc인 전압을 인가할 때 흐르는 전류를 감지하고 일정 수준 이상이면 온상태, 그 이하는 오프 상태로 구분하고 있으며, 통상 온 상태의 문턱전압 Vth는 -3V 이하, 오프 상태의 Vth는 +1V이상이며, 통상 프로그램된 셀트랜지스터의 Vth는 +1V로 (+)의 Vth 상태이다.

제2도를 참조하여 셀(A)를 프로그램하는 경우를 설명한다. 셀 A를 프로그램하기 위해 먼저 선택스트링의 SSL에는 Vcc을 인가하고 비선택 스트링에는 0V를 인가한다. 다음, 선택된 비트라인(BL2)에는 0V를 인가하고 비선택 비트라인(BL1, BL3)에는 Vcc를 인가하여 비트라인 전압을 형성한 후에 선택된 워드라인(WL1)에는 약 20V인 Vpgm, 비선택된 나머지 n-1개의 워드라인에는 프로그램방지(program inhibit) 전압인 Vpass 전압을 인가한다.

상기 조건이 완료되면 비트라인에 0V를 인가함으로써 선택된 셀(A)은 채널과 부유게이트의 전위차로 FN 터널링 현상에 의해 부유게이트에 전자를 주입하며 셀의 문턱전압 Vth가 포지티브(positive)가 되어 프로그램을 완료한다. 반면 프로그램이 방지되어야 할 셀(B)의 경우를 보면 제어게이트에 인가해준 Vpgm전압은 제어게이트 전극으로부터 차례대로 제2유전막 (제3도의 220), 제1유전막 (터널 산화막; 제3도의 210), 공핍층(제3도의 200)인 실리콘 기판으로 이루어진 3개의 커패시터가 서로 직렬 연결되고 소스/드레인(300)간의 접합용량이 병렬 연결된 상태로 부스팅되는 전위효율이 70-80%정도라 하면, 예를 들면 Vpass=10V인 경우 7-8V의 전위가 채널(400)에 유기된다, 따라서 부스팅된 전하로 인하여 셀(B)은 부유게이트와 채널간의 전압차가 적어져서 FN 터널링이 일어나지 않아 효과적으로 프로그램을 방지시킬 수 있다.

상기와 같은 프로그램 동작에서 오동작이 될 때에는 비트라인이 선택되고 워드라인이 비선택된 셀(C)과 워드라인이 선택되고 비트라인이 비선택된 셀(B)이 프로그램되는 경우이다.

먼저, 셀(C)과 같이 선택된 비트라인에 위치하는 비선택 셀의 경우 Vpgm전압 대신 프로그램 방지를 위한 Vpass 전압이 인가되는 경우, 만약 Vpass 전압이 최소 Vpgm 이상이 되면 셀(C)은 프로그램이 된다.

따라서 Vpass 전압은 Vpgm보다 적은 전압이 되어야 한다. Vpass 전압에 따른 셀(C)의 오동작 특성은 제5도에 도시한 그래프 특성을 나타낸다. 한편, 셀(B)의 경우와 같이 비트라인은 비선택되었지만 워드라인이 선택된 경우 워드라인에 Vpgm 전압이 인가되고 Vpass 전압이 낮은 전압일수록 트랜지스터의 Vth가 변하여 제5도와 같은 오동작 특성을 나타내게 되므로 NAND 플래쉬 메모리에서의 프로그램 동작에 제한 요소가 따르게 된다.

이러한 문제점을 개선하여 좀 더 넓은 영역의 동작범위를 구현하는 방법으로서 스트링내의 복수개의 셀중에 프로그램 방지 셀의 부스팅 전압을 높여주기 위해 더미(dummy) 셀을 사용하는 방법이 제안되었다. 이는 본 출원인이 1995년 6월 19일자로 특허출원한 출원번호 95-16255에 개시되어 있다. 제2도는 이를 도시한 것으로, 종래기술에 의한 NAND형 플래쉬 메모리 셀의 등가 회로도를 나타내고 있다. 제2도의 종래기술에서는 더미 셀의 제어게이트에 Vpgm을 인가함으로써 채널의 부스팅전압을 상승시키는 효과를 얻고 있으나, 만일 16단 셀 구조를 갖고 있다면 개개의 워드라인을 프로그램할때마다 더미 셀은 프로그램 동작조건을 만족시키게 되어 계속적으로 프로그램이 진행되게 된다. 따라서 부유게이트에 전자가 계속해서 쌓이게 되어 더미 셀의 Vth는 동작전압(Vcc) 이상으로 상승하게 된다.

이렇게 상승된 Vth는 셀의 데이터를 독출(Read)할 때 더미 셀의 제어게이트 전압이 Vcc로 인가되더라도 더미 셀이 턴온되지 않는다. 따라서 비트라인으로부터 인가되는 전류는 GSL 트랜지스터를 통하여 접지라인으로 흐르지 않기 때문에 오동작을 하게 된다. 또한 Vpgm이라는 높은 전압을 인가해야 하는 단점이 있다.

따라서 본 발명은 상기 문제점을 해결하기 위하여, 보다 안정적인 채널부스팅을 이룩하여 프로그램 교란을 방지하는 불휘발성 반도체 메모리장치를 제공하는 데 그 목적이 있다.

즉, 본 발명은 불휘발성 메모리장치에 있어서, 복수개의 셀이 직렬로 연결되어 스트링을 구성한 NAND형 플래쉬 메모리의 프로그램 동작을 개선하고자 하는 것으로 선택된 셀 트랜지스터가 프로그램 동작될 때 비선택된 셀 트랜지스터가 프로그램 되는 오동작을 방지하여 프로그램 방지 전압인 Vpass 전압을 넓게 사용하고, 보다 안정적인 회로 동작을 구현한 불휘발성 메모리장치를 제공함을 목적으로 한다.

상술한 목적을 달성하기 위하여, 본 발명은 소스와 드레인을 서로 이웃하는 셀들과 공유하면서 직렬로 2개 이상 연결된 메모리 셀 트랜지스터, 상기 메모리 셀 트랜지스터의 일단에 직렬로 연결된 스트링 선택 트랜지스터, 상기 메모리 셀 트랜지스터 타단에 직렬로 연결된 접지 선택트랜지스터를 구비하는 제1스트링과, 상기 제1스트링과 비트라인 콘택을 통해 접속되는 제2스트링을 구비하며 상기 제1 및 제2스트링이 비트라인에 평행하게 반복되어 형성되는 불휘발성 메모리 장치에 있어서,

상기 스트링내에 셀 트랜지스터와 직렬로 접속된 하나 이상의 노말 인한스먼트(enhancement) 더미 트랜지스터를 포함함을 특징으로 하는 불휘발성 반도체 메모리 장치를 제공한다.

바람직하게는 상기 더미 트랜지스터가 상기 스트링 선택 트랜지스터와 동일한 구조로 이루어짐을 특징으로 한다.

또한, 바람직하게는 상기 더미 트랜지스터의 제어 게이트에 프로그램 방지전압(Vpass)보다 더 높은 전압 또는 낮은 전압이 인가되어 프로그램시 비선택된 셀의 채널의 전위를 일정전압까지 부스팅시켜 비선택된 셀의 문턱전압(Vth)의 증가를 방지하는 것을 특징으로 한다.

이하, 본 발명의 구성 및 동작에 대해서 첨부된 도면을 참조하여 보다 상세히 설명하기로 한다.

종래기술의 문제점에서 언급한 비선택된 셀(제2도의 셀(B))이 프로그램 방지(inhibit)되는 조건을 보다 자세히 설펴보면 다음과 같다.

제2도에서, 프로그램이 이루어지는 셀의 워드라인에 인가되는 Vpgm을 20V, 프로그램 방지전압인 Vpass을 10V, 제어게이트 전극에 인가한 전압에 대한 부유게이트에 유입되는 전압비인 커플링(coupling) 값을 0.6, 그리고 FN 터널링에 의한 전자주입은 전위차가 8V이상에서 이루어진다고 가정할 때, 채널에 유기되는 부스팅전압은 Vpass에 의한 전압 (10V×0.6=6V) + Vpgm에 의한 전압 ((20×0.6=12V)/n=0.75V, n=8)으로 나타내진다. 따라서 채널에 유기되는 전압은 6.75V로 부유게이트전압 (20×0.6=12V)과의 전위차가 FN 터널링이 일어나는 조건을 만족시키지 않아 프로그램이 방지된다. 반면 프로그램 방지전압인 Vpass전압이 6V이라면 채널에 유지되는 전압은 3.6V(6×0.6)와 프로그램전압에 의한 효과((20×0.6-3.6)/8=1V)로 4.6V가 된다. 따라서, 겨우 FN 터널링이 일어나는 조건이 이루어지지 않아 프로그램이 방지된다. 반면에, 집적도를 높이기 위해 스트링에 접속되어 있는 셀의 개수가 16개 또는 32개로 증가시키면 프로그램이 가해지는 셀에 의한 채널 부스팅 기여도는 (20×0.6-3.6)/16=0.5V와 (20×0.6-3.6)/32=0.25V로 줄어들어 모두 프로그램이 일어나는 조건이 된다.

따라서 종래기술에서는 16단 셀의 경우 프로그램 전압에 의한 기여도를 8단 셀과 동일하게 되도록 하기 위해서 더미 셀을 추가시켜 제어게이트에 프로그램 전압을 인가했다, 제2도에 도시된 바와 같이 더미 셀(Cd)을 추가시켜 제어게이트에 프로그램 전압을 인가하였다. 제2도에서 더미 셀(Cd)은 정상적인 셀과 동일하며 단지 제어게이트에 Vpgm 전압이 인가되는 점만 다르다. 따라서 이러한 구조로 채널에 유기되는 전압을 증가시키려고 하면 16개의 셀을 순차적으로 프로그램할 때 더미 셀은 프로그램 동작 조건에 들어 계속적으로 프로그램이 진행되게 된다. 따라서 부유게이트에 전자가 계속해서 쌓이게 되어 더미 셀의 Vth는 동작전압(Vcc) 이상으로 상승되게 된다.

이렇게 상승된 Vth는 셀의 데이터를 독출(read)할 시 더미 셀의 제어게이트 전압이 Vcc로 인가되더라도 더미 셀이 턴온되지 않는다. 따라서 비트라인으로부터 인가되는 전류는 GSL 트랜지스터를 통하여 접지라인으로 흐르지 않기 때문에 오동작을 하게 된다.

따라서 본 발명에서는 더미 셀을 사용하지 않고 정상적인 트랜지스터를 사용하여 제2도의 종래기술에서와 같은 더미 셀의 오버프로그램(ocerprogram) 문제를 해결하고자 한다. 제4도는 본 발명의 실시예에 따른 NAND형 메모리 셀의 등가회로도이다. 제4도와 제2도를 제1도와 비교할 때 n번째 워드라인과 GSL 사이에 또다른 워드라인(WLd)가 추가되어 있음을 알 수 있다.

한편, 제4도와 제2도를 비교해보면 제2도에는 더미 워드라인(WLd)에 접속되어 있는 트랜지스터가 제어게이트와 부유게이트를 갖는 셀 구조로 이루어져있고 제4도에서는 GSL 트랜지스터와 같은 구조의 더미 트랜지스터 셀(Cd')가 존재한다는 것이 다르다. 또한 제2도의 더미 셀의 제어게이트에는 Vpgm전압이 인가되지만 제4도의 더미 트랜지스터는 어느 특정전압이 인가됨을 특징으로 한다.

이상으로 상술한 바와 같이, 본 발명에서 제안한 더미 트랜지스터 구조를 채용했을 시 얻을 수 있는 효과를 보면, 본 발명에 채용되는 더미 트랜지스터 셀은 우선 부유게이트를 채용하지 않고 제어게이트만으로 구성되어 있기 때문에 제어게이트에 Vpgm 전압이 인가되더라도 더미 트랜지스터의 Vth는 변하지 않는다. 따라서, 데이터 독출시 더미 트랜지스터 셀의 오버프로그램으로 인한 오동작을 방지할 수 있다. 또한, 더미 셀을 사용할 시 제2도의 종래의 더미 셀에서는 프로그램 전압이 20V일 때 더미 셀이 부스팅해서 채널 전압을 상승시키는 최고 전압은 12V정도인데, 본 발명에서 제안한 더미 트랜지스터를 사용하면 제어게이트에 12V만 인가하여도 더미 셀이 부스팅할 수 있는 전압과 동일한 전압을 부스팅할 수 있다. 또한 Vpgm이 15V이고 Vpass 전압이 10V라고 하면 더미 트랜지스터에 인가해야 하는 전압은 15×0.6(=9V)로 Vpass 전압보다 낮은 전압을 인가 할 수 있는 장점을 갖게 된다.

(57) 청구의 범위

청구항 1

소스와 드레인을 서로 이웃하는 셀들과 공유하면서 직렬로 2개 이상 연결된 메모리 셀 트랜지스터, 상기 메모리 셀 트랜지스터의 일단에 직렬로 연결된 스트링 선택 트랜지스터, 상기 메모리 셀 트랜지스터 타단

에 직렬로 연결된 접지 선택트랜지스터를 구비하는 제1스트링과, 상기 제1스트링과 비트라인 콘택을 통해 접속되는 제2스트링을 구비하며 상기 제1 및 제2스트링이 비트라인에 평행하게 반복되어 형성되는 불휘발성 메모리 장치에 있어서, 상기 스트링내에 셀 트랜지스터와 직렬로 접속된 하나 이상의 노말 인한스먼트(enhancement) 더미 트랜지스터를 포함함을 특징으로 하는 불휘발성 반도체 메모리 장치.

청구항 2

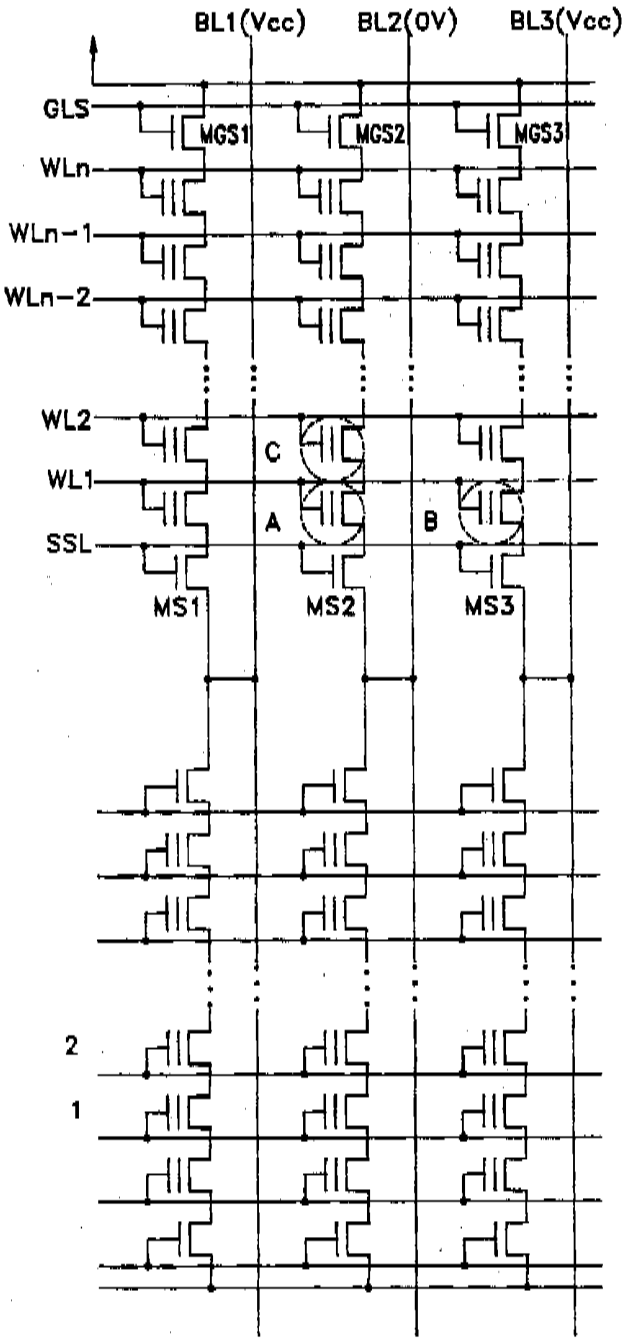
제1항에 있어서, 상기 더미 트랜지스터는 상기 스트링 선택 트랜지스터와 동일한 구조로 이루어짐을 특징으로 하는 불휘발성 반도체 메모리장치.

청구항 3

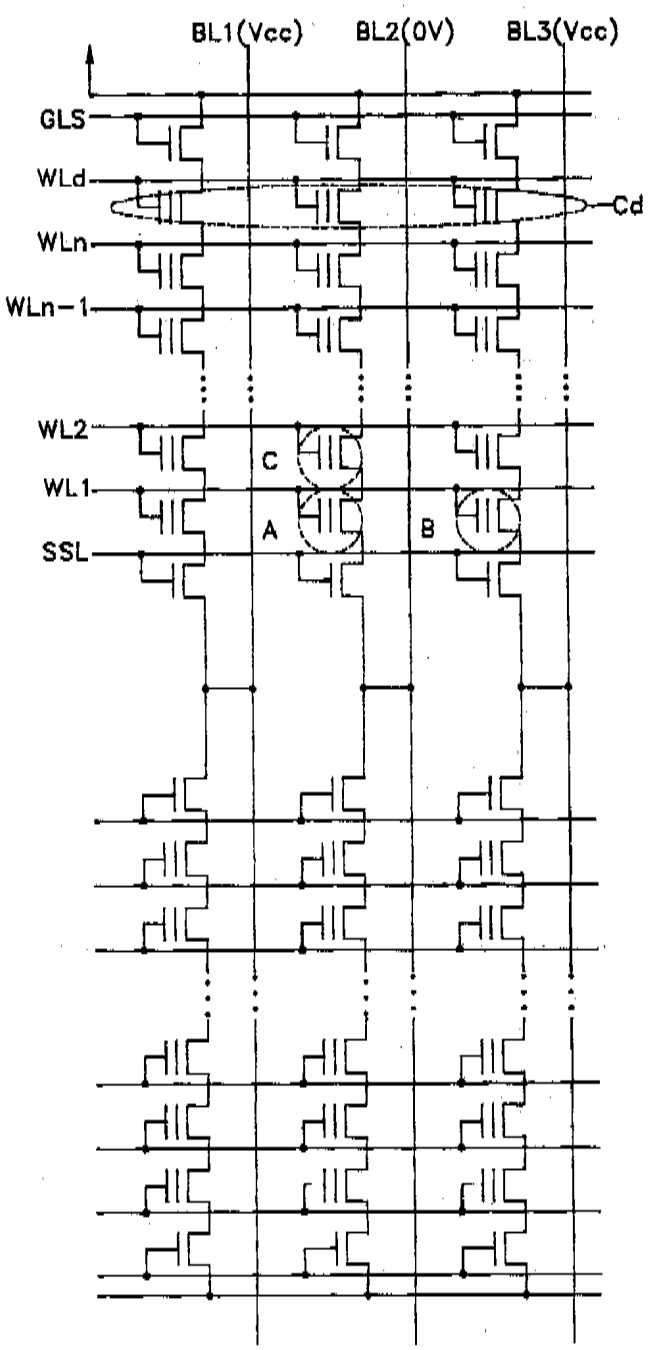
제2항에 있어서, 상기 더미 트랜지스터의 제어 게이트에 프로그램 방지전압(Vpass)보다 더 높은 전압 또는 낮은 전압이 인가되어 프로그램시 비선택된 셀의 채널의 전위를 일정전압까지 부스팅시켜 비선택된 셀의 문턱전압(Vth)의 증가를 방지하는 것을 특징으로 하는 불휘발성 반도체 메모리장치.

도면

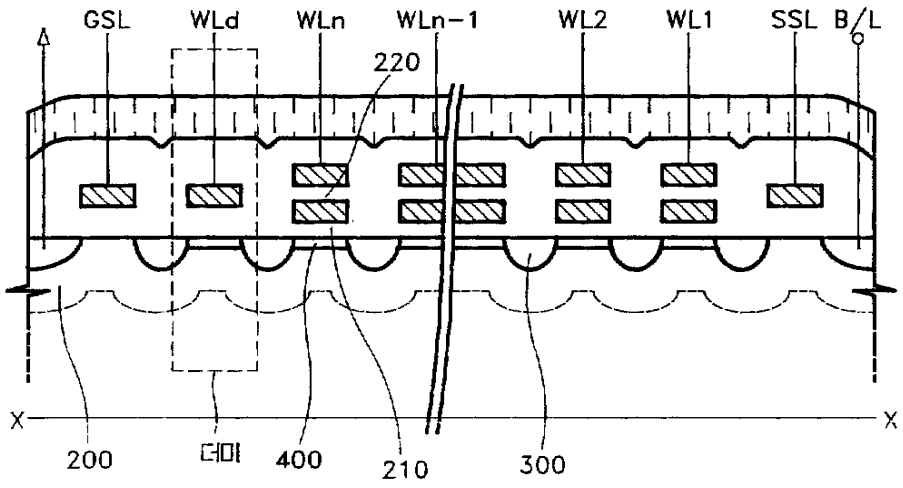
도면1



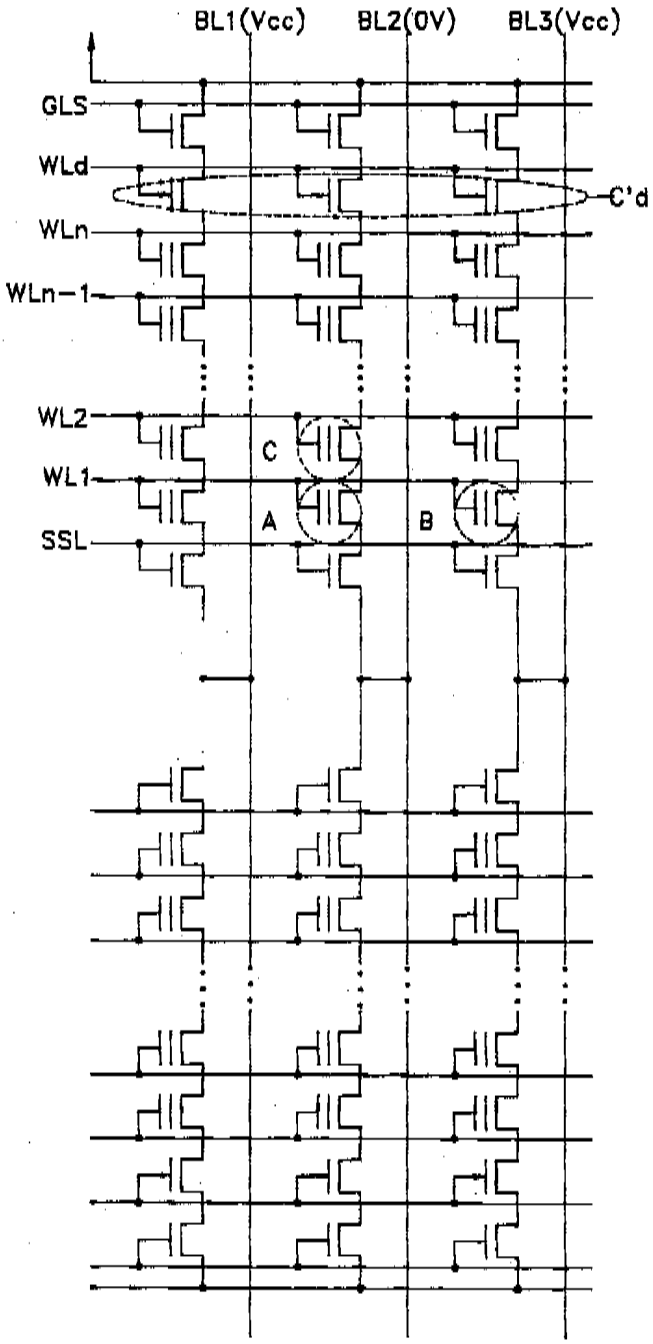
도면2



도면3



도면4



도면5

