

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2014-168065

(P2014-168065A)

(43) 公開日 平成26年9月11日(2014.9.11)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 21/8242 (2006.01)	HO 1 L 27/10 3 2 1	5 F 0 8 3
HO 1 L 27/108 (2006.01)	HO 1 L 29/78 6 1 3 B	5 F 1 1 0
HO 1 L 29/786 (2006.01)	HO 1 L 29/78 6 1 8 B	5 F 1 5 2
HO 1 L 27/105 (2006.01)	HO 1 L 27/10 4 4 1	5 M 0 2 4
HO 1 L 21/20 (2006.01)	HO 1 L 21/20	

審査請求 有 請求項の数 2 O L (全 47 頁) 最終頁に続く

(21) 出願番号 特願2014-57813 (P2014-57813)
 (22) 出願日 平成26年3月20日 (2014. 3. 20)
 (62) 分割の表示 特願2012-200318 (P2012-200318) の分割
 原出願日 平成22年10月26日 (2010. 10. 26)
 (31) 優先権主張番号 特願2009-251275 (P2009-251275)
 (32) 優先日 平成21年10月30日 (2009. 10. 30)
 (33) 優先権主張国 日本国 (JP)

(71) 出願人 000153878
 株式会社半導体エネルギー研究所
 神奈川県厚木市長谷398番地
 (72) 発明者 山崎 舜平
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内
 (72) 発明者 小山 潤
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内
 (72) 発明者 加藤 清
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内

最終頁に続く

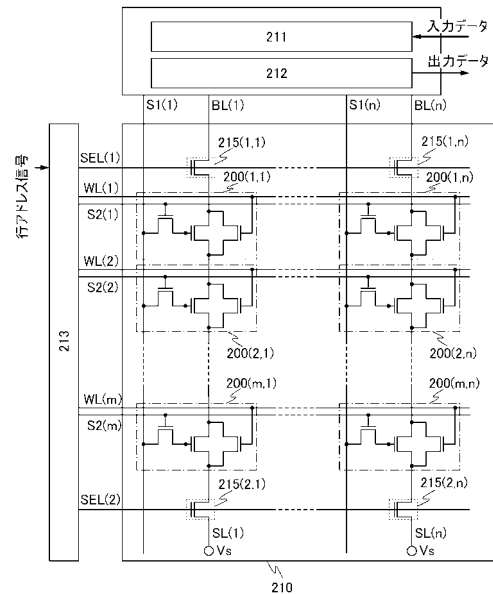
(54) 【発明の名称】 半導体装置

(57) 【要約】 (修正有)

【課題】 新たな構造の半導体装置を提供する。

【解決手段】 複数の記憶素子 200 が直列に接続され、複数の記憶素子の一は、第1～第3のゲート電極、第1～第3のソース電極、および第1～第3のドレイン電極を有する第1～第3のトランジスタを有し、第2のトランジスタは酸化物半導体層を含んで構成され、第1のゲート電極と、第2のソース電極または第2のドレイン電極の一方とは、電気的に接続され、第1の配線 SL と、第1のソース電極と、第3のソース電極とは、電気的に接続され、第2の配線 BL と、第1のドレイン電極と、第3のドレイン電極とは、電気的に接続され、第3の配線 S1 と、第2のソース電極または第2のドレイン電極の他方とは、電気的に接続され、第4の配線 S2 と、第2のゲート電極とは、電気的に接続され、第5の配線 WL と、第3のゲート電極とは電気的に接続された半導体装置。

【選択図】 図11



【特許請求の範囲】**【請求項 1】**

第 1 の配線と、第 2 の配線と、第 3 の配線と、第 4 の配線と、記憶素子と、を有し、前記記憶素子は、
第 1 のトランジスタと、第 2 のトランジスタと、を有し、
前記第 1 のトランジスタのチャネル形成領域は、酸化物半導体層に設けられ、
前記第 2 のトランジスタのチャネル形成領域は、シリコン半導体に設けられ、
前記第 1 のトランジスタのゲートは、前記第 4 の配線と電氣的に接続され、
前記第 2 のトランジスタのゲートは、前記第 1 のトランジスタを介して前記第 3 の配線と電氣的に接続され、
前記第 3 の配線は、データを伝達することができる機能を有し、
前記第 2 のトランジスタのソースまたはドレインの一方は、前記第 1 の配線と電氣的に接続され、
前記第 2 のトランジスタのソースまたはドレインの他方は、前記第 2 の配線と電氣的に接続される半導体装置であって、
前記第 2 のトランジスタのゲート電極上方に、層間絶縁層を有し、
前記層間絶縁層は、平坦な上面を有し、
前記層間絶縁層上方に、前記酸化物半導体層を有し、
前記酸化物半導体層上方に、前記第 1 のトランジスタのソース電極と、前記第 1 のトランジスタのドレイン電極と、前記第 1 のトランジスタのゲート電極と、を有し、
前記酸化物半導体層は、インジウムと、ガリウムと、亜鉛と、酸素と、を有することを特徴とする半導体装置。

10

20

【請求項 2】

請求項 1 において、
前記第 1 のトランジスタのドレインの電位とソースの電位の電位差が 1 [V] または 10 [V] であって、前記第 1 のトランジスタのソースの電位に対するゲートの電位の電位差が - 5 [V] から - 20 [V] の範囲において、前記第 1 のトランジスタを流れる電流は、 1×10^{-13} A 以下であることを特徴とする半導体装置。

【発明の詳細な説明】**【技術分野】**

30

【0001】

開示する発明は、半導体素子を利用した半導体装置およびその作製方法に関するものである。

【背景技術】**【0002】**

半導体素子を利用した記憶装置は、電力の供給がなくなると記憶内容が失われる揮発性記憶装置と、電力の供給がなくなっても記憶内容は保持される不揮発性記憶装置とに大別される。

【0003】

揮発性記憶装置の代表的な例としては、DRAM (Dynamic Random Access Memory) がある。DRAM は、記憶素子を構成するトランジスタを選択してキャパシタに電荷を蓄積することで、情報を記憶する。

40

【0004】

上述の原理から、DRAM では、情報を読み出すとキャパシタの電荷は失われることとなるため、データの読み出しの度に、再度の書き込み動作が必要となる。また、記憶素子を構成するトランジスタにはリーク電流が存在し、トランジスタが選択されていない状況でも電荷が流出、または流入するため、データの保持期間が短い。このため、所定の周期で再度の書き込み動作 (リフレッシュ動作) が必要であり、消費電力を十分に低減することは困難である。また、電力の供給がなくなると記憶内容が失われるため、長期間の記憶の保持には、磁性材料や光学材料を利用した別の記憶装置が必要となる。

50

【0005】

揮発性記憶装置の別の例としてはSRAM (Static Random Access Memory) がある。SRAMは、フリップフロップなどの回路を用いて記憶内容を保持するため、リフレッシュ動作が不要であり、この点においてはDRAMより有利である。しかし、フリップフロップなどの回路を用いているため、記憶容量あたりの単価が高くなるという問題がある。また、電力の供給がなくなると記憶内容が失われるという点については、DRAMと変わるところはない。

【0006】

不揮発性記憶装置の代表例としては、フラッシュメモリがある。フラッシュメモリは、トランジスタのゲート電極とチャンネル形成領域との間にフローティングゲートを有し、当該フローティングゲートに電荷を保持させることで記憶を行うため、データの保持期間は極めて長く(半永久的)、揮発性記憶装置で必要なリフレッシュ動作が不要であるという利点を有している(例えば、特許文献1参照)。

10

【0007】

しかし、書き込みの際に生じるトンネル電流によって記憶素子を構成するゲート絶縁層が劣化するため、所定回数の書き込みによって記憶素子が機能しなくなるという問題が生じる。この問題の影響を緩和するために、例えば、各記憶素子の書き込み回数を均一化する手法が採られるが、これを実現するためには、複雑な周辺回路が必要になってしまう。そして、このような手法を採用しても、寿命の根本的な問題が解消するわけではない。つまり、フラッシュメモリは、情報の書き換え頻度が高い用途には不向きである。

20

【0008】

また、フローティングゲートに電荷を導入させるため、または、その電荷を除去するためには、高い電圧が必要である。さらに、電荷の導入、または除去のためには比較的長い時間を要し、書き込み、消去の高速化が容易ではないという問題もある。

【先行技術文献】

【特許文献】

【0009】

【特許文献1】特開昭57-105889号公報

【発明の概要】

【発明が解決しようとする課題】

30

【0010】

上述の問題に鑑み、開示する発明の一態様では、電力が供給されない状況でも記憶内容の保持が可能で、かつ、書き込み回数にも制限が無い、新たな構造の半導体装置を提供することを目的の一とする。

【課題を解決するための手段】

【0011】

本発明の一態様は、酸化物半導体を用いて形成されるトランジスタと、それ以外の材料を用いて形成されるトランジスタとの積層構造に係る半導体装置である。例えば、次のような構成を採用することができる。

【0012】

40

本発明の一態様は、第1の配線(ソース線)と、第2の配線(ビット線)と、第3の配線(第1信号線)と、第4の配線(第2信号線)と、第5の配線(ワード線)と、を有し、第1の配線と、第2の配線の間には、複数の記憶素子が直列に接続され、複数の記憶素子の一は、第1のゲート電極、第1のソース電極、および第1のドレイン電極を有する第1のトランジスタと、第2のゲート電極、第2のソース電極、および第2のドレイン電極を有する第2のトランジスタと、第3のゲート電極、第3のソース電極、および第3のドレイン電極を有する第3のトランジスタと、を有し、第1のトランジスタは、半導体材料を含む基板に設けられ、第2のトランジスタは酸化物半導体層を含んで構成され、第1のゲート電極と、第2のソース電極または第2のドレイン電極の一方とは、電気的に接続され、第1の配線(ソース線)と、第1のソース電極と、第3のソース電極とは、電気的に

50

接続され、第2の配線（ビット線）と、第1のドレイン電極と、第3のドレイン電極とは、電氣的に接続され、第3の配線（第1信号線）と、第2のソース電極または第2のドレイン電極の他方とは、電氣的に接続され、第4の配線（第2信号線）と、第2のゲート電極とは、電氣的に接続され、第5の配線（ワード線）と、第3のゲート電極とは電氣的に接続された半導体装置である。

【0013】

また、本発明の他の一態様は、第1の配線と、第2の配線と、第3の配線と、第4の配線と、第5の配線と、を有し、第1の配線と、第2の配線との間には、複数の記憶素子が直列に接続され、複数の記憶素子の一方は、第1のゲート電極、第1のソース電極、および第1のドレイン電極を有する第1のトランジスタと、第2のゲート電極、第2のソース電極、および第2のドレイン電極を有する第2のトランジスタと、容量素子と、を有し、第1のトランジスタは、半導体材料を含む基板に設けられ、第2のトランジスタは酸化物半導体層を含んで構成され、第1のゲート電極と、第2のソース電極または第2のドレイン電極の一方と、容量素子の一方の電極は、電氣的に接続され、第1の配線と、第1のソース電極とは、電氣的に接続され、第2の配線と、第1のドレイン電極とは、電氣的に接続され、第3の配線と、第2のソース電極または第2のドレイン電極の他方とは、電氣的に接続され、第4の配線と、第2のゲート電極とは、電氣的に接続され、第5の配線と、容量素子の他方の電極とは電氣的に接続された半導体装置である。

10

【0014】

上記において、半導体装置は、第6の配線と、第7の配線と、第6の配線と、ゲート電極において電氣的に接続された第4のトランジスタと、第7の配線と、ゲート電極において電氣的に接続された第5のトランジスタと、を有し、第2の配線は、第4のトランジスタを介して、第1のドレイン電極及び第3のドレイン電極と、電氣的に接続され、第1の配線は、第5のトランジスタを介して、第1のソース電極及び第3のソース電極と、電氣的に接続されるのが好適である。

20

【0015】

また、上記において、第1のトランジスタは、半導体材料を含む基板に設けられたチャネル形成領域と、チャネル形成領域を挟むように設けられた不純物領域と、チャネル形成領域上の第1のゲート絶縁層と、第1のゲート絶縁層上の第1のゲート電極と、不純物領域と電氣的に接続する第1のソース電極および第1のドレイン電極と、を有する。

30

【0016】

また、上記において、第2のトランジスタは、半導体材料を含む基板上の第2のゲート電極と、第2のゲート電極上の第2のゲート絶縁層と、第2のゲート絶縁層上の酸化物半導体層と、酸化物半導体層と電氣的に接続する第2のソース電極および第2のドレイン電極と、を有する。

【0017】

また、上記において、第3のトランジスタは、半導体材料を含む基板に設けられたチャネル形成領域と、チャネル形成領域を挟むように設けられた不純物領域と、チャネル形成領域上の第3のゲート絶縁層と、第3のゲート絶縁層上の第3のゲート電極と、不純物領域と電氣的に接続する第3のソース電極および第3のドレイン電極と、を有する。

40

【0018】

また、上記において、半導体材料を含む基板としては、単結晶半導体基板またはSOI基板を採用するのが好適である。特に、半導体材料はシリコンとするのが好適である。

【0019】

また、上記において、酸化物半導体層は、In-Ga-Zn-O系の酸化物半導体材料を含んでいることが好適である。特に、酸化物半導体層は、 $\text{In}_2\text{Ga}_2\text{ZnO}_7$ の結晶を含んでなることが好適である。さらに、酸化物半導体層の水素濃度は $5 \times 10^{19} \text{ atoms/cm}^3$ 以下とすることが好適である。また、第2のトランジスタのオフ電流は $1 \times 10^{-13} \text{ A}$ 以下とすることが好適である。

【0020】

50

また、上記において、第2のトランジスタは、第1のトランジスタと重畳する領域に設けられた構成とすることができる。

【0021】

なお、本明細書等において「上」や「下」という用語は、構成要素の位置関係が「直上」または「直下」であることを限定するものではない。例えば、「ゲート絶縁層上の第1のゲート電極」の表現であれば、ゲート絶縁層とゲート電極との間に他の構成要素を含むものを除外しない。また、「上」「下」という用語は説明の便宜のために用いる表現に過ぎず、特に言及する場合を除き、その上下を入れ替えたものも含む。

【0022】

また、本明細書等において「電極」や「配線」という用語は、これらの構成要素を機能的に限定するものではない。例えば、「電極」は「配線」の一部として用いられることがあり、その逆もまた同様である。さらに、「電極」や「配線」という用語は、複数の「電極」や「配線」が一体となって形成されている場合などをも含む。

10

【0023】

また、「ソース」や「ドレイン」の機能は、異なる極性のトランジスタを採用する場合や、回路動作において電流の方向が変化する場合などには入れ替わることがある。このため、本明細書においては、「ソース」や「ドレイン」という用語は、入れ替えて用いることができるものとする。

【0024】

なお、本明細書等において、「電氣的に接続」には、「何らかの電氣的作用を有するもの」を介して接続されている場合が含まれる。ここで、「何らかの電氣的作用を有するもの」は、接続対象間での電気信号の授受を可能とするものであれば、特に制限を受けない。

20

【0025】

例えば、「何らかの電氣的作用を有するもの」には、電極や配線はもちろんのこと、トランジスタなどのスイッチング素子、抵抗素子、インダクタ、キャパシタ、その他の各種機能を有する素子などが含まれる。

【0026】

また、一般に「SOI基板」は絶縁表面上にシリコン半導体層が設けられた構成の基板をいうが、本明細書等においては、絶縁表面上にシリコン以外の材料からなる半導体層が設けられた構成の基板をも含む概念として用いる。つまり、「SOI基板」が有する半導体層は、シリコン半導体層に限定されない。また、「SOI基板」における基板は、シリコンウェハなどの半導体基板に限らず、ガラス基板や石英基板、サファイア基板、金属基板などの非半導体基板をも含む。つまり、絶縁表面を有する導体基板や絶縁体基板上に半導体材料からなる層を有するものも、広く「SOI基板」に含まれる。さらに、本明細書等において、「半導体基板」は、半導体材料のみからなる基板を指すに留まらず、半導体材料を含む基板全般を示すものとする。つまり、本明細書等においては「SOI基板」も広く「半導体基板」に含まれる。

30

【発明の効果】

【0027】

本発明の一態様では、下部に酸化物半導体以外の材料を用いたトランジスタを有し、上部に酸化物半導体を用いたトランジスタを有する半導体装置が提供される。

40

【0028】

酸化物半導体を用いたトランジスタはオフ電流が極めて小さいため、これを用いることにより極めて長期にわたり記憶内容を保持することが可能である。つまり、リフレッシュ動作が不要となるか、または、リフレッシュ動作の頻度を極めて低くすることが可能となるため、消費電力を十分に低減することができる。また、電力の供給がない場合であっても、長期にわたって記憶内容を保持することが可能である。

【0029】

また、情報の書き込みに高い電圧を必要とせず、素子の劣化の問題もない。さらに、トランジスタのオン状態、オフ状態によって、情報の書き込みが行われるため、高速動作も容

50

易に実現しうる。また、フラッシュメモリなどにおいて必要とされる情報を消去するための動作が不要であるというメリットもある。

【0030】

また、酸化物半導体以外の材料を用いたトランジスタは、酸化物半導体を用いたトランジスタと比較して、さらなる高速動作が可能のため、これを用いることにより、記憶内容の読み出しを高速に行うことが可能である。

【0031】

このように、酸化物半導体以外の材料を用いたトランジスタと、酸化物半導体を用いたトランジスタとを一体に備えることで、これまでにない特徴を有する半導体装置を実現することができる。

【図面の簡単な説明】

【0032】

【図1】半導体装置を説明するための回路図

【図2】半導体装置を説明するための断面図および平面図

【図3】半導体装置の作製工程を説明するための断面図

【図4】半導体装置の作製工程を説明するための断面図

【図5】半導体装置の作製工程を説明するための断面図

【図6】半導体装置を説明するための断面図

【図7】半導体装置を説明するための断面図

【図8】半導体装置を説明するための断面図

【図9】半導体装置を説明するための断面図

【図10】半導体装置を説明するための回路図

【図11】半導体装置を説明するためのブロック回路図

【図12】半導体装置を説明するための書き込み動作のタイミングチャート図

【図13】半導体装置を説明するための回路図

【図14】半導体装置を説明するためのブロック回路図

【図15】半導体装置を説明するための回路図

【図16】半導体装置を説明するためのブロック回路図

【図17】第5の配線WLとノードAの電位のグラフ

【図18】半導体装置を説明するための回路図

【図19】半導体装置を説明するための回路図

【図20】半導体装置を説明するための回路図

【図21】半導体装置を用いた電子機器を説明するための図

【図22】酸化物半導体を用いた逆スタガー型のトランジスタの縦断面図

【図23】図22のA-A'断面におけるエネルギーバンド図(模式図)

【図24】(A)ゲート(GE1)に正の電位(+V_G)が与えられた状態を示し、(B)ゲート(GE1)に負の電位(-V_G)が与えられた状態を示す図

【図25】真空準位と金属の仕事関数(ϕ_M)、酸化物半導体の電子親和力(χ)の関係を示す図

【発明を実施するための形態】

【0033】

本発明の実施の形態の一例について、図面を用いて以下に説明する。但し、本発明は以下の説明に限定されず、本発明の趣旨およびその範囲から逸脱することなくその形態および詳細を様々に変更し得ることは当業者であれば容易に理解される。従って、本発明は以下に示す実施の形態の記載内容に限定して解釈されるものではない。

【0034】

なお、図面等において示す各構成の、位置、大きさ、範囲などは、理解を容易にするため、実際の位置、大きさ、範囲などを表していない場合がある。よって、必ずしも、図面等を開示された位置、大きさ、範囲などに限定されない。

【0035】

10

20

30

40

50

なお、本明細書等における「第1」、「第2」、「第3」などの序数は、構成要素の混同を避けるために付すものであり、数的に限定するものではないことを付記する。

【0036】

(実施の形態1)

本実施の形態では、開示する発明の一態様に係る半導体装置の構成および作製方法について、図1乃至図9を参照して説明する。

【0037】

<半導体装置の回路構成>

図1には、半導体装置の回路構成の一例を示す。当該半導体装置は、酸化物半導体以外の材料を用いたトランジスタ160と酸化物半導体を用いたトランジスタ162によって構成される。

10

【0038】

ここで、トランジスタ160のゲート電極と、トランジスタ162のソース電極またはドレイン電極の一方とは、電気的に接続されている。また、第1の配線SL(1st Line:ソース線とも呼ぶ)とトランジスタ160のソース電極とは、電気的に接続され、第2の配線BL(2nd Line:ビット線とも呼ぶ)とトランジスタ160のドレイン電極とは、電気的に接続されている。そして、第3の配線S1(3rd Line:第1信号線とも呼ぶ)とトランジスタ162のソース電極またはドレイン電極の他方とは、電気的に接続され、第4の配線S2(4th Line:第2信号線とも呼ぶ)と、トランジスタ162のゲート電極とは、電気的に接続されている。

20

【0039】

酸化物半導体以外の材料を用いたトランジスタ160は、酸化物半導体を用いたトランジスタと比較して、さらなる高速動作が可能のため、これを用いることにより、記憶内容の読み出しなどを高速に行うことが可能である。また、酸化物半導体を用いたトランジスタ162は、オフ電流が極めて小さいという特徴を有している。このため、トランジスタ162をオフ状態とすることで、トランジスタ160のゲート電極の電位を極めて長時間にわたって保持することが可能である。

【0040】

ゲート電極の電位を保持することができるという特徴を生かすことで、次のように、情報の書き込み、保持、読み出しが可能である。

30

【0041】

はじめに、情報の書き込みおよび保持について説明する。まず、第4の配線S2の電位を、トランジスタ162がオン状態となる電位として、トランジスタ162をオン状態とする。これにより、第3の配線S1の電位が、トランジスタ160のゲート電極に与えられる(書き込み)。その後、第4の配線S2の電位を、トランジスタ162がオフ状態となる電位として、トランジスタ162をオフ状態とすることにより、トランジスタ160のゲート電極の電位が保持される(保持)。

【0042】

トランジスタ162のオフ電流は極めて小さいから、トランジスタ160のゲート電極の電位は長時間にわたって保持される。例えば、トランジスタ160のゲート電極の電位がトランジスタ160をオン状態とする電位であれば、トランジスタ160のオン状態が長時間にわたって保持されることになる。また、トランジスタ160のゲート電極の電位がトランジスタ160をオフ状態とする電位であれば、トランジスタ160のオフ状態が長時間にわたって保持される。

40

【0043】

次に、情報の読み出しについて説明する。上述のように、トランジスタ160のオン状態またはオフ状態が保持された状態において、第1の配線SLに所定の電位(低電位)が与えられると、トランジスタ160のオン状態またはオフ状態に応じて、第2の配線BLの電位は異なる値をとる。例えば、トランジスタ160がオン状態の場合には、第1の配線SLの電位に応じて、第2の配線BLの電位が低下することになる。逆に、トランジスタ

50

160がオフ状態の場合には、第2の配線BLの電位は変化しない。

【0044】

このように、情報が保持された状態において、第2の配線BLの電位を所定の電位と比較することで、情報を読み出すことができる。

【0045】

次に、情報の書き換えについて説明する。情報の書き換えは、上記情報の書き込みおよび保持と同様に行われる。つまり、第4の配線S2の電位を、トランジスタ162がオン状態となる電位として、トランジスタ162をオン状態とする。これにより、第3の配線S1の電位(新たな情報に係る電位)が、トランジスタ160のゲート電極に与えられる。その後、第4の配線S2の電位を、トランジスタ162がオフ状態となる電位として、トランジスタ162をオフ状態とすることにより、新たな情報が保持された状態となる。

10

【0046】

このように、開示する発明に係る半導体装置は、再度の情報の書き込みによって直接的に情報を書き換えることが可能である。このためフラッシュメモリなどにおいて必要とされる消去動作が不要であり、消去動作に起因する動作速度の低下を抑制することができる。つまり、半導体装置の高速動作が実現される。

【0047】

なお、上記説明は、電子を多数キャリアとするn型トランジスタ(nチャネル型トランジスタ)を用いる場合についてのものであるが、n型トランジスタに代えて、正孔を多数キャリアとするp型トランジスタを用いることができるのはいうまでもない。

20

【0048】

<半導体装置の平面構成および断面構成>

図2は、上記半導体装置の構成の一例である。図2(A)には、半導体装置の断面を、図2(B)には、半導体装置の平面を、それぞれ示す。ここで、図2(A)は、図2(B)の線A1-A2および線B1-B2における断面に相当する。図2(A)および図2(B)に示される半導体装置は、下部に酸化物半導体以外の材料を用いたトランジスタ160を有し、上部に酸化物半導体を用いたトランジスタ162を有するものである。なお、トランジスタ160およびトランジスタ162は、いずれもn型トランジスタとして説明するが、p型トランジスタを採用しても良い。特に、トランジスタ160は、p型とすることが容易である。

30

【0049】

トランジスタ160は、半導体材料を含む基板100に設けられたチャネル形成領域116と、チャネル形成領域116を挟むように設けられた不純物領域114および高濃度不純物領域120(これらをあわせて単に不純物領域とも呼ぶ)と、チャネル形成領域116上に設けられたゲート絶縁層108と、ゲート絶縁層108上に設けられたゲート電極110と、チャネル形成領域116の一方の側に設けられた不純物領域114と電氣的に接続するソース電極またはドレイン電極130aと、チャネル形成領域116の他方の側に設けられた不純物領域114と電氣的に接続するソース電極またはドレイン電極130bを有する。

【0050】

40

ここで、ゲート電極110の側面にはサイドウォール絶縁層118が設けられている。また、基板100の、表面的にサイドウォール絶縁層118と重ならない領域には、高濃度不純物領域120を有し、高濃度不純物領域120上には金属化合物領域124が存在する。また、基板100上にはトランジスタ160を囲むように素子分離絶縁層106が設けられており、トランジスタ160を覆うように、層間絶縁層126および層間絶縁層128が設けられている。層間絶縁層126および層間絶縁層128に形成された開口を通じて、ソース電極またはドレイン電極130aは、チャネル形成領域116の一方の側に設けられた金属化合物領域124と電氣的に接続され、ソース電極またはドレイン電極130bは、チャネル形成領域116の他方の側に設けられた金属化合物領域124と電氣的に接続されている。つまり、ソース電極またはドレイン電極130aは、チャネル形成

50

領域 1 1 6 の一方の側に設けられた金属化合物領域 1 2 4 を介してチャンネル形成領域 1 1 6 の一方の側に設けられた高濃度不純物領域 1 2 0 およびチャンネル形成領域 1 1 6 の一方の側に設けられた不純物領域 1 1 4 と電氣的に接続され、ソース電極またはドレイン電極 1 3 0 b は、チャンネル形成領域 1 1 6 の他方の側に設けられた金属化合物領域 1 2 4 を介してチャンネル形成領域 1 1 6 の他方の側に設けられた高濃度不純物領域 1 2 0 およびチャンネル形成領域 1 1 6 の他方の側に設けられた不純物領域 1 1 4 と電氣的に接続されている。また、ゲート電極 1 1 0 には、ソース電極またはドレイン電極 1 3 0 a やソース電極またはドレイン電極 1 3 0 b と同様に設けられた電極 1 3 0 c が電氣的に接続されている。

【 0 0 5 1 】

酸化物半導体を用いたトランジスタ 1 6 2 は、層間絶縁層 1 2 8 上に設けられたゲート電極 1 3 6 d と、ゲート電極 1 3 6 d 上に設けられたゲート絶縁層 1 3 8 と、ゲート絶縁層 1 3 8 上に設けられた酸化物半導体層 1 4 0 と、酸化物半導体層 1 4 0 上に設けられ、酸化物半導体層 1 4 0 と電氣的に接続されているソース電極またはドレイン電極 1 4 2 a、ソース電極またはドレイン電極 1 4 2 b と、を有する。

10

【 0 0 5 2 】

ここで、ゲート電極 1 3 6 d は、層間絶縁層 1 2 8 上に形成された絶縁層 1 3 2 に、埋め込まれるように設けられている。また、ゲート電極 1 3 6 d と同様に、トランジスタ 1 6 0 のソース電極またはドレイン電極 1 3 0 a に接して電極 1 3 6 a が、トランジスタ 1 6 0 のソース電極またはドレイン電極 1 3 0 b に接して電極 1 3 6 b が、電極 1 3 0 c に接して電極 1 3 6 c が、それぞれ形成されている。

20

【 0 0 5 3 】

また、トランジスタ 1 6 2 の上には、酸化物半導体層 1 4 0 の一部と接するように、保護絶縁層 1 4 4 が設けられており、保護絶縁層 1 4 4 上には層間絶縁層 1 4 6 が設けられている。ここで、保護絶縁層 1 4 4 および層間絶縁層 1 4 6 には、ソース電極またはドレイン電極 1 4 2 a、ソース電極またはドレイン電極 1 4 2 b にまで達する開口が設けられており、当該開口を通じて、電極 1 5 0 d、電極 1 5 0 e が、ソース電極またはドレイン電極 1 4 2 a、ソース電極またはドレイン電極 1 4 2 b に接して形成されている。また、電極 1 5 0 d、電極 1 5 0 e と同様に、ゲート絶縁層 1 3 8、保護絶縁層 1 4 4、層間絶縁層 1 4 6 に設けられた開口を通じて、電極 1 3 6 a、電極 1 3 6 b、電極 1 3 6 c に接する電極 1 5 0 a、電極 1 5 0 b、電極 1 5 0 c が形成されている。

30

【 0 0 5 4 】

ここで、酸化物半導体層 1 4 0 は水素などの不純物が十分に除去され、高純度化されているものであることが望ましい。具体的には、酸化物半導体層 1 4 0 の水素濃度は $5 \times 10^{19} \text{ atoms/cm}^3$ 以下、望ましくは $5 \times 10^{18} \text{ atoms/cm}^3$ 以下、より望ましくは $5 \times 10^{17} \text{ atoms/cm}^3$ 以下とする。また、水素濃度が十分に低減されて高純度化された酸化物半導体層 1 4 0 では、一般的なシリコンウェハ（リンやボロンなどの不純物元素が微量に添加されたシリコンウェハ）におけるキャリア濃度（ $1 \times 10^{14} / \text{cm}^3$ 程度）と比較して、十分に小さいキャリア濃度の値をとる。このように、水素濃度が十分に低減されて高純度化され、i 型化または実質的に i 型化された酸化物半導体を用いることで、極めて優れたオフ電流特性のトランジスタ 1 6 2 を得ることができる。例えば、ドレイン電圧 V_d が + 1 V または + 10 V の場合であって、ゲート電圧 V_g が - 5 V から - 20 V の範囲では、オフ電流は $1 \times 10^{-13} \text{ A}$ 以下である。このように、水素濃度が十分に低減されて高純度化された酸化物半導体層 1 4 0 を適用し、トランジスタ 1 6 2 のオフ電流を低減することにより、新たな構成の半導体装置を実現することができる。なお、上述の酸化物半導体層 1 4 0 中の水素濃度は、二次イオン質量分析法（SIMS: Secondary Ion Mass Spectroscopy）で測定したものである。

40

【 0 0 5 5 】

また、層間絶縁層 1 4 6 上には絶縁層 1 5 2 が設けられており、当該絶縁層 1 5 2 に埋め込まれるように、電極 1 5 4 a、電極 1 5 4 b、電極 1 5 4 c、電極 1 5 4 d が設けられ

50

ている。ここで、電極 154 a は電極 150 a と接しており、電極 154 b は電極 150 b と接しており、電極 154 c は電極 150 c および電極 150 d と接しており、電極 154 d は電極 150 e と接している。

【0056】

つまり、図 2 に示される半導体装置では、トランジスタ 160 のゲート電極 110 と、トランジスタ 162 のソース電極またはドレイン電極 142 a とが、電極 130 c、電極 136 c、電極 150 c、電極 154 c および電極 150 d を介して電氣的に接続されている。

【0057】

<半導体装置の作製方法>

次に、上記半導体装置の作製方法の一例について説明する。以下では、はじめに下部のトランジスタ 160 の作製方法について図 3 を参照して説明し、その後、上部のトランジスタ 162 の作製方法について図 4 および図 5 を参照して説明する。

【0058】

<下部のトランジスタの作製方法>

まず、半導体材料を含む基板 100 を用意する（図 3（A）参照）。半導体材料を含む基板 100 としては、シリコンや炭化シリコンなどの単結晶半導体基板、多結晶半導体基板、シリコンゲルマニウムなどの化合物半導体基板、SOI 基板などを適用することができる。ここでは、半導体材料を含む基板 100 として、単結晶シリコン基板を用いる場合の一例について示すものとする。

【0059】

基板 100 上には、素子分離絶縁層を形成するためのマスクとなる保護層 102 を形成する（図 3（A）参照）。保護層 102 としては、例えば、酸化シリコンや窒化シリコン、窒化酸化シリコンなどを材料とする絶縁層を用いることができる。なお、この工程の前後において、トランジスタのしきい値電圧を制御するために、n 型の導電性を付与する不純物元素や p 型の導電性を付与する不純物元素を基板 100 に添加してもよい。半導体がシリコンの場合、n 型の導電性を付与する不純物としては、例えば、リンや砒素などを用いることができる。また、p 型の導電性を付与する不純物としては、例えば、硼素、アルミニウム、ガリウムなどを用いることができる。

【0060】

次に、上記の保護層 102 をマスクとして用いてエッチングを行い、保護層 102 に覆われていない領域（露出している領域）の基板 100 の一部を除去する。これにより分離された半導体領域 104 が形成される（図 3（B）参照）。当該エッチングには、ドライエッチングを用いるのが好適であるが、ウェットエッチングを用いても良い。エッチングガスやエッチング液については被エッチング材料に応じて適宜選択することができる。

【0061】

次に、半導体領域 104 を覆うように絶縁層を形成し、半導体領域 104 に重畳する領域の絶縁層を選択的に除去することで、素子分離絶縁層 106 を形成する（図 3（B）参照）。当該絶縁層は、酸化シリコンや窒化シリコン、窒化酸化シリコンなどを用いて形成される。絶縁層の除去方法としては、CMP などの研磨処理やエッチング処理などがあるが、そのいずれを用いても良い。なお、半導体領域 104 の形成後、または、素子分離絶縁層 106 の形成後には、上記保護層 102 を除去する。

【0062】

次に、半導体領域 104 上に絶縁層を形成し、当該絶縁層上に導電材料を含む層を形成する。

【0063】

絶縁層は後のゲート絶縁層となるものであり、CVD 法やスパッタリング法等を用いて得られる酸化シリコン、窒化酸化シリコン、窒化シリコン、酸化ハフニウム、酸化アルミニウム、酸化タンタル等を含む膜の単層構造または積層構造とすると良い。他に、高密度プラズマ処理や熱酸化処理によって、半導体領域 104 の表面を酸化、窒化させることによ

10

20

30

40

50

り、上記絶縁層を形成してもよい。高密度プラズマ処理は、例えば、He、Ar、Kr、Xeなどの希ガスと、酸素、酸化窒素、アンモニア、窒素、水素などの混合ガスを用いて行うことができる。また、絶縁層の厚さは特に限定されないが、例えば、1nm以上100nm以下とすることができる。

【0064】

導電材料を含む層は、アルミニウムや銅、チタン、タンタル、タンゲステン等の金属材料を用いて形成することができる。また、導電材料を含む多結晶シリコンなどの半導体材料を用いて、導電材料を含む層を形成しても良い。形成方法も特に限定されず、蒸着法、CVD法、スパッタリング法、スピコート法などの各種成膜方法を用いることができる。なお、本実施の形態では、導電材料を含む層を、金属材料を用いて形成する場合の一例について示すものとする。

10

【0065】

その後、絶縁層および導電材料を含む層を選択的にエッチングして、ゲート絶縁層108、ゲート電極110を形成する(図3(C)参照)。

【0066】

次に、ゲート電極110を覆う絶縁層112を形成する(図3(C)参照)。そして、半導体領域104にリン(P)やヒ素(As)などを添加して、基板100との浅い接合深さの不純物領域114を形成する(図3(C)参照)。なお、ここではn型トランジスタを形成するためにリンやヒ素を添加しているが、p型トランジスタを形成する場合には、硼素(B)やアルミニウム(Al)などの不純物元素を添加すればよい。なお、不純物領域114の形成により、半導体領域104のゲート絶縁層108下部には、チャンネル形成領域116が形成される(図3(C)参照)。ここで、添加する不純物の濃度は適宜設定することができるが、半導体素子が高度に微細化される場合には、その濃度を高くすることが望ましい。また、ここでは、絶縁層112を形成した後に不純物領域114を形成する工程を採用しているが、不純物領域114を形成した後に絶縁層112を形成する工程としても良い。

20

【0067】

次に、サイドウォール絶縁層118を形成する(図3(D)参照)。サイドウォール絶縁層118は、絶縁層112を覆うように絶縁層を形成した後に、当該絶縁層に異方性の高いエッチング処理を適用することで、自己整合的に形成することができる。また、この際に、絶縁層112を部分的にエッチングして、ゲート電極110の上面と、不純物領域114の上面を露出させると良い。

30

【0068】

次に、ゲート電極110、不純物領域114、サイドウォール絶縁層118等を覆うように、絶縁層を形成する。そして、当該絶縁層が不純物領域114と接する領域に、リン(P)やヒ素(As)などを添加して、高濃度不純物領域120を形成する(図3(E)参照)。その後、上記絶縁層を除去し、ゲート電極110、サイドウォール絶縁層118、高濃度不純物領域120等を覆うように金属層122を形成する(図3(E)参照)。当該金属層122は、真空蒸着法やスパッタリング法、スピコート法などの各種成膜方法を用いて形成することができる。金属層122は、半導体領域104を構成する半導体材料と反応して低抵抗な金属化合物となる金属材料を用いて形成することが望ましい。このような金属材料としては、例えば、チタン、タンタル、タンゲステン、ニッケル、コバルト、白金等がある。

40

【0069】

次に、熱処理を施して、上記金属層122と半導体材料とを反応させる。これにより、高濃度不純物領域120に接する金属化合物領域124が形成される(図3(F)参照)。なお、ゲート電極110として多結晶シリコンなどを用いる場合には、ゲート電極110の金属層122と接触する部分にも、金属化合物領域が形成されることになる。

【0070】

上記熱処理としては、例えば、フラッシュランプの照射による熱処理を用いることができ

50

る。もちろん、その他の熱処理方法を用いても良いが、金属化合物の形成に係る化学反応の制御性を向上させるためには、ごく短時間の熱処理が実現できる方法を用いることが望ましい。なお、上記の金属化合物領域は、金属材料と半導体材料との反応により形成されるものであり、十分に導電性が高められた領域である。当該金属化合物領域を形成することで、電気抵抗を十分に低減し、素子特性を向上させることができる。なお、金属化合物領域 1 2 4 を形成した後は、金属層 1 2 2 は除去する。

【 0 0 7 1 】

次に、上述の工程により形成された各構成を覆うように、層間絶縁層 1 2 6、層間絶縁層 1 2 8 を形成する（図 3（G）参照）。層間絶縁層 1 2 6 や層間絶縁層 1 2 8 は、酸化シリコン、窒化酸化シリコン、窒化シリコン、酸化ハフニウム、酸化アルミニウム、酸化タンタル等の無機絶縁材料を含む材料を用いて形成することができる。また、ポリイミド、アクリル等の有機絶縁材料を用いて形成することも可能である。なお、ここでは、層間絶縁層 1 2 6 と層間絶縁層 1 2 8 の二層構造としているが、層間絶縁層の構成はこれに限定されない。層間絶縁層 1 2 8 の形成後は、その表面を、CMP やエッチング処理などによって平坦化しておくことが望ましい。

10

【 0 0 7 2 】

その後、上記層間絶縁層に、金属化合物領域 1 2 4 にまで達する開口を形成し、当該開口に、ソース電極またはドレイン電極 1 3 0 a、ソース電極またはドレイン電極 1 3 0 b を形成する（図 3（H）参照）。ソース電極またはドレイン電極 1 3 0 a やソース電極またはドレイン電極 1 3 0 b は、例えば、開口を含む領域に PVD 法や CVD 法などを用いて導電層を形成した後、エッチング処理や CMP などの方法を用いて、上記導電層の一部を除去することにより形成することができる。

20

【 0 0 7 3 】

なお、上記導電層の一部を除去してソース電極またはドレイン電極 1 3 0 a やソース電極またはドレイン電極 1 3 0 b を形成する際には、その表面が平坦になるように加工することが望ましい。例えば、開口を含む領域にチタン膜や窒化チタン膜を薄く形成した後に、開口に埋め込むようにタングステン膜を形成する場合には、その後の CMP によって、不要なタングステン膜、チタン膜、窒化チタン膜などを除去すると共に、その表面の平坦性を向上させることができる。このように、ソース電極またはドレイン電極 1 3 0 a、ソース電極またはドレイン電極 1 3 0 b を含む表面を平坦化することにより、後の工程において、良好な電極、配線、絶縁層、半導体層などを形成することが可能となる。

30

【 0 0 7 4 】

なお、ここでは、金属化合物領域 1 2 4 と接触するソース電極またはドレイン電極 1 3 0 a やソース電極またはドレイン電極 1 3 0 b のみを示しているが、この工程において、ゲート電極 1 1 0 と接触する電極（例えば、図 2 における電極 1 3 0 c）などをあわせて形成することができる。ソース電極またはドレイン電極 1 3 0 a、ソース電極またはドレイン電極 1 3 0 b として用いることができる材料について特に限定はなく、各種導電材料を用いることができる。例えば、モリブデン、チタン、クロム、タンタル、タングステン、アルミニウム、銅、ネオジウム、スカンジウムなどの導電性材料を用いることができる。

40

【 0 0 7 5 】

以上により、半導体材料を含む基板 1 0 0 を用いたトランジスタ 1 6 0 が形成される。なお、上記工程の後には、さらに電極や配線、絶縁層などを形成しても良い。配線の構造として、層間絶縁層および導電層の積層構造でなる多層配線構造を採用することにより、高度に集積化した半導体装置を提供することができる。

【 0 0 7 6 】

< 上部のトランジスタの作製方法 >

次に、図 4 および図 5 を用いて、層間絶縁層 1 2 8 上にトランジスタ 1 6 2 を作製する工程について説明する。なお、図 4 および図 5 は、層間絶縁層 1 2 8 上の各種電極や、トランジスタ 1 6 2 などの作製工程を示すものであるから、トランジスタ 1 6 2 の下部に存在するトランジスタ 1 6 0 等については省略している。

50

【0077】

まず、層間絶縁層128、ソース電極またはドレイン電極130a、ソース電極またはドレイン電極130b、電極130c上に絶縁層132を形成する(図4(A)参照)。絶縁層132はPVD法やCVD法などを用いて形成することができる。また、酸化シリコン、窒化酸化シリコン、窒化シリコン、酸化ハフニウム、酸化アルミニウム、酸化タンタル等の無機絶縁材料を含む材料を用いて形成することができる。

【0078】

次に、絶縁層132に対し、ソース電極またはドレイン電極130a、ソース電極またはドレイン電極130b、および、電極130cにまで達する開口を形成する。この際、後にゲート電極136dが形成される領域にも併せて開口を形成する。そして、上記開口に埋め込むように、導電層134を形成する(図4(B)参照)。上記開口はマスクを用いたエッチングなどの方法で形成することができる。当該マスクは、フォトリソを用いた露光などの方法によって形成することが可能である。エッチングとしてはウェットエッチング、ドライエッチングのいずれを用いても良いが、微細加工の観点からは、ドライエッチングを用いることが好適である。導電層134の形成は、PVD法やCVD法などの成膜法を用いて行うことができる。導電層134の形成に用いることができる材料としては、モリブデン、チタン、クロム、タンタル、タングステン、アルミニウム、銅、ネオジウム、スカンジウムなどの導電性材料や、これらの合金、化合物(例えば窒化物)などが挙げられる。

10

【0079】

より具体的には、例えば、開口を含む領域にPVD法によりチタン膜を薄く形成し、CVD法により窒化チタン膜を薄く形成した後に、開口に埋め込むようにタングステン膜を形成する方法を適用することができる。ここで、PVD法により形成されるチタン膜は、下部電極(ここではソース電極またはドレイン電極130a、ソース電極またはドレイン電極130b、電極130cなど)との界面の酸化膜を還元し、下部電極との接触抵抗を低減させる機能を有する。また、その後に形成される窒化チタン膜は、導電性材料の拡散を抑制するバリア機能を備える。また、チタンや、窒化チタンなどによるバリア膜を形成した後に、メッキ法により銅膜を形成してもよい。

20

【0080】

導電層134を形成した後は、エッチング処理やCMPなどの方法を用いて導電層134の一部を除去し、絶縁層132を露出させて、電極136a、電極136b、電極136c、ゲート電極136dを形成する(図4(C)参照)。なお、上記導電層134の一部を除去して電極136a、電極136b、電極136c、ゲート電極136dを形成する際には、表面が平坦になるように加工することが望ましい。このように、絶縁層132、電極136a、電極136b、電極136c、ゲート電極136dの表面を平坦化することにより、後の工程において、良好な電極、配線、絶縁層、半導体層などを形成することが可能となる。

30

【0081】

次に、絶縁層132、電極136a、電極136b、電極136c、ゲート電極136dを覆うように、ゲート絶縁層138を形成する(図4(D)参照)。ゲート絶縁層138は、CVD法やスパッタリング法などを用いて形成することができる。また、ゲート絶縁層138は、酸化珪素、窒化珪素、酸化窒化珪素、窒化酸化珪素、酸化アルミニウム、酸化ハフニウム、酸化タンタルなどを含むように形成するのが好適である。なお、ゲート絶縁層138は、単層構造としても良いし、積層構造としても良い。例えば、原料ガスとして、シラン(SiH_4)、酸素、窒素を用いたプラズマCVD法により、酸化窒化珪素でなるゲート絶縁層138を形成することができる。ゲート絶縁層138の厚さは特に限定されないが、例えば、10nm以上500nm以下とすることができる。積層構造の場合は、例えば、膜厚50nm以上200nm以下の第1のゲート絶縁層と、第1のゲート絶縁層上の膜厚5nm以上300nm以下の第2のゲート絶縁層の積層とすると好適である。

40

【0082】

50

なお、不純物を除去することにより i 型化または実質的に i 型化された酸化物半導体（高純度化された酸化物半導体）は、界面準位や界面電荷に対して極めて敏感であるため、このような酸化物半導体を酸化物半導体層に用いる場合には、ゲート絶縁層との界面は重要である。つまり、高純度化された酸化物半導体層に接するゲート絶縁層 138 には、高品質化が要求されることになる。

【0083】

例えば、 μ 波（2.45 GHz）を用いた高密度プラズマ CVD 法は、緻密で絶縁耐圧の高い高品質なゲート絶縁層 138 を形成できる点で好適である。高純度化された酸化物半導体層と高品質ゲート絶縁層とが密接することにより、界面準位密度を低減して界面特性を良好なものとすることができるからである。

10

【0084】

もちろん、ゲート絶縁層として良質な絶縁層を形成できるものであれば、高純度化された酸化物半導体層を用いる場合であっても、スパッタリング法やプラズマ CVD 法など他の方法を適用することができる。また、形成後の熱処理によって、膜質や酸化物半導体層との界面特性が改質される絶縁層を適用しても良い。いずれにしても、ゲート絶縁層 138 としての膜質が良好であると共に、酸化物半導体層との界面準位密度を低減し、良好な界面を形成できるものを形成すれば良い。

【0085】

さらに、85、 2×10^6 V/cm、12 時間のゲートバイアス・熱ストレス試験（BT 試験）においては、不純物が酸化物半導体に添加されていると、不純物と酸化物半導体の主成分との結合が、強電界（B：バイアス）と高温（T：温度）により切断され、生成された未結合手がしきい値電圧（ V_{th} ）のシフトを誘発することとなる。

20

【0086】

これに対して、酸化物半導体の不純物、特に水素や水などを極力排除し、上記のようにゲート絶縁層との界面特性を良好にすることにより、BT 試験に対しても安定なトランジスタを得ることが可能である。

【0087】

次いで、ゲート絶縁層 138 上に、酸化物半導体層を形成し、マスクを用いたエッチングなどの方法によって該酸化物半導体層を加工して、島状の酸化物半導体層 140 を形成する（図 4（E）参照）。

30

【0088】

酸化物半導体層としては、In-Ga-Zn-O 系、In-Sn-Zn-O 系、In-Al-Zn-O 系、Sn-Ga-Zn-O 系、Al-Ga-Zn-O 系、Sn-Al-Zn-O 系、In-Zn-O 系、Sn-Zn-O 系、Al-Zn-O 系、In-O 系、Sn-O 系、Zn-O 系の酸化物半導体層、特に非晶質酸化物半導体層を用いるのが好適である。本実施の形態では、酸化物半導体層として In-Ga-Zn-O 系の酸化物半導体成膜用ターゲットを用いて、非晶質の酸化物半導体層をスパッタ法により形成することとする。なお、酸化物半導体層中にシリコンを添加することで、その結晶化を抑制することができるから、例えば、 SiO_2 を 2 重量% 以上 10 重量% 以下含むターゲットを用いて酸化物半導体層を形成しても良い。

40

【0089】

酸化物半導体層をスパッタリング法で作製するためのターゲットとしては、例えば、酸化亜鉛を主成分とする酸化物半導体成膜用ターゲットを用いることができる。また、In、Ga、および Zn を含む酸化物半導体成膜用ターゲット（組成比として、 $In_2O_3 : Ga_2O_3 : ZnO = 1 : 1 : 1$ [mol 数比]）などを用いることもできる。また、In、Ga、および Zn を含む酸化物半導体成膜用ターゲットとして、 $In_2O_3 : Ga_2O_3 : ZnO = 1 : 1 : 2$ [mol 数比]、または $In_2O_3 : Ga_2O_3 : ZnO = 1 : 1 : 4$ [mol 数比] の組成比を有するターゲットなどを用いても良い。酸化物半導体成膜用ターゲットの充填率は 90% 以上 100% 以下、好ましくは 95% 以上（例えば 99.9%）である。充填率の高い酸化物半導体成膜用ターゲットを用いることにより、緻密

50

な酸化物半導体層が形成される。

【0090】

酸化物半導体層の形成雰囲気は、希ガス（代表的にはアルゴン）雰囲気、酸素雰囲気、または、希ガス（代表的にはアルゴン）と酸素との混合雰囲気とするのが好適である。具体的には、例えば、水素、水、水酸基または水素化物などの不純物の濃度が数ppm程度（望ましくは数ppb程度）にまで低減された高純度ガスを用いるのが好適である。

【0091】

酸化物半導体層の形成の際には、減圧状態に保持された処理室内に基板を保持し、基板温度を100以上600以下好ましくは200以上400以下とする。基板を加熱しながら酸化物半導体層を形成することにより、酸化物半導体層に含まれる不純物濃度を低減することができる。また、スパッタリングによる損傷が軽減される。そして、処理室内の残留水分を除去しつつ水素および水が除去されたスパッタガスを導入し、金属酸化物をターゲットとして酸化物半導体層を形成する。処理室内の残留水分を除去するためには、吸着型の真空ポンプを用いることが好ましい。例えば、クライオポンプ、イオンポンプ、チタンサブレーションポンプを用いることができる。また、排気手段としては、ターボポンプにコールドトラップを加えたものであってもよい。クライオポンプを用いて排気した成膜室は、例えば、水素原子、水（ H_2O ）など水素原子を含む化合物（より好ましくは炭素原子を含む化合物も）等が排気されるため、当該成膜室で形成した酸化物半導体層に含まれる不純物の濃度を低減できる。

10

【0092】

形成条件としては、例えば、基板とターゲットの間との距離が100mm、圧力が0.6Pa、直流（DC）電力が0.5kW、雰囲気が酸素（酸素流量比率100%）雰囲気、といった条件を適用することができる。なお、パルス直流（DC）電源を用いると、成膜時に発生する粉状物質（パーティクル、ゴミともいう）が軽減でき、膜厚分布も均一となるため、好ましい。酸化物半導体層の厚さは、2nm以上200nm以下、好ましくは5nm以上30nm以下とする。なお、適用する酸化物半導体材料により適切な厚さは異なるから、その厚さは用いる材料に応じて適宜選択すればよい。

20

【0093】

なお、酸化物半導体層をスパッタ法により形成する前には、アルゴンガスを導入してプラズマを発生させる逆スパッタを行い、ゲート絶縁層138の表面に付着しているゴミを除去するのが好適である。ここで、逆スパッタとは、通常スパッタにおいては、スパッタターゲットにイオンを衝突させるところ、逆に、処理表面にイオンを衝突させることによってその表面を改質する方法のことをいう。処理表面にイオンを衝突させる方法としては、アルゴン雰囲気下で処理表面側に高周波電圧を印加して、基板付近にプラズマを生成する方法などがある。なお、アルゴン雰囲気に代えて窒素雰囲気、ヘリウム雰囲気、酸素雰囲気などを用いても良い。

30

【0094】

上記酸化物半導体層のエッチングには、ドライエッチング、ウェットエッチングのいずれを用いても良い。もちろん、両方を組み合わせて用いることもできる。所望の形状にエッチングできるように、材料に合わせてエッチング条件（エッチングガスやエッチング液、エッチング時間、温度等）を適宜設定する。

40

【0095】

ドライエッチングに用いるエッチングガスには、例えば、塩素を含むガス（塩素系ガス、例えば塩素（ Cl_2 ）、塩化硼素（ BCl_3 ）、塩化珪素（ $SiCl_4$ ）、四塩化炭素（ CCl_4 ）など）などがある。また、フッ素を含むガス（フッ素系ガス、例えば四弗化炭素（ CF_4 ）、弗化硫黄（ SF_6 ）、弗化窒素（ NF_3 ）、トリフルオロメタン（ CHF_3 ）など）、臭化水素（ HBr ）、酸素（ O_2 ）、これらのガスにヘリウム（ He ）やアルゴン（ Ar ）などの希ガスを添加したガス、などを用いても良い。

【0096】

ドライエッチング法としては、平行平板型RIE（Reactive Ion Etch

50

ing)法や、ICP(Inductively Coupled Plasma:誘導結合型プラズマ)エッチング法を用いることができる。所望の形状にエッチングできるように、エッチング条件(コイル型の電極に印加される電力量、基板側の電極に印加される電力量、基板側の電極温度等)は適宜設定する。

【0097】

ウェットエッチングに用いるエッチング液としては、燐酸と酢酸と硝酸を混ぜた溶液などを用いることができる。また、ITO07N(関東化学社製)などを用いてもよい。

【0098】

次いで、酸化物半導体層に第1の熱処理を行うことが望ましい。この第1の熱処理によって酸化物半導体層の脱水化または脱水素化を行うことができる。第1の熱処理の温度は、
300 以上750 以下、好ましくは400 以上基板の歪み点未満とする。例えば、抵抗発熱体などを用いた電気炉に基板を導入し、酸化物半導体層140に対して窒素雰囲気下450 において1時間の熱処理を行う。この間、酸化物半導体層140は、大気に触れないようにし、水や水素の再混入が行われなくようにする。

10

【0099】

なお、熱処理装置は電気炉に限られず、加熱されたガスなどの媒体からの熱伝導、または熱輻射によって、被処理物を加熱する装置であっても良い。例えば、GRTA(Gas Rapid Thermal Anneal)装置、LRTA(Lamp Rapid Thermal Anneal)装置等のRTA(Rapid Thermal Anneal)装置を用いることができる。LRTA装置は、ハロゲンランプ、メタルハライドランプ、キセノンアークランプ、カーボンアークランプ、高圧ナトリウムランプ、高圧水銀ランプなどのランプから発する光(電磁波)の輻射により、被処理物を加熱する装置である。GRTA装置は、高温のガスを用いて熱処理を行う装置である。気体としては、アルゴンなどの希ガス、または窒素のような、熱処理によって被処理物と反応しない不活性気体を用いられる。

20

【0100】

例えば、第1の熱処理として、650 ~ 700 の高温に加熱した不活性ガス中に基板を投入し、数分間加熱した後、当該不活性ガス中から基板を取り出すGRTA処理を行ってもよい。GRTA処理を用いると短時間での高温熱処理が可能となる。また、短時間の熱処理であるため、基板の歪み点を超える温度条件であっても適用が可能となる。

30

【0101】

なお、第1の熱処理は、窒素、または希ガス(ヘリウム、ネオン、アルゴン等)を主成分とする雰囲気であって、水、水素などが含まれない雰囲気で行うことが望ましい。例えば、熱処理装置に導入する窒素、またはヘリウム、ネオン、アルゴン等の希ガスの純度を、6N(99.9999%)以上、好ましくは7N(99.99999%)以上(すなわち、不純物濃度が1ppm以下、好ましくは0.1ppm以下)とする。

【0102】

第1の熱処理の条件、または酸化物半導体層の材料によっては、酸化物半導体層が結晶化し、微結晶または多結晶となる場合もある。例えば、結晶化率が90%以上、または80%以上の微結晶の酸化物半導体層となる場合もある。また、第1の熱処理の条件、または酸化物半導体層の材料によっては、結晶成分を含まない非晶質の酸化物半導体層となる場合もある。

40

【0103】

また、非晶質の酸化物半導体(例えば、酸化物半導体層の表面)に微結晶(粒径1nm以上20nm以下(代表的には2nm以上4nm以下))が混在する酸化物半導体層となる場合もある。

【0104】

また、非晶質中に微結晶を配列させることで、酸化物半導体層の電気的特性を変化させることも可能である。例えば、In-Ga-Zn-O系の酸化物半導体成膜用ターゲットを用いて酸化物半導体層を形成する場合には、電気的異方性を有するIn₂Ga₂ZnO₇

50

の結晶粒が配向した微結晶部を形成することで、酸化物半導体層の電気的特性を変化させることができる。

【0105】

より具体的には、例えば、 $\text{In}_2\text{Ga}_2\text{ZnO}_7$ のc軸が酸化物半導体層の表面に垂直な方向をとるように配向させることで、酸化物半導体層の表面に平行な方向の導電性を向上させ、酸化物半導体層の表面に垂直な方向の絶縁性を向上させることができる。また、このような微結晶部は、酸化物半導体層中への水や水素などの不純物の侵入を抑制する機能を有する。

【0106】

なお、上述の微結晶部を有する酸化物半導体層は、GRTA処理による酸化物半導体層の表面加熱によって形成することができる。また、Znの含有量がInまたはGaの含有量より小さいスパッタターゲットを用いることで、より好適に形成することが可能である。

【0107】

酸化物半導体層140に対する第1の熱処理は、島状の酸化物半導体層140に加工する前の酸化物半導体層を行うこともできる。その場合には、第1の熱処理後に、加熱装置から基板を取り出し、フォトリソグラフィ工程を行うことになる。

【0108】

なお、上記第1の熱処理は、酸化物半導体層140に対する脱水化、脱水素化の効果があるから、脱水化処理、脱水素化処理などと呼ぶこともできる。このような脱水化処理、脱水素化処理は、酸化物半導体層の形成後、酸化物半導体層140上にソース電極またはドレイン電極を積層させた後、ソース電極またはドレイン電極上に保護絶縁層を形成した後、などのタイミングにおいて行うことが可能である。また、このような脱水化処理、脱水素化処理は、一回に限らず複数回行っても良い。

【0109】

次に、酸化物半導体層140に接するように、ソース電極またはドレイン電極142a、ソース電極またはドレイン電極142bを形成する(図4(F)参照)。ソース電極またはドレイン電極142a、ソース電極またはドレイン電極142bは、酸化物半導体層140を覆うように導電層を形成した後、当該導電層を選択的にエッチングすることにより形成することができる。

【0110】

導電層は、スパッタ法をはじめとするPVD法や、プラズマCVD法などのCVD法を用いて形成することができる。また、導電層の材料としては、アルミニウム、クロム、銅、タンタル、チタン、モリブデン、タングステンから選ばれた元素や、上述した元素を成分とする合金等を用いることができる。マンガンを、マグネシウム、ジルコニウム、ベリリウム、トリウムから選択されたいずれか一または複数の材料を用いてもよい。また、アルミニウムに、チタン、タンタル、タングステン、モリブデン、クロム、ネオジウム、スカンジウムから選ばれた元素を単数、または複数組み合わせた材料を用いてもよい。導電層は、単層構造であっても良いし、2層以上の積層構造としてもよい。例えば、シリコンを含むアルミニウム膜の単層構造、アルミニウム膜上にチタン膜が積層された2層構造、チタン膜とアルミニウム膜とチタン膜とが積層された3層構造などが挙げられる。

【0111】

ここで、エッチングに用いるマスク形成時の露光には、紫外線やKrFレーザ光やArFレーザ光を用いるのが好適である。

【0112】

トランジスタのチャンネル長(L)は、ソース電極またはドレイン電極142aの下端部と、ソース電極またはドレイン電極142bの下端部との間隔によって決定される。なお、チャンネル長(L)が25nm未満において露光を行う場合には、数nm~数10nmと極めて波長が短い超紫外線(Extreme Ultraviolet)を用いてマスク形成の露光を行う。超紫外線による露光は、解像度が高く焦点深度も大きい。従って、後に形成されるトランジスタのチャンネル長(L)を10nm以上1000nm以下とすること

10

20

30

40

50

も可能であり、回路の動作速度を高速化できる。さらにオフ電流値が極めて小さいため、消費電力が大きくなりすぎずに済む。

【0113】

なお、導電層のエッチングの際には、酸化物半導体層140が除去されないように、それぞれの材料およびエッチング条件を適宜調節する。なお、材料およびエッチング条件によっては、当該工程において、酸化物半導体層140の一部がエッチングされ、溝部（凹部）を有する酸化物半導体層となることもある。

【0114】

また、酸化物半導体層140とソース電極またはドレイン電極142aの間や、酸化物半導体層140とソース電極またはドレイン電極142bの間には、酸化物導電層を形成してもよい。酸化物導電層と、ソース電極またはドレイン電極142aやソース電極またはドレイン電極142bを形成するための金属層は、連続して形成すること（連続成膜）が可能である。酸化物導電層はソース領域またはドレイン領域として機能しうる。このような酸化物導電層を設けることで、ソース領域またはドレイン領域の低抵抗化を図ることができるため、トランジスタの高速動作が実現される。

10

【0115】

また、上記マスクの使用数や工程数を削減するため、透過した光が複数の強度となる露光マスクである多階調マスクによってレジストマスクを形成し、これを用いてエッチング工程を行ってもよい。多階調マスクを用いて形成したレジストマスクは、複数の厚みを有する形状（階段状）となり、アッシングによりさらに形状を変形させることができるため、異なるパターンに加工する複数のエッチング工程に用いることができる。つまり、一枚の多階調マスクによって、少なくとも二種類以上の異なるパターンに対応するレジストマスクを形成することができる。よって、露光マスク数を削減することができ、対応するフォトリソグラフィ工程も削減できるため、工程の簡略化が図れる。

20

【0116】

なお、上述の工程の後には、 N_2O 、 N_2 、またはArなどのガスを用いたプラズマ処理を行うのが好ましい。当該プラズマ処理によって、露出している酸化物半導体層の表面に付着した水などが除去される。また、酸素とアルゴンの混合ガスを用いてプラズマ処理を行ってもよい。

【0117】

次に、大気に触れさせることなく、酸化物半導体層140の一部に接する保護絶縁層144を形成する（図4（G）参照）。

30

【0118】

保護絶縁層144は、スパッタ法など、保護絶縁層144に水、水素等の不純物を混入させない方法を適宜用いて形成することができる。また、その厚さは、1nm以上とする。保護絶縁層144に用いることができる材料としては、酸化珪素、窒化珪素、酸化窒化珪素、窒化酸化珪素などがある。また、その構造は、単層構造としても良いし、積層構造としても良い。保護絶縁層144を形成する際の基板温度は、室温以上300以下とするのが好ましく、雰囲気は、希ガス（代表的にはアルゴン）雰囲気、酸素雰囲気、または希ガス（代表的にはアルゴン）と酸素の混合雰囲気とするのが好適である。

40

【0119】

保護絶縁層144に水素が含まれると、その水素の酸化物半導体層への侵入や、水素による酸化物半導体層中の酸素の引き抜き、などが生じ、酸化物半導体層のバックチャネル側が低抵抗化してしまい、寄生チャネルが形成されるおそれがある。よって、保護絶縁層144はできるだけ水素を含まないように、形成方法においては水素を用いないことが重要である。

【0120】

また、処理室内の残留水分を除去しつつ保護絶縁層144を形成することが好ましい。酸化物半導体層140および保護絶縁層144に水素、水酸基または水が含まれないようにするためである。

50

【0121】

処理室内の残留水分を除去するためには、吸着型の真空ポンプを用いることが好ましい。例えば、クライオポンプ、イオンポンプ、チタンサブリメーションポンプを用いることが好ましい。また、排気手段としては、ターボポンプにコールドトラップを加えたものであってもよい。クライオポンプを用いて排気した成膜室は、例えば、水素原子や、水(H₂O)など水素原子を含む化合物等が除去されているため、当該成膜室で形成した保護絶縁層144に含まれる不純物の濃度を低減できる。

【0122】

保護絶縁層144を形成する際に用いるスパッタガスとしては、水素、水、水酸基または水素化物などの不純物の濃度が数ppm程度(望ましくは数ppb程度)にまで低減された高純度ガスを用いることが好ましい。

10

【0123】

次いで、不活性ガス雰囲気下、または酸素ガス雰囲気下で第2の熱処理(好ましくは200以上400以下、例えば250以上350以下)を行うのが望ましい。例えば、窒素雰囲気下で250、1時間の第2の熱処理を行う。第2の熱処理を行うと、ランジスタの電気的特性のばらつきを低減することができる。

【0124】

また、大気中、100以上200以下、1時間以上30時間以下の熱処理を行ってもよい。この熱処理は一定の加熱温度を保持して加熱してもよいし、室温から、100以上200以下の加熱温度への昇温と、加熱温度から室温までの降温を複数回くりかえして行ってもよい。また、この熱処理を、保護絶縁層の形成前に、減圧下で行ってもよい。減圧下で熱処理を行うと、加熱時間を短縮することができる。なお、当該熱処理は、上記第2の熱処理に代えて行っても良いし、第2の熱処理の前後などに行っても良い。

20

【0125】

次に、保護絶縁層144上に、層間絶縁層146を形成する(図5(A)参照)。層間絶縁層146はPVD法やCVD法などを用いて形成することができる。また、酸化シリコン、窒化酸化シリコン、窒化シリコン、酸化ハフニウム、酸化アルミニウム、酸化タンタル等の無機絶縁材料を含む材料を用いて形成することができる。層間絶縁層146の形成後には、その表面を、CMPやエッチングなどの方法によって平坦化しておくことが望ましい。

30

【0126】

次に、層間絶縁層146、保護絶縁層144、およびゲート絶縁層138に対し、電極136a、電極136b、電極136c、ソース電極またはドレイン電極142a、ソース電極またはドレイン電極142bにまで達する開口を形成し、当該開口に埋め込むように導電層148を形成する(図5(B)参照)。上記開口はマスクを用いたエッチングなどの方法で形成することができる。当該マスクは、フォトマスクを用いた露光などの方法によって形成することが可能である。エッチングとしてはウェットエッチング、ドライエッチングのいずれを用いても良いが、微細加工の観点からは、ドライエッチングを用いることが好適である。導電層148の形成は、PVD法やCVD法などの成膜法を用いて行うことができる。導電層148の形成に用いることができる材料としては、モリブデン、チタン、クロム、タンタル、タングステン、アルミニウム、銅、ネオジウム、スカンジウムなどの導電性材料や、これらの合金、化合物(例えば窒化物)などが挙げられる。

40

【0127】

具体的には、例えば、開口を含む領域にPVD法によりチタン膜を薄く形成し、CVD法により窒化チタン膜を薄く形成した後に、開口に埋め込むようにタングステン膜を形成する方法を適用することができる。ここで、PVD法により形成されるチタン膜は、下部電極(ここでは、電極136a、電極136b、電極136c、ソース電極またはドレイン電極142a、ソース電極またはドレイン電極142b)との界面の酸化膜を還元し、下部電極との接触抵抗を低減させる機能を有する。また、その後の形成される窒化チタンは、導電性材料の拡散を抑制するバリア機能を備える。また、チタンや、窒化チタンなどに

50

よるバリア膜を形成した後に、メッキ法により銅膜を形成してもよい。

【0128】

導電層148を形成した後は、エッチングやCMPなどの方法を用いて導電層148の一部を除去し、層間絶縁層146を露出させて、電極150a、電極150b、電極150c、電極150d、電極150eを形成する(図5(C)参照)。なお、上記導電層148の一部を除去して電極150a、電極150b、電極150c、電極150d、電極150eを形成する際には、表面が平坦になるように加工することが望ましい。このように、層間絶縁層146、電極150a、電極150b、電極150c、電極150d、電極150eの表面を平坦化することにより、後の工程において、良好な電極、配線、絶縁層、半導体層などを形成することが可能となる。

10

【0129】

さらに、絶縁層152を形成し、絶縁層152に、電極150a、電極150b、電極150c、電極150d、電極150eにまで達する開口を形成し、当該開口に埋め込むように導電層を形成した後、エッチングやCMPなどの方法を用いて導電層の一部を除去し、絶縁層152を露出させて、電極154a、電極154b、電極154c、電極154dを形成する(図5(D)参照)。当該工程は、電極150a等を形成する場合と同様であるから、詳細は省略する。

【0130】

上述のような方法でトランジスタ162を作製した場合、酸化物半導体層140の水素濃度は $5 \times 10^{19} \text{ atoms/cm}^3$ 以下となり、また、トランジスタ162のオフ電流は $1 \times 10^{-13} \text{ A}$ 以下となる。このような、水素濃度が十分に低減されて高純度化された酸化物半導体層140を適用することで、優れた特性のトランジスタ162を得ることができる。また、下部に酸化物半導体以外の材料を用いたトランジスタ160を有し、上部に酸化物半導体を用いたトランジスタ162を有する優れた特性の半導体装置を作製することができる。

20

【0131】

なお、酸化物半導体との比較対象たり得る半導体材料としては、炭化珪素(例えば、4H-SiC)がある。酸化物半導体と4H-SiCはいくつかの共通点を有している。キャリア密度はその一例である。常温での酸化物半導体の真性キャリア密度は $10^{-7} / \text{cm}^3$ 程度と見積もられるが、これは、4H-SiCにおける $6.7 \times 10^{-11} / \text{cm}^3$ と同様、極めて低い値である。シリコンの真性キャリア密度($1.4 \times 10^{10} / \text{cm}^3$ 程度)と比較すれば、その程度が並はずれていることが良く理解できる。

30

【0132】

また、酸化物半導体のエネルギーバンドギャップは3.0~3.5eVであり、4H-SiCのエネルギーバンドギャップは3.26eVであるから、ワイドギャップ半導体という点においても、酸化物半導体と炭化珪素とは共通している。

【0133】

一方で、酸化物半導体と炭化珪素の間には極めて大きな相違点が存在する。それは、プロセス温度である。炭化珪素は一般に1500~2000の熱処理を必要とするから、他の半導体材料を用いた半導体素子との積層構造は困難である。このような高い温度では、半導体基板や半導体素子などが破壊されてしまうためである。他方、酸化物半導体は、300~500(ガラス転移温度以下、最高でも700程度)の熱処理で作製することが可能であり、他の半導体材料を用いて集積回路を形成した上で、酸化物半導体による半導体素子を形成することが可能となる。

40

【0134】

また、炭化珪素の場合と異なり、ガラス基板など、耐熱性の低い基板を用いることが可能であるという利点を有する。さらに、高温での熱処理が不要という点で、炭化珪素と比較してエネルギーコストを低くすることができるという利点を有する。

【0135】

なお、酸化物半導体において、物性研究は多くなされているが、これらの研究は、エネル

50

ギーギャップ中の局在準位そのものを十分に減らすという思想を含まない。開示する発明の一態様では、局在準位の原因たり得る水や水素を酸化物半導体中より除去することで、高純度化した酸化物半導体を作製する。これは、エネルギーギャップ中の局在準位そのものを十分に減らすという思想に立脚するものである。そして、これによって極めて優れた工業製品の製造を可能とするものである。

【0136】

さらに、酸素欠乏により発生する金属の未結合手に対して酸素を供給し、酸素欠陥による局在準位を減少させることにより、いっそう高純度化された(i型の)酸化物半導体とすることも可能である。たとえば、チャンネル形成領域に密接して酸素過剰の酸化膜を形成し、当該酸化膜から酸素を供給して、酸素欠陥による局在準位を減少させることが可能である。

10

【0137】

酸化物半導体中のドナーは、過剰な水素による伝導帯下 $0.1\text{ eV} \sim 0.2\text{ eV}$ の浅い準位や、酸素の不足による深い準位、などに起因するものとされている。これらの欠陥を無くすために、水素を徹底的に除去し、酸素を十分に供給する、という技術思想は正しいものである。

【0138】

また、酸化物半導体は一般にn型とされているが、開示する発明の一態様では、不純物、特に水や水素を除去することによりi型化を実現する。この点において、シリコンなどのように不純物を添加してのi型化ではないため、従来にない技術思想を含むものといえる。

20

【0139】

<酸化物半導体を用いたトランジスタの電導機構>

ここで、酸化物半導体を用いたトランジスタの電導機構につき、図22乃至図25を用いて説明する。なお、以下の説明は一考察に過ぎず、これに基づいて発明の有効性が否定されるものではないことを付記する。

【0140】

図22は、酸化物半導体を用いた逆スタガー型のトランジスタ(薄膜トランジスタ)の縦断面図である。ゲート電極(GE1)上にゲート絶縁層(GI)を介して酸化物半導体層(OS)が設けられ、その上にソース電極(S)およびドレイン電極(D)が設けられている。

30

【0141】

図23(A)、図23(B)には、図22のA-A'上におけるエネルギーバンド構造の模式図を示す。図23(B)は、ドレインに正の電圧($V_D > 0$)を印加した上で、破線はゲートに電圧を印加しない場合($V_G = 0$)、実線はゲートに正の電圧($V_G > 0$)を印加した場合を示す。ゲートに電圧を印加しない場合は高いポテンシャル障壁のために電極から酸化物半導体側へキャリア(電子)が注入されず、電流を流さないオフ状態を示す。一方、ゲートに正の電圧を印加するとポテンシャル障壁が低下し、電流を流すオン状態を示す。

40

【0142】

図24(A)、図24(B)には、図22のB-B'の断面におけるエネルギーバンド図(模式図)を示す。図24(A)は、ゲート(GE1)に正の電位 $+V_G$ ($V_G > 0$)が与えられた状態であり、ソースとドレインとの間にキャリア(電子)が流れるオン状態を示している。また、図24(B)は、ゲート(GE1)に負の電位 $-V_G$ ($V_G > 0$)が与えられた状態であり、オフ状態(少数キャリアは流れない状態)を示す。

【0143】

図25は、真空準位と金属の仕事関数(ϕ_M)、酸化物半導体の電子親和力(χ)の関係を示す。

【0144】

金属は縮退しており、フェルミ準位は伝導帯内に位置する。一方、従来の酸化物半導体は

50

n型であり、そのフェルミ準位 (E_f) は、バンドギャップ中央に位置する真性フェルミ準位 (E_i) から離れて、伝導帯寄りに位置している。なお、酸化物半導体において水素の一部はドナーとなり、n型化する要因の一つであることが知られている。

【0145】

これに対して開示する発明の一態様に係る酸化物半導体は、n型化の要因である水素を酸化物半導体から除去し、酸化物半導体の主成分以外の元素（不純物元素）が極力含まれないように高純度化することにより真性（i型）とし、または真性に近づけたものである。すなわち、不純物元素を添加してi型化するのでなく、水素や水等の不純物を極力除去することにより、高純度化されたi型（真性半導体）またはそれに近づけることを特徴としている。これにより、フェルミ準位 (E_f) は真性フェルミ準位 (E_i) と同程度とすることができる。

10

【0146】

酸化物半導体のバンドギャップ (E_g) は 3.15 eV で、電子親和力 (χ) は 4.3 eV と言われている。ソース電極やドレイン電極を構成するチタン (Ti) の仕事関数は、酸化物半導体の電子親和力 (χ) とほぼ等しい。この場合、金属-酸化物半導体界面において、電子に対してショットキー型の障壁は形成されない。

【0147】

すなわち、金属の仕事関数 (ϕ_m) と酸化物半導体の電子親和力 (χ) が等しい場合、両者が接触すると図23(A)で示すようなエネルギーバンド図（模式図）が示される。

【0148】

図23(B)において黒丸 (\bullet) は電子を示す。ドレインに正の電位が与えられると、電子はバリア (h) をこえて酸化物半導体に注入され、ドレインに向かって流れる。バリア (h) の高さは、ゲート電圧とドレイン電圧に依存して変化するが、正のドレイン電圧が印加される場合には、電圧印加のない図23(A)のバリアの高さ、すなわちバンドギャップ (E_g) の $1/2$ 、より低くなる。

20

【0149】

このとき電子は、図24(A)で示すように、ゲート絶縁層と高純度化された酸化物半導体との界面付近（酸化物半導体のエネルギー的に安定な最低部）を移動する。

【0150】

また、図24(B)に示すように、ゲート電極 (GE1) に負の電位が与えられると、少数キャリアであるホールは実質的にゼロであるため、電流は限りなくゼロに近い値となる。

30

【0151】

このように酸化物半導体の主成分以外の元素（不純物元素）が極力含まれないように酸化物半導体を高純度化させることにより、真性（i型）、または実質的に真性となるため、ゲート絶縁層との界面特性が顕在化する。そのため、ゲート絶縁層には、酸化物半導体と良好な界面を形成できるものが要求される。具体的には、例えば、VHF帯～ μ 波帯の電源周波数で生成される高密度プラズマを用いたCVD法で作製される絶縁層や、スパッタリング法で作製される絶縁層などを用いることが好ましい。

【0152】

酸化物半導体を高純度化しつつ、酸化物半導体とゲート絶縁層との界面を良好なものとすることにより、例えば、トランジスタのチャネル幅 W が $1 \times 10^4 \mu\text{m}$ 、チャネル長が $3 \mu\text{m}$ の場合には、常温において 10^{-13} A 以下のオフ電流、 0.1 V/dec のサブスレッショルドスイング値 (S値) (ゲート絶縁層の厚さ: 100 nm) が実現され得る。

40

【0153】

このように、酸化物半導体の主成分以外の元素（不純物元素）が極力含まれないように酸化物半導体を高純度化させることにより、トランジスタの動作を良好なものとすることができる。

【0154】

50

< 変形例 >

図 6 乃至図 9 には、半導体装置の構成の変形例を示す。なお、以下では、変形例として、トランジスタ 162 の構成が上記とは異なるものについて説明する。つまり、トランジスタ 160 の構成は上記と同様である。

【0155】

図 6 には、酸化物半導体層 140 の下にゲート電極 136 d を有し、ソース電極またはドレイン電極 142 a や、ソース電極またはドレイン電極 142 b が、酸化物半導体層 140 の下側表面において酸化物半導体層 140 と接する構成のトランジスタ 162 を有する半導体装置の例を示す。なお、平面の構造は、断面に対応して適宜変更すればよいから、ここでは、断面についてのみ示すこととする。

10

【0156】

図 6 に示す構成と図 2 に示す構成の大きな相違点として、ソース電極またはドレイン電極 142 a や、ソース電極またはドレイン電極 142 b と、酸化物半導体層 140 との接続の位置がある。つまり、図 2 に示す構成では、酸化物半導体層 140 の上側表面において、ソース電極またはドレイン電極 142 a や、ソース電極またはドレイン電極 142 b と接するのに対して、図 6 に示す構成では、酸化物半導体層 140 の下側表面において、ソース電極またはドレイン電極 142 a や、ソース電極またはドレイン電極 142 b と接する。そして、この接触の相違に起因して、その他の電極、絶縁層などの配置が異なるものとなっている。各構成要素の詳細は、図 2 と同様である。

【0157】

具体的には、図 6 に示す半導体装置は層間絶縁層 128 上に設けられたゲート電極 136 d と、ゲート電極 136 d 上に設けられたゲート絶縁層 138 と、ゲート絶縁層 138 上に設けられた、ソース電極またはドレイン電極 142 a、ソース電極またはドレイン電極 142 b と、ソース電極またはドレイン電極 142 a、ソース電極またはドレイン電極 142 b の上側表面に接する酸化物半導体層 140 と、を有する。

20

【0158】

ここで、ゲート電極 136 d は、層間絶縁層 128 上に形成された絶縁層 132 に、埋め込まれるように設けられている。また、ゲート電極 136 d と同様に、ソース電極またはドレイン電極 130 a に接して電極 136 a が、ソース電極またはドレイン電極 130 b に接して電極 136 b が、電極 130 c に接して電極 136 c が、それぞれ形成されている。

30

【0159】

また、トランジスタ 162 の上には、酸化物半導体層 140 の一部と接するように、保護絶縁層 144 が設けられており、保護絶縁層 144 上には層間絶縁層 146 が設けられている。ここで、保護絶縁層 144 および層間絶縁層 146 には、ソース電極またはドレイン電極 142 a、ソース電極またはドレイン電極 142 b にまで達する開口が設けられており、当該開口を通じて、電極 150 d、電極 150 e が、ソース電極またはドレイン電極 142 a、ソース電極またはドレイン電極 142 b に接して形成されている。また、電極 150 d、電極 150 e と同様に、ゲート絶縁層 138、保護絶縁層 144、層間絶縁層 146 に設けられた開口を通じて、電極 136 a、電極 136 b、電極 136 c に接する電極 150 a、電極 150 b、電極 150 c が形成されている。

40

【0160】

また、層間絶縁層 146 上には絶縁層 152 が設けられており、当該絶縁層 152 に埋め込まれるように、電極 154 a、電極 154 b、電極 154 c、電極 154 d が設けられている。ここで、電極 154 a は電極 150 a と接しており、電極 154 b は電極 150 b と接しており、電極 154 c は電極 150 c および電極 150 d と接しており、電極 154 d は電極 150 e と接している。

【0161】

図 7 は、酸化物半導体層 140 の上にゲート電極 136 d を有する構成の例である。ここで、図 7 (A) は、ソース電極またはドレイン電極 142 a や、ソース電極またはドレ

50

ン電極 1 4 2 b が、酸化物半導体層 1 4 0 の下側表面において酸化物半導体層 1 4 0 と接する構成の例であり、図 7 (B) は、ソース電極またはドレイン電極 1 4 2 a や、ソース電極またはドレイン電極 1 4 2 b が、酸化物半導体層 1 4 0 の上側表面において酸化物半導体層 1 4 0 と接する構成の例である。

【 0 1 6 2 】

図 2 や図 6 に示す構成と図 7 に示す構成の大きな相違点は、酸化物半導体層 1 4 0 の上にゲート電極 1 3 6 d を有する点である。また、図 7 (A) に示す構成と図 7 (B) に示す構成の大きな相違点は、ソース電極またはドレイン電極 1 4 2 a や、ソース電極またはドレイン電極 1 4 2 b が、酸化物半導体層 1 4 0 の下側表面または上側表面のいずれにおいて接触するか、という点である。そして、これらの相違に起因して、その他の電極、絶縁層などの配置が異なるものとなっている。各構成要素の詳細は、図 2 などと同様である。

10

【 0 1 6 3 】

具体的には、図 7 (A) に示す半導体装置は、層間絶縁層 1 2 8 上に設けられたソース電極またはドレイン電極 1 4 2 a、ソース電極またはドレイン電極 1 4 2 b と、ソース電極またはドレイン電極 1 4 2 a、ソース電極またはドレイン電極 1 4 2 b の上側表面に接する酸化物半導体層 1 4 0 と、酸化物半導体層 1 4 0 上に設けられたゲート絶縁層 1 3 8 と、ゲート絶縁層 1 3 8 上の酸化物半導体層 1 4 0 と重畳する領域のゲート電極 1 3 6 d と、を有する。

【 0 1 6 4 】

また、図 7 (B) に示す半導体装置は、層間絶縁層 1 2 8 上に設けられた酸化物半導体層 1 4 0 と、酸化物半導体層 1 4 0 の上側表面に接するように設けられたソース電極またはドレイン電極 1 4 2 a、ソース電極またはドレイン電極 1 4 2 b と、酸化物半導体層 1 4 0、ソース電極またはドレイン電極 1 4 2 a、および、ソース電極またはドレイン電極 1 4 2 b 上に設けられたゲート絶縁層 1 3 8 と、ゲート絶縁層 1 3 8 上の酸化物半導体層 1 4 0 と重畳する領域のゲート電極 1 3 6 d と、を有する。

20

【 0 1 6 5 】

なお、図 7 に示す構成では、図 2 に示す構成などと比較して、構成要素が省略できる場合がある（例えば、電極 1 5 0 a や、電極 1 5 4 a など）。この場合、作製工程の簡略化という副次的な効果も得られる。もちろん、図 2 などに示す構成においても、必須ではない構成要素を省略できることはいうまでもない。

30

【 0 1 6 6 】

図 8 は、素子のサイズが比較的大きい場合であって、酸化物半導体層 1 4 0 の下にゲート電極 1 3 6 d を有する構成の例である。この場合、表面の平坦性やカバレッジに対する要求は比較的緩やかなものであるから、配線や電極などを絶縁層中に埋め込むように形成する必要はない。例えば、導電層の形成後にパターニングを行うことで、ゲート電極 1 3 6 d などを形成することが可能である。なお、ここでは図示しないが、トランジスタ 1 6 0 についても、同様に作製することが可能である。

【 0 1 6 7 】

図 8 (A) に示す構成と図 8 (B) に示す構成の大きな相違点は、ソース電極またはドレイン電極 1 4 2 a や、ソース電極またはドレイン電極 1 4 2 b が、酸化物半導体層 1 4 0 の下側表面または上側表面のいずれにおいて接触するか、という点である。そして、これらの相違に起因して、その他の電極、絶縁層などの配置が異なるものとなっている。各構成要素の詳細は、図 2 などと同様である。

40

【 0 1 6 8 】

具体的には、図 8 (A) に示す半導体装置は、層間絶縁層 1 2 8 上に設けられたゲート電極 1 3 6 d と、ゲート電極 1 3 6 d 上に設けられたゲート絶縁層 1 3 8 と、ゲート絶縁層 1 3 8 上に設けられた、ソース電極またはドレイン電極 1 4 2 a、ソース電極またはドレイン電極 1 4 2 b と、ソース電極またはドレイン電極 1 4 2 a、ソース電極またはドレイン電極 1 4 2 b の上側表面に接する酸化物半導体層 1 4 0 と、を有する。

【 0 1 6 9 】

50

また、図 8 (B) に示す半導体装置は、層間絶縁層 1 2 8 上に設けられたゲート電極 1 3 6 d と、ゲート電極 1 3 6 d 上に設けられたゲート絶縁層 1 3 8 と、ゲート絶縁層 1 3 8 上のゲート電極 1 3 6 d と重畳する領域に設けられた酸化物半導体層 1 4 0 と、酸化物半導体層 1 4 0 の上側表面に接するように設けられたソース電極またはドレイン電極 1 4 2 a、ソース電極またはドレイン電極 1 4 2 b と、を有する。

【 0 1 7 0 】

なお、図 8 に示す構成においても、図 2 に示す構成などと比較して、構成要素が省略できる場合がある。この場合も、作製工程の簡略化という効果が得られる。

【 0 1 7 1 】

図 9 は、素子のサイズが比較的大きい場合であって、酸化物半導体層 1 4 0 の上にゲート電極 1 3 6 d を有する構成の例である。この場合にも、表面の平坦性やカバレッジに対する要求は比較的緩やかなものであるから、配線や電極などを絶縁層中に埋め込むように形成する必要はない。例えば、導電層の形成後にパターニングを行うことで、ゲート電極 1 3 6 d などを形成することが可能である。なお、ここでは図示しないが、トランジスタ 1 6 0 についても、同様に作製することが可能である。

10

【 0 1 7 2 】

図 9 (A) に示す構成と図 9 (B) に示す構成の大きな相違点は、ソース電極またはドレイン電極 1 4 2 a や、ソース電極またはドレイン電極 1 4 2 b が、酸化物半導体層 1 4 0 の下側表面または上側表面のいずれにおいて接触するか、という点である。そして、これらの相違に起因して、その他の電極、絶縁層などの配置が異なるものとなっている。各構成要素の詳細は、図 2 などと同様である。

20

【 0 1 7 3 】

具体的には、図 9 (A) に示す半導体装置は、層間絶縁層 1 2 8 上に設けられたソース電極またはドレイン電極 1 4 2 a、ソース電極またはドレイン電極 1 4 2 b と、ソース電極またはドレイン電極 1 4 2 a、ソース電極またはドレイン電極 1 4 2 b の上側表面に接する酸化物半導体層 1 4 0 と、ソース電極またはドレイン電極 1 4 2 a、ソース電極またはドレイン電極 1 4 2 b、酸化物半導体層 1 4 0 上に設けられたゲート絶縁層 1 3 8 と、ゲート絶縁層 1 3 8 上の酸化物半導体層 1 4 0 と重畳する領域に設けられたゲート電極 1 3 6 d と、を有する。

【 0 1 7 4 】

また、図 9 (B) に示す半導体装置は、層間絶縁層 1 2 8 上に設けられた酸化物半導体層 1 4 0 と、酸化物半導体層 1 4 0 の上側表面に接するように設けられたソース電極またはドレイン電極 1 4 2 a、ソース電極またはドレイン電極 1 4 2 b と、ソース電極またはドレイン電極 1 4 2 a、ソース電極またはドレイン電極 1 4 2 b、酸化物半導体層 1 4 0 上に設けられたゲート絶縁層 1 3 8 と、ゲート絶縁層 1 3 8 上の酸化物半導体層 1 4 0 と重畳する領域に設けられたゲート電極 1 3 6 d と、を有する。

30

【 0 1 7 5 】

なお、図 9 に示す構成においても、図 2 に示す構成などと比較して、構成要素が省略できる場合がある。この場合も、作製工程の簡略化という効果が得られる。

【 0 1 7 6 】

以上に示したように、開示する発明の一態様によって、新たな構成の半導体装置が実現される。本実施の形態では、トランジスタ 1 6 0 とトランジスタ 1 6 2 を積層して形成する例について説明したが、半導体装置の構成はこれに限られるものではない。また、本実施の形態では、トランジスタ 1 6 0 とトランジスタ 1 6 2 のチャンネル長方向が互いに垂直となる例を説明したが、トランジスタ 1 6 0 とトランジスタ 1 6 2 の位置関係などはこれに限られるものではない。さらに、トランジスタ 1 6 0 とトランジスタ 1 6 2 とを重畳して設けても良い。

40

【 0 1 7 7 】

また、本実施の形態では理解の簡単のため、最小記憶単位 (1 ビット) の半導体装置について説明したが、半導体装置の構成はこれに限られるものではない。複数の半導体装置を

50

適当に接続して、より高度な半導体装置を構成することもできる。例えば、上記半導体装置を複数用いて、NAND型やNOR型の半導体装置を構成することが可能である。配線の構成も図1に限定されず、適宜変更することができる。

【0178】

本実施の形態に係る半導体装置は、トランジスタ162の低オフ電流特性により、極めて長時間にわたり情報を保持することが可能である。つまり、DRAMなどで必要とされるリフレッシュ動作が不要であり、消費電力を抑制することができる。また、実質的な不揮発性記憶装置として用いることが可能である。

【0179】

また、トランジスタ162のスイッチング動作によって情報の書き込みなどを行うため、高い電圧を必要とせず、素子の劣化の問題もない。さらに、トランジスタのオン、オフによって、情報の書き込みや消去が行われるため、高速動作も容易に実現しうる。また、トランジスタに入力する電位を制御することで情報を直接書き換えることが可能である。このため、フラッシュメモリなどにおいて必要とされる消去動作が不要であり、消去動作に起因する動作速度の低下を抑制することができる。

10

【0180】

また、酸化物半導体以外の材料を用いたトランジスタは、酸化物半導体を用いたトランジスタと比較して、さらなる高速動作が可能のため、これを用いることにより、記憶内容の読み出しを高速に行うことが可能である。

【0181】

本実施の形態に示す構成、方法などは、他の実施の形態に示す構成、方法などと適宜組み合わせる用いることができる。

20

【0182】

(実施の形態2)

本実施の形態では、本発明の一態様に係る半導体装置の回路構成および動作方法について説明する。

【0183】

半導体装置が有する記憶素子(以下、メモリセルとも記載する)の回路図の一例を図10に示す。図10に示すメモリセル200は、第3の配線S1(第1信号線)と、第4の配線S2(第2信号線)と、第5の配線WL(ワード線)と、トランジスタ201と、トランジスタ202と、トランジスタ203と、から構成されている。トランジスタ201及びトランジスタ203は、酸化物半導体以外の材料を用いて形成されており、トランジスタ202は酸化物半導体を用いて形成されている。ここで、トランジスタ201及びトランジスタ203は、実施の形態1に示すトランジスタ160と同様の構成とするのが好ましい。また、トランジスタ202は、実施の形態1に示すトランジスタ162と同様の構成とするのが好ましい。また、メモリセル200は、第1の配線SL(ソース線)及び第2の配線BL(ビット線)と電気的に接続されており、トランジスタ(他のメモリセルを構成するものも含む。)を介して、第1の配線SL及び第2の配線BLと電気的に接続されるのが好適である。

30

【0184】

ここで、トランジスタ201のゲート電極と、トランジスタ202のソース電極またはドレイン電極の一方とは、電気的に接続されている。また、第1の配線SLと、トランジスタ201のソース電極と、トランジスタ203のソース電極とは、電気的に接続され、第2の配線BLと、トランジスタ201のドレイン電極と、トランジスタ203のドレイン電極とは、電気的に接続されている。そして、第3の配線S1と、トランジスタ202のソース電極またはドレイン電極の他方とは、電気的に接続され、第4の配線S2と、トランジスタ202のゲート電極とは、電気的に接続され、第5の配線WLと、トランジスタ203のゲート電極とは電気的に接続されている。なお、第1の配線SLと、トランジスタ201のソース電極及びトランジスタ203のソース電極とは、トランジスタ(他のメモリセルを構成するものも含む。)を介して接続されていてもよい。また、第2の配線B

40

50

Lと、トランジスタ201のドレイン電極及びトランジスタ203のドレイン電極とは、トランジスタ(他のメモリセルを構成するものも含む。)を介して接続されていてもよい。

【0185】

図11に、 $m \times n$ ビットの記憶容量を有する本発明の一態様に係る半導体装置のブロック回路図を示す。ここでは一例として、メモリセル200が直列に接続されたNAND型の半導体装置を示す。

【0186】

本発明の一態様に係る半導体装置は、 m 本の第5の配線 $WL(1) \sim WL(m)$ 及び第4の配線 $S2(1) \sim S2(m)$ と、 n 本の第1の配線 $SL(1) \sim SL(n)$ 、第2の配線 $BL(1) \sim BL(n)$ 及び第3の配線 $S1(1) \sim S1(n)$ と、2本の第6の配線 $SEL(1)$ 、 $SEL(2)$ と、複数のメモリセル200(1,1)~200(m,n)が縦 m 個(行) \times 横 n 個(列)(m 、 n は自然数)のマトリクス状に配置されたメモリセルアレイ210と、第6の配線 $SEL(1)$ に沿って、第2の配線 $BL(1) \sim BL(n)$ とメモリセル200(1,1)~200(1,n)の間に配置されたトランジスタ215(1,1)~215(1,n)と、第6の配線 $SEL(2)$ に沿って、第1の配線 $SL(1) \sim SL(n)$ とメモリセル200(m,1)~200(m,n)の間に配置されたトランジスタ215(2,1)~215(2,n)と、第2の配線及び第3の配線の駆動回路211と、第4の配線及び第5の配線の駆動回路213と、読み出し回路212といった周辺回路によって構成されている。他の周辺回路として、リフレッシュ回路等が設けられてもよい。

【0187】

各メモリセル200(代表として、メモリセル200(i , j))を考える。ここで、 i は1以上 m 以下の整数、 j は1以上 n 以下の整数である。)は、第3の配線 $S1(j)$ 、第4の配線 $S2(i)$ 及び第5の配線 $WL(i)$ にそれぞれ接続されている。また、メモリセル200(i_1 , j)(i_1 は2~ m の整数)が有するトランジスタ201及びトランジスタ203のドレイン電極は、メモリセル200(i_1-1 , j)が有するトランジスタ201及びトランジスタ203のソース電極に接続され、メモリセル200(i_2 , j)(i_2 は1~ $m-1$ の整数)が有するトランジスタ201及びトランジスタ203のソース電極は、メモリセル200(i_2+1 , j)が有するトランジスタ201及びトランジスタ203のドレイン電極に接続される。メモリセル200(1, j)が有するトランジスタ201及びトランジスタ203のドレイン電極は、トランジスタ215(1, j)のソース電極に接続され、メモリセル200(m , j)が有するトランジスタ201及びトランジスタ203のソース電極は、トランジスタ215(2, j)のドレイン電極に接続される。トランジスタ215(1, j)のドレイン電極は第2の配線 $BL(j)$ に接続され、トランジスタ215(2, j)のソース電極は第1の配線 $SL(j)$ に接続される。また、トランジスタ215(1, j)のゲート電極は、第6の配線 $SEL(1)$ に接続され、トランジスタ215(2, j)のゲート電極は、第6の配線 $SEL(2)$ に接続される。

【0188】

また、第2の配線 $BL(1) \sim BL(n)$ 及び第3の配線 $S1(1) \sim S1(n)$ は第2の配線及び第3の配線の駆動回路211に、第5の配線 $WL(1) \sim WL(m)$ 、第4の配線 $S2(1) \sim S2(m)$ 及び第6の配線 $SEL(1)$ 、 $SEL(2)$ は第4の配線及び第5の配線の駆動回路213にそれぞれ接続されている。また、第2の配線 $BL(1) \sim BL(n)$ は、読み出し回路212にも接続されている。第1の配線 $SL(1) \sim SL(n)$ には電位 V_s が与えられている。なお、第1の配線 $SL(1) \sim SL(n)$ は必ずしも分離されている必要はなく、互いに電氣的に接続されているような構成にしてもよい。

【0189】

図11に示した半導体装置の動作について説明する。本構成では、行ごとの書き込みおよび

び読み出しを行う。

【0190】

第 i 行のメモリセル $200(i, 1) \sim 200(i, n)$ に書き込みを行う場合は、第 4 の配線 $S2(i)$ を $2V$ とし、選択したメモリセルのトランジスタ 202 をオン状態とする。一方、第 i 行以外の第 4 の配線 $S2$ は $0V$ とし、非選択のメモリセルのトランジスタ 202 をオフ状態とする。第 3 の配線 $S1(1) \sim S1(n)$ は、データ "1" を書き込む列では $2V$ 、データ "0" を書き込む列では $0V$ とする。なお、書き込み終了にあたっては、第 3 の配線 $S1(1) \sim S1(n)$ の電位が変化する前に、第 4 の配線 $S2(i)$ を $0V$ として、選択したメモリセルのトランジスタ 202 をオフ状態にする。他の配線は、例えば、第 2 の配線 $BL(1) \sim BL(n)$ を $0V$ 、第 5 の配線 $WL(1) \sim WL(m)$ を $0V$ 、第 6 の配線 $SEL(1)$ 、 $SEL(2)$ を $0V$ 、第 1 の配線 $SL(1) \sim SL(n)$ の電位 V_s を $0V$ とする。以上の書き込み動作のタイミングチャートの一例を図 12 に示す。

10

【0191】

その結果、データ "1" の書き込みを行ったメモリセルのトランジスタ 201 のゲート電極に接続されるノード（以下、ノード A）の電位は約 $2V$ 、データ "0" の書き込みを行ったメモリセルのノード A の電位は約 $0V$ となる。また、非選択メモリセルのノード A の電位は変わらない。ここで、トランジスタ 202 のオフ電流が極めて小さい、あるいは実質 0 であることから、トランジスタ 201 のゲート電極（ノード A）の電位は長時間にわたって保持される。

20

【0192】

第 i 行のメモリセル $200(i, 1) \sim 200(i, n)$ の読み出しを行う場合は、第 6 の配線 $SEL(1)$ 、 $SEL(2)$ を $2V$ とし、トランジスタ $215(1, 1) \sim 215(2, n)$ をオン状態とする。第 1 の配線 $SL(1) \sim SL(n)$ の電位 V_s を $0V$ とする。第 2 の配線 $BL(1) \sim BL(n)$ に接続されている読み出し回路 212 を動作状態とする。第 4 の配線 $S2(1) \sim S2(m)$ を $0V$ とし、全てのメモリセルのトランジスタ 202 をオフ状態とする。第 3 の配線 $S1(1) \sim S1(n)$ を $0V$ とする。

【0193】

そして、第 5 の配線 $WL(i)$ を $0V$ 、第 i 行以外の第 5 の配線 WL を $2V$ とする。このとき、第 i 行のメモリセルのトランジスタ 203 はオフ状態となる。第 i 行以外のメモリセルのトランジスタ 203 はオン状態となる。その結果、第 i 行のメモリセルのトランジスタ 201 がオン状態かオフ状態かでメモリセル列の抵抗状態が決まる。第 i 行のメモリセルのうち、データ "0" を有するメモリセルでは、ノード A が約 $0V$ であるからトランジスタ 201 はオフ状態となり、メモリセル列の抵抗は高い状態となる（以下、メモリセル列が高抵抗状態であるとも言う。）。一方、第 i 行のメモリセルのうち、データ "1" を有するメモリセルでは、ノード A が約 $2V$ であるからトランジスタ 201 がオン状態となり、メモリセル列の抵抗は低い状態となる（以下、メモリセル列が低抵抗状態であるとも言う。）。その結果、読み出し回路は、メモリセルの抵抗状態の違いから、データ "0"、"1" を読み出すことができる。

30

【0194】

なお、書き込み時において、SOI 基板上に薄膜トランジスタを形成した場合など、半導体装置が基板電位を有さない場合には、第 5 の配線 $WL(i+1) \sim WL(m)$ を $2V$ 、第 6 の配線 $SEL(2)$ を $2V$ とすることが好ましい。これにより、第 i 行のメモリセルのトランジスタ 201 のソース電極またはドレイン電極の少なくとも一方を約 $0V$ とすることができる。或いは、第 6 の配線 $SEL(1)$ を $2V$ 、第 5 の配線 $WL(1) \sim WL(i-1)$ を $2V$ としてもよい。一方、単結晶半導体基板上にトランジスタを形成した場合など、半導体装置が基板電位を有する場合には、基板電位を $0V$ としておけばよい。

40

【0195】

なお、書き込み時の第 2 の配線 $BL(1) \sim BL(n)$ は $0V$ としたが、第 6 の配線 $SEL(1)$ が $0V$ の場合には、フローティング状態や $0V$ 以上の電位に充電されていても構

50

わない。読み出し時の第3の配線 $S1(1) \sim S1(n)$ は $0V$ としたが、フローティング状態や $0V$ 以上の電位に充電されていても構わない。

【0196】

なお、データ"1"とデータ"0"は便宜上の定義であって、逆であっても構わない。また、上述した動作電圧は一例である。動作電圧は、データ"0"の場合にトランジスタ201がオフ状態となり、データ"1"の場合にトランジスタ201がオン状態となるように、また、書き込み時にトランジスタ202がオン状態、書き込み時以外ではオフ状態となるように、また、読み出し時に選択メモリセルのトランジスタ203がオフ状態、非選択メモリセルのトランジスタ203がオン状態となるように選べばよい。特に、 $2V$ の代わりに、周辺の論理回路の電源電位 VDD を用いてもよい。また、 $0V$ の代わりに、接地電位 GND を用いてもよい。

10

【0197】

次に、本発明の一態様に係る、半導体装置の回路構成及び動作の他の一例について説明する。

【0198】

半導体装置が有するメモリセル回路の一例を図13に示す。図13に示すメモリセル220は、第3の配線 $S1$ と、第4の配線 $S2$ と、第5の配線 WL と、トランジスタ201と、トランジスタ202と、トランジスタ203と、から構成されている。トランジスタ201及びトランジスタ203は、酸化物半導体以外の材料を用いて形成されており、トランジスタ202は酸化物半導体を用いて形成されている。ここで、トランジスタ201及びトランジスタ203は、実施の形態1に示すトランジスタ160と同様の構成とするのが好ましい。また、トランジスタ202は、実施の形態1に示すトランジスタ162と同様の構成とするのが好ましい。また、メモリセル220は、第1の配線 SL 及び第2の配線 BL と電気的に接続されており、トランジスタ(他のメモリセルを構成するものも含む。)を介して、第1の配線 SL 及び第2の配線 BL と電気的に接続されるのが好適である。

20

【0199】

図13に示すメモリセル回路は、図10に示したメモリセル回路と比較して、第3の配線 $S1$ と、第4の配線 $S2$ の方向が異なる。つまり、図13のメモリセル回路は、第4の配線 $S2$ を第2の配線 BL 方向(列方向)に配置し、第3の配線 $S1$ を第5の配線 WL 方向(行方向)に配置する構成としている。

30

【0200】

図14に、 $m \times n$ ビットの記憶容量を有する本発明の一態様に係る半導体装置のブロック回路図を示す。ここでは一例として、メモリセル220が直列に接続された $NAND$ 型の半導体装置を示す。

【0201】

本発明の一態様に係る半導体装置は、 m 本の第5の配線 WL 及び第3の配線 $S1$ と、 n 本の第1の配線 SL 、第2の配線 BL 及び第4の配線 $S2$ と、2本の第6の配線 SEL と、複数のメモリセル220(1,1)~220(m,n)が縦 m 個(行) \times 横 n 個(列)(m, n は自然数)のマトリクス状に配置されたメモリセルアレイ230と、第6の配線 $SEL(1)$ に沿って、第2の配線 $BL(1) \sim BL(n)$ とメモリセル220(1,1)~220(1,n)の間に配置されたトランジスタ235(1,1)~235(1,n)と、第6の配線 $SEL(2)$ に沿って、第1の配線 $SL(1) \sim SL(n)$ とメモリセル220(m,1)~220(m,n)の間に配置されたトランジスタ235(2,1)~235(2,n)と、第2の配線及び第4の配線の駆動回路231と、第3の配線及び第5の配線の駆動回路233と、読み出し回路232といった周辺回路によって構成されている。他の周辺回路として、リフレッシュ回路等が設けられてもよい。

40

【0202】

図14に示す半導体装置は、図11に示した半導体装置と比較して、第3の配線 $S1$ と、第4の配線 $S2$ の方向が異なる。つまり、図14の半導体装置は、第4の配線 $S2$ を第2

50

の配線 BL 方向（列方向）に配置し、第 3 の配線 S 1 を第 5 の配線 WL 方向（行方向）に配置する構成としている。

【0203】

各メモリセル 220（代表として、メモリセル 220（ i 、 j ）を考える。ここで、 i は 1 以上 m 以下の整数、 j は 1 以上 n 以下の整数）は、第 3 の配線 S 1（ i ）、第 5 の配線 WL（ i ）及び第 4 の配線 S 2（ j ）にそれぞれ接続されている。また、メモリセル 220（ i_1 、 j ）（ i_1 は 2 ~ m の整数）が有するトランジスタ 201 及びトランジスタ 203 のドレイン電極は、メモリセル 220（ $i_1 - 1$ 、 j ）が有するトランジスタ 201 及びトランジスタ 203 のソース電極に接続され、メモリセル 220（ i_2 、 j ）（ i_2 は 1 ~ $m - 1$ の整数）が有するトランジスタ 201 及びトランジスタ 203 のソース電極は、メモリセル 220（ $i_2 + 1$ 、 j ）が有するトランジスタ 201 及びトランジスタ 203 のドレイン電極に接続される。メモリセル 220（1、 j ）が有するトランジスタ 201 及びトランジスタ 203 のドレイン電極は、トランジスタ 235（1、 j ）のソース電極に接続され、メモリセル 220（ m 、 j ）が有するトランジスタ 201 及びトランジスタ 203 のソース電極は、トランジスタ 235（2、 j ）のドレイン電極に接続される。トランジスタ 235（1、 j ）のドレイン電極は第 2 の配線 BL（ j ）に接続され、トランジスタ 235（2、 j ）のソース電極は第 1 の配線 SL（ j ）に接続される。また、トランジスタ 235（1、 j ）のゲート電極は、第 6 の配線 SEL（1）に接続され、トランジスタ 235（2、 j ）のゲート電極は、第 6 の配線 SEL（2）に接続される。

10

【0204】

また、第 2 の配線 BL（1）~ BL（ n ）及び第 4 の配線 S 2（1）~ S 2（ n ）は第 2 の配線及び第 4 の配線の駆動回路 231 に、第 5 の配線 WL（1）~ WL（ m ）、第 3 の配線 S 1（1）~ S 1（ m ）及び第 6 の配線 SEL（1）、SEL（2）は第 3 の配線及び第 5 の配線の駆動回路 233 にそれぞれ接続されている。また、第 2 の配線 BL（1）~ BL（ n ）は、読み出し回路 232 にも接続されている。第 1 の配線 SL（1）~ SL（ n ）には電位 V_s が与えられている。なお、第 1 の配線 SL（1）~ SL（ n ）は必ずしも分離されている必要はなく、互いに電氣的に接続されているような構成にしてもよい。

20

【0205】

図 14 に示した半導体装置の動作について説明する。本構成では、書き込みは列ごと、読み出しは行ごとに行う。

30

【0206】

第 j 列のメモリセル 220（1、 j ）~ 220（ m 、 j ）に書き込みを行う場合は、第 4 の配線 S 2（ j ）を 2 V とし、選択したメモリセルのトランジスタ 202 をオン状態とする。一方、第 j 列以外の第 4 の配線 S 2 は 0 V とし、非選択のメモリセルのトランジスタ 202 をオフ状態とする。第 3 の配線 S 1（1）~ S 1（ m ）は、データ "1" を書き込む行では 2 V、データ "0" を書き込む行では 0 V とする。なお、書き込み終了にあたっては、第 3 の配線 S 1（1）~ S 1（ m ）の電位が変化する前に、第 4 の配線 S 2（ j ）を 0 V とし、選択したメモリセルのトランジスタ 202 をオフ状態にする。他の配線は、例えば、第 2 の配線 BL（1）~ BL（ n ）を 0 V、第 5 の配線 WL（1）~ WL（ m ）を 0 V、第 6 の配線 SEL（1）、SEL（2）を 0 V、第 1 の配線 SL（1）~ SL（ n ）の電位 V_s を 0 V とする。

40

【0207】

その結果、データ "1" の書き込みを行ったメモリセルのトランジスタ 201 のゲート電極に接続されるノード（以下、ノード A）の電位は約 2 V、データ "0" の書き込みを行ったメモリセルのノード A の電位は約 0 V となる。また、非選択メモリセルのノード A の電位は変わらない。ここで、トランジスタ 202 のオフ電流が極めて小さい、あるいは実質 0 であることから、トランジスタ 201 のゲート電極（ノード A）の電位は長時間にわたって保持される。

【0208】

50

第 i 行のメモリセル $220(i, 1) \sim 220(i, n)$ の読み出しを行う場合は、第 6 の配線 $SEL(1)$ 、 $SEL(2)$ を $2V$ とし、トランジスタ $235(1, 1) \sim 235(2, n)$ をオン状態とする。第 1 の配線 $SL(1) \sim SL(n)$ の電位 V_s を $0V$ とする。第 2 の配線 $BL(1) \sim BL(n)$ に接続されている読み出し回路 232 を動作状態とする。第 4 の配線 $S2(1) \sim S2(n)$ を $0V$ とし、全てのメモリセルのトランジスタ 202 をオフ状態とする。第 3 の配線 $S1(1) \sim S1(m)$ を $0V$ とする。

【0209】

そして、第 5 の配線 $WL(i)$ を $0V$ 、第 i 行以外の第 5 の配線 WL を $2V$ とする。このとき、第 i 行のメモリセルのトランジスタ 203 はオフ状態となる。第 i 行以外のメモリセルのトランジスタ 203 はオン状態となる。その結果、第 i 行のメモリセルのトランジスタ 201 がオン状態かオフ状態かでメモリセル列の抵抗状態が決まる。第 i 行のメモリセルのうち、データ "0" を有するメモリセルでは、ノード A が約 $0V$ であるからトランジスタ 201 はオフ状態となり、メモリセル列が高抵抗状態になる。一方、第 i 行のメモリセルのうち、データ "1" を有するメモリセルでは、ノード A が約 $2V$ であるからトランジスタ 201 がオン状態となり、メモリセル列が低抵抗状態になる。その結果、読み出し回路 232 は、メモリセルの抵抗状態の違いから、データ "0"、"1" を読み出すことができる。

10

【0210】

なお、書き込み時において、SOI 基板上に薄膜トランジスタを形成した場合など、半導体装置が基板電位を有さない場合には、第 5 の配線 $WL(1) \sim WL(m)$ を $2V$ 、第 6 の配線 $SEL(1)$ または第 6 の配線 $SEL(2)$ を $2V$ とすることが好ましい。これにより、第 i 行のメモリセルのトランジスタ 201 のソース電極またはドレイン電極の少なくとも一方を約 $0V$ とすることができる。一方、単結晶半導体基板上にトランジスタを形成した場合など、半導体装置が基板電位を有する場合には、基板電位を $0V$ としておけばよい。

20

【0211】

なお、書き込み時の第 2 の配線 $BL(1) \sim BL(n)$ は $0V$ としたが、第 6 の配線 $SEL(1)$ が $0V$ の場合には、フローティング状態や $0V$ 以上の電位に充電されていても構わない。読み出し時の第 3 の配線 $S1(1) \sim S1(n)$ は $0V$ としたが、フローティング状態や $0V$ 以上の電位に充電されていても構わない。

30

【0212】

なお、データ "1" とデータ "0" は便宜上の定義であって、逆であっても構わない。また、上述した動作電圧は一例である。動作電圧は、データ "0" の場合にトランジスタ 201 がオフ状態となり、データ "1" の場合にトランジスタ 201 がオン状態となるように、また、書き込み時にトランジスタ 202 がオン状態、書き込み時以外ではオフ状態となるように、また、読み出し時に選択メモリセルのトランジスタ 203 がオフ状態、非選択メモリセルのトランジスタ 203 がオン状態となるように選べばよい。特に、 $2V$ の代わりに、周辺の論理回路の電源電位 V_{DD} を用いてもよい。また、 $0V$ の代わりに、接地電位 GND を用いてもよい。

40

【0213】

本実施の形態に係る半導体装置は、トランジスタ 202 の低オフ電流特性により、極めて長時間にわたり情報を保持することが可能である。つまり、DRAMなどで必要とされるリフレッシュ動作が不要であり、消費電力を抑制することができる。また、実質的な不揮発性の記憶装置として用いることが可能である。

【0214】

また、トランジスタ 202 のスイッチング動作によって情報の書き込みなどを行うため、高い電圧を必要とせず、素子の劣化の問題もない。さらに、トランジスタのオン、オフによって、情報の書き込みや消去が行われるため、高速な動作も容易に実現しうる。また、トランジスタに入力する電位を制御することで情報を直接書き換えることが可能である。このため、フラッシュメモリなどにおいて必要とされる消去動作が不要であり、消去動作

50

に起因する動作速度の低下を抑制することができる。

【0215】

また、酸化物半導体以外の材料を用いたトランジスタは、酸化物半導体を用いたトランジスタと比較して、さらなる高速動作が可能のため、これを用いることにより、記憶内容の読み出しを高速に行うことが可能である。

【0216】

(実施の形態3)

本実施の形態では、実施の形態2とは異なる半導体装置の回路構成及び動作の一例について説明する。

【0217】

半導体装置が有するメモリセルの回路図の一例を図15に示す。図15に示すメモリセル240は、第3の配線S1と、第4の配線S2と、第5の配線WLと、トランジスタ201と、トランジスタ202と、容量素子204と、から構成されている。トランジスタ201は、酸化物半導体以外の材料を用いて形成されており、トランジスタ202は酸化物半導体を用いて形成されている。ここで、トランジスタ201は、実施の形態1に示すトランジスタ160と同様の構成とするのが好ましい。また、トランジスタ202は、実施の形態1に示すトランジスタ162と同様の構成とするのが好ましい。また、メモリセル240は、第1の配線SL及び第2の配線BLと電気的に接続されており、トランジスタ(他のメモリセルを構成するものも含む)を介して、第1の配線SL及び第2の配線BLと電気的に接続されるのが好適である。

10

20

【0218】

ここで、トランジスタ201のゲート電極と、トランジスタ202のソース電極またはドレイン電極の一方と、容量素子204の電極の一方とは、電気的に接続されている。また、第1の配線SLと、トランジスタ201のソース電極とは、電気的に接続され、トランジスタ201のドレイン電極と、第2の配線BLとは、電気的に接続されている。そして、トランジスタ202のソース電極またはドレイン電極の他方と、第3の配線S1とは、電気的に接続され、第4の配線S2と、トランジスタ202のゲート電極とは、電気的に接続され、第5の配線WLと、容量素子204の電極の他方とは、電気的に接続されている。なお、第1の配線SLと、トランジスタ201のソース電極とは、トランジスタ(他のメモリセルを構成するものも含む)を介して接続されていてもよい。また、第2の配線BLと、トランジスタ201のドレイン電極とは、トランジスタ(他のメモリセルを構成するものも含む)を介して接続されていてもよい。

30

【0219】

図16に、 $m \times n$ ビットの記憶容量を有する本発明の一態様に係る半導体装置のブロック回路図を示す。ここでは一例として、メモリセル240が直列に接続されたNAND型の半導体装置を示す。

【0220】

本発明の一態様に係る半導体装置は、 m 本の第5の配線WL及び第4の配線S2と、 n 本の第1の配線SL、第2の配線BL及び第3の配線S1と、2本の第6の配線SEL(1)、SEL(2)と、複数のメモリセル240(1,1)~240(m,n)が縦 m 個(行) \times 横 n 個(列)(m 、 n は自然数)のマトリクス状に配置されたメモリセルアレイ250と、第6の配線SEL(1)に沿って、第2の配線BL(1)~BL(n)とメモリセル240(1,1)~240(1,n)の間に配置されたトランジスタ255(1,1)~255(1,n)と、第6の配線SEL(2)に沿って、第1の配線SL(1)~SL(n)とメモリセル240(m,1)~240(m,n)の間に配置されたトランジスタ255(2,1)~255(2,n)と、第2の配線及び第3の配線の駆動回路251と、第4の配線及び第5の配線の駆動回路253と、読み出し回路252といった周辺回路によって構成されている。他の周辺回路として、リフレッシュ回路等が設けられてもよい。

40

【0221】

50

各メモリセル240(代表として、メモリセル240(i, j)を考える。ここで、iは1以上m以下の整数、jは1以上n以下の整数である。)は、第3の配線S1(j)、第4の配線S2(i)及び第5の配線WL(i)にそれぞれ接続されている。また、メモリセル240(i₁, j)(i₁は2~mの整数)が有するトランジスタ201のドレイン電極は、メモリセル240(i₁-1, j)が有するトランジスタ201のソース電極に接続され、メモリセル240(i₂, j)(i₂は1~m-1の整数)が有するトランジスタ201のソース電極は、メモリセル240(i₂+1, j)が有するトランジスタ201のドレイン電極に接続される。メモリセル240(1, j)が有するトランジスタ201のドレイン電極は、トランジスタ255(1, j)のソース電極に接続され、メモリセル240(m, j)が有するトランジスタ201のソース電極は、トランジスタ255(2, j)のドレイン電極に接続される。トランジスタ255(1, j)のドレイン電極は第2の配線BL(j)に接続され、トランジスタ255(2, j)のソース電極は第1の配線SL(j)に接続される。

10

【0222】

また、第2の配線BL(1)~BL(n)及び第3の配線S1(1)~S1(n)は第2の配線及び第3の配線の駆動回路251に、第5の配線WL(1)~WL(m)、第4の配線S2(1)~S2(m)及び第6の配線SEL(1)、SEL(2)は第4の配線及び第5の配線の駆動回路253にそれぞれ接続されている。また、第2の配線BL(1)~BL(n)は、読み出し回路252にも接続されている。第1の配線SL(1)~SL(n)には電位V_sが与えられている。なお、第1の配線SL(1)~SL(n)は必ずしも分離されている必要はなく、互いに電氣的に接続されているような構成にしてもよい。

20

【0223】

図16に示した半導体装置の動作について説明する。本構成では、行ごとの書き込みおよび読み出しを行う。

【0224】

第i行のメモリセル240(i, 1)~240(i, n)に書き込みを行う場合は、第4の配線S2(i)を2Vとし、第i行のメモリセルのトランジスタ202をオン状態とする。一方、第i行以外の第4の配線S2は0Vとし、第i行以外のメモリセルのトランジスタ202をオフ状態とする。第3の配線S1(1)~S1(n)は、データ"1"を書き込む列では2V、データ"0"を書き込む列では0Vとする。なお、書き込み終了にあたっては、第3の配線S1(1)~S1(n)の電位が変化する前に、第4の配線S2(i)を0Vとして、選択したメモリセルのトランジスタ202をオフ状態にする。他の配線は、例えば、第2の配線BL(1)~BL(n)を0V、第5の配線WL(1)~WL(m)を0V、第6の配線SEL(1)、SEL(2)を0V、第1の配線SL(1)~SL(n)の電位V_sを0Vとする。

30

【0225】

その結果、データ"1"の書き込みを行ったメモリセルのトランジスタ201のゲート電極に接続されるノード(以下、ノードA)の電位は約2V、データ"0"の書き込みを行ったメモリセルのノードAの電位は約0Vとなる。また、非選択メモリセルのノードAの電位は変わらない。ここで、トランジスタ202のオフ電流が極めて小さい、あるいは実質0であることから、トランジスタ201のゲート電極(ノードA)の電位は長時間にわたって保持される。

40

【0226】

第i行のメモリセル240(i, 1)~240(i, n)の読み出しを行う場合は、第6の配線SEL(1)、SEL(2)を2Vとし、トランジスタ255(1, 1)~255(2, n)をオン状態とする。第1の配線SL(1)~SL(n)の電位V_sを0Vとする。第2の配線BL(1)~BL(n)に接続されている読み出し回路252を動作状態とする。第4の配線S2(1)~S2(m)を0Vとし、全てのメモリセルのトランジスタ202をオフ状態とする。第3の配線S1(1)~S1(n)を0Vとする。

50

【0227】

そして、第5の配線WL(i)を0V、第i行以外の第5の配線WLを2Vとする。ここで、第5の配線WL(i)を0V、第i行以外の第5の配線WLを2Vとした場合の、トランジスタ201の状態について説明する。トランジスタ201の状態を決めるノードAの電位は、第5の配線WL-ノードA間容量C1と、トランジスタ201のゲート-ソース及びドレイン間容量C2に依存する。図17には、第5の配線WLの電位とノードAの電位の関係を示す。ここでは、一例として、トランジスタ201がオフ状態で $C1/C2 \gg 1$ 、オン状態で $C1/C2 = 1$ であるとする。また、トランジスタ201のしきい値電圧を0.5Vとする。図17より、第5の配線WLの電位が0Vのときには、データ"0"を有するメモリセルでは、ノードAが約0Vのためトランジスタ201はオフ状態となり、データ"1"を有するメモリセルでは、ノードAが約2Vのためトランジスタ201がオン状態となる。一方、第5の配線WLの電位が2Vのときには、データ"0"を有するメモリセルではノードAが約1.25V、データ"1"を有するメモリセルでは、ノードAが約3Vとなり、データ"0"、"1"に関わらずトランジスタ201がオン状態となる。従って、第5の配線WL(i)を0V、第i行以外の第5の配線WLを2Vとした場合、第i行のメモリセルでデータ"0"を有するメモリセル列は高抵抗状態になるが、データ"1"を有するメモリセル列は低抵抗状態になる。読み出し回路252は、メモリセルの抵抗状態の違いから、データ"0"、"1"を読み出すことができる。

10

【0228】

なお、書き込み時の第2の配線BL(1)~BL(n)は0Vとしたが、第6の配線SEL(1)が0Vの場合には、フローティング状態や0V以上の電位に充電されていても構わない。読み出し時の第3の配線S1(1)~S1(n)は0Vとしたが、フローティング状態や0V以上の電位に充電されていても構わない。

20

【0229】

なお、データ"1"とデータ"0"は便宜上の定義であって、逆であっても構わない。また、上述した動作電圧は一例である。動作電圧は、書き込み時にトランジスタ202がオン状態、書き込み時以外ではオフ状態となるように、また、読み出し時にデータ"0"の選択メモリセルのトランジスタ201がオフ状態、データ"1"の選択メモリセルのトランジスタ201がオン状態、非選択メモリセルのトランジスタ201がオン状態となるように選べばよい。特に2Vの代わりに、周辺の論理回路の電源電位VDDを用いてもよい。また、0Vの代わりに、接地電位GNDを用いてもよい。

30

【0230】

次に、本発明の一態様に係る半導体装置の回路構成及び動作の他の一例について説明する。

【0231】

半導体装置が有するメモリセル回路の一例を図18に示す。図18に示すメモリセル260は、第3の配線S1と、第4の配線S2と、第5の配線WLと、トランジスタ201と、トランジスタ202と、容量素子204と、から構成されている。トランジスタ201は、酸化物半導体以外の材料を用いて構成されており、トランジスタ202は酸化物半導体を用いて形成されている。ここで、トランジスタ201は、実施の形態1に示すトランジスタ160と同様の構成とするのが好ましい。また、トランジスタ202は、実施の形態1に示すトランジスタ162と同様の構成とするのが好ましい。また、メモリセル260は、第1の配線SL及び第2の配線BLと電気的に接続されており、トランジスタ(他のメモリセルを構成するものも含む。)を介して、第1の配線SL及び第2の配線BLと電気的に接続されるのが好適である。

40

【0232】

図18に示すメモリセル回路は、図15のメモリセル回路と比較して、第3の配線S1と第4の配線S2の方向が異なる。つまり、図18のメモリセルでは第4の配線S2を第2の配線BL方向(列方向)に配置し、第3の配線S1を第5の配線WL方向(行方向)に配置する構成としている。

50

【0233】

また、 $m \times n$ ビットの記憶容量を有する本発明の一態様に係る半導体装置のブロック回路図は、図14に示したブロック回路図のメモリセルに、図18のメモリセル260を適用すればよい。メモリセル260の動作に合わせて、駆動回路の駆動電圧とタイミングを設定すれば、図14に示したブロック回路図と同様に、列ごとの書き込みおよび行ごとの読み出しを行うことができる。

【0234】

本実施の形態に係る半導体装置は、トランジスタ202の低オフ電流特性により、極めて長時間にわたり情報を保持することが可能である。つまり、DRAMなどで必要とされるリフレッシュ動作が不要であり、消費電力を抑制することができる。また、実質的な不揮発性記憶装置として用いることが可能である。

10

【0235】

また、トランジスタ202のスイッチング動作によって情報の書き込みなどを行うため、高い電圧を必要とせず、素子の劣化の問題もない。さらに、トランジスタのオン、オフによって、情報の書き込みや消去が行われるため、高速動作も容易に実現しうる。また、トランジスタに入力する電位を制御することで情報を直接書き換えることが可能である。このため、フラッシュメモリなどにおいて必要とされる消去動作が不要であり、消去動作に起因する動作速度の低下を抑制することができる。

【0236】

また、酸化物半導体以外の材料を用いたトランジスタは、酸化物半導体を用いたトランジスタと比較して、さらなる高速動作が可能のため、これを用いることにより、記憶内容の読み出しを高速に行うことが可能である。

20

【0237】

(実施の形態4)

本実施の形態では、実施の形態2または実施の形態3とは異なる半導体装置の回路構成及び動作の一例について説明する。

【0238】

本発明の一態様に係る半導体装置が有するメモリセルの回路図の一例を図19に示す。

【0239】

図19に示すメモリセル280は、図10のメモリセル回路と比較して、ノードAと第1の配線SLとの間に容量素子205を有する構成としている。このような容量素子205を有することで、保持特性が改善する。

30

【0240】

図19に示すメモリセル回路の動作は、図10に示したメモリセル回路の動作と同様であるため、詳細な説明は省略する。

【0241】

(実施の形態5)

本発明の一態様に係る半導体装置が有する読み出し回路の一例について図20を用いて説明する。

【0242】

図20に示す読み出し回路は、トランジスタ206と差動アンプを有する。

40

【0243】

読み出し時には、端子Aは読み出しを行うメモリセルが接続された第2の配線BLに接続される。トランジスタ206のソース電極またはドレイン電極のいずれかに電位V_{dd}が印加される。また、トランジスタ206のゲート電極にはバイアス電圧V_{bias}が印加され、所定の電流を流す。

【0244】

メモリセルは格納するデータ"1"/"0"に応じて抵抗が異なる。具体的には、選択したメモリセルのトランジスタ201がオン状態の場合には低抵抗状態となり、選択したメモリセルのトランジスタ201がオフ状態の場合には高抵抗状態となる。

50

【 0 2 4 5 】

メモリセルが高抵抗状態の場合、端子 A の電位が参照電位 V_{ref} より高くなり、差動アンプの出力からはデータ " 1 " が出力される。一方、メモリセルが低抵抗状態場合、端子 A の電位が参照電位 V_{ref} より低くなり、差動アンプの出力からはデータ " 0 " が出力される。

【 0 2 4 6 】

このようにして、読み出し回路は、メモリセルからデータを読み出すことができる。なお、本実施の形態の読み出し回路は一例である。他の公知の回路を用いても良い。例えば、プリチャージ回路を有しても良い。参照電位 V_{ref} の代わりに参照用の第 2 の配線 B L が接続される構成でも良い。差動アンプの代わりに、ラッチ型センスアンプを用いても良い。

10

【 0 2 4 7 】

本実施の形態に示す構成、方法などは、他の実施の形態に示す構成、方法などと適宜組み合わせる用いることができる。

【 0 2 4 8 】

(実施の形態 6)

本実施の形態では、先の実施の形態で得られる半導体装置を搭載した電子機器の例について図 2 1 を用いて説明する。先の実施の形態で得られる半導体装置は、電力の供給がない場合でも、情報を保持することが可能である。また、書き込み、消去に伴う劣化が生じない。さらに、その動作も高速である。このため、当該半導体装置を用いて新たな構成の電子機器を提供することが可能である。なお、先の実施の形態に係る半導体装置は、集積化されて回路基板などに実装され、各電子機器の内部に搭載されることになる。

20

【 0 2 4 9 】

図 2 1 (A) は、先の実施の形態に係る半導体装置を含むノート型のパーソナルコンピュータであり、本体 3 0 1、筐体 3 0 2、表示部 3 0 3、キーボード 3 0 4 などによって構成されている。本発明の一態様に係る半導体装置をノート型のパーソナルコンピュータに適用することで、電力の供給がない場合でも、情報を保持することが可能である。また、書き込み、消去に伴う劣化が生じない。さらに、その動作も高速である。このため、本発明の一態様に係る半導体装置をノート型のパーソナルコンピュータに適用することは好適である。

30

【 0 2 5 0 】

図 2 1 (B) は、先の実施の形態に係る半導体装置を含む携帯情報端末 (P D A) であり、本体 3 1 1 には表示部 3 1 3 と、外部インターフェイス 3 1 5 と、操作ボタン 3 1 4 等が設けられている。また操作用の付属品としてスタイラス 3 1 2 がある。本発明の一態様に係る半導体装置を P D A に適用することで、電力の供給がない場合でも、情報を保持することが可能である。また、書き込み、消去に伴う劣化が生じない。さらに、その動作も高速である。このため、本発明の一態様に係る半導体装置を P D A に適用することは好適である。

【 0 2 5 1 】

図 2 1 (C) には、先の実施の形態に係る半導体装置を含む電子ペーパーの一例として、電子書籍 3 2 0 を示す。電子書籍 3 2 0 は、筐体 3 2 1 および筐体 3 2 3 の 2 つの筐体で構成されている。筐体 3 2 1 および筐体 3 2 3 は、軸部 3 3 7 により一体とされており、該軸部 3 3 7 を軸として開閉動作を行うことができる。このような構成により、電子書籍 3 2 0 は、紙の書籍のように用いることが可能である。本発明の一態様に係る半導体装置を電子ペーパーに適用することで、電力の供給がない場合でも、情報を保持することが可能である。また、書き込み、消去に伴う劣化が生じない。さらに、その動作も高速である。このため、本発明の一態様に係る半導体装置を電子ペーパーに適用することは好適である。

40

【 0 2 5 2 】

筐体 3 2 1 には表示部 3 2 5 が組み込まれ、筐体 3 2 3 には表示部 3 2 7 が組み込まれて

50

いる。表示部 3 2 5 および表示部 3 2 7 は、続き画面を表示する構成としてもよいし、異なる画面を表示する構成としてもよい。異なる画面を表示する構成とすることで、例えば右側の表示部（図 2 1（C）では表示部 3 2 5）に文章を表示し、左側の表示部（図 2 1（C）では表示部 3 2 7）に画像を表示することができる。

【0253】

また、図 2 1（C）では、筐体 3 2 1 に操作部などを備えた例を示している。例えば、筐体 3 2 1 は、電源 3 3 1、操作キー 3 3 3、スピーカー 3 3 5などを備えている。操作キー 3 3 3により、頁を送ることができる。なお、筐体の表示部と同一面にキーボードやポインティングデバイスなどを備える構成としてもよい。また、筐体の裏面や側面に、外部接続用端子（イヤホン端子、USB端子、またはACアダプタおよびUSBケーブルなどの各種ケーブルと接続可能な端子など）、記録媒体挿入部などを備える構成としてもよい。さらに、電子書籍 3 2 0 は、電子辞書としての機能を持たせた構成としてもよい。

10

【0254】

また、電子書籍 3 2 0 は、無線で情報を送受信できる構成としてもよい。無線により、電子書籍サーバから、所望の書籍データなどを購入し、ダウンロードする構成とすることも可能である。

【0255】

なお、電子ペーパーは、情報を表示するものであればあらゆる分野に適用することが可能である。例えば、電子書籍以外にも、ポスター、電車などの乗り物の車内広告、クレジットカード等の各種カードにおける表示などに適用することができる。

20

【0256】

図 2 1（D）は、先の実施の形態に係る半導体装置を含む携帯電話機である。当該携帯電話機は、筐体 3 4 0 および筐体 3 4 1 の二つの筐体で構成されている。筐体 3 4 1 は、表示パネル 3 4 2、スピーカー 3 4 3、マイクロフォン 3 4 4、ポインティングデバイス 3 4 6、カメラ用レンズ 3 4 7、外部接続端子 3 4 8などを備えている。また、筐体 3 4 0 は、当該携帯電話機の充電を行う太陽電池セル 3 4 9、外部メモリスロット 3 5 0などを備えている。また、アンテナは筐体 3 4 1 に内蔵されている。本発明の一態様に係る半導体装置を携帯電話機に適用することで、電力の供給がない場合でも、情報を保持することが可能である。また、書き込み、消去に伴う劣化が生じない。さらに、その動作も高速である。このため、本発明の一態様に係る半導体装置を携帯電話機に適用することは好適である。

30

【0257】

表示パネル 3 4 2 はタッチパネル機能を備えており、図 2 1（D）には映像表示されている複数の操作キー 3 4 5 を点線で示している。なお、当該携帯電話は、太陽電池セル 3 4 9 で出力される電圧を各回路に必要な電圧に昇圧するための昇圧回路を実装している。また、上記構成に加えて、非接触 IC チップ、小型記録装置などを内蔵した構成とすることもできる。

【0258】

表示パネル 3 4 2 は、使用形態に応じて表示の方向が適宜変化する。また、表示パネル 3 4 2 と同一面上にカメラ用レンズ 3 4 7 を備えているため、テレビ電話が可能である。スピーカー 3 4 3 およびマイクロフォン 3 4 4 は音声通話に限らず、テレビ電話、録音、再生などが可能である。さらに、筐体 3 4 0 と筐体 3 4 1 はスライドし、図 2 1（D）のように展開している状態から重なり合った状態とすることができ、携帯に適した小型化が可能である。

40

【0259】

外部接続端子 3 4 8 は AC アダプタや USB ケーブルなどの各種ケーブルと接続可能であり、充電やデータ通信が可能になっている。また、外部メモリスロット 3 5 0 に記録媒体を挿入し、より大量のデータの保存および移動に対応できる。また、上記機能に加えて、赤外線通信機能、テレビ受信機能などを備えたものであってもよい。

【0260】

50

図 2 1 (E) は、先の実施の形態に係る半導体装置を含むデジタルカメラである。当該デジタルカメラは、本体 3 6 1、表示部 (A) 3 6 7、接眼部 3 6 3、操作スイッチ 3 6 4、表示部 (B) 3 6 5、バッテリー 3 6 6 などによって構成されている。本発明の一態様に係る半導体装置をデジタルカメラに適用することで、電力の供給がない場合でも、情報を保持することが可能である。また、書き込み、消去に伴う劣化が生じない。さらに、その動作も高速である。このため、本発明の一態様に係る半導体装置をデジタルカメラに適用することは好適である。

【 0 2 6 1 】

図 2 1 (F) は、先の実施の形態に係る半導体装置を含むテレビジョン装置である。テレビジョン装置 3 7 0 では、筐体 3 7 1 に表示部 3 7 3 が組み込まれている。表示部 3 7 3 により、映像を表示することが可能である。なお、ここでは、スタンド 3 7 5 により筐体 3 7 1 を支持した構成を示している。

10

【 0 2 6 2 】

テレビジョン装置 3 7 0 の操作は、筐体 3 7 1 が備える操作スイッチや、別体のリモコン操作機 3 8 0 により行うことができる。リモコン操作機 3 8 0 が備える操作キー 3 7 9 により、チャンネルや音量の操作を行うことができ、表示部 3 7 3 に表示される映像を操作することができる。また、リモコン操作機 3 8 0 に、当該リモコン操作機 3 8 0 から出力する情報を表示する表示部 3 7 7 を設ける構成としてもよい。本発明の一態様に係る半導体装置をテレビジョン装置に適用することで、電力の供給がない場合でも、情報を保持することが可能である。また、書き込み、消去に伴う劣化が生じない。さらに、その動作も高速である。このため、本発明の一態様に係る半導体装置をテレビジョン装置に適用することは好適である。

20

【 0 2 6 3 】

なお、テレビジョン装置 3 7 0 は、受信機やモデムなどを備えた構成とするのが好適である。受信機により、一般のテレビ放送の受信を行うことができる。また、モデムを介して有線または無線による通信ネットワークに接続することにより、一方向 (送信者から受信者) または双方向 (送信者と受信者間、あるいは受信者間同士など) の情報通信を行うことが可能である。

【 0 2 6 4 】

本実施の形態に示す構成、方法などは、他の実施の形態に示す構成、方法などと適宜組み合わせる用いることができる。

30

【 符号の説明 】

【 0 2 6 5 】

1 0 0 基板
 1 0 2 保護層
 1 0 4 半導体領域
 1 0 6 素子分離絶縁層
 1 0 8 ゲート絶縁層
 1 1 0 ゲート電極
 1 1 2 絶縁層
 1 1 4 不純物領域
 1 1 6 チャネル形成領域
 1 1 8 サイドウォール絶縁層
 1 2 0 高濃度不純物領域
 1 2 2 金属層
 1 2 4 金属化合物領域
 1 2 6 層間絶縁層
 1 2 8 層間絶縁層
 1 3 0 a ソース電極またはドレイン電極
 1 3 0 b ソース電極またはドレイン電極

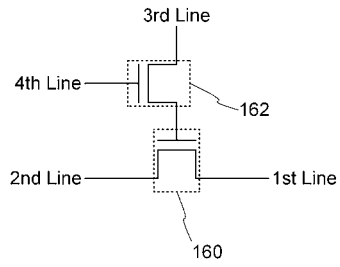
40

50

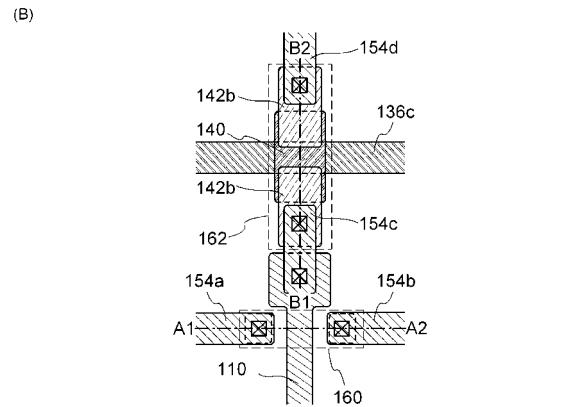
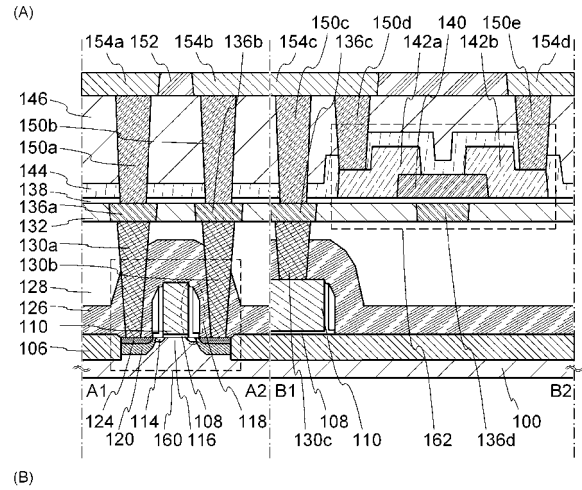
1 3 0 c	電極	
1 3 2	絶縁層	
1 3 4	導電層	
1 3 6 a	電極	
1 3 6 b	電極	
1 3 6 c	電極	
1 3 6 d	ゲート電極	
1 3 8	ゲート絶縁層	
1 4 0	酸化物半導体層	
1 4 2 a	ソース電極またはドレイン電極	10
1 4 2 b	ソース電極またはドレイン電極	
1 4 4	保護絶縁層	
1 4 6	層間絶縁層	
1 4 8	導電層	
1 5 0 a	電極	
1 5 0 b	電極	
1 5 0 c	電極	
1 5 0 d	電極	
1 5 0 e	電極	
1 5 2	絶縁層	20
1 5 4 a	電極	
1 5 4 b	電極	
1 5 4 c	電極	
1 5 4 d	電極	
1 6 0	トランジスタ	
1 6 2	トランジスタ	
2 0 0	メモリセル	
2 0 1	トランジスタ	
2 0 2	トランジスタ	
2 0 3	トランジスタ	30
2 0 4	容量素子	
2 0 5	容量素子	
2 0 6	トランジスタ	
2 1 0	メモリセルアレイ	
2 1 1	第 2 の配線及び第 3 の配線の駆動回路	
2 1 2	読み出し回路	
2 1 3	第 4 の配線及び第 5 の配線の駆動回路	
2 1 5	トランジスタ	
2 2 0	メモリセル	
2 3 0	メモリセルアレイ	40
2 3 1	第 2 の配線及び第 4 の配線の駆動回路	
2 3 2	読み出し回路	
2 3 3	第 3 の配線及び第 5 の配線の駆動回路	
2 3 5	トランジスタ	
2 4 0	メモリセル	
2 5 0	メモリセルアレイ	
2 5 1	第 2 の配線及び第 3 の配線の駆動回路	
2 5 2	読み出し回路	
2 5 3	第 4 の配線及び第 5 の配線の駆動回路	
2 5 5	トランジスタ	50

2 6 0	メモリセル	
2 8 0	メモリセル	
3 0 1	本体	
3 0 2	筐体	
3 0 3	表示部	
3 0 4	キーボード	
3 1 1	本体	
3 1 2	スタイラス	
3 1 3	表示部	
3 1 4	操作ボタン	10
3 1 5	外部インターフェイス	
3 2 0	電子書籍	
3 2 1	筐体	
3 2 3	筐体	
3 2 5	表示部	
3 2 7	表示部	
3 3 1	電源	
3 3 3	操作キー	
3 3 5	スピーカー	
3 3 7	軸部	20
3 4 0	筐体	
3 4 1	筐体	
3 4 2	表示パネル	
3 4 3	スピーカー	
3 4 4	マイクロフォン	
3 4 5	操作キー	
3 4 6	ポインティングデバイス	
3 4 7	カメラ用レンズ	
3 4 8	外部接続端子	
3 4 9	太陽電池セル	30
3 5 0	外部メモリスロット	
3 6 1	本体	
3 6 3	接眼部	
3 6 4	操作スイッチ	
3 6 5	表示部 (B)	
3 6 6	バッテリー	
3 6 7	表示部 (A)	
3 7 0	テレビジョン装置	
3 7 1	筐体	
3 7 3	表示部	40
3 7 5	スタンド	
3 7 7	表示部	
3 7 9	操作キー	
3 8 0	リモコン操作機	

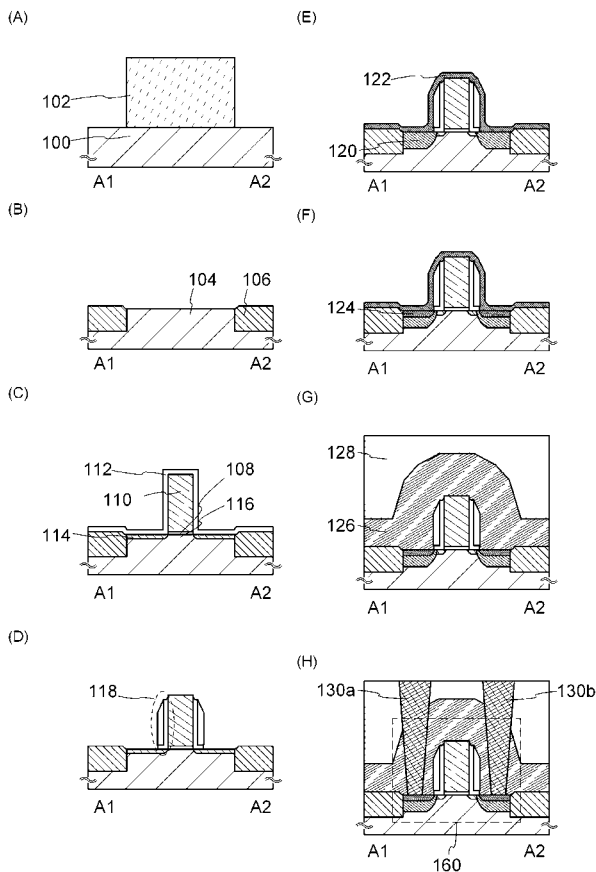
【 図 1 】



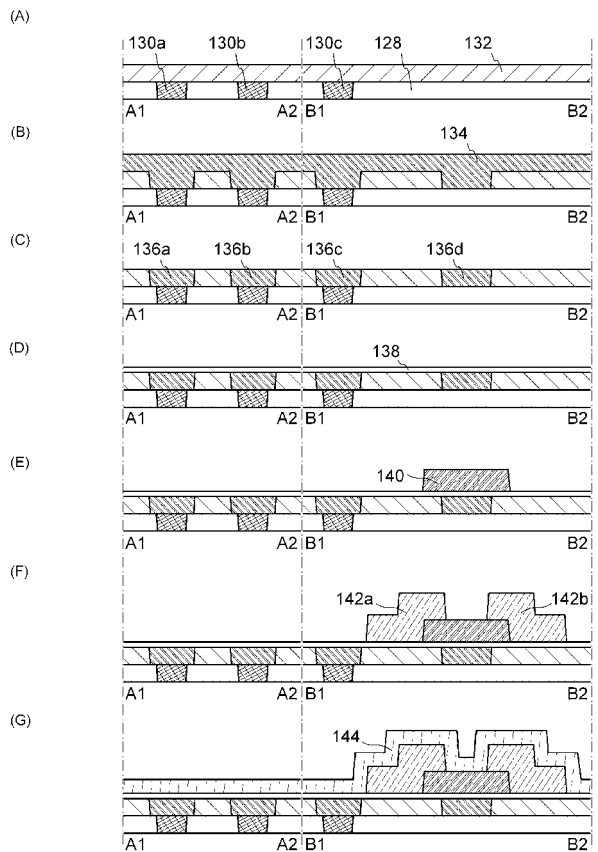
【 図 2 】



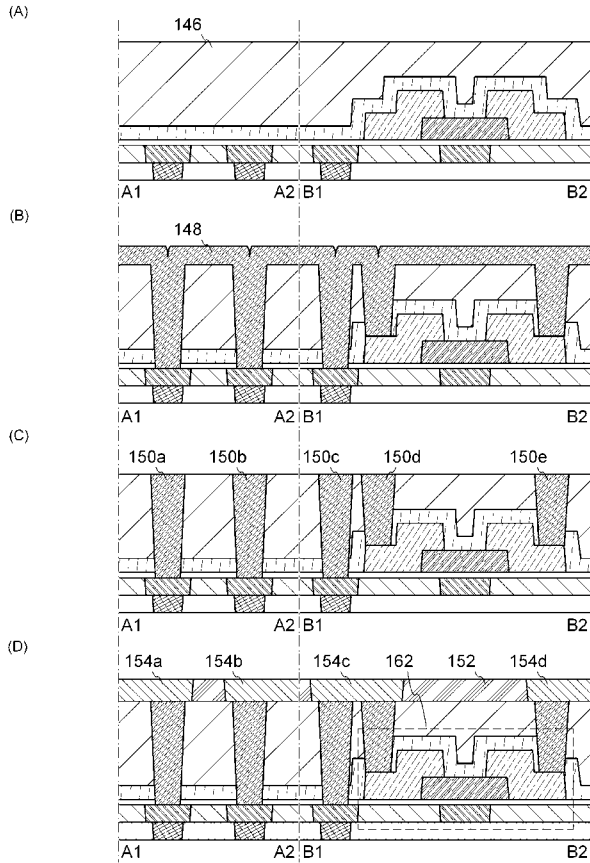
【 図 3 】



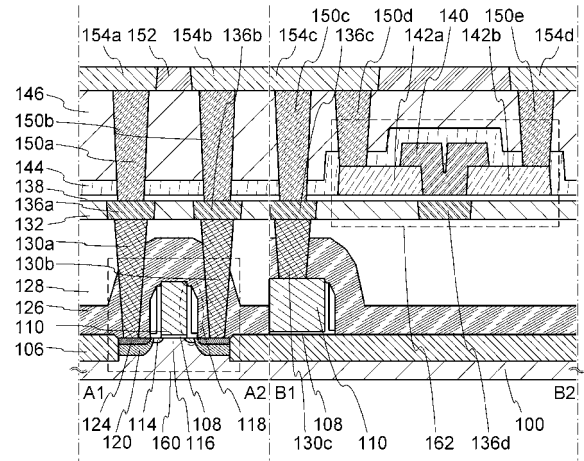
【 図 4 】



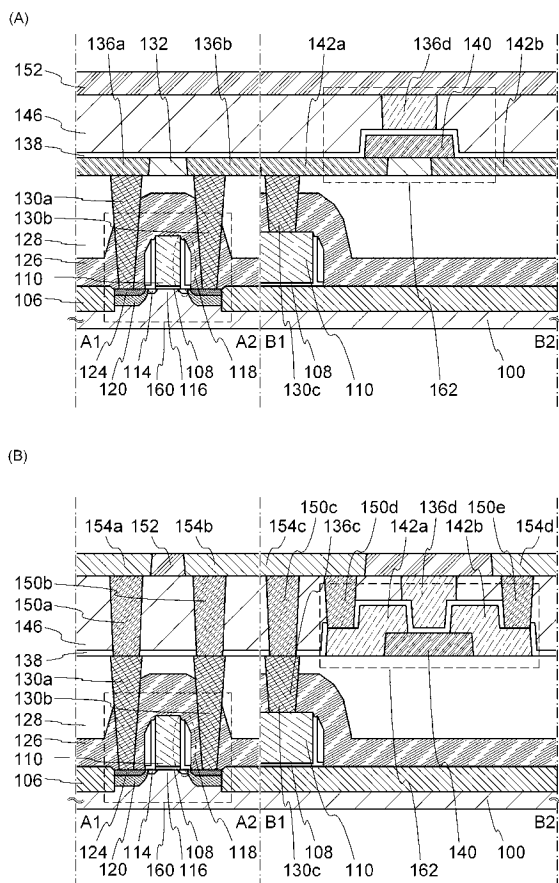
【 図 5 】



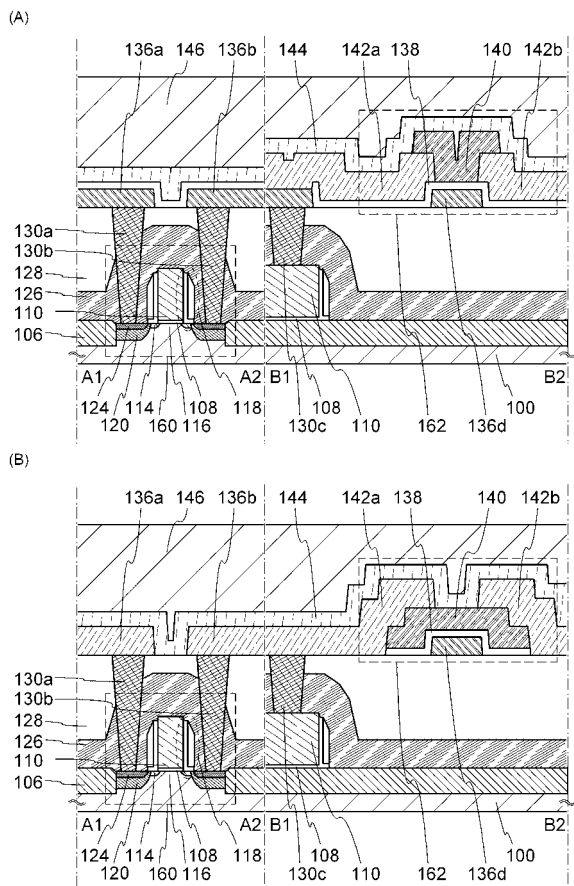
【 図 6 】



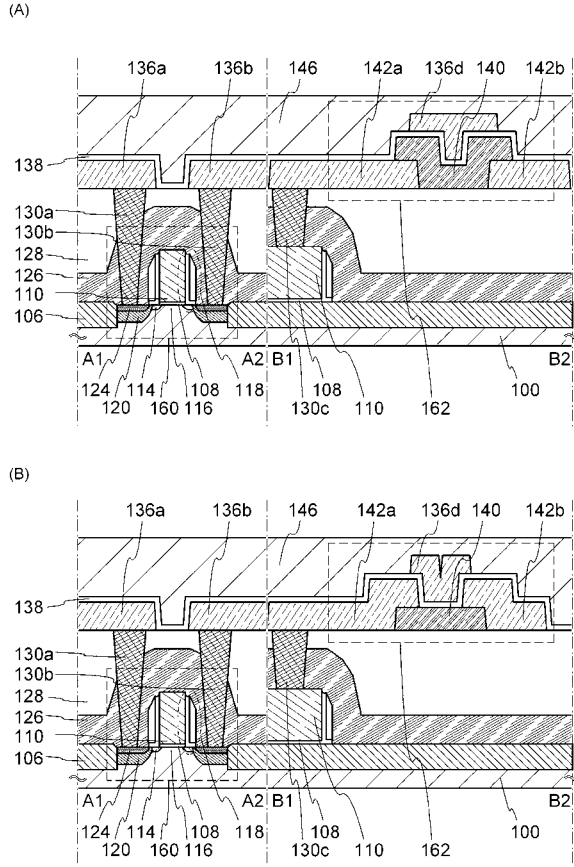
【 図 7 】



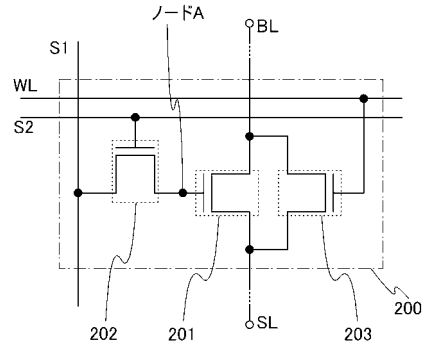
【 図 8 】



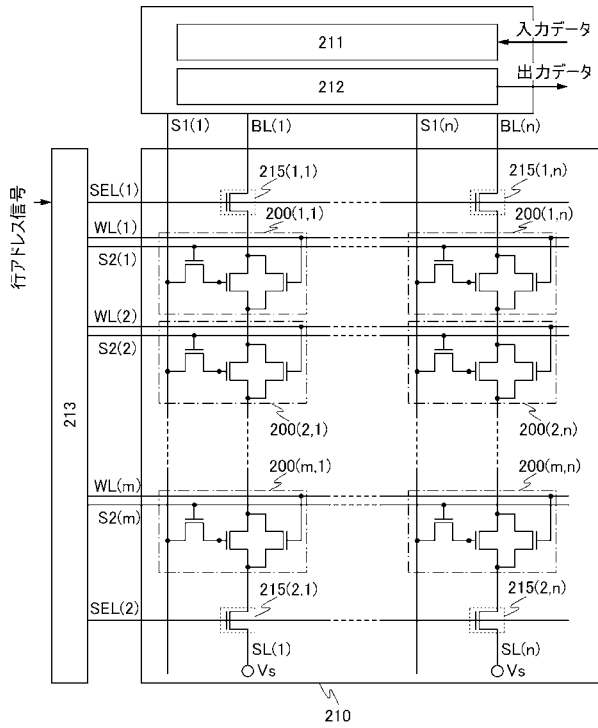
【 図 9 】



【 図 1 0 】



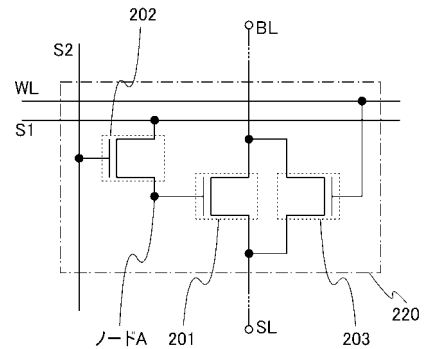
【 図 1 1 】



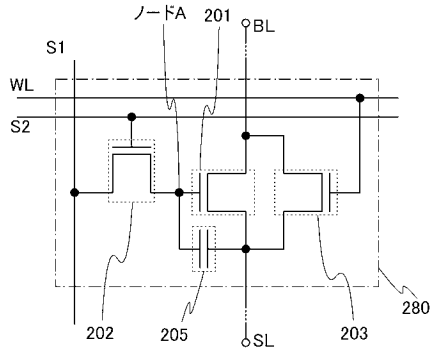
【 図 1 2 】

データ"1"書き込みS1	
データ"0"書き込みS1	
選択行のS2	
非選択行のS2	
BL	
WL	
SEL1	
SEL2	
SL	

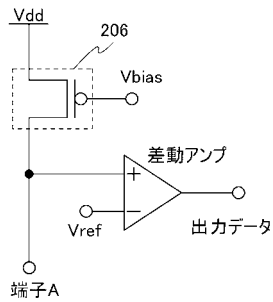
【 図 1 3 】



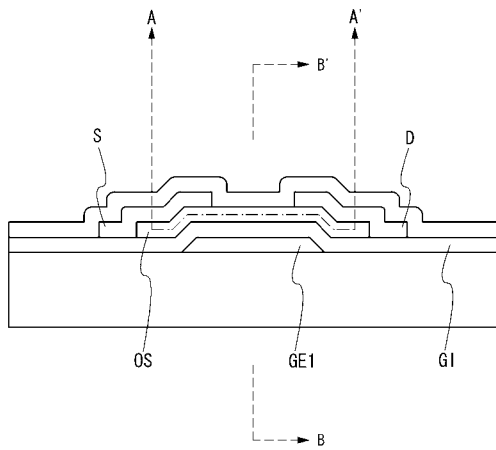
【図19】



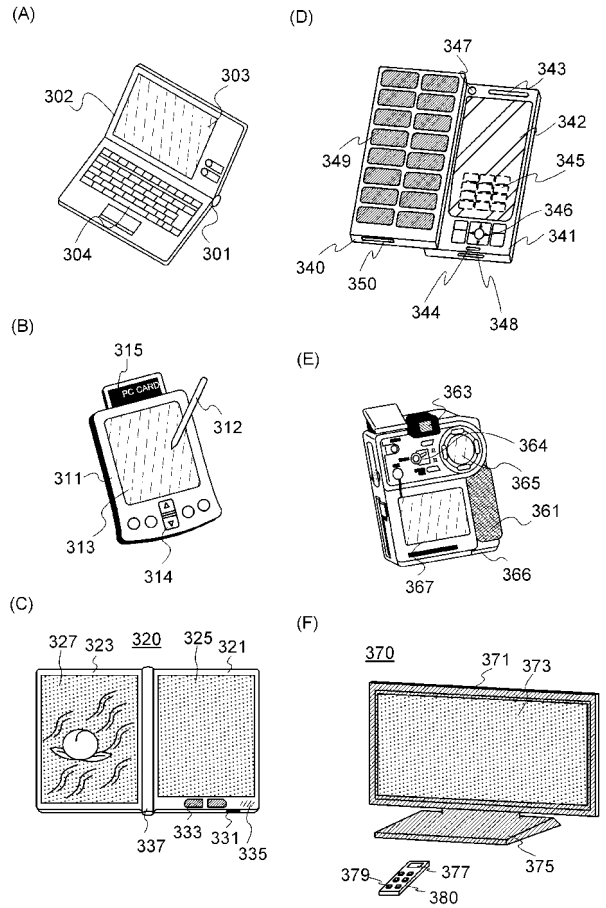
【図20】



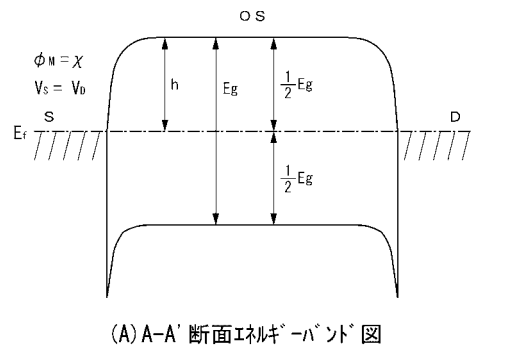
【図22】



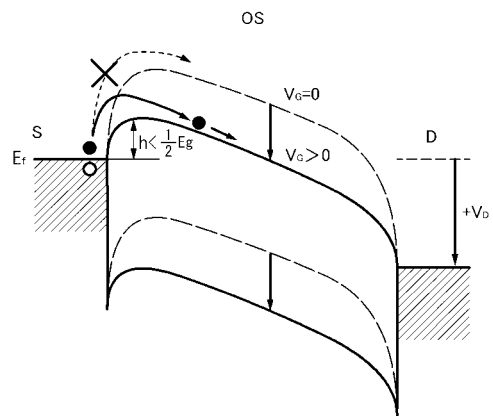
【図21】



【図23】

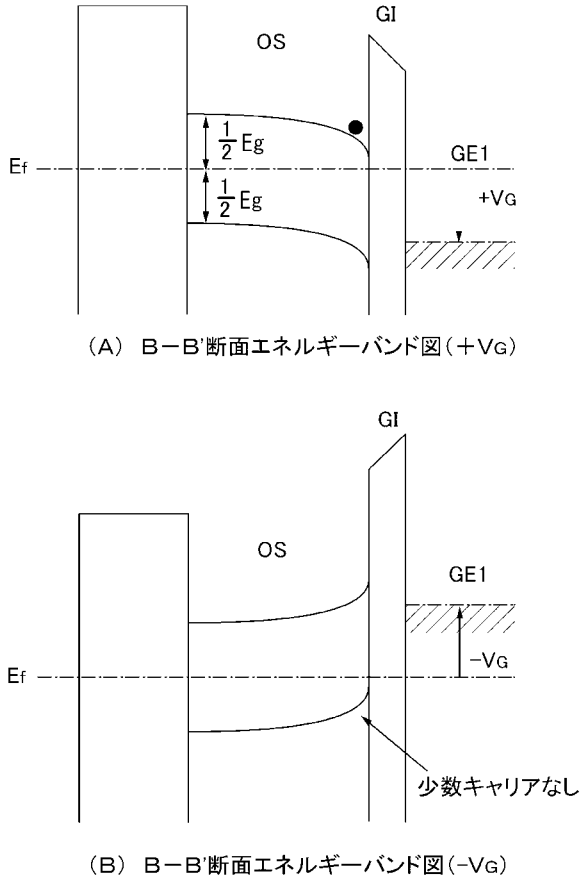


(A) A-A' 断面エネルギーバンド図

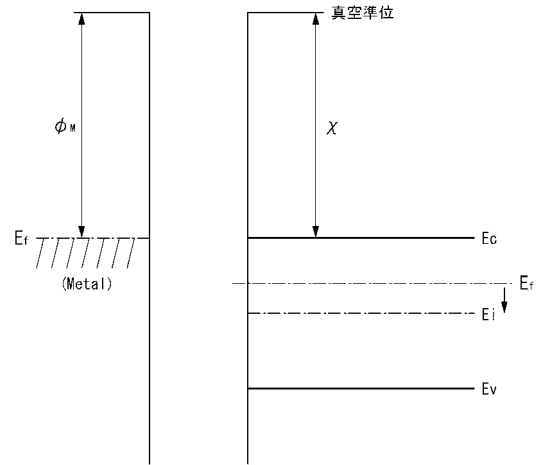


(B) 電圧印加時のエネルギーバンド図

【 図 2 4 】



【 図 2 5 】



フロントページの続き

(51)Int.Cl.

F I

テーマコード(参考)

G 1 1 C 11/405 (2006.01)

G 1 1 C 11/34 3 5 2 B

Fターム(参考) 5F083 AD02 AD69 GA11 HA02 JA02 JA05 JA06 JA19 JA35 JA36
 JA37 JA38 JA39 JA40 JA53 JA56 JA58 JA60 LA04 LA05
 LA10 MA06 MA19 NA01 PR03 PR05 PR22 PR33 PR34 PR39
 PR40
 5F110 AA01 AA06 BB05 CC01 CC02 CC03 CC05 CC07 DD01 DD05
 DD21 EE02 EE03 EE04 EE05 EE09 EE14 EE32 EE38 EE42
 EE43 EE44 EE45 EE48 FF01 FF02 FF03 FF04 FF09 FF23
 FF25 FF26 FF28 FF29 FF30 GG01 GG02 GG06 GG13 GG14
 GG15 GG16 GG17 GG22 GG28 GG33 GG34 GG35 GG43 GG44
 GG57 GG58 HJ01 HK02 HK03 HK04 HK05 HK06 HK21 HK22
 HK33 HK34 HK35 HK40 HL01 HL02 HL03 HL04 HL11 HL12
 HL22 HL24 HL27 HM15 NN03 NN04 NN22 NN23 NN24 NN27
 NN33 NN34 NN35 NN40 NN62 NN65 NN72 NN74 NN78 PP01
 PP02 PP10 PP13 QQ02 QQ09 QQ11 QQ19
 5F152 BB03 CD10 CD13 CD14 CD15 CD16 CD17 CE08 CE16 CE24
 CE28 CE43 DD08 EE16 FF11 FF14 FF15 FF16 FF17 FF22
 FF25
 5M024 AA06 AA50 AA94 BB02 BB35 BB36 BB37 CC02 CC03 CC05
 CC07 CC82 HH11 HH16 LL11 PP01 PP03 PP04 PP05 PP07