[19] 中华人民共和国国家知识产权局

[51] Int. Cl[7]
G09G 1/00

[12] 发明专利说明书

[21] ZL 专利号 95109514.5

[45] 授权公告日 2003 年 11 月 5 日

[11] 授权公告号 CN 1127049C

[22] 申请日 1995.8.4 [21] 申请号 95109514.5

[30] 优先权

[32] 1994. 8. 5 [33] US [31] 286865

[71] 专利权人 汤姆森消费电子有限公司

地址 美国印第安纳州

[72] 发明人 M·D·克诺斯 A·H·丁韦迪

D·J·达菲尔德 P·D·菲利曼

审查员 田 虹

[74] 专利代理机构 中国专利代理(香港)有限公司

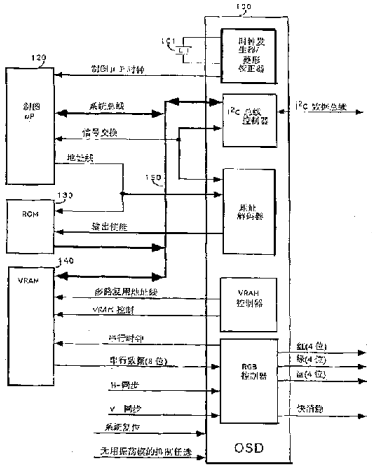
代理人 吴增勇 马铁良

权利要求书 1 页 说明书 10 页 附图 8 页

[54] 发明名称 用于电视接收机的位映射屏幕显示装置

[57] 摘要

一种屏幕显示设备，包括用于产生显示在显示屏的图象信号(R，GB)的 OSD 电路(100)，连到 OSD 电路的控制器(120)和包括贮存图象数据的第一区和贮存 OSD 电路的控制数据的第二区的 VRAM(140)。 VRAM 有连到控制器的并行输入/输出端口和连到 OSD 电路的串行输出端口(SIO BUS)，串行输出端口将图象数据从 VRAM 第一区传到 OSD 电路供处理和显示。 在每个垂直同步间隔期，控制器将控制数据写到 VRAM 第二区而 OSD 电路从 VRAM 读出控制数据。



ISSN1008-4274

1. 一种屏幕显示设备，包括:

一个处理器（100），用于产生一个为显示在一显示屏上的图象信号;

一个微处理器（120），耦合到所述处理器（100），用于控制所述处理器以产生所述图象信号，

所述屏幕显示设备的特征在于该设备还包括:

存储器装置（140），它包括用于贮存图象－代表数据的第一区和用于贮存控制所述屏幕显示设备的控制数据的第二区;

所述存储器装置(140)，具有耦合到所述微处理器（120）的输入／输出端口和耦合到所述处理器（100）的串行输出端口，所述串行输出端口将来自所述存储器装置的所述第一区的所述图象－代表数据传送到所述处理器供处理和显示之用;

所述处理器（100），通过所述输入／输出端口将所述控制数据写到所述存储器装置的所述第二区，所述处理器通过所述串行输出端口从所述存储器装置读出所述控制数据。

2. 如权利要求1所述的屏幕显示设备，其特征在于，所述存储器装置(140)是一个多端口视频随机存取存储器（VRAM），和所述输入／输出端口是一个并行端口。

3. 如权利要求1所述的屏幕显示设备，其特征在于，所述存储器装置(140)被组成一个包括若干行和列的存储器存储单元阵列，以及所述第二存储区占据所述存储器装置的一行。

4. 如权利要求2所述的屏幕显示设备，其特征在于，所述控制数据包括:用于所述处理器的初始化数据，调色板信息，边缘颜色信息，起始行信息，和结束行信息。

用于电视接收机的位映射屏幕显示装置

技术领域

本发明涉及用于电视接收机的位映射屏幕显示装置及显示电路。

背景技术

用于图象显示的位映射视频存储器在计算机系统是众所周知的。例如，从七十年代后期至八十年代中期期间由加州的 Cupertino 的苹果计算机公司制造的 Apple II 计算机中便采用了位映射近似法的图象显示。简言之，将图象存储器的各个存储单元按排（至少在程序设计员的心目中）成各包含M字节的N行阵列。每个字节的预定位数与唯一象素（象元）有关。也就是就，在单色显示器中，每个象素可由单个位来表示（即，象素通或断），这样，可将八个象素的数据存入单一字节中。然而，在彩色显示器中，对红，绿和蓝的每种基色，每个象素要求至少一位（和可能更多）的色信息，因此每个象素要求更多的图象存储器。

现代屏幕显示控制器利用调色板概念去增加程序编制员的可用色彩数目。为更易于理解这一概念，考虑如下情况。当一个画家正创作一幅图画时，他用一块物理调色板去存放他即将最可能需要的每一种各样色彩团（即一小部分）。若该画家发现他需要其他颜色（而若他的现有调色板已满），则他必须换另一块盛有新颜色的调色板。由此可见，画家不必总是要立即接触所有颜色。同样，在电子制图法中，屏幕显示集成电路（OSD IC）使用调色板概念去避免无论什么时刻都要对所有颜色提供即时存取。在该调色板方法中，一个象素色(pixel color)由构成一地址的四位确定，该地址又表明调色板上16个色存储单元之一。调色板上每个存储单元贮存指示构成某种具体颜色的红(R)，绿(G)和蓝（B）的量的数据。例如，贮存在调色板上十六个存储单元每一个中的每种颜色可包括十二位，其中四位用于红色，四位用于绿色和四位用于蓝色。若程序编制员发现，他还需要另一种（即第十七种）颜色，则他必须将确定这种

种所需颜色的数据再装入其调色板。这样，就节省了 VRAM 存储器空间，因为仅仅用 4 位／象素即确定保存具体颜色数据的一个调色板存储单元，而不是每象素用 12 位去直接确定一个具体的象素色。

遗憾的是，以上提到的存储空间的节省必须以牺牲时间为代价，即要化费将该色再装入调色板和将其他必须的控制数据装入 OSD IC 的时间。一般来说，先有技术的 OSD IC 采用存储器映射的寄存器去保存调色板颜色和控制数据。这些寄存器通过一控制微处理器被写入，好象它们是存储器的存储单元一样，而它们也确实逻辑地占据那些存储单元，常在存储器中产生不需要的“空白位置”（即存储器地址空间上的不连续性）。当需要用大片相连存储器存储单元去保存图象信息时，这些“空白位置”可就特别麻烦了。

图象数据是由控制微处理器通过并行端口以直接存取方式写入 VRAM 的，但通过一较高速的串行端口被读出至 OSD 芯片。图象显示器使用相对大量的视频存储器（VRAM），通常容量为 1Mbit－4Mbits（128 千字节－512 千字节）。为在这样大的存储器芯片范围内唯一地寻找一个 8 位存储器存储单元的地址需要总共 17 至 19 条地址线。为限制 VRAM 芯片的物理尺寸，通常的做法是将 VRAM 中的地址引线数限为较少数，例如 9 根，并对这些地址线进行时分复用。由 Mitsubishi 公司制造的 M5M482128ATP 便是这种 VRAM。由于这种地址线的时分多路复用，延长了在 1－Mbit VRAM 中访问一个特定字节所化费的时间，因为要化费两次传输地址数据（即，A16－A8（9 位）接着 A7－A0（其余的 8 位）的时间后才能完成对任一存储单元的读或写。当想把要传输的控制数据和调色板数据量提高到多达 48 字节时，这种时间的延长就变得值得注意了，因为每个字节传输一次约占 400ns，则总共要化费近似 19.2μs，而在此期间，控制微处理器被排除在系统总线之外。在每一电视垂直间隔期间通常要将该数据传送到 OSD IC 时，而控制微处理器也需要访问系统总线以将下一有效视频显示的制图数据装入 VRAM 时，人们体会到这一问题尤为重要。

发明内容

为了提高将控制数据转送至屏幕显示装置的速度同时为消除由使用存储器映射的寄存器所引起的存储器中的“空白位置”，本文确认：应由串行数据

端口构成两用以完成两种不同任务，即串行传送图象－代表视频数据和串行传送控制数据。

为达此目的的一种屏幕显示设备，包括:

一个处理器，用于产生一个为显示在一显示屏上的图象信号;

一个微处理器，耦合到所述处理器，用于控制所述处理器以产生所述图象信号，

所述屏幕显示设备的特征在于该设备还包括:

存储器装置，它包括用于贮存图象－代表数据的第一区和用于贮存控制所述屏幕显示装置的控制数据的第二区;

所述存储装置，具有耦合到所述微处理器的输入／输出端口和耦合到所述处理器的串行输出端口，所述串行输出端口将来自所述存储器装置的所述第一区的所述图象－代表数据传送到所述处理器供处理和显示之用;

所述处理器，通过所述输入／输出端口将所述控制数据写到所述存储器装置的所述第二区，所述处理器通过所述串行输出端口从所述存储器装置读出所述控制数据。

在上述屏幕显示设备中，所述存储器装置是一个多端口视频随机存取存储器，和所述输入／输出端口是一个并行端口。

在上述屏幕显示设备中，所述存储器装置被组成一个包括若干行和列的存储器存储单元阵列，以及所述第二存储区占据所述存储器装置的一行。

在上述屏幕显示设备中，所述控制数据包括: 用于所述处理器的初始化数据，调色板信息，边缘颜色信息，起始行信息，和结束行信息。

根据本发明得一种屏幕显示电路，包括:

一个调色板寄存器阵列，用于贮存调色板数据;

一个地址发生器及 VRAM 控制块，用于贮存控制数据;

所述屏幕显示电路的特征在于，

在串行时钟控制下操作的串行输入端口，该端口耦合到所述调色板寄存器阵列和所述地址发生器及 VRAM 控制块，用于由所述串行时钟确定的速率将调色板数据和控制数据从一外部源传送到各自的所述寄存器，在图象显示的操作方式期间所述串行输入端口还将象素色信息传送到所述屏幕显示电路。

附图说明

图 1 以方块图形式示出一适用本发明的屏幕显示设备。

图 2 以方块图形式表示图 1 的 OSD 装置的更详细视图。

图 3 是图 1 的 OSD 装置的串行输入端口的一个实施例的简化方块图。

图 4 以方块图形式表示图 1 的 OSD 装置的串行输入端口的锁存器的更详细视图。

图 5 以方块图形式表示图 1 的 OSD 装置中串行输入端口的锁存器的另一实施例的更详细视图。

图 6 以方块图形式表示图 1 的 OSD 装置中串行输入端口的锁存器的又一实施例。

图 7 是对示出相关存储器存储单元内容的一部分图 1 的 VRAM 的图解。

图 8a 和 8b 是对图 7 所示那部份 VRAM 的特定存储器存储单元内容的更详细图解。

具体实施方式

图 1 的制图系统存在于电视接收机（未示出）中，并产生为显示在显示屏上的图象。本文所用“电视接收机”一词包括有显示屏的电视接收机（通常称为电视机），和没有显示屏的电视接收机，例如 VCR（盒式磁带录象机），VCP（盒式磁带重放机），和视盘放象机等。图 1 的制图系统包括在制图微处理器（μP）（例如可为 Motorola 68088）120 的控制下操作的 OSD（屏幕显示器）处理器电路 100，ROM（只读存储器）130，和 VRAM（视频随机存取存储器）140。OSD 处理器 100 产生频率由晶体 101 确定的其自己的时钟信号和用于制图 μp120 的时钟信号，并包括菱形校正器用以调整时钟信号和由电视接收机偏转电路（未示出）供给的偏转（水平和垂直）信号之间的关系。OSD 处理器 100，制图 μp120，ROM130 和 VRAM140 之间的通信是在内部系统总线 150 上传输。

制图系统与电视接收机的电视接收控制器（未示出）之间的通信是通过本行业称作 I2C 总线的数据总线来实现的。电视控制器和制图 μp120 经由 I2C 总线传送命令和数据。要指出的重要一点是：OSD 控制器 100 提供至 I2C 总线的链路，以供没有 I／O 能力的诸如 Motorola 68008 之类的制图控制微处理机

之用。OSD处理器100充当I2C总线上的一个“从动”装置，而电视接收机控制器起到总线控制器作用。从电视接收机控制器发出的命令和数据由OSD处理器100从I2C总线读出并放入制图μp 120的VRAM存储器中，以便阅读。类似地，电视接收机控制器可请求来自OSD处理器100特定地址的数据。便可建立一"信箱"系统，其内的信息可在电视接收机控制器和制图μp之间传送。

从OSD处理器100输出的信号被加到电视接收机的视频处理部分（未示出）。这些输出信号是数字性质的并包括各为四位的红（R），绿（G）和蓝（B）色信息和一个快消隐信号。该快消隐信号的主要用途是快速地熄灭视频信号以使制图信号能在不产生不需要的人为现象的情况下被插入在显示屏上。快消隐信号的另一种应用是控制制图信息与视频信息的快速交替，从而产生透明制图法（transparent graphics）的效果。若干这种信号线（即，信号交换，输出使能，VRAM控制，多路复用地址线，系统复位）本身是本领域技术人员所已知的，无需详细解释并只为完全起见而包括它们。

标识为“无用振荡模抑制任选项”（STRAPPING OPTIONS）的线实际上是一组线，其每一根可被连接到电压的高逻辑电平或低逻辑电平源，以把二进制代码的一个数施加到OSD处理器100。该二进制代码的每一个控制OSD处理器的操作方式的选择，例如时钟速度，和存储器大小的选择。

VRAM 140是一双端口视频RAM。因此，它既包括平行数据端口，又包括一个8－位宽的串行数据端口（SAM端口（串行存取存储器端口））。也就是说，对串行时钟（SERIAL CLOCK）信号的每个正向跳变，从VRAM 140移出八位数据。上面提到的M5M482128ATP VRAM芯片能以高达33MHz的时钟速率串行地传送数据。VRAM 140的这种高速串行传输能力对于本发明是重要的并将在下面作进一步论述。VRAM 140被组织成连续字节的行。1兆比特(Mbit)型VRAM 140包括512行，每行包含256字节，总计128千字节。一个2Mbit型VRAM 140包括512行，每行包含512字节故总计256千字节。一个4Mbit型VRAM140包括1024行，每行包含512字节故总计512千字节。SAM端口被组织成八位并行移位寄存器的长行。当OSD处理器100执行一VRAM串行传输时，存储器的一整行被装入SAM端口。一旦数据被传送，利用该串行时钟能以极快的速率移出连续字节（一次八位）。有利之处在于：在移出数据的同时，制图μP120

能经由VRAM 140的并行端口存取VRAM140。在这一点上，OSD处理器100执行的另一任务是为对图象μp120进行解码而寻址，以使其能从／到VRAM 140（和任何可装入该系统的其他RAM）读／写数据。

OSD处理器100在使用前，必须进行初始化以便建立适当的操作方式和将适当的颜色装入颜色调色板。转向图7，对某一瞬间，显示出四十八字节的初始化数据列表（包括三十二字节的颜色调色板信息），在每一垂直间隔的开始，必须将这些数据传送到 OSD 处理器 100，用以控制特定电视场期间的图象显示。如以上指出过，对来自 VRAM140（或许其他数据存储RAM，或存储器－映射寄存器组）的数据的并行传送约占据19.2μs（微秒），这是一段该总线“连接－完毕”（“tie－up`”）（即，将制图μp120排除在总线之外）的不希望有的长时间。每一字节的位置号表示其在VRAM 140的零行中的相对地址。

至此应承认：本发明的这种新颖结构的OSD处理器100使得利用 VRAM 140的高速数据传输性能比也可使用的并行数据传输器快得多地将初始化数据传送至OSD处理器100的内部寄存器。图2表示了OSD处理器100的主要处理块。注意在OSD处理器100中有三种不同的总线（即，SIO（串行接口总线）；第一内部总线201，和第二内部总线202）。重要的是要注意：在该新颖结构中：为接收串行数据被耦合到VRAM的SIO总线是既耦合到初始化块200，又耦合到十六个13－位调色板寄存器270的阵列。

晶体振荡器230在图1的晶体101的控制下产生时钟信号。该时钟信号被加到菱形校正器电路220，并加到时序发生器电路210。时序发生器210还接收来自电视机偏转部件的HSYNC和VSYNC（水平和垂直同步）信号并产生两个输出时钟信号—其中一个就HSYNC来说受到菱形校正，而其另一个未受校正。菱形校正的目的是使点时钟同来自电视机箱的水平同步信号同步从而减小帧间的不稳定。

初始化块200包括一个寄存器阵列用以保存由其他块所用的控制数据，该数据通过总线201传送至其他块。一个输出控制器块240确定何时应显示制图数据。在消隐期间，和当借助初始化块中所存数据被命令这样做时，输出控制器240使RGB色信号和快消隐信号去呈现逻辑零状态。一个水平和垂直比较器块250确定关于OSD显示的光栅扫描的正确时间。水平和垂直比较器块250

包括一个行和象素计数器（未示出）用于确定该正确行数和象素计数出现的时间，在此时间，产生一控制信号并经由第二内部总线202将其传送到地址发生器块280。水平和垂直比较器块250接收来自隔行检测器块260的水平和垂直信息。

隔行检测器块260识别场类型（即，奇数或偶数）并将此信息传送至水平和垂直比较器块250。隔行检测器块260使用一个具有高和低两阈值的“滑动检测窗”。该阈值区周围的一个三角形（delta）被使用，以防止VSYNC中的小变化有害地影响隔行检测器260内的判定逻辑。隔行检测器块260使用一个6位计数器去确定VSYNC相对于HSYNC的位置。该计数被用于判定下一场类型(即奇数或偶数)，该判定在每一VSYNC结束点被更新。若下一场为偶数场，则行计数器复位至零，若下一场为奇数场，则行计数器置位至1。行计数器对隔行操作而言，将以2递增而对非隔行操作而言，则以1递增。帧控制字节中的VI和HS位（详示于图8b中）被用于启动隔行检测器和设置水平扫描速率。

内部总线201还将信息传送至地址发生器和VRAM控制块280，块280产生用于通过串行SIO总线读出OSD显示数据所必要的VRAM地址。OSD控制器还包括一测试电路290，在ATE（自动测试设备）操作方式期间当将（测试）TEST引线置于高逻辑电平（即VDD）时，该电路290便产生数据。地址线被用于确定待读出数据的类型（即，若A8＝VDD，则读出RGB控制器数据；若A8＝VSS则读出VRAM控制器数据）。测试数据在13根RGB和快消隐引线上输出。

颜色调色板块270包括十六个13－位调色板寄存器。每一寄存器中每个色字节包括四位红（R）色信息，四位绿（G）色信息，四位蓝（B）色信息，和一位表示是否要求透明性（T）。一个13－位调色板颜色按照下列格式加以存储:

TR3 R2 R1 R0 G3 G2 G1 G0 B3 B2 B1 B0。

例如，一个非透明的全一品红(即最大红加最大蓝色)调色板颜色按如下存储:

01111 00001111

在每色四位情况下，每种颜色可以从全断（0000）至全一开（1111）的十六个步骤的一个强度（即饱和）范围，加以显示。这样，OSD处理器100能显示16×16×16＝4096个具有和没有透明度的不同的可能色调。

存储在 VRAM 中的象素数据实际上是要寻找的特定象素的所需色所在的调色板存储单元的地址（即，一个“色指针”）。两个相邻象素的色信息贮存在每一 VRAM 存储单元中，因为仅需四位便能唯一地寻到十六个调色板存储单元的地址。也就是说，象素 n+1 的“色指针”占据一个给定的 VRAM 存储单元的 0 至 3 位，而象素 n 的“色指针”占据同一 VRAM 存储单元的位 4 至 7。由于 OSD 处理器 100 产生位映射显示，故该显示的分辨率正比于所用存储器的大小。一个 1Mbit 的存储器可提供 512 × 512（即每行 512 象素和显示 512 行）的分辨率。一个 2Mbit 存储器可提供 1024 × 512 的分辨率（即，每行 1024 象素和显示 512 行）。一个 4Mbit 存储器（或两个 2Mbit 存储器的装置）可提供 1024 × 1024（即，每行 1024 × 象素和显示 1024 行）的分辨率。还提供了 1 ×，2 × 和 3 × 的放大因数，此时，水平分辨率被保持，但垂直分辨率改变了，以致在 2 × 方式下，VRAM 数据的一行在两个连续的视频行上被重复，而在 4 × 方式下，一行 VRAM 数据在连续四行视频行上重复。这一特性提供了一种可能覆盖更多屏幕而同时节省 VRAM 空间的有用显示器。

图 7 示出 VRAM 140 的零行的头 48 个字节。这 48 个字节表示为在每个垂直同步间隔需要传送到 OSD 处理器 100 的初始化数据。INIT BYTE（初始化字节）的内空详细地示于图 8a 中，而帧控制字节（FRAME CONTROL BYTE）的内容详细地示于图 8b 中。VRAM 140 的行零对所有初始化数据均保留，该行将初始化数据组合在一起并避免了上面提过的存储器中出现“空白位置”。用于制图数据的所允许的第一起始行是行 1。

现将参照图 3，4，5 和 6 描述根据本发明对初始化数据的传输。图 3 是用于通过 SIO 总线接收来自 VRAM 行零的串行初始化数据的一串 48 锁存器 301 - 348 的概略表示。SIO 总线是 8 位宽并在每个正向串行时钟跳变时传送来自 VRAM 140 数据的一个字节。当已传送了所有 48 字节时，一个六位计数器给地址发生器和 VRAM 控制器块 280 发出信号。该串行传输设备可能存在若干个实施例。图 4 表示用于接收数据的 48 个八位单级串行移位寄存器。带有两个箭头指针的总线连接意味着在时钟信号的每次跳变时数据从一个锁存器被传送到下一锁存器。要知道：一时钟线被并行地连接到所有芯片，但为简化起见未示出该线。在图 4 的配置中，将八比特传送到单级移位寄存器 401 的八个输入

端。经48个时钟周期之后，第一字节将在寄存器448的输出引线处可获得，而其它47个字节将各自锁存到相应寄存器。

图5的配置表示48个一位8级移位寄存器，它们被排列在每行有六个8－级寄存器的八行阵列中。在图5的配置中，每行移位进入串行数据的八位之一(即S0－S7)。经48个时钟周期后，第一字节将在寄存器506（Q7），。512（Q6），518（Q5），524（Q4），530（Q3），536（Q2），542（Q1）和548（Q0）的输出引线上可得到，而其他47字节将各以相同方式锁存入相应寄存器。每个寄存器出口的粗总线箭头表示数据可从每个寄存器并行获得，用以装入OSD处理器100的适宜寄存器。这种八－级串行－入／并行－出寄存器是从NJ的Sommerville，的Harris半导体公司制造的CD4034A得知的。

虽然以上所述的每种安排均适于处理串行数据传输，但从集成电路芯片区方面的一种最佳配置示于图6中。在图6中，数据的两字节以快速接续方式锁存入锁存器600和610，然后在控制信号发生器640的控制下分别被传送至控制寄存器阵列620和调色板寄存器630中的适宜控制器或调色板寄存器。控制信号发生器640产生适当的控制信号，用于将数据写到寄存器。这样，在根据本发明的设备中，控制和调色板数据的串行传送的完成比可通过并行读存储器存储单元实现的更快，从而空出系统总线150供制图μp 120使用。

如上所指出的，OSD处理器100将用贮存在VRAM140的行零中的无论什么数据作为控制和调色板数据，并由制图μp 120在每一垂直间隔更新该数据。遗憾的是，当电视接收机刚开机时，可能要经过若干垂直间隔时间后制图μp 120才有可能将正确数据装入VRAM 140的行零。在装入这类数据之前，如在那些存储单元中由随机地置位比特（set bits）组成的数据作为起作用的“数据”则会引起不希望有的屏幕显示。

回想OSD处理器100执行对制图μp 120的地址解码。于是，制图μp120一写至VRAM140，OSD处理器100就“知道这回事”。所以，由OSD处理器100检测：判定何时首次“写”到VRAM的任一存储单元，该“写”将表现为将控制数据贮存到行零。此后，一出现下一垂直间隔，OSD处理器100便开始数据的串行传输。也就是说，在由制图μp120执行对VRAM140的首次写操作之前，没有进行控制和调色板信息的串行传输。因此没有必要独立传送“数据有效标

记”以通知OSD处理器100：在行零中的数据是当前的和正确的。

本文所用术语：微控制器，微处理器和控制器可认为是等同物并为达本发明的目的是可互换的。

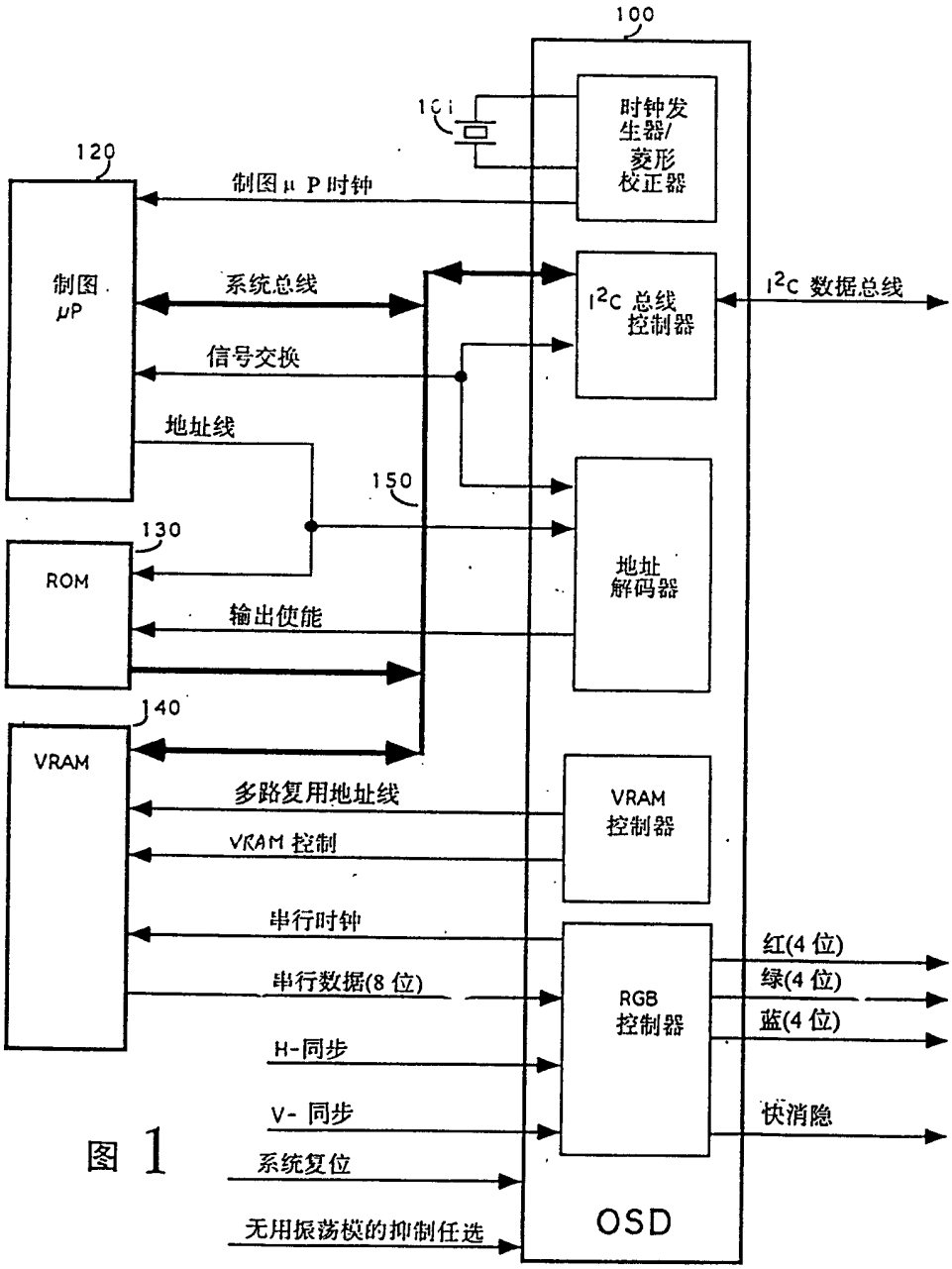

100
101
时钟发生器/菱形校正器
120
制图μP时钟
制图 μP
系统总线
I²C 总线控制器
I²C 数据总线
信号交换
地址线
150
130
ROM
地址解码器
输出使能
140
VRAM
多路复用地址线
VRAM 控制器
VRAM 控制
串行时钟
串行数据(8 位)
RGB 控制器
红(4 位)
绿(4 位)
蓝(4 位)
H-同步
V- 同步
快消隐
系统复位
无用振荡模的抑制任选
OSD

图 1

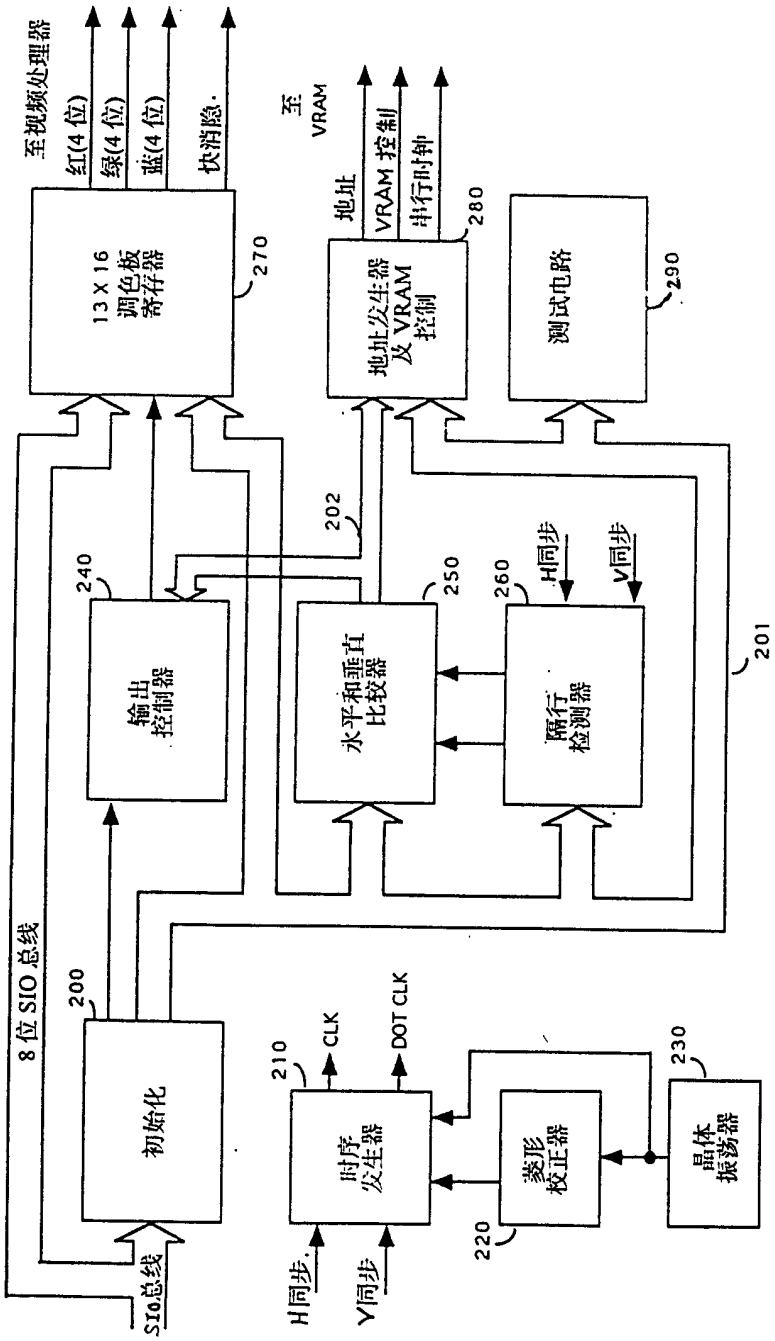

至视频处理器
红(4 位)
绿(4 位)
蓝(4 位)
快消隐
至 VRAM
地址
VRAM 控制
串行时钟
13 X 16 调色板寄存器
270
地址发生器及 VRAM 控制
280
测试电路
290
202
240
250
260
H同步
V同步
输出控制器
水平和垂直比较器
隔行检测器
201
8 位 SIO 总线
200
初始化
210
CLK
DOT CLK
时序发生器
菱形校正器
220
晶体振荡器
230
SIO总线
H同步
V同步

图 2

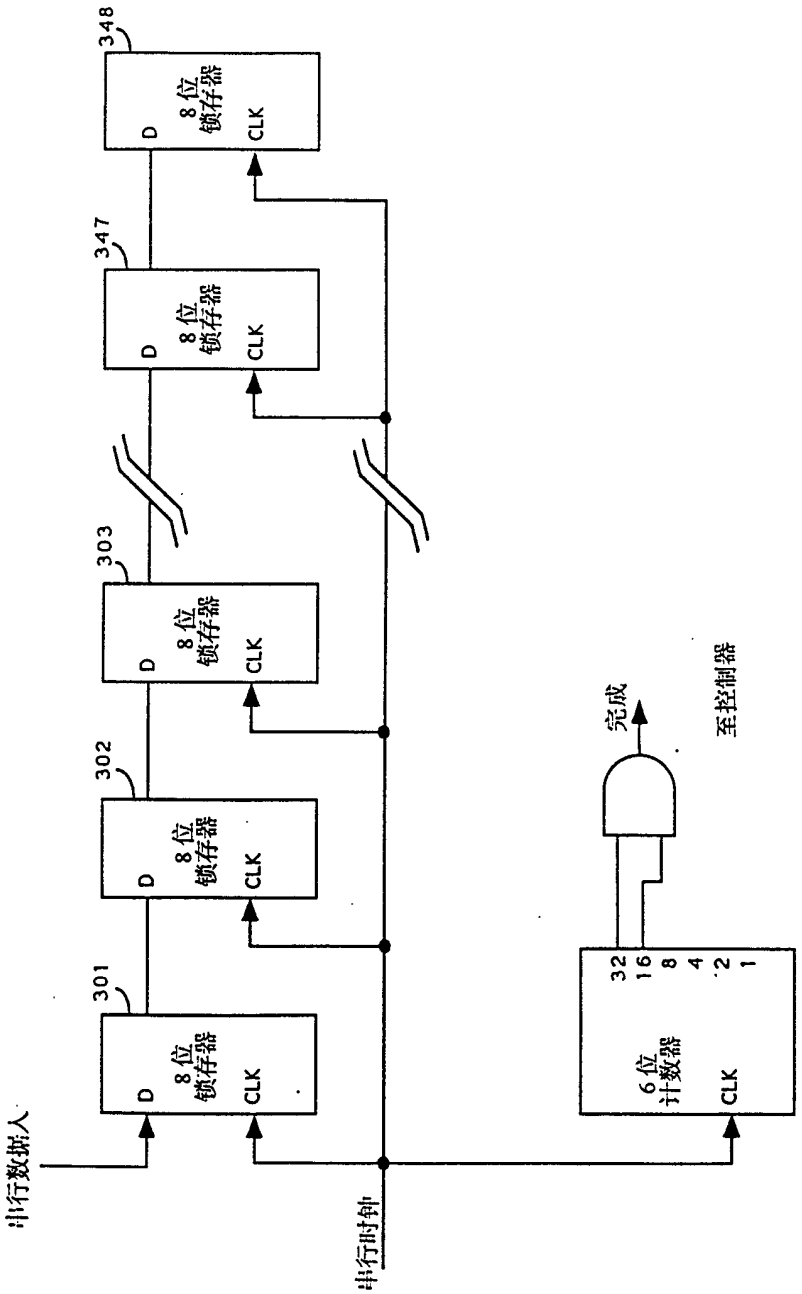

348
347
303
302
301
8位锁存器
D
CLK
串行数据入
串行时钟
6位计数器
32
16
8
4
2
1
完成
至控制器

图 3

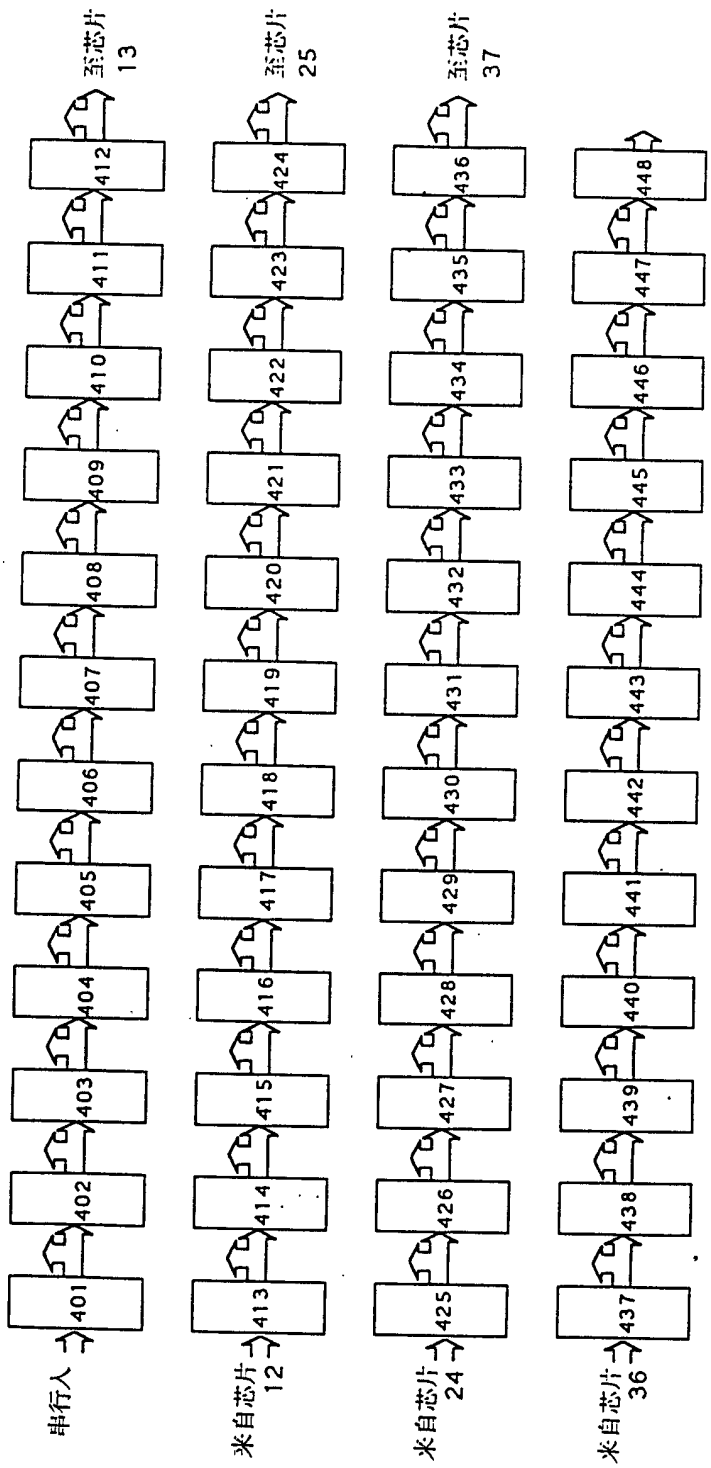
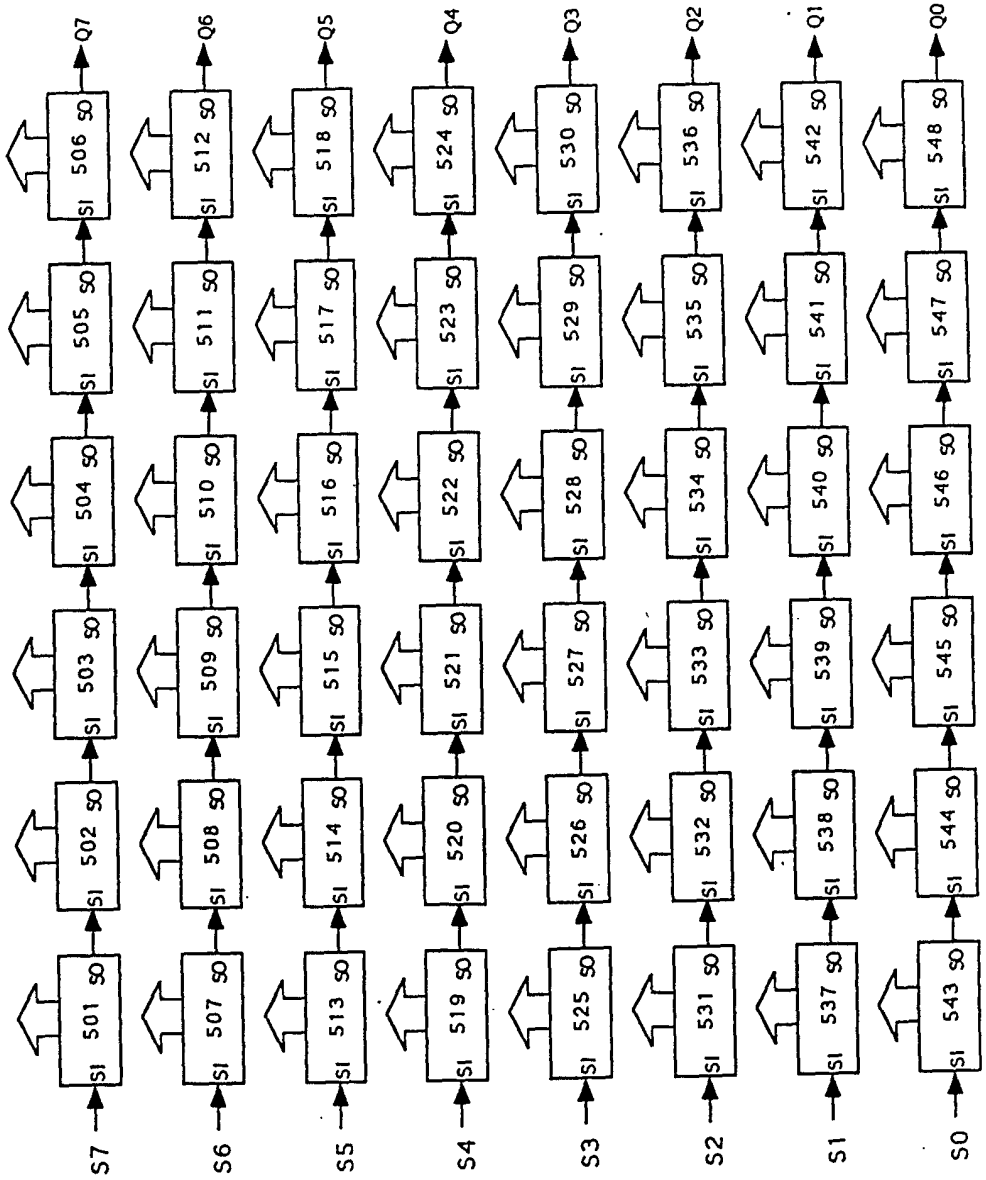

串行入
401
402
403
404
405
406
407
408
409
410
411
412
至芯片
13
来自芯片
12
413
414
415
416
417
418
419
420
421
422
423
424
至芯片
25
来自芯片
24
425
426
427
428
429
430
431
432
433
434
435
436
至芯片
37
来自芯片
36
437
438
439
440
441
442
443
444
445
446
447
448

图 4

图 5


S7
S6
S5
S4
S3
S2
S1
S0
Q7
Q6
Q5
Q4
Q3
Q2
Q1
Q0
501 SO SI
502 SO SI
503 SO SI
504 SO SI
505 SO SI
506 SO SI
507 SO SI
508 SO SI
509 SO SI
510 SO SI
511 SO SI
512 SO SI
513 SO SI
514 SO SI
515 SO SI
516 SO SI
517 SO SI
518 SO SI
519 SO SI
520 SO SI
521 SO SI
522 SO SI
523 SO SI
524 SO SI
525 SO SI
526 SO SI
527 SO SI
528 SO SI
529 SO SI
530 SO SI
531 SO SI
532 SO SI
533 SO SI
534 SO SI
535 SO SI
536 SO SI
537 SO SI
538 SO SI
539 SO SI
540 SO SI
541 SO SI
542 SO SI
543 SO SI
544 SO SI
545 SO SI
546 SO SI
547 SO SI
548 SO SI

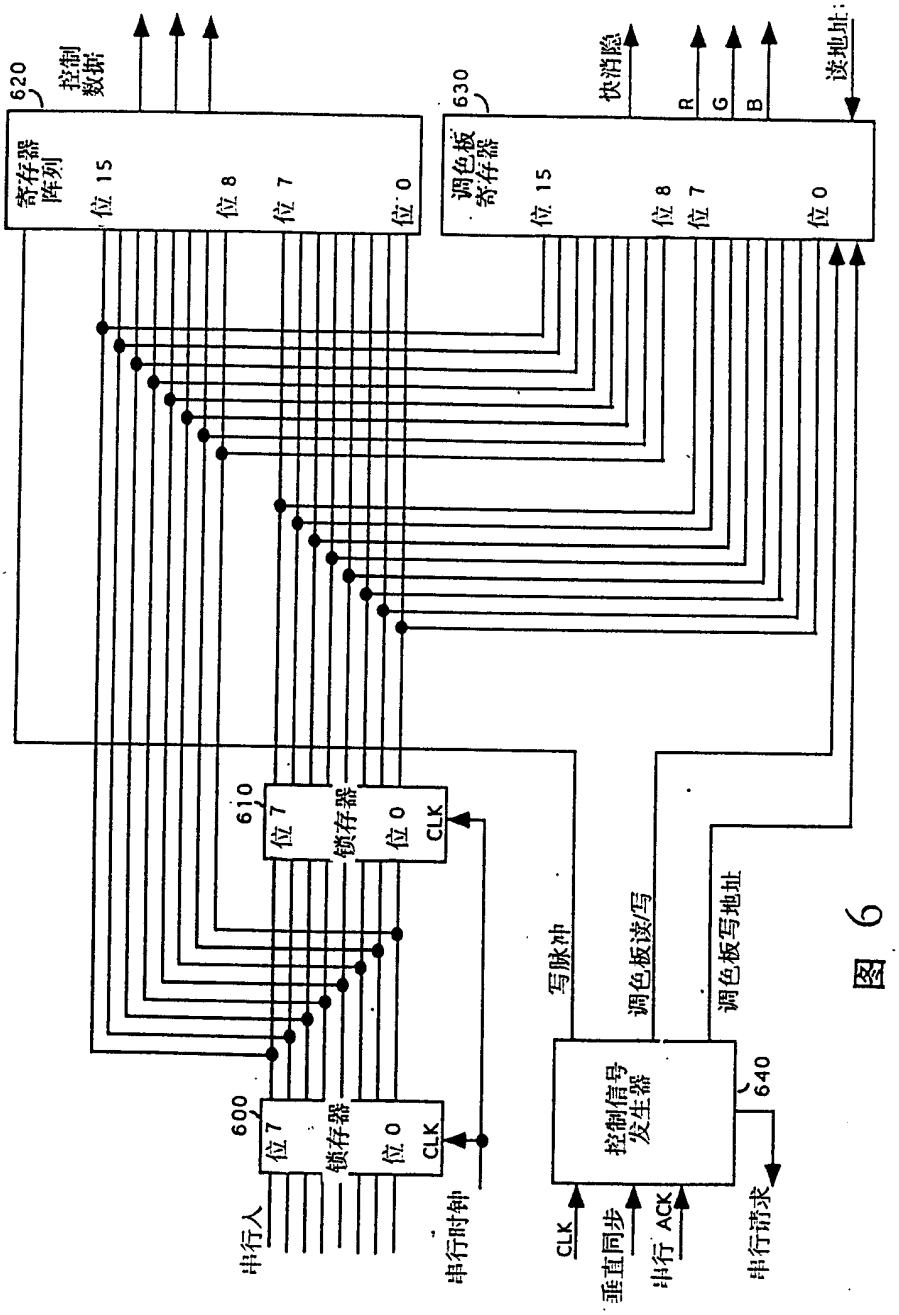

620
控制数据
寄存器阵列
位 15
位 8
位 7
位 0
630
快消隐
R
G
B
读地址
调色板寄存器
位 15
位 8
位 7
位 0
610
位 7
锁存器
位 0
CLK
600
位 7
锁存器
位 0
CLK
串行入
串行时钟
写脉冲
调色板读/写
调色板写地址
控制信号发生器
640
CLK
垂直同步
串行 ACK
串行请求

图 6

位置号	字节号	内容
00	初始化字节	XX XX VP HP XX VR TP OE
01	帧控制字节	XX XX D1 D0 HS V1 X1 X0
02	象素延迟 (LSB)	
03	象素延迟 (MSB)	
04	起始地址 (LSB)	
05	起始地址 (MSB)	
06	起始行号 (LSB)	
07	起始行号 (MSB)	
08	结束行号 (LSB)	
09	结束行号 (MSB)	
10	左象素号 (LSB)	
11	左象素号 (MSB)	
12	右象素号 (LSB)	
13	右象素号 (MSB)	
14	不用	
15	边缘颜色	
16	颜色 0 (LSB)	
17	颜色 0 (MSB)	
18	颜色 1 (LSB)	
19	颜色 1 (MSB)	
20	颜色 2 (LSB)	
21	颜色 2 (MSB)	
22	颜色 3 (LSB)	
23	颜色 3 (MSB)	
24	颜色 4 (LSB)	
25	颜色 4 (MSB)	
26	颜色 5 (LSB)	
27	颜色 5 (MSB)	
28	颜色 6 (LSB)	
29	颜色 6 (MSB)	
30	颜色 7 (LSB)	
31	颜色 7 (MSB)	
32	颜色 8 (LSB)	
33	颜色 8 (MSB)	
34	颜色 9 (LSB)	
35	颜色 9 (MSB)	
36	颜色 10 (LSB)	
37	颜色 10 (MSB)	
38	颜色 11 (LSB)	
39	颜色 11 (MSB)	
40	颜色 12 (LSB)	
41	颜色 12 (MSB)	
42	颜色 13 (LSB)	
43	颜色 13 (MSB)	
44	颜色 14 (LSB)	
45	颜色 14 (MSB)	
46	颜色 15 (LSB)	
47	颜色 15 (MSB)	

图 7

位 No	初始化字节 位名	内容
7	不用	
6	不用	
5	VP 垂直同步极性	0 = 负极性 1 = 正极性
4	HP 水平同步极性	0 = 负极性 1 = 正极性
3	不用	
2	VR 菱形校正控制	0 = 允许菱形校正器 1 = 禁止的菱形校正器
1	TP 透明度极性 (快消隐极性)	0 = 负极性 1 = 正极性
0	OSD 使能	0 = 禁止 OSD 1 = 允许 OSD

图 8a

位 No	帧控制字节 位名	内容
7	不用	
6	不用	
5,4	D1D0 点时钟选择	00 = 振荡时钟 除以 1 01 = 振荡时钟 除以 2 10 = 振荡时钟 除以 4 11 = 振荡时钟 除以 8
3	HS 水平扫描速率	0 = 1H 1 = 2H
2	VI 垂直隔行	0 = 非隔行 1 = 隔行
1,0	X1X0 放大因数	00 = 1X 01 = 2X 10 = 4X

图 8b