

[19] 中华人民共和国国家知识产权局

[ 51 ] Int. Cl<sup>7</sup>

G01R 31/316

G01R 35/00



# [12] 发明专利说明书

[21] ZL 专利号 01810946.2

[45] 授权公告日 2005 年 1 月 26 日

[11] 授权公告号 CN 1186643C

[22] 申请日 2001.3.27 [21] 申请号 01810946.2

[30] 优先权

[32] 2000. 4. 13 [33] US [31] 09/548,885

[32] 2000. 5. 9 [33] US [31] 09/568,460

[86] 国际申请 PCT/US2001/010030 2001. 3. 27

[87] 国际公布 WO2001/079863 英 2001. 10. 25

[85] 进入国家阶段日期 2002. 12. 9

[71] 专利权人 佛姆法克特股份有限公司

地址 美国加利福尼亚州

[72] 发明人 R·G·惠藤 B·N·埃尔德里奇

审查员 宋丽敏

[74] 专利代理机构 上海专利商标事务所

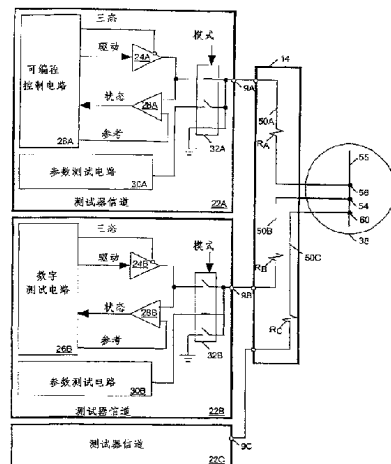
代理人 李 玲

权利要求书 6 页 说明书 10 页 附图 6 页

[54] 发明名称 测试集成电路晶片和晶片测试器间信号通路的方法和设备

[57] 摘要

通过使用互连结构连接参考晶片上相同排列的测试点测试连接集成电路 (IC) 测试器的输入/输出 (I/O) 端和晶片上 IC 芯片测试点的互连结构内的信号通路的连续性、短路和电阻。参考晶片内的导体将测试点群互相连接。测试器可随后通过在那些在参考晶片内的信号通路和互连导体的端口对之间发送测试信号来测试通过互连结构的信号通路的连续性。测试器内的参数测试单元也可通过将通过其 I/O 端口对上电压降大小与其在 I/O 端口对之间发送的电流大小进行比较来判定通过互连结构的信号通路的阻抗。



1. 一种测试互连结构内信号通路的方法，其中的互连结构用于将集成电路测试器的端口与设置在被测试 IC 晶片上的第一测试点互相连接，该方法包括以下步骤：

提供一参考晶片，在该晶片上有多个第二测试点，它们以与在所述 IC 晶片上所述第一测试点的排列方式相同的方式排列，且有与所述第二测试点互连的导体；

用所述的互连结构将每一个所述第二测试点与所述端口中的一个分开的端口互相连接；以及

对所述的集成电路测试器编程，使它通过在所述互连结构内的所述信号通路和所述导体从一个所述的端口向另一个所述的端口发送测试信号。

2. 根据权利要求 1 所述的方法，其特征在于，还包含对所述集成电路测试器编程以判定所述测试信号是否已到达所述另一端口的步骤。

3. 根据权利要求 1 所述的方法，其特征在于，所述测试信号的幅度是上下波动的。

4. 根据权利要求 3 的方法，其特征在于，还包含对所述集成电路测试器编程以判定所述测试信号的幅度是否在所述另一端口上下波动的步骤。

5. 根据权利要求 1 的方法，其特征在于，还包含在所述一个端口测量所述测试信号电压的步骤。

6. 根据权利要求 5 所述的方法，其特征在于，还包含计算所述测试信号的所述电压与所述测试信号的电流比的步骤。

7. 根据权利要求 1 所述的方法，其特征在于，还包含在所述一个端口测量所述测试信号电流的步骤。

8. 根据权利要求 5 所述的方法，其特征在于，还包含计算所述测试信号的电压与所述测试信号的电流的比的步骤。

9. 根据权利要求 1 所述的方法，其特征在于，还包含步骤：

将另一所述端口接地；

测量所述测试信号的幅度；以及

根据所测的所述测试信号的幅度计算通路电阻。

10. 根据权利要求 1 所述的方法，其特征在于，所述的 IC 晶片和所述的参考晶片在大小和形状上是相似的。

11. 一种测量互连结构内信号通路电阻的方法，其中的互连结构用于将集成电路测试器的端口与至少三个设置在被测试 IC 晶片上的第一测试点互相连接，该方法包括以下步骤：

提供一参考晶片，在该晶片上至少有三个与在所述 IC 晶片上所述的至少三个第一测试点排列方式相同的第二测试点，且在至少三个第二测试点上有互连的导体；

用所述的互连结构将每一个所述的至少三个第二测试点与所述端口中的一个分开的端口互相连接；以及

在所述至少三个端口的至少三对唯一的端口之间传送测试信号。

12. 根据权利要求 11 所述的方法，其特征在于，还包含下列步骤：

测量每个所述测试信号的幅度；以及

根据所测的所述测试信号的幅度计算所述信号通路的电阻。

13. 根据权利要求 12 所述的方法，其特征在于，还包含当在所述至少三个端口的三对独一无二的端口之间传送所述测试信号时将所述的每一对中的一个端口接地的步骤。

14. 一种测量互连结构内信号通路的方法，其中的互连结构用于将集成电路测试器的端口与设置在被测试 IC 晶片上的第一测试点互相连接，该方法包括下列步骤：

提供一参考晶片，在该晶片上有多个与在所述 IC 晶片上的所述第一测试点排列方式相同的第二测试点，且具有一参考点，并具有将所述第二测试点与所述参考点互相连接的导体；

用所述的互连结构将每一个所述的第二测试点以及所述的参考点与所述端口中一个分开的端口互相连接；以及

对所述的集成电路测试器编程，以通过在所述互连结构内的所述信号通路以及所述导体从与所述的第二测试点中的一个互连的所述端口中的一个向连接到所述参考点的另一个所述端口发送测试信号。

15. 根据权利要求 14 所述的方法，其特征在于，还包含对所述集成电路测试

器编程以判定所述测试信号是否已到达所述另一端口的步骤。

16. 根据权利要求 14 所述的方法，其特征在于，所述的测试信号在高逻辑电平和低逻辑电平之间切换。

17. 根据权利要求 16 所述的方法，其特征在于，还包含对所述集成电路测试器编程以判定所述测试信号是否在所述另一端口切换于所述高逻辑电平和低逻辑电平之间。

18. 根据权利要求 14 所述的方法，其特征在于，还包含在所述端口中的一个测量所述测试信号电压的步骤。

19. 根据权利要求 18 所述的方法，其特征在于，还包含计算所述测试信号电压与所述测试信号电流的比的步骤。

20. 根据权利要求 14 所述的方法，其特征在于，还包含测量所述测试信号电流的步骤。

21. 根据权利要求 20 所述的方法，其特征在于，还包含计算所述测试信号的电压与测得的所述测试信号电流的比率的步骤。

22. 根据权利要求 14 所述的方法，其特征在于，还包含以下步骤：

将另一所述端口接地；

测量所述测试信号的幅度；以及

根据所测得的所述测试信号的幅度计算通路电阻。

23. 一种测量互连结构内信号通路的方法，其中的互连结构用于将集成电路测试器的端口与设置在被测试 IC 晶片上的第一测试点互相连接，该方法包括下列步骤：

提供一参考晶片，在该晶片上有多个与在所述 IC 晶片上所述的第一测试点排列方式相同的第二测试点，且有在所述第二测试点产生测试信号的装置；

用所述的互连结构将每一个所述的第二测试点与所述端口中一个分开的端口互相连接；以及

对所述的集成电路测试器编程，以监测所述的端口从而判定所述测试信号是否已到达所述端口。

24. 根据权利要求 23 所述的方法，其特征在于，所述的测试信号的幅度是上下波动的。

25. 根据权利要求 24 所述的方法，其特征在于，还包含对所述集成电路测试器编程以判定所述测试信号的幅度是否在所述另一端口上下波动的步骤。

26. 一种测量互连结构内信号通路电阻的方法，其中的互连结构用于将集成电路测试器的端口与设置在被测试 IC 晶片上的第一测试点互相连接，该方法包括下列步骤：

提供一参考晶片，在该晶片上有多个与在所述 IC 晶片上所述的第一测试点排列方式相同的第二测试点，以及将所述测试点接地的装置；

用所述的互连结构将每一个所述的第二测试点与所述端口中一个分开的端口互相连接；以及

对所述的集成电路测试器编程，以测量在所述接地的第二测试点的所述端口之间的信号通路电阻。

27. 一种设备，用于当集成电路测试器测试 IC 晶片时在集成电路测试器和排列在 IC 晶片上的第一测试点之间提供信号通路，当集成电路测试器不测试 IC 晶片时使该集成电路测试器测量信号通路的电阻，该设备包括：

互连结构，它包含触点，当集成电路测试器测试 IC 晶片时设置该触点以接触该 IC 晶片的第一测试点，且该互连结构包含将集成电路测试器的端口与所述触点互连的导体，其中该导体和触点形成所述信号通路，以及

参考晶片，其尺寸和形状与所述要测试的 IC 晶片相同，在所述参考晶片上具有多个以与所述 IC 晶片上所述第一测试点的排列方式相同的方式排列的第二测试点，当集成电路测试器测试 IC 晶片时所述触点接触第一测试点，当集成电路测试器测量所述信号通路的电阻时所述触点接触第二测试点。

28. 根据权利要求 27 所述的设备，其特征在于，所述的参考晶片还包含连接所述第二测试点群的导体。

29. 根据权利要求 27 所述的设备，其特征在于，所述参考晶片还包含用于选择性地将所述第二测试点接地以响应作为输入提供给所述参考晶片的信号的电路装置。

30. 根据权利要求 27 所述的设备，其特征在于，所述参考晶片还包含用于在所述第二测试点上产生测试信号的电路装置。

31. 根据权利要求 27 所述的设备，其特征在于，所述参考晶片还包含选择性

地将所述第二测试点接地并在所述第二测试点上产生测试信号以响应作为输入提供给所述参考晶片的控制信号的电路装置。

32. 一种测量互连结构内信号通路的电阻的设备，其中的互连结构用于将集成电路测试器的端口与设置在被测试 IC 晶片上的第一测试点互相连接，该设备包括：

一参考晶片，其大小和形状与所述被测试的 IC 晶片相同，在所述的参考晶片上有多个与在所述 IC 晶片上所述的第一测试点排列方式相同的第二测试点，

其中，所述参考晶片还包括在所述第二测试点上产生测试信号的电路装置，且其中，

所述测试信号的幅度是上下波动的。

33. 一种测量互连结构内信号通路的电阻的设备，其中的互连结构用于将集成电路测试器的端口与设置在被测试 IC 晶片上的第一测试点互相连接，该设备包括：

一参考晶片，其大小和形状与所述被测试的 IC 晶片相同，在所述的参考晶片上有多个与在所述 IC 晶片上所述的第一测试点排列方式相同的第二测试点，

其中，所述参考晶片还包含选择性地将所述第二测试点接地并在所述第二测试点上产生测试信号以响应作为输入提供给所述参考晶片的控制信号的电路装置，且其中，

所述测试信号的幅度是上下波动的。

34. 一种测量互连结构内信号通路的电阻的设备，其中的互连结构用于将集成电路测试器的端口与设置在被测试 IC 晶片上的第一测试点互相连接，该设备包括：

一参考晶片，其大小和形状与所述被测试的 IC 晶片相同，在所述的参考晶片上有多个与在所述 IC 晶片上所述的第一测试点排列方式相同的第二测试点，以及通过所述互连结构内的信号通路耦连于所述第二测试点的装置，用于测量由信号通路传送的信号的幅度和通过所测量的信号的幅度计算信号通路的电阻。

35. 根据权利要求 34 所述的设备，其特征在于，所述的参考晶片还包含连接所述第二测试点群的导体。

36. 根据权利要求 34 所述的设备，其特征在于，所述参考晶片还包含用于选择性地将所述第二测试点接地以响应作为输入提供给所述参考晶片的信号的电路装置。

37. 根据权利要求 34 所述的设备，其特征在于，所述参考晶片还包含用于在

所述第二测试点上产生测试信号的电路装置。

38. 根据权利要求 37 所述的设备，其特征在于，所述测试信号的幅度是上下波动的。

39. 根据权利要求 34 所述的设备，其特征在于，所述参考晶片还包含选择性地将所述第二测试点接地并在所述第二测试点上产生测试信号以响应作为输入提供给所述参考晶片的控制信号的电路装置。

40. 根据权利要求 39 所述的设备，其特征在于，所述测试信号的幅度是上下波动的。

## 测试集成电路晶片和晶片测试器间信号通路的方法和设备

### 发明背景

#### 发明领域

本发明总的来说，涉及晶片级集成电路(IC)测试器，更确切地说，是涉及一种通过将 IC 测试器和要测试的 IC 晶片互相连接的结构来检验信号通路的方法。

#### 相关技术的描述

当 IC 还是半导体晶片上的芯片形式时，有许多集成电路(IC)测试器测试 IC。典型的晶片测试器包括被称为“测试头”的底盘，它包含实现测试晶片的电路的印刷电路板。测试电路通常组成一系列类似的“信道”，每个信道包括向晶片上的一个测试点产生测试信号输入以及监测在该测试点产生的任何晶片输出信号所需要的所有电路系统。每个信道通常有一个单独的双向输入/输出(I/O)端口，信道通过该端口与晶片测试点进行通讯，虽然一些信道用两个不定向的端口。

处于测试头和晶片之间的互连结构在信道的 I/O 端口和晶片上测试点之间提供了信号通路。互连结构以多种方式与测试头 I/O 端口和晶片测试点相接触。比如处于互连结构上面的测试头，信道的 I/O 端口可以通过一组从测试头向下延伸的弹簧管脚连接器连接互连结构上表面的接触片。互连结构可通过一组小探针依次连接 IC 芯片的测试点。当晶片被移到互连结构下面的位置时，探针可连接到互连结构的下表面并且可以接触晶片上表面的引线点。另外，探针可被用作在晶片本身表面上形成的弹簧触点，弹簧触点的尖端连接互连结构下表面的接触片。

由于测试头相对较大，测试器信道的 I/O 端口分布在一个水平区域上，该水平区域比它们必须连接的相对较小的 IC 芯片上的测试点宽得多。从而不管怎样实现互连结构，都必须提供大量在水平和垂直方向上延伸的信号通路以将信道 I/O 端口与晶片上的测试点互相连接。因此，互连结构经常是包括一个以上互连信号布线层的相对复杂的结构。该通过互连结构的信号通路也可包括诸如小电阻或电容之



类的元件。

在测试晶片之前，我们希望确认互连结构是否能在测试头和晶片之间提供必要的信号通路。可能会发生连接的失败，比如，由于没有将弹簧管脚或探针与它们预定的接触点对准，断裂、掉落或被损坏的弹簧管脚、探针或接触片，互连结构内层中接触结构之间没有对准，互连结构内或测试头内导体之间的开路或短路故障，或在通过互连结构的信号通路中的分立元件损坏或丢失。在许多应用中，我们也希望检验每个测试头 I/O 端口和晶片上对应测试点之间的信号通路的电阻是否在可接收的范围内。通常设计接触组件以提供具有特定电阻的信号通路，且预期电阻的任何变化，比如由于在接触片或探针尖端或弹簧管脚上的腐蚀或损坏，会使测试结果失真。

通常使用传统电阻及通过小探针连接信号通路的相对端的连接头测试设备在制备工艺过程中测试互连结构中信号通路的短路、连续性和电阻。然而探针组件中的信号通路，当用于集成电路测试器时会随后被破坏，而定时地将探针组件从测试器移去并手工测试其信号通路的连续性和电阻是困难且不方便的。通常可检测或至少怀疑到信号通路的开路和短路破坏，因为它们通常导致 IC 出现测试失败的特征图案。但是，当信号通路具有的电阻正好在可接收的范围以外，则晶片测试的失败将不能展示清晰的图案，此时，尽管失败的源头事实上是互连结构，仍会因测试失败而可能将芯片不正确地弃用。

我们需要的是一种方便的方法，该方法在不必将它从其工作环境移走的条件下，迅速测试通过互连结构的信号通路的短路、连续性和电阻。

### 发明内容

互连结构通常在集成电路 (IC) 测试器的输入/输出 (I/O) 端口和要测试的 IC 晶片的测试点之间提供多个信号通路。根据本发明的一方面，将 IC 测试器的 I/O 端口与晶片测试点连接的互连结构的能力首先通过使用将这些 I/O 端口与参考晶片上测试点的类似排列进行互相连接的互连结构来检验。

与被测试晶片的大小和形状都相同的参考晶片，包括连接多组测试点的导体。当测试器在其一个 I/O 端口产生测试信号时，该信号穿过互连系统到达参考晶片上的测试点。晶片内的导体随后向另一测试点传送测试信号。该测试信号随后通过互

连结构从该参考点返回到 IC 测试器的另一 I/O 端口。由此,可通过对测试器编程,从而通过该 I/O 端口向参考晶片传送测试信号并在该信号通过另一 I/O 端口返回时查找该信号,来测试从任何测试器 I/O 端口到参考晶片上一测试点的信号通路的连续性。

通过连接那些信号通路及参考晶片的 I/O 端口之间的已知电流的传输信号并测量两个 I/O 端口之间的电压降,来测量通过互连结构的信号通路的电阻。另外,测试器可通过两个连接的 I/O 端口设置已知的电压并测量在它们之间通过的电流。在任何一种情况下,两个端口之间信号通路的系统电阻都随后通过测试信号电压和电流进行计算。当重复该工序以测量在多种端口组合之间的电阻时,在每个测试器 I/O 端口和它所连接的晶片测试点之间的通路电阻都可从该结果中计算出。

通过去除参考晶片、对一个测试器信道编程以向所选信号通路施加测试信号以及对其它的测试器信道编程以查找在其它信号通路上该信号的出现,可测试在所选信号通路和任何其它通过互连结构的信号通路之间的短路。

因此本发明的一个目的是提供一种方法以检验互连系统能否在 IC 测试器端口和在被测试晶片上的测试点之间提供连续的信号通路。

本发明的另一个目的是提供一种装置以测量通过连接 IC 测试器端口和被测试晶片上测试点的互连结构的信号通路的电阻。

本说明书的总结部分特别指出并清楚地提出了本发明的主题。然而,那些熟悉本专业的技术人员,通过参考附图(其中,相同的标号表示相同的部件)来阅读说明书的其余部分,会充分理解本发明的构成和操作方法,以及其它的优点和目的。

### 附图简述

图1是通过传统互连结构连接在测试中的晶片的典型现有技术的集成电路(IC)测试器的测试头的简化局部正视图;

图2是一部分典型晶片的简化局部平面图;

图3以简化框图的形式表示了借助图1的通过互连结构连接 IC 晶片的引线点的测试头来实现的现有技术测试器信道;

图4是根据本发明互连结构下表面一部分的简化平面图;

图5是根据本发明参考晶片的简化平面图;

图6以简化框图形式示出了根据本发明的通过互连结构连接 IC 晶片上引线点

的一对测试器信道；

图 7 示出了当测量通路电阻时信号所通过的一组路径；以及

图 8 以示意图的形式示出了根据本发明参考晶片一部分的可替换实施例。

### 较佳实施例的描述

本发明涉及测试通过任何类型互连结构的信号通路的方法和设备，其中的互连结构用以在晶片级集成电路(IC)测试器的输入/输出(I/O)端和要测试的 IC 晶片上的测试点之间传送信号。由于本发明的特性最好从 IC 测试器的来龙去脉理解，故以下简单地描述典型的 IC 测试器结构。

#### 集成电路测试器

图 1 是通过传统互连结构 14 连接测试中的晶片 12 的测试点的典型现有技术集成电路(IC)测试器的测试头 10 的简化局部正视图。图 2 是晶片 12 一部分的平面图，图 3 是表示安装在图 1 测试头 10 中测试器电路的简化框图。参考图 1-3，测试头 10 具有一组电路板，该电路板有在以晶片 12 的芯片 20 的形式实现的 IC 上进行数字和模拟测试的电路。为了简化，图 2 示出的每个芯片 20 只有四个测试点 21，但典型的 IC 芯片有多得多的测试点。测试头 10 的 I/O 端口 9 通过一组弹簧管脚连接器 16 连接互连结构 14 上表面的引线点。

互连结构 14 通过一组探针 18 连接晶片 12 上的测试点 21 并在测试点 21 和探针 18 之间提供信号通路。测试点 21 可以，例如，是在晶片 12 表面上的导电片，且在这种情况下，探针 18 连接互连结构 14 的下表面，并且探针 18 具有与晶片 12 上表面引线点接触的尖端，以作为测试点 21。或者，如另一个例子，探针 18 可以是与晶片 12 本身表面上引线点接触的弹簧触点，且在这种情况下，探针尖端本身成为由互连结构 14 下表面的引线点接触的“测试点”。

如图 3 所示，测试头 10 具有几个电路板，以提供一组测试器信道 22，以连接晶片 12 的测试点 21。每个信道 22 可包括用于向对应的测试点 21 发送数字测试信号的三态驱动器 24 以及用于接收在该引线点产生的 IC 输出信号的比较器 28。在数字测试中，在每个信道 22 中的可编程控制电路 26 向三态控制提供信号(三态和驱动)并驱动驱动器 24 的输入以设置向测试点 21 发送的测试信号的状态(高、低或

三态)。控制电路 26 也可向比较器 28 的输入提供参考电压(REF)。比较器 28 向控制电路提供输出信号(状态), IC 输出信号在电压上是高于 REF 信号还是低于, 从而指示 IC 输出信号的逻辑状态。

每个信道 22 也可包括用于在 IC 测试点执行模拟测试的参数测试电路 30, 诸如漏电流测试。由控制数据(MODE)控制的一对继电器 32, 可在数字测试中将驱动器和比较器 24 和 28 连接于信道的 I/O 端口 9, 或可在参数测试中将参数测试电路 30 连接于 I/O 端口 9。在一些测试器结构中, 一个单独的参数测试电路可被几个信道共享。

### 互连测试装置

由于弹簧管脚 16 比探针 18 分布的水平面积更加宽, 所以互连结构 14 必须向互连弹簧管脚 16 和探针 18 提供在水平和垂直方向上都延伸的信号通路。互连结构 14 也可将诸如分立电阻或电容之类的元件加入到那些信号通路中。这样互连结构 14 可为具有一个以上互连层和元件的相对复杂的仪器。在测试晶片 12 之前, 我们希望确认, 互连结构 14 将能够在每个测试头 I/O 端口 9 和它要连接的晶片 12 上的测试点 21 之间提供电阻合适的信号通路。

根据本发明, 为了测试通过互连结构 14 的信号通路, 我们首先提供在大小和形状上与要测试的晶片相同的参考晶片, 参考晶片提供了其表面上测试点的图案, 该图案模仿了晶片 12 表面上测试点的图案。当参考晶片位于互连结构 14 的下方时, 若假定探针被正确排列, 则探针 18 的每一个都接触参考晶片对应的测试点。在某些情况下, 如下面所述, 参考晶片也可包括在其表面上的附加的测试点(“参考点”)。在参考晶片内应用的导体将参考晶片的测试点群彼此相连以及与任何所提供的参考点连接。当需要时, 互连结构 14 也可加以改进以包括附加探针 18 和将参考晶片上每个参考点连接到测试头 10 中的备用上的信号通路。

为了测试在第一测试器信道和在参考晶片表面上测试点之间的单一信号通路的连续性, 对第一测试器信道编程以在其 I/O 端口发送测试信号, 比如方波信号。该测试信号随后通过互连结构 14 上的通路传送到测试点。参考晶片内的导体随后将测试信号转送到晶片上的另一个测试点或参考点。该测试信号随后通过互连结构 14 传送到一个第二测试器信道的 I/O 端口, 其中该第二测试器信道用于被编程以

检测信号是否在 I/O 端口出现。这样，我们可通过判定第二测试器信道是否已检测到返回信号来判定互连结构 14 是否已在第一测试器信道和其对应的测试点之间提供了信号通路。如以下详细描述的那样，测试器内的参数测试电路也可被用来测量测试器和参考晶片之间各种信号通路的电阻。

图 4 是互连结构 14 下表面一部分的简化平面图，互连结构 14 包括用于接触参考晶片上测试点的探针 18(由小圆圈表示)。根据本发明，已改进了互连结构 14 以使它包括一组用于接触参考晶片上附加参考点的探针 36(在图 4 中由小方块表示)。通过互连结构 14 的一组信号通路(TP, I/O 和 BUS)将探针 18 和 36 连接到互连结构 14 上表面上的接触片(弹簧管脚片)39, 该互连结构 14 通过弹簧管脚被测试器信道连接。在每个测试器信道和每个探针 18 之间的信号通路的电阻在图 4 中用符号表示为电阻 42。每个 I/O 通路在单独的测试器信道 I/O 端口和连接晶片上普通测试点的对应探针 18 之间传送信号。从而，连接 I/O 线的测试器信道只连接了在被测试晶片上的单独测试点。每个附加的通路(TP)都将备用的测试器信道连接到探针 36 中的一个以连接参考晶片上的参考点。互连结构 14 也可提供将一个测试器信道连接于几个探针 18 的“总线通路”(BUS)，从而测试器信道可通过一个 BUS 通路同时连接晶片上的几个测试点。在图 4 中出现了两个这样的 BUS 通路。

图 5 是参考晶片 38 的简化平面图，它包括一组由图 4 的探针 18 接触的测试点 41，设置引线点 41 以模仿被测试晶片 12(图 2)表面上接触测试点 21 的分布。参考晶片 38 还包括被图 4 的探针 36 连接的一组附加的参考点 46。参考晶片 38 内的一组导体 48 连接参考点和测试点群。在图 5 中还用虚线显示了通过互连结构 14 伸向互连结构 14 表面上引线点 39 的信号通路(I/O, TP 和 BUS)。虽然每个导体可将大量的测试点 41 连接于给定的参考点 46，但导体被设置得使被公共 BUS 通路连接的测试点 41 与分开的参考点 46 相连。

### 连续性的测试

参考图 1 和图 5，我们希望测试在连接于特定弹簧管脚片(片 52)的测试器信道端口和特定晶片测试点 41(点 54)之间的特定 I/O 信号通路 50 的连续性。注意的是，导体 48 中的一个(导体 55)将测试点 54 连接到一个参考点 46(点 56)，且该参考点 56 连接到另一弹簧管脚片 58。为了测试在连接于弹簧管脚片 52 的测试器信

道和测试点 54 之间通路的连续性，我们对 IC 测试器编程以三态驱动器 24(图 1) 连接到导体 48 而不把特定驱动器 24 连接到弹簧管脚片 52。该驱动器被编程以产生在高逻辑电平和低逻辑电平之间反复的方波测试信号。如果管脚片 52 和 54 之间的通路 50 是连续的，则将在管脚片 54 出现测试信号。导体 55 将向参考点 56 传送测试信号，后者将随后把测试信号传送到连接弹簧管脚片 58 的一个剩余测试器信道。对该剩余的测试器信道编程以查找输入的以预期方式在高逻辑电平和低逻辑电平之间反复的方波测试信号。由于它可通过使用多个测试器信道来同时连接几个参考点 46，所以测试器可以这种方式同时测试几个信号通路。但是，连接于同一参考点 46 的信号通路必须一个个顺序地被测试。

连续性的测试会错误地指示在测试器和测试点 41 之间的 I/O 信号通路有故障，但事实上此时是测试器和参考点 46 之间的 TP 信号通路有故障。然而，这种连续性的出错的根源将是明显的，因为有故障的 TP 信号通路将使连接到同一 TP 信号通路的所有 I/O 和 BUS 信号通路都呈现为有故障。

当有一个以上的 BUS 通路时，较佳为每个通过 BUS 通路连接的测试点 41 提供分开的导体 48 和参考点 46，从而使所有的 BUS 通路都彼此隔离。这使 BUS 通路的连续性可以以测试 I/O 通路连续性的相同方式被同时测试。但是，当有许多 BUS 通路时，也许不能实现为通过 BUS 通路连接的每个测试点 41 提供分开的导体 48 和参考点 46。在这种情况下，分开的 BUS 通路所连接的测试点 41 可以与同一导体 48 连接。然而，当我们那样做时，我们必须通过对测试器信道编程而使所有的导体 48 接地而非其连续性被测试的相关特殊 BUS 通路的一个导体接地，从而将 BUS 通路彼此隔离。我们对连接该特定相关 BUS 通路的测试器信道编程以便在该 BUS 通路上设置测试信号，并通过测试点 46 对连接非接地导体 48 的那个备用的测试器信道进行编程以查找返回的测试信号。由于其它的导体 48 是接地的，测试信号除了通过其连续性被测试的通路以外无法找到通向非接地导体的路径。因此，虽然 BUS 通路连接的连续性可使用该方法进行测试，但它们必须顺次地而不是同时去完成。

### 阻抗测试

当测试通过互连结构 14 的每个信号通路的电阻 42(图 4)时，参考晶片同样有用。该通路电阻包括形成通路的导体的固有电阻，但也可以包括被插入到互连结构

14 内信号通路中的分立电阻器。

图 6 示出了与图 2 现有技术的测试器信道 22 类似的一组三个的测试器信道 22A-22C。互连结构 14 通过通路 50B 和 50C 将信道 22B 和 22C 与参考晶片 38 上的测试点 54 和 60 相连，通过通路 50A 将信道 22A 与参考点 56 相连。参考晶片 38 内的导体 55 将所有三个管脚片 54、56 和 60 互相连接。

为了测量通路 50B 的电阻  $R_B$ ，设置信道 22A 的继电器 32A 以将驱动器 24A 连接于 I/O 端口 9A，并且设置输入到信道 22A 的驱动器 24A 的 DRIVE 信号以驱使它的低输出，以使输出端口 9A 有效地接地。设置信道 22B 的继电器 32B 以将信道的参数测试电路 30B 与其 I/O 端口 9B 连接。随后参数测试电路 30B 在端口 9B 产生一电压已知的 DC 信号并测量通过端口 9B 的所得电流。另外，参数测试电路 30B 可通过端口 9B 发送大小已知的电流并在端口 9B 测量得到的电压。在任何一种情况下，假设当 DRIVE 信号设置得使其输出减小时，驱动器 24A 对地的电阻可忽略时，信号电压除以信号电流都基本等于在端口 9B 和地之间的总信号通路电阻  $R_A+R_B$ 。当驱动器 24A 的对地电阻不可忽略而是已知的时候，可从计算的电阻减去它以得到通路电阻  $R_A+R_B$ 。另外，在测量中，可提供附加的继电器 32A 以使终端 9A 直接接地，从而对驱动器 24A 的电阻设旁路。当通路 50B 包括明显大于返回通路 50A 的固有电阻  $R_A$  的嵌入电阻器  $R_B$  时，计算的通路电阻值  $R_A+R_B$  将非常接近于电阻器  $R_B$  的电阻，这时， $R_B$  可作为该通路电阻的电阻值。

另一方面，当通路 50A 的电阻  $R_A$  不可忽略的时候，我们可用附加的工序以单判定电阻器  $R_B$  的大小。假设如图 7 中所示的，我们将以上概括的电阻测量工序使用三次以测量信号通路 50A 和 50C 的总电阻  $R_1$ 、通路 50B 和 50C 的总电阻  $R_2$  以及通路 50A 和 50B 的总电阻  $R_3$ 。现在我们有三个等式，在其中有三个未知量 ( $R_A$ 、 $R_B$  和  $R_C$ )：

$$R_A+R_C=R_1$$

$$R_B+R_C=R_2$$

$$R_A+R_B=R_3$$

求解  $R_A$ 、 $R_B$  和  $R_C$ ，我们得到，

$$R_A = (+R_1 - R_2 + R_3) / 2$$

$$R_B = (-R_1 + R_2 + R_3) / 2$$

$$R_c = (+R_1 + R_2 - R_3) / 2。$$

因此，只要参考晶片 38 连接的所有测试点或参考点群至少有三个，我们就能使用上述的工序和计算来判定在测试器信道的 I/O 端口和其连接的在参考晶片上的测试点或参考点之间的电阻。

注意的是，不必为了测试互连结构信号通路的连续性和电阻而在参考晶片 38 上提供参考点 36，只要参考晶片 38 内的导体 42 将每个测试点 41 连接于其它的测试点 41 就可以了。在这种情况下，当测试到其它测试点通路的测试信号通路连续性或电阻时，一个测试点 41 可起到参考点的作用。

只要没有其它的 BUS 通路连接到同一导体 48，在测试器信道和连接到导体 48 的任何测试点 41 之间的 BUS 通路的阻抗就可以如上所述地进行测试。

### 带工作电路的参考晶片

图 8 以示意图的形式示出了参考晶片 68 一部分的可替换实施例，它还具有以类似于被互连结构连接的测试器件上的测试点排列的方式排列的测试点 41。测试点 41 被晶片 68 内的导体 48 连接。参考晶片 68 包括通过低阻抗通路与外部地电势连接的测试点 71 以及一组通过晶体管 70，每个晶体管通过测试点 71 连接于一个导体 48 和地之间。可通过互连结构由一个剩余的测试器信道连接的附加测试点 72 连接于控制通过晶体管 70 栅的一组驱动器 74 的每一个输入端。

晶片 68 还包括向一组具有连接导体 48 的输出的三态驱动器 78 供应作为输入的测试信号 (TEST) 的振荡器 76。反相器 80 将测试点 72 与驱动器 78 的三态控制输入进行耦合。当备用的信道在测试点 72 确认控制信号时，驱动器 74 打开晶体管 70，驱动器 78 被三态驱动。当备用的信道在测试点 72 不确认控制信号时，驱动器 74 关闭晶体管 70，且三态驱动器 78 缓冲在导体 48 上振荡器 76 的 TEST 信号输出。

为了测试通过互连结构将测试点 41 与 IC 测试器信道连接的信号通路的连续性，备用的测试器信道使驱动器 74 将通过晶体管 70 关闭，从而它们不会使导体 48 接地。备用的测试器信道还打开驱动器 78，从而它们将缓冲在导体 48 上的振荡 TEST 信号。TEST 信号通过测试点 41 和互连结构的信号通路返回到测



测试器信道。对每个测试器信道进行编程以监测其本身的 I/O 端口,由此判定 TEST 信号是否被接收到,从而确认通过互连结构的信号通路的连续性。

为了测量通过互连结构的不同信号通路的电阻,备用的测试器信道三态驱动器 78 和信号驱动器 74 打开通过晶体管 70,从而它们使导体 48 接地。测试器信道内的参数测试单元可随后直接测量每个信道输出端口和地之间的总通路电阻。当必要时,每个通过晶体管 70 的估算的电阻和从点 71 到地的估算电阻可从每次电阻测量中减去,从而估算每个通过互连结构的信号通路的电阻。

当只测试通过互连结构的信号通路的连续性,而不测量通路电阻时,驱动器 74 和通过晶体管 70 可从参考晶片 38 中省略。由于驱动器 78 不需要三态驱动器,所以测试点 72 和反相器 80 也可省略。

当只测量信号通路电阻,而不测试连续性时,导体 48 可永久地接地。在这种情况下,测试点 72、驱动器 74 和 78、振荡器 76 以及反相器 80 将从晶片 38 中省略。

### 短路测试

通过除去参考晶片从而所有的信号通路都是开路、对测试器信道编程以向所选信号通路施加测试信号、以及对其它的测试器信道编程以查找在任何其它信号通路上信号的出现,能检测在任何所选信号通路和任何其它通过互连结构 14 的信号通路之间的短路。

因此显示描述了一种系统,该系统用于测试通过任何种类互连结构将集成电路测试器的端口与测试中的 IC 晶片的点进行连接的信号通路的连续性和电阻。虽然上述的说明书已描述了本发明的较佳实施例,但本专业的熟练人士仍可在主要方面不脱离本发明的条件下对较佳实施例作出许多修改。因此,所附的权利要求旨在覆盖所有这样的落在本发明真实范围和精神之内的修改。

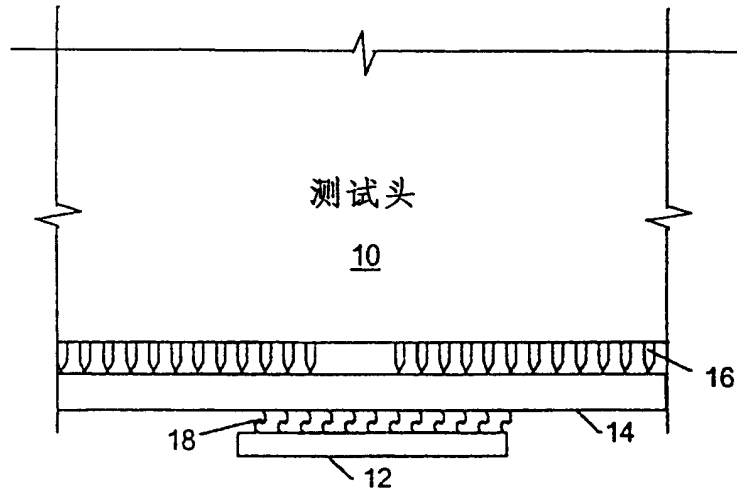


图 1  
(现有技术)

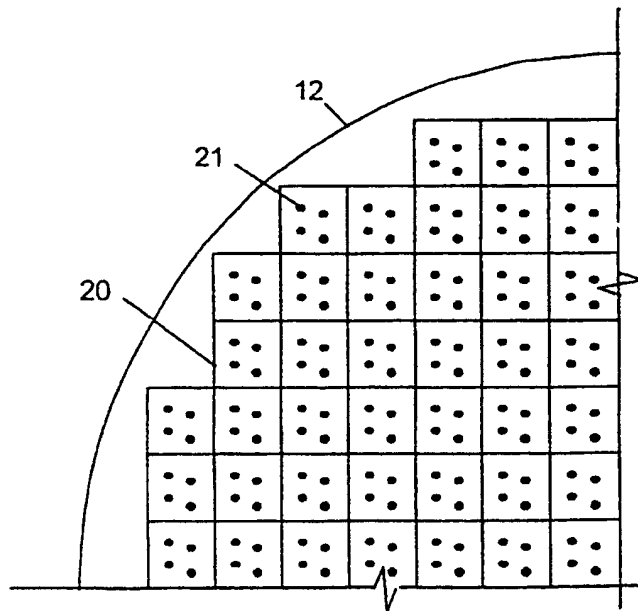


图 2  
(现有技术)

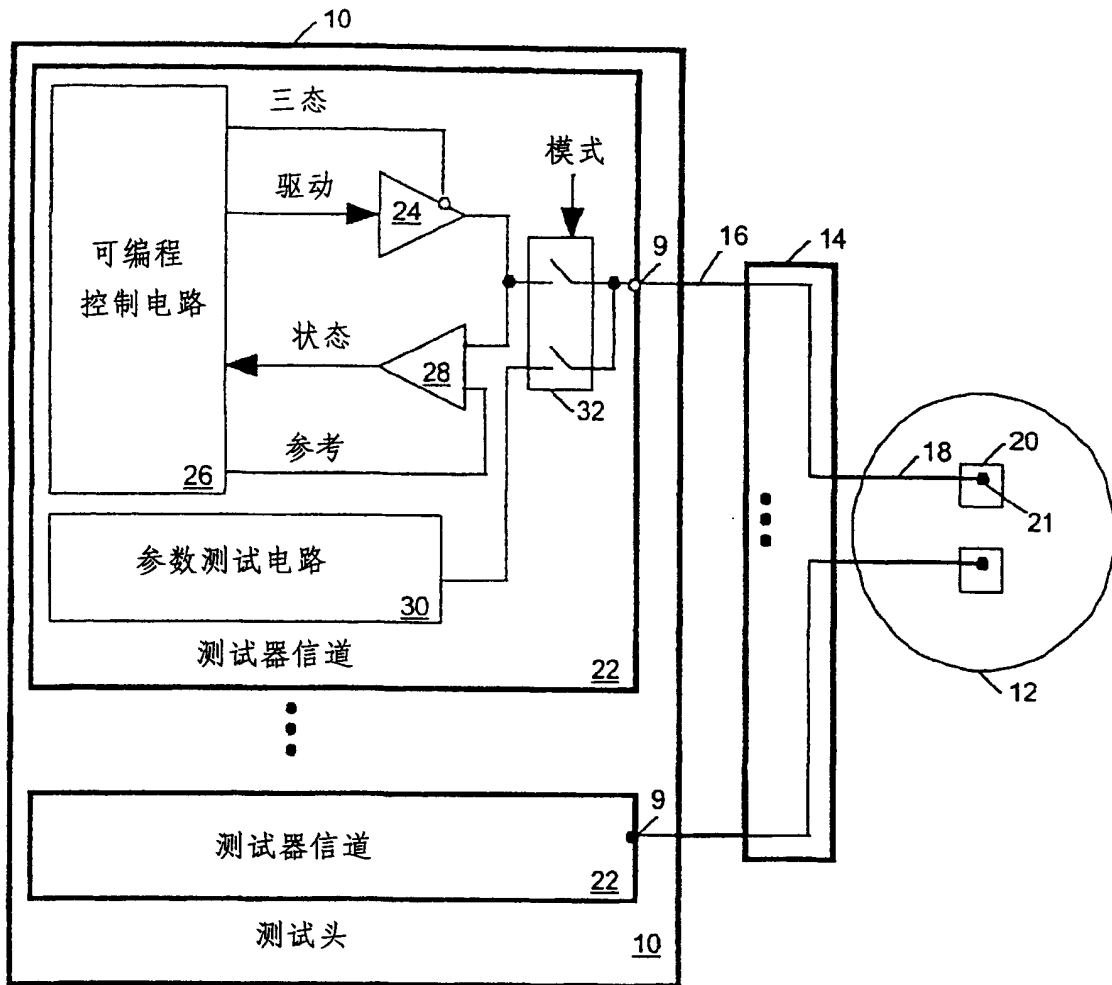


图 3  
(现有技术)

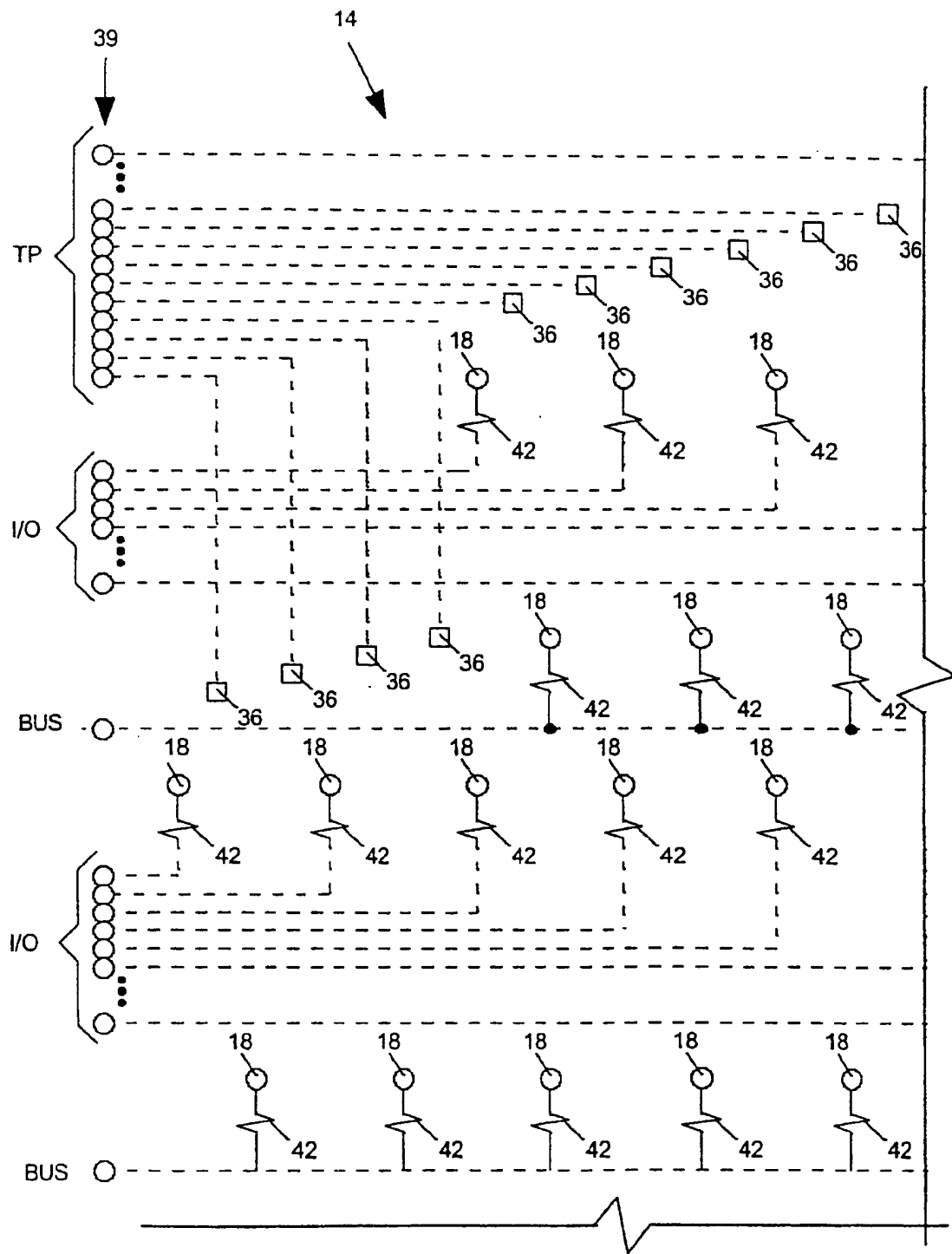


图 4

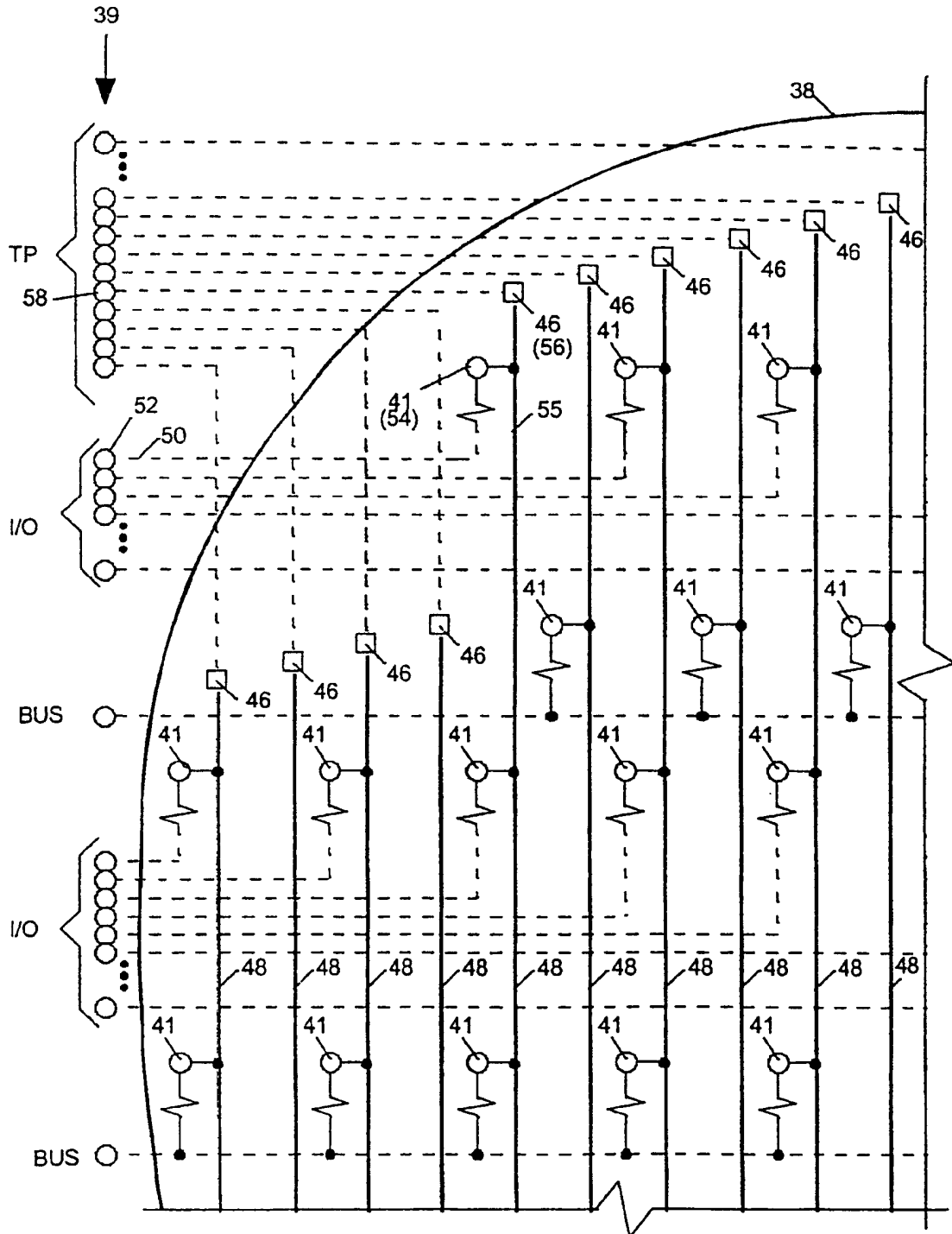


图 5

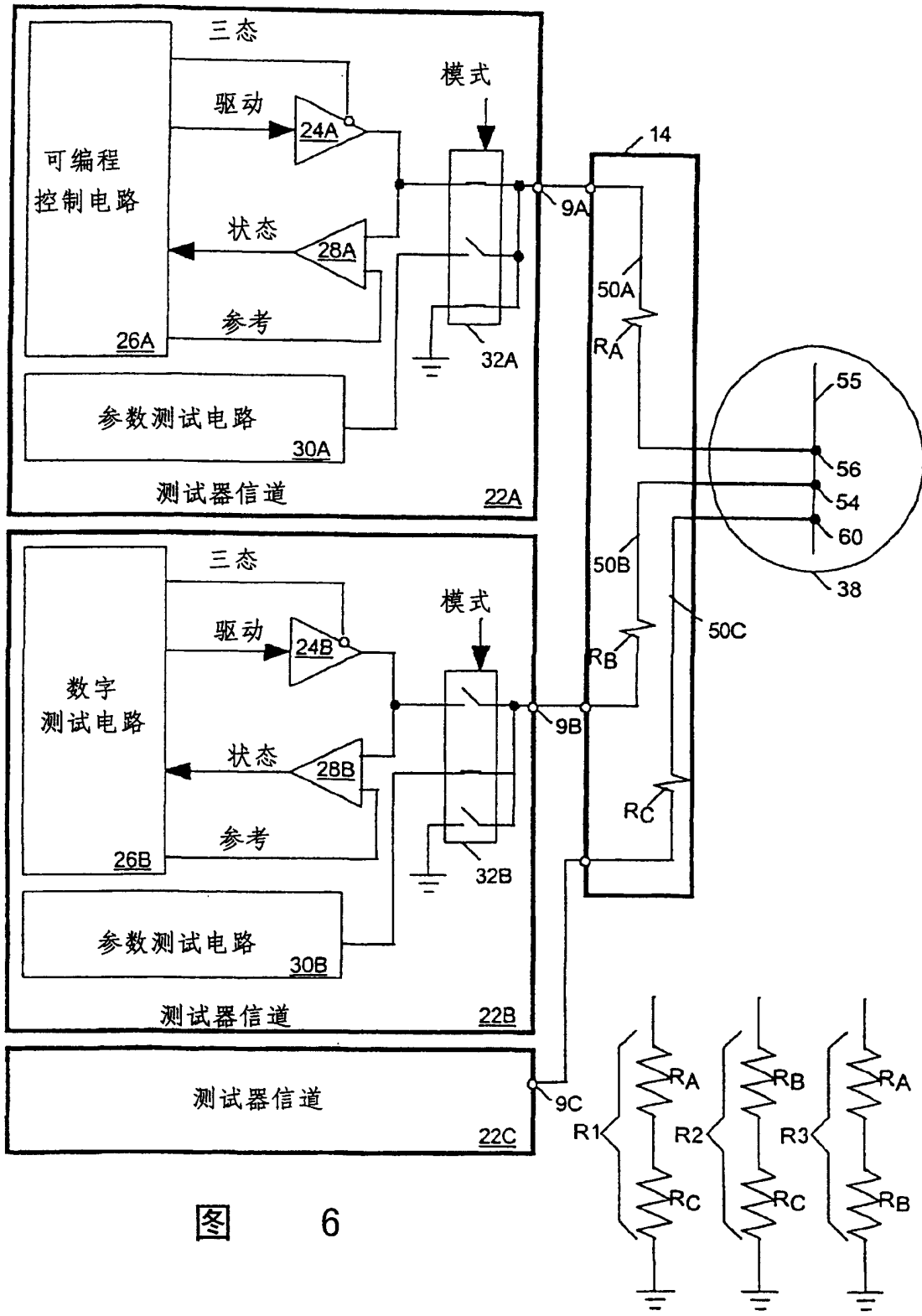


图 6

图 7

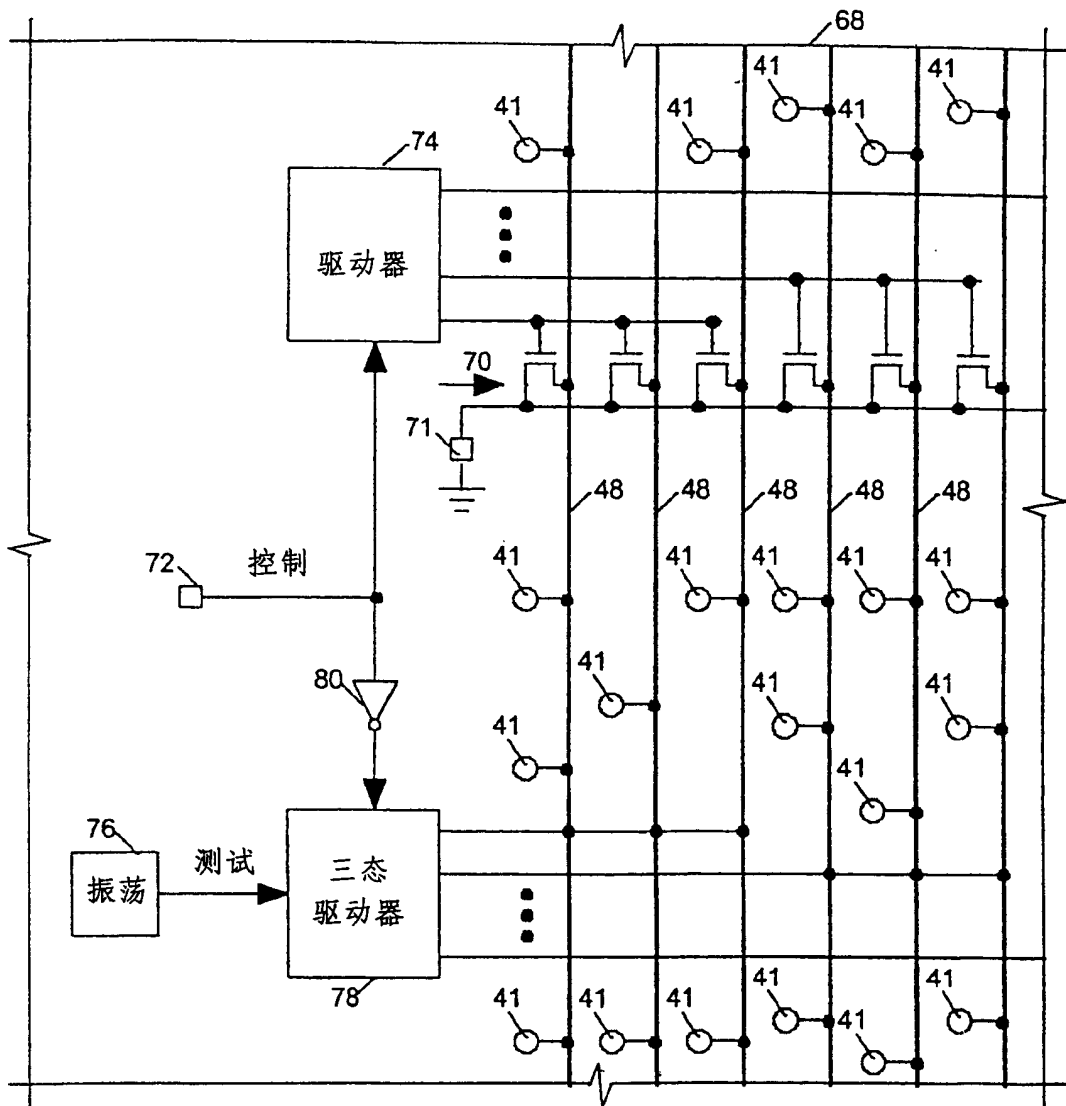


图 8