(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2016 年 10 月 27 日(27.10.2016)

WIPO | PCT

(10) 国際公開番号
WO 2016/170836 A1

(51) 国際特許分類:
H01L 21/28 (2006.01)　*H01L 29/12* (2006.01)
H01L 21/336 (2006.01)　*H01L 29/78* (2006.01)
H01L 27/04 (2006.01)　*H01L 29/861* (2006.01)
H01L 29/06 (2006.01)　*H01L 29/868* (2006.01)

(21) 国際出願番号: PCT/JP2016/055112

(22) 国際出願日: 2016 年 2 月 22 日(22.02.2016)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2015-085620 2015 年 4 月 20 日(20.04.2015) JP

(71) 出願人: 富士電機株式会社(FUJI ELECTRIC CO., LTD.) [JP/JP]; 〒2109530 神奈川県川崎市川崎区田辺新田１番１号 Kanagawa (JP).

(72) 発明者: 星　保幸(HOSHI Yasuyuki); 〒2109530 神奈川県川崎市川崎区田辺新田１番１号　富士電機株式会社内 Kanagawa (JP).

(74) 代理人: 龍華国際特許業務法人(RYUKA IP LAW FIRM); 〒1631522 東京都新宿区西新宿１－６－１　新宿エルタワー２２階 Tokyo (JP).

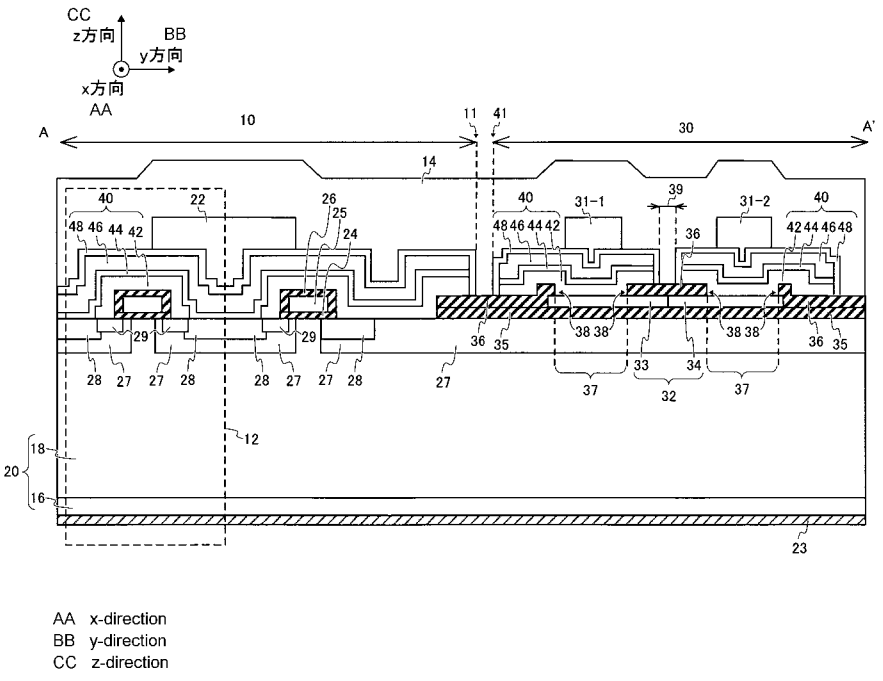
(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR),

[続葉有]

(54) **Title**: SEMICONDUCTOR DEVICE

(54) 発明の名称 : 半導体装置



AA x-direction
BB y-direction
CC z-direction

(57) **Abstract**: Provided is a semiconductor device provided with a semiconductor substrate, an electrode which contains aluminum and is provided on the surface side of the semiconductor substrate, and a barrier layer interposed between the semiconductor substrate and the electrode, wherein the barrier layer has, sequentially from the side closer to the semiconductor substrate, a first titanium nitride layer, a first titanium layer, a second titanium nitride layer, and a second titanium layer.

(57) 要約: 半導体基板と、半導体基板の表面側に設けられたアルミニウムを含む電極と、半導体基板と電極との間に設けられたバリア層とを備え、バリア層は、半導体基板に近い方から順に、第１の窒化チタン層、第１のチタン層、第２の窒化チタン層および第２のチタン層を有する半導体装置を提供する。

WO 2016/170836 A1

OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告（条約第 21 条(3)）

明　細　書

発明の名称 ： 半導体装置

技術分野

[0001] 本発明は、半導体装置に関する。

[0002] 従来、ソース電極中のアルミニウム（Ａｌ）に起因する、層間絶縁膜の腐食、および、ポリシリコンで形成されたゲート電極とソース電極との短絡を防止するべく、バリアメタル層を設けていた。また、電気的コンタクトを改善するべく、Ａｌを有するアノード電極およびＡｌを有するカソード電極とポリシリコン層との間に、バリアメタル層を設けていた（例えば、特許文献１参照）。また、炭化ケイ素（ＳｉＣ）で形成された半導体装置において、ｎｐｎバイポーラ構造を用いた温度素子モニタが知られている（例えば、特許文献２参照）。

［先行技術文献］

［特許文献］

［特許文献１］ 特開２０１２－１２９５０３号公報

［特許文献２］ 特開２０１３－２０１３５７号公報

発明の概要

発明が解決しようとする課題

[0003] Ａｌを有するソース電極を成膜した後に、当該ソース電極は約４００℃でシンタリングされる。シンタリング工程では、Ａｌ中に含まれる水素が半導体装置内に入り込む。水素は還元作用を有するので、水素により半導体装置内の酸素が引き抜かれて、ゲート絶縁膜として用いられる二酸化シリコン等の絶縁膜の性質が変化する場合がある。これによりゲート構造のゲート電圧閾値（Ｖｔｈ）がシフトする問題がある。そこで、水素が半導体装置内への侵入することを防ぐ半導体装置の構造を提供する。

課題を解決するための手段

[0004] 本発明の第１の態様においては、半導体基板と、半導体基板の表面側に設

けられたアルミニウムを含む電極と、半導体基板と電極との間に設けられたバリア層とを備え、バリア層は、半導体基板に近い方から順に、第１の窒化チタン層、第１のチタン層、第２の窒化チタン層および第２のチタン層を有する半導体装置を提供する。

[0005] 第２のチタン層は、第１のチタン層よりも大きい厚みを有してよい。第１のチタン層および第２のチタン層の各々は、第１の窒化チタン層および第２の窒化チタン層のいずれよりも小さい厚みを有してよい。第１のチタン層および第２のチタン層の各々の厚みは、１０ｎｍ以上５０ｎｍ以下であり、第１の窒化チタン層および第２の窒化チタン層の各々の厚みは、５０ｎｍ以上２００ｎｍ以下であってよい。

[0006] 半導体装置は、ゲート構造を有する活性領域と、活性領域とは異なる領域であって、半導体基板の表面側に設けられた半導体素子を含む素子領域とをさらに備えてよい。バリア層は、アルミニウムを含む電極と半導体素子との間に設けられてよい。半導体素子は、ｐｎ接合ダイオードであり、アルミニウムを含む電極は、ｐｎ接合ダイオードに電気的に接続した電極であってよい。

[0007] 素子領域は、半導体素子の表面側に絶縁膜をさらに有してよい。バリア層は、活性領域から素子領域に延伸して設けられた絶縁膜の表面側にも設けられてよい。

[0008] 絶縁膜は、半導体素子とアルミニウムを含む電極とが電気的に接続するコンタクトホールを有し、バリア層は、コンタクトホールの側壁にも設けられてよい。半導体基板を上面視した場合に、バリア層は素子領域よりも広い領域に設けられてよい。

[0009] 活性領域のゲート構造は、ゲート電極と、ゲート電極よりも表面側に設けられたバリア層とを有してよい。活性領域におけるバリア層の素子領域の側の端部と、素子領域におけるバリア層の活性領域の側の端部とは１０μｍ以上２０μｍ以下離間していてよい。半導体装置は、ゲート電極よりも表面側に設けられた電極と、ゲート電極との間に層間絶縁膜をさらに備えてよい。

バリア層は、ゲート電極よりも表面側に設けられた電極と層間絶縁膜との間に設けられてよい。

[0010] 半導体装置は、半導体基板の端部の辺に沿って設けられた耐圧構造部をさらに備えてよい。バリア層は、耐圧構造部の表面側に設けられ、耐圧構造部のバリア層は、フローティング電位を有してよい。耐圧構造部のバリア層の表面側には、アルミニウムを含む電極が設けられないとしてよい。

[0011] なお、上記の発明の概要は、本発明の必要な特徴の全てを列挙したものではない。また、これらの特徴群のサブコンビネーションもまた、発明となりうる。

図面の簡単な説明

[0012] [図1]第１実施例における半導体装置１００の平面図を示す図である。

[図2]図１におけるＡ－Ａ’断面図を示す図である。

[図3]図１におけるＢ－Ｂ’断面図を示す図である。

[図4A]ｐ型ウェル領域２７、ｐ$^+$型コンタクト領域２８およびｎ$^+$型ソース領域２９を形成する段階を示す図である。

[図4B]ゲート絶縁膜２４、ゲート電極２５および層間絶縁膜２６を形成する段階を示す図である。

[図4C]絶縁膜３５およびｐｎ接合ダイオード３２を形成する段階を示す図である。

[図4D]層間絶縁膜３６を形成する段階を示す図である。

[図4E]バリア層４０を形成する段階を示す図である。

[図4F]ソース電極２２、電極３１、保護膜１４およびドレイン電極２３を形成する段階を示す図である。

[図5]第２実施例における活性領域１０を示す図である。

[図6]第３実施例における活性領域１０を示す図である。

[図7]第４実施例における活性領域１０を示す図である。

発明を実施するための形態

[0013] 以下、発明の実施の形態を通じて本発明を説明するが、以下の実施形態は

請求の範囲にかかる発明を限定するものではない。また、実施形態の中で説明されている特徴の組み合わせの全てが発明の解決手段に必須であるとは限らない。

[0014] 図１は、第１実施例における半導体装置１００の平面図を示す図である。つまり、図１は、半導体基板２０を上面視した場合を示す。半導体装置１００は、ｘ－ｙ平面に平行な面を有する。ｘ方向とｙ方向とは互いに垂直な方向であり、ｚ方向はｘ－ｙ平面に垂直な方向である。本明細書において、表面側とはｘ－ｙ平面に平行な面を有する物体のｚ方向の側を意味し、裏面側とは当該物体の－ｚ方向の側を意味するとする。物体の表面側と裏面側との間に位置する面は、当該物体の側面と称する。

[0015] 半導体装置１００は、半導体基板２０を有する。半導体装置１００は、半導体基板２０の表面側において、活性領域１０、素子領域３０、耐圧構造部５０、ゲートパッド７０、ソースパッド７２、配線７３、被覆領域７８、カソードパッド７４およびアノードパッド７６を備える。なお、図１においては、半導体装置１００の最も表面側に位置する保護膜１４を省略している。後述する保護膜１４は、外部の電極と電気的に接続するゲートパッド７０、ソースパッド７２、カソードパッド７４およびアノードパッド７６の表面側を除いて、半導体装置１００の最も表面側に設けられる。

[0016] 活性領域１０は、後述のゲート構造１２等を有する領域である。本例の活性領域１０は、縦型ＭＯＳＦＥＴ（Ｍｅｔａｌ Ｏｘｉｄｅ Ｓｅｍｉｃｏｎｄｕｃｔｏｒ Ｆｉｅｌｄ Ｅｆｆｅｃｔ Ｔｒａｎｓｉｓｔｏｒ）であるが、ＩＧＢＴ（Ｉｎｓｕｌａｔｅｄ Ｇａｔｅ Ｂｉｐｏｌａｒ Ｔｒａｎｓｉｓｏｒ）であってもよい。活性領域１０の表面側全体は、後述のバリア層４０で覆われている。なお、図１においては、バリア層４０が設けられる部分にハッチングを付して示す。

[0017] ゲートパッド７０は、後述のゲート電極と半導体装置１００の外部の電極との電気的接続を提供する部分である。同様に、ソースパッド７２も、後述のソース電極と半導体装置１００の外部の電極との電気的接続を提供する部

分である。本例のゲートパッド７０およびソースパッド７２は、後述するバリア層４０と当該バリア層４０の表面側に設けられたＡＩを含む電極とで形成されてよい。

[0018] 素子領域３０は、活性領域１０とは異なる領域である。素子領域３０の表面側は、後述のバリア層４０で覆われている。素子領域３０は、半導体装置１００の温度を測定する温度測定素子を有してよい。カソードパッド７４およびアノードパッド７６は、温度測定素子のカソードおよびアノードにそれぞれ電気的に接続した部分である。カソードパッド７４は温度測定素子のカソードと外部の電極との電気的接続を提供し、アノードパッド７６は、温度測定素子のアノードと外部の電極との電気的接続を提供する。

[0019] カソードパッド７４と素子領域３０のカソードとは、配線７３により電気的に接続される。また、アノードパッド７６と素子領域３０のアノードとは、配線７３により電気的に接続される。本例の配線７３は、後述するバリア層４０とバリア層４０の表面側に設けられたＡＩを含む電極とで形成される。

[0020] 耐圧構造部５０は、半導体基板２０の端部の辺に沿って設けられる。耐圧構造部５０の表面側は、後述のバリア層４０で覆われている。耐圧構造部５０は、半導体基板２０の端部の辺に沿って設けられた複数のガードリングを含む。後述のガードリングは、活性領域１０における半導体基板２０内部で発生した空乏層を半導体基板２０の端部へ広げる。これにより、半導体基板２０内部の空乏層における電界集中を防ぐことができる。よって、耐圧構造部５０を設けない場合と比較して、半導体装置１００の耐圧を向上させることができる。

[0021] 被覆領域７８は、半導体基板２０の表面側に後述のバリア層４０を設けた領域である。被覆領域７８と半導体基板２０との間には、製造工程で作成する層間絶縁膜等の絶縁膜が設けられてよい。被覆領域７８は、活性領域１０および素子領域３０等が設けられていない半導体基板２０の表面側を、後述のバリア層４０により可能な限り覆うべく設けられた領域である。このよう

に、後述のバリア層４０は、活性領域１０および素子領域３０等よりも広い領域に設けられる。

[0022] 図２は、図１におけるＡ－Ａ’断面図を示す図である。Ａ－Ａ’断面図は、活性領域１０および素子領域３０を含む領域をｙ－ｚ平面で切った断面図である。本例の半導体装置１００は、縦型ＭＯＳＦＥＴを有する。本例の半導体基板２０はＳｉＣ（炭化シリコン）で形成されるが、半導体基板２０はＧａＮ（窒化ガリウム）またはＳｉ（シリコン）で形成されてもよい。

[0023] 本例の半導体基板２０は、ｎ$^+$型層１６とｎ$^+$型層１６の表面側に形成されたｎ型ドリフト層１８とを有する。ｎ$^+$型層１６はｎ$^+$型のＳｉＣ基板であってよく、ｎ型ドリフト層１８はｎ$^+$型のＳｉＣ基板の表面側にエピタキシャルに形成されたＳｉＣ層であってよい。半導体基板２０の裏面側には、ドレイン電極２３が設けられる。

[0024] （活性領域１０）活性領域１０は、複数のゲート構造１２を有する。活性領域１０のゲート構造１２は、ゲート絶縁膜２４、ゲート電極２５、層間絶縁膜２６、バリア層４０、ソース電極２２、ドレイン電極２３、ｐ型ウェル領域２７、ｐ$^+$型コンタクト領域２８およびｎ$^+$型ソース領域２９を有する。

[0025] ｎ型ドリフト層１８に近い順に、ゲート絶縁膜２４、ゲート電極２５および層間絶縁膜２６が設けられる。層間絶縁膜２６は、ゲート電極２５よりも表面側に設けられたソース電極２２とゲート電極２５との間に設けられる。加えて、層間絶縁膜２６は、ゲート電極２５の側面を囲んで設けられる。ゲート電極２５に所定の電圧が印加されると、ゲート電極２５の直下におけるｐ型ウェル領域２７にチャネルが形成され、ｎ$^+$型ソース領域２９とｎ型ドリフト層１８とが導通する。

[0026] ソース電極２２は、半導体基板２０の表面側に設けられたＡｌを含む電極である。ソース電極２２は、バリア層４０を介してｐ$^+$型コンタクト領域２８およびｎ$^+$型ソース領域２９に電気的に接続する。バリア層４０は、半導体基板２０とソース電極２２との間に設けられる。より具体的には、バリア層４０は、活性領域１０の表面側全体において、ソース電極２２と層間絶縁膜２

６との間に設けられる。バリア層４０は、半導体基板２０に近い方から順に、第１の窒化チタン層４２、第１のチタン層４４、第２の窒化チタン層４６および第２のチタン層４８を有する。

[0027] 第１の窒化チタン層４２は、第１の窒化チタン層４２の裏面側の構造物と第１のチタン層４４との反応を防止するために設けられた層である。第１のチタン層４４は、水素の出入りを遮断する水素バリア層として機能する。第２の窒化チタン層４６は、バリア層４０の表面側に設けられるＡｌを含むソース電極２２と第１のチタン層４４との反応を防止する機能を有する。

[0028] 第２のチタン層４８は、Ａｌを含むソース電極２２と反応して、単層のＡｌ層よりも硬度が高いＴｉ－Ａｌ層を形成する。加えて、ソース電極２２のＡｌと反応しなかった第２のチタン層４８は、水素の出入りを遮断する水素バリア層として機能する。Ｔｉ－Ａｌ層を形成しても水素バリア機能を担保するべく、第２のチタン層４８は第１のチタン層４４よりも大きい厚みを有してよい。なお、本明細書において、第２のチタン層４８の厚みは、Ａｌを含むソース電極２２の形成後におけるＡｌ－Ｔｉの合金層の厚みを含むものとする。

[0029] 第１のチタン層４４および第２のチタン層４８の各々は、第１の窒化チタン層４２および第２の窒化チタン層４６のいずれよりも小さい厚みを有してよい。チタン層は窒化チタン層よりも応力が大きいので、チタン層を窒化チタン層よりも薄くすることで半導体装置１００に生じる応力を抑制することができる。

[0030] 本例では、第１のチタン層４４および第２のチタン層４８の各々の厚みは、１０ｎｍ以上５０ｎｍ以下であり、第１の窒化チタン層４２および第２の窒化チタン層４６の各々の厚みは、５０ｎｍ以上２００ｎｍ以下である。チタン層および窒化チタン層の厚みの下限は、段差部において段切れが生じない最小の厚みであってよい。チタン層および窒化チタン層が厚いほど半導体装置１００に生じる応力が大きくなるので、チタン層および窒化チタン層の厚みの上限は、半導体装置１００に生じる応力を抑制するための最大の厚み

であってよい。

[0031] （素子領域３０）素子領域３０は、半導体基板２０の表面側に接して設けられた絶縁膜３５、絶縁膜３５に接して設けられた半導体素子、および、半導体素子の表面側の層間絶縁膜３６を有する。層間絶縁膜３６は、絶縁膜３５にも接する。絶縁膜３５および層間絶縁膜３６は、活性領域１０から素子領域３０に延伸して設けられる。

[0032] 本例の半導体素子は、ｐｎ接合ダイオード３２である。ｐｎ接合ダイオード３２は、ｎ型半導体領域３３およびｐ型半導体領域３４を含む。ｎ型半導体領域３３はｎ型ポリシリコンであってよく、ｐ型半導体領域３４はｐ型ポリシリコンであってよい。ｎ型半導体領域３３およびｐ型半導体領域３４は、バリア層４０との接続界面において、接触抵抗を下げるべくＮｉＳｉ（ニッケルシリサイド）を有してよい。

[0033] ｐｎ接合ダイオード３２は、半導体基板２０の過熱度を検知するために用いられる。半導体装置１００には、活性領域１０のゲート構造１２と電気的に接続する制御ＩＣが接続されてよい。当該制御ＩＣは、ｐｎ接合ダイオード３２で測定された半導体基板２０の温度が予め定められた温度を超えた場合には、活性領域１０の動作周波数を下げることにより半導体基板２０の温度を下げる。これにより、半導体装置１００の異常過熱を防止することができる。

[0034] 層間絶縁膜３６は、コンタクトホール３７を有する。コンタクトホール３７にはバリア層４０が設けられる。ｐｎ接合ダイオード３２とＡｌを含む電極３１とは、コンタクトホール３７のバリア層４０を通じて電気的に接続する。バリア層４０は、コンタクトホール３７の側壁３８にも設けられる。

[0035] バリア層４０は、電極３１とｐｎ接合ダイオード３２との間に設けられる。素子領域３０のバリア層４０は、活性領域１０のバリア層４０と同一工程で製造される。つまり、素子領域３０のバリア層４０の材料および積層の順序は、活性領域１０のバリア層４０と同一である。

[0036] 素子領域３０のバリア層４０は、活性領域１０のバリア層４０と同一の機

能を有する。なお、素子領域３０において、第１の窒化チタン層４２は、ｎ型半導体領域３３およびｐ型半導体領域３４の表面側におけるＮｉＳｉ層と第１のチタン層４４との反応を防止する機能も有する。

[0037] バリア層４０は、ｐｎ接合ダイオード３２の表面側を覆って設けられる。ｎ型半導体領域３３（カソード）に接続するバリア層４０とｐ型半導体領域３４（アノード）に接続するバリア層４０とを電気的に分離するべく、ｎ型半導体領域３３の表面側のバリア層４０とｐ型半導体領域３４の表面側のバリア層４０との間には、間隔３９を設ける。間隔３９のｙ方向の長さは、１０μｍであってよい。

[0038] バリア層４０は、アノードおよびカソードを電気的に分離する限り、素子領域３０の表面側において可能な限り設けられる。これによりバリア層４０は、チタン層の段切れを防止しつつ、半導体装置１００に生じる応力を抑制しつつ、水素の出入りを遮断することができる。

[0039] ｎ型半導体領域３３に接続するバリア層４０の表面側に電極３１－１が設けられ、ｐ型半導体領域３４に接続するバリア層４０の表面側に電極３１－２が設けられる。電極３１－１は図１のカソードパッド７４に電気的に接続され、電極３１－２は図１のアノードパッド７６に電的に接続される。本明細書ではｐｎ接合ダイオード３２による温度センシングの原理については言及しないが、上述の特許文献２と同様の原理を適用してよい。

[0040] （活性領域１０と素子領域３０との境界領域）バリア層４０は、活性領域１０から素子領域３０に延伸して設けられた絶縁膜３５および層間絶縁膜３６の表面側にも設けられる。素子領域３０に延伸して設けられたバリア層４０の端部を端部１１として示す。活性領域１０におけるバリア層４０の素子領域３０の側の端部１１と、素子領域３０におけるバリア層４０の活性領域１０の側の端部４１とは１０μｍ以上２０μｍ以下離間して設けられてよい。バリア層４０を１０μｍ以上２０μｍ以下離間して設けるのは、活性領域１０と素子領域３０とを電気的に分離するためである。本例では、活性領域１０と素子領域３０との境界領域にもバリア層４０を設けるので、当該境界

領域においても水素の出入りを遮断することができる。

[0041] （半導体装置１００全体）保護膜１４は、活性領域１０および素子領域３０を覆って、バリア層４０、ソース電極２２および電極３１の表面側に設けられる。保護膜１４は放電防止の機能を有してよい。本例では、活性領域１０、素子領域３０、耐圧構造部５０に加えて、活性領域１０等が設けられない領域（被覆領域７８）にもバリア層４０を設ける。つまり、半導体装置１００の表面側全体において可能な限りバリア層４０を設ける。これにより、ゲート絶縁膜２４への水素の侵入を防ぐことができるので、ゲート構造１２のゲート電圧閾値（Ｖｔｈ）がシフトする問題を解消することができる。

[0042] 図３は、図１におけるＢ－Ｂ’断面図を示す図である。Ｂ－Ｂ’断面図は耐圧構造部５０を含むｙ－ｚ断面図である。耐圧構造部５０は、ガードリング５２、層間絶縁膜３６およびバリア層４０を含む。図３においては２つのガードリング５２のみを示すが、ガードリング５２は３以上設けられてもよい。

[0043] ガードリング５２は、ｎ型ドリフト層１８の表面側に設けられたｐ型半導体領域である。ガードリング５２のｐ型半導体領域とｎ型ドリフト層１８とはｐｎ接合を形成する。耐圧構造部５０において、層間絶縁膜３６はガードリング５２の表面側以外の部分に設けられる。

[0044] 耐圧構造部５０はバリア層４０を有する。耐圧構造部５０のバリア層４０は、活性領域１０のバリア層４０と同一工程で製造される。それゆえ、耐圧構造部５０のバリア層４０の材料および積層の順序は、活性領域１０のバリア層４０と同一である。

[0045] 耐圧構造部５０のバリア層４０は外部との電気的接続を提供しないので、耐圧構造部５０におけるバリア層４０の表面側にはＡｌを含む電極を設けないとしてよい。これにより、Ａｌから供給される水素の量を減少させることができる。また、本例のバリア層４０では、最も表面側の第２のチタン層４８が、第１の窒化チタン層４２、第１のチタン層４４および第２の窒化チタン層４６の端部側面を覆う。これにより、チタン層と比較して酸等により腐

食されやすい窒化チタン層を、第２のチタン層４８により保護することができる。

[0046] 複数のバリア層４０は、耐圧構造部５０の表面側に設けられ、フローティング電位を有する。複数のバリア層４０は、ガードリング５２と同じ矩形のリング状に形成される。複数のバリア層４０は、ガードリング５２に電気的に接続する。複数のガードリング５２間において、バリア層４０同士は離間されて設けられる。なお、最も基板端部２１に近いバリア層４０も矩形のリング状に形成される。なお、最も基板端部２１に近いバリア層４０の裏面側にはガードリング５２は設けられない。

[0047] 図４Ａから図４Ｆは、半導体装置１００における活性領域１０および素子領域３０の製造方法を示す図である。本例の半導体装置１００は、１，２００Ｖクラスの耐圧を有してよい。図４Ａから図４Ｆは半導体装置１００の製造方法の一例を示すものであり、不純物濃度、熱処理温度、熱処理時間、および、層または膜の厚み等は、適宜変更してよい。

[0048] 図４Ａは、ｐ型ウェル領域２７、p^+型コンタクト領域２８およびn^+型ソース領域２９を形成する段階を示す図である。まず、約２．０Ｅ＋１９cm^{-3}のｎ型不純物濃度を有するn^+型層１６を準備する。なお、Ｅは１０の冪を意味する。例えばＥ＋１９は１０の１９乗を意味する。本例のn^+型層１６は、n^+型ＳｉＣ基板である。n^+型ＳｉＣ基板は、主面が＜１１－２０＞方向に４度程度のオフ角を有する（０００－１）面であってよい。

[0049] 次に、n^+型層１６の表面側に、約１．０Ｅ＋１６cm^{-3}のｎ型不純物濃度を有するｎ型ドリフト層１８を、エピタキシャル法により約１０μｍ成長させる。本例のｎ型不純物濃度はＮ（窒素）であるが、ｎ型不純物であれば他の不純物を用いてもよい。

[0050] 次に、ｎ型ドリフト層１８の表面側に、約２．０Ｅ＋１６cm^{-3}のｐ型不純物濃度を有するｐ型ウェル領域２７を、エピタキシャル法により約０．５μｍ成長させる。本例のｐ型不純物濃度はＡｌであるが、ｐ型不純物であれば他の不純物を用いてもよい。なお、ｐ型ウェル領域２７以外の領域は、ｎ

型ドリフト層１８をエピタキシャル法により約０．５μｍ成長させる。

[0051] 次に、フォトリソグラフィーおよびイオン注入により、ｐ型ウェル領域２７の表面側に、ｐ$^+$型コンタクト領域２８を選択的に形成する。なお、この工程において、ガードリング５２を同時に形成する。次に、フォトリソグラフィーおよびイオン注入により、ｐ型ウェル領域２７の表面側に、ｎ$^+$型ソース領域２９を選択的に形成する。

[0052] 次に、ｐ型ウェル領域２７、ｐ$^+$型コンタクト領域２８、ガードリング５２およびｎ$^+$型ソース領域２９を活性化させるために半導体基板２０を熱処理する。例えば、半導体基板２０を１，６２０℃で約２分間熱処理する。

[0053] 図４Ｂは、ゲート絶縁膜２４、ゲート電極２５および層間絶縁膜２６を形成する段階を示す図である。図４Ｂは図４Ａの後の段階を示す図である。図４Ｂの段階では、まず、酸素および水素の混合雰囲気下において半導体基板２０を約１，０００℃の温度に曝して熱酸化することにより、ゲート絶縁膜２４を形成する。ゲート絶縁膜２４は、約１００ｎｍであってよい。これにより、半導体基板２０の表面側は、ゲート絶縁膜２４により覆われる。

[0054] 次に、ゲート絶縁膜２４の表面側に、リンがドープされた多結晶シリコンを形成する。次に、フォトリソグラフィーにより多結晶シリコンを選択に除去して、２つのｐ型ウェル領域２７に挟まれた領域に多結晶シリコンを残す。これにより多結晶シリコンは、ゲート電極２５となる。次に、ゲート電極２５の表面側および側面に層間絶縁膜２６を形成する。次に、フォトリソグラフィーによりゲート絶縁膜２４および層間絶縁膜３６をパターニングして、ゲート電極２５の直下にゲート絶縁膜２４を残し、ゲート電極２５の表面側および側面に層間絶縁膜３６を残す。ゲート電極２５直下のｐ型ウェル領域２７は、チャネル形成領域となる。

[0055] 図４Ｃは、絶縁膜３５およびｐｎ接合ダイオード３２を形成する段階を示す図である。図４Ｃは図４Ｂの後の段階を示す図である。図４Ｃの段階では、まず、素子領域３０を含む領域における半導体基板２０の表面側に絶縁膜３５を２，０００Å以上設ける。絶縁膜３５は酸化膜、ＰＳＧ（Ｐｈｏｓｐ

ｈｏｓｉｌｉｃａｔｅ　Ｇｌａｓｓ）膜またはＢＰＳＧ（Ｂｏｒｏｐｈｏｓｐｈｏｓｉｌｉｃａｔｅ　Ｇｌａｓｓ）膜であってよい。フォトリソグラフィーにより絶縁膜３５をパターニングしてもよい。これにより、活性領域１０と素子領域３０との境界近傍および素子領域３０に、絶縁膜３５を形成する。

[0056] 次に、素子領域３０において、多結晶シリコンのｎ型半導体領域３３およびｐ型半導体領域３４を形成する。ｎ型半導体領域３３およびｐ型半導体領域３４は、ノンドープの多結晶シリコンにイオン注入することにより形成してよく、ｎ型多結晶シリコンおよびｐ型多結晶シリコンを選択的に成長させて形成してもよい。ノンドープの多結晶シリコンのｎ型不純物はＢ（ボロン）等であってよく、ｐ型不純物はＡｓ（ヒ素）等であってよい。図４Ａおよび図４Ｂの段階の後にｐｎ接合ダイオード３２を形成することにより、ｐｎ接合ダイオード３２の多結晶シリコンが１，０００℃を超える高温プロセスに曝されることを防ぐことができる。これにより、多結晶シリコンの損傷を避けることができる。

[0057] 図４Ｄは、層間絶縁膜３６を形成する段階を示す図である。図４Ｄは図４Ｃの後の段階を示す図である。図４Ｄの段階では、まず、素子領域３０を含む領域における半導体基板２０の表面側に層間絶縁膜３６を形成する。ｎ型半導体領域３３およびｐ型半導体領域３４の表面側にそれぞれコンタクトホール３７を設けるように、素子領域３０の層間絶縁膜３６をフォトリソグラフィーによりパターニングする。次に、半導体基板２０を熱処理することにより、層間絶縁膜３６をリフローさせて平坦化する。

[0058] 図４Ｅは、バリア層４０を形成する段階を示す図である。図４Ｅは図４Ｄの後の段階を示す図である。図４Ｅの段階では、まず、スパッタ法により第１の窒化チタン層４２、第１のチタン層４４および第２の窒化チタン層４６を順次成膜する。これにより、第１の窒化チタン層４２は、p^+型コンタクト領域２８およびn^+型ソース領域２９と物理的に接触する。上述の様に、第１のチタン層４４の厚みは１０ｎｍ以上５０ｎｍ以下としてよく、第１の窒化

チタン層４２および第２の窒化チタン層４６の各々の厚みは５０ｎｍ以上２００ｎｍ以下としてよい。次に、フォトリソグラフィーにより第１の窒化チタン層４２、第１のチタン層４４および第２の窒化チタン層４６をパターニングして、活性領域１０と、素子領域３０のｎ型半導体領域３３と、素子領域３０のｐ型半導体領域３４とにおいて分離させる。

[0059] 次に、スパッタ法により第２のチタン層４８を成膜する。第２のチタン層の厚みは１０ｎｍ以上５０ｎｍ以下としてよい。本例の第２のチタン層４８は、パターニングされて端部側面がｚ方向に揃った、第１の窒化チタン層４２、第１のチタン層４４および第２の窒化チタン層４６の端部側面を覆って設けられる。次に、第２のチタン層４８をパターニングすることにより、活性領域１０におけるバリア層４０の端部１１と、素子領域３０におけるバリア層４０の端部４１とは１０μｍ以上２０μｍ以下離間される。同時に、ｎ型半導体領域３３に接続するバリア層４０とｐ型半導体領域３４に接続するバリア層４０との間に間隔３９が設けられる。上述の様に、間隔３９は１０μｍであってよい。

[0060] 図４Ｆは、ソース電極２２、電極３１、保護膜１４およびドレイン電極２３を形成する段階を示す図である。図４Ｆは図４Ｅの後の段階を示す図である。なお、図４Ｆは図１と同じである。図４Ｆの段階では、まず、スパッタ法によりＡｌ層を成膜して、フォトリソグラフィーによりパターニングすることにより、ソース電極２２および電極３１を形成する。次に、半導体基板２０の裏面側に、スパッタ法によりＮｉ（ニッケル）を成膜して、９７０℃で熱処理する。これにより、ｎ$^+$型層１６の裏面側にオーミック接合領域を形成する。次に、当該オーミック接合領域の裏面側に、スパッタ法によりＮｉ、ＴｉおよびＡｕ（金）をこの順序で成膜する。これにより、ドレイン電極２３を形成する。

[0061] 図５は、第２実施例における活性領域１０を示す図である。本例のゲート構造１２は、いわゆるトレンチ型のゲート電極２５を有する。ゲート絶縁膜２４は、ゲート電極２５の裏面側および側面を覆う。また、層間絶縁膜２６

は、ゲート電極２５の表面側を覆う。さらに、ｐ型ウェル領域２７は複数のゲート電極において共通に設けられる。係る点において本例は、第１実施例と異なる。他の点は、第１実施例と同じである。

[0062] 本例のゲート電極２５は、ｐ型ウェル領域２７を貫通しｎ型ドリフト層１８にまで達して設けられる。ゲート電極２５に所定の電圧が印加されると、ゲート絶縁膜２４とｐ型ウェル領域２７との間にチャネルが形成され、n^+型ソース領域２９とｎ型ドリフト層１８とが導通する。本例においても、第１実施例と同様に、バリア層４０の機能および効果を得ることができる。また、ゲート電極２５をトレンチ型とすることにより、第１実施例のプレーナ型の場合と比較してゲート構造１２を微細化することができるので、チャネル密度を向上させることができる。これにより、プレーナ型の場合と比較して、活性領域１０を低オン抵抗化することができる。

[0063] 図６は、第３実施例における活性領域１０を示す図である。本例の活性領域１０は、周期的に設けられたｐ型カラム８４およびｎ型カラム８８を有するスーパージャンクション構造を備える。ｐ型カラム８４の表面側に、ｐ型ウェル領域２７およびp^+型コンタクト領域２８が設けられる。また、ｎ型カラム８８の表面側にゲート絶縁膜２４およびゲート電極２５を設ける。係る点において本例は、第１実施例と異なる。他の点は、第１実施例と同じである。本例においても、第１実施例と同様に、バリア層４０の機能および効果を得ることができる。また、活性領域１０をスーパージャンクション構造では、ｎ型カラム８８の不純物濃度を第１実施例におけるｎ型ドリフト層１８の不純物よりも高くすることができるので、第１実施例と比較して耐圧を下げることなく低オン抵抗化することができる。

[0064] 図７は、第４実施例における活性領域１０を示す図である。本例において、ＡＩを含むソース電極２２は、パターニングされて端部側面がｚ方向に揃った、第１の窒化チタン層４２、第１のチタン層４４、第２の窒化チタン層４６および第２のチタン層４８の端部側面を覆って設けられる。係る点において本例は、第１実施例と異なる。他の点は、第１実施例と同じである。当

該構成により、チタン層と比較して酸等により腐食されやすい窒化チタン層を、ソース電極２２により保護することができる。なお、ソース電極２２は、第１のチタン層４４の端部側面において接するだけであるので、ソース電極２２に含まれるＡＩと第１のチタン層４４との反応は問題とならない。

[0065] 以上、本発明を実施の形態を用いて説明したが、本発明の技術的範囲は上記実施の形態に記載の範囲には限定されない。上記実施の形態に、多様な変更又は改良を加えることが可能であることが当業者に明らかである。その様な変更又は改良を加えた形態も本発明の技術的範囲に含まれ得ることが、請求の範囲の記載から明らかである。

[0066] 請求の範囲、明細書、および図面中において示した装置、システム、プログラム、および方法における動作、手順、ステップ、および段階等の各処理の実行順序は、特段「より前に」、「先立って」等と明示しておらず、また、前の処理の出力を後の処理で用いるのでない限り、任意の順序で実現しうることに留意すべきである。請求の範囲、明細書、および図面中の動作フローに関して、便宜上「まず、」、「次に、」等を用いて説明したとしても、この順序で実施することが必須であることを意味するものではない。

符号の説明

[0067] １０・・活性領域、１１・・端部、１２・・ゲート構造、１４・・保護膜、１６・・n^+型層、１８・・ｎ型ドリフト層、２０・・半導体基板、２１・・基板端部、２２・・ソース電極、２３・・ドレイン電極、２４・・ゲート絶縁膜、２５・・ゲート電極、２６・・層間絶縁膜、２７・・ｐ型ウェル領域、２８・・p^+型コンタクト領域、２９・・n^+型ソース領域、３０・・素子領域、３１・・電極、３２・・ｐｎ接合ダイオード、３３・・ｎ型半導体領域、３４・・ｐ型半導体領域、３５・・絶縁膜、３６・・層間絶縁膜、３７・・コンタクトホール、３８・・側壁、３９・・間隔、４０・・バリア層、４１・・端部、４２・・第１の窒化チタン層、４４・・第１のチタン層、４６・・第２の窒化チタン層、４８・・第２のチタン層、５０・・耐圧構造部、５２・・ガードリング、７０・・ゲートパッド、７２・・ソースパッド、

７３・・配線、７４・・カソードパッド、７６・・アノードパッド、７８・・被覆領域、８４・・ｐ型カラム、８８・・ｎ型カラム、１００・・半導体装置

請求の範囲

[請求項1] 半導体基板と、

前記半導体基板の表面側に設けられたアルミニウムを含む電極と、

前記半導体基板と前記電極との間に設けられたバリア層と

を備え、

前記バリア層は、前記半導体基板に近い方から順に、第１の窒化チタン層、第１のチタン層、第２の窒化チタン層および第２のチタン層を有する

半導体装置。

[請求項2] 前記第２のチタン層は、前記第１のチタン層よりも大きい厚みを有する

請求項１に記載の半導体装置。

[請求項3] 前記第１のチタン層および前記第２のチタン層の各々は、前記第１の窒化チタン層および前記第２の窒化チタン層のいずれよりも小さい厚みを有する

請求項１または２に記載の半導体装置。

[請求項4] 前記第１のチタン層および前記第２のチタン層の各々の厚みは、１０ｎｍ以上５０ｎｍ以下であり、

前記第１の窒化チタン層および前記第２の窒化チタン層の各々の厚みは、５０ｎｍ以上２００ｎｍ以下である、

請求項１に記載の半導体装置。

[請求項5] 前記半導体装置は、

ゲート構造を有する活性領域と、

前記活性領域とは異なる領域であって、前記半導体基板の表面側に設けられた半導体素子を含む素子領域と

をさらに備え、

前記バリア層は、アルミニウムを含む前記電極と前記半導体素子との間に設けられる

請求項１に記載の半導体装置。

[請求項6] 前記半導体素子は、ｐｎ接合ダイオードであり、

アルミニウムを含む前記電極は、前記ｐｎ接合ダイオードに電気的に接続した電極である

請求項５に記載の半導体装置。

[請求項7] 前記素子領域は、前記半導体素子の表面側に絶縁膜をさらに有し、

前記バリア層は、前記活性領域から前記素子領域に延伸して設けられた前記絶縁膜の表面側にも設けられる

請求項６に記載の半導体装置。

[請求項8] 前記絶縁膜は、前記半導体素子とアルミニウムを含む前記電極とが電気的に接続するコンタクトホールを有し、

前記バリア層は、前記コンタクトホールの側壁にも設けられる

請求項７に記載の半導体装置。

[請求項9] 前記半導体基板を上面視した場合に、前記バリア層は前記素子領域よりも広い領域に設けられる

請求項８に記載の半導体装置。

[請求項10] 前記活性領域の前記ゲート構造は、

ゲート電極と、

前記ゲート電極よりも表面側に設けられた前記バリア層と

をさらに有し、

前記活性領域における前記バリア層の前記素子領域の側の端部と、前記素子領域における前記バリア層の前記活性領域の側の端部とは１０μｍ以上２０μｍ以下離間している

請求項９に記載の半導体装置。

[請求項11] 前記ゲート電極よりも表面側に設けられた前記電極と、前記ゲート電極との間に層間絶縁膜をさらに備え、

前記バリア層は、前記ゲート電極よりも表面側に設けられた前記電極と前記層間絶縁膜との間に設けられる

請求項１０に記載の半導体装置。

[請求項12] 前記半導体基板の端部の辺に沿って設けられた耐圧構造部をさらに備え、

前記バリア層は、前記耐圧構造部の表面側に設けられ、

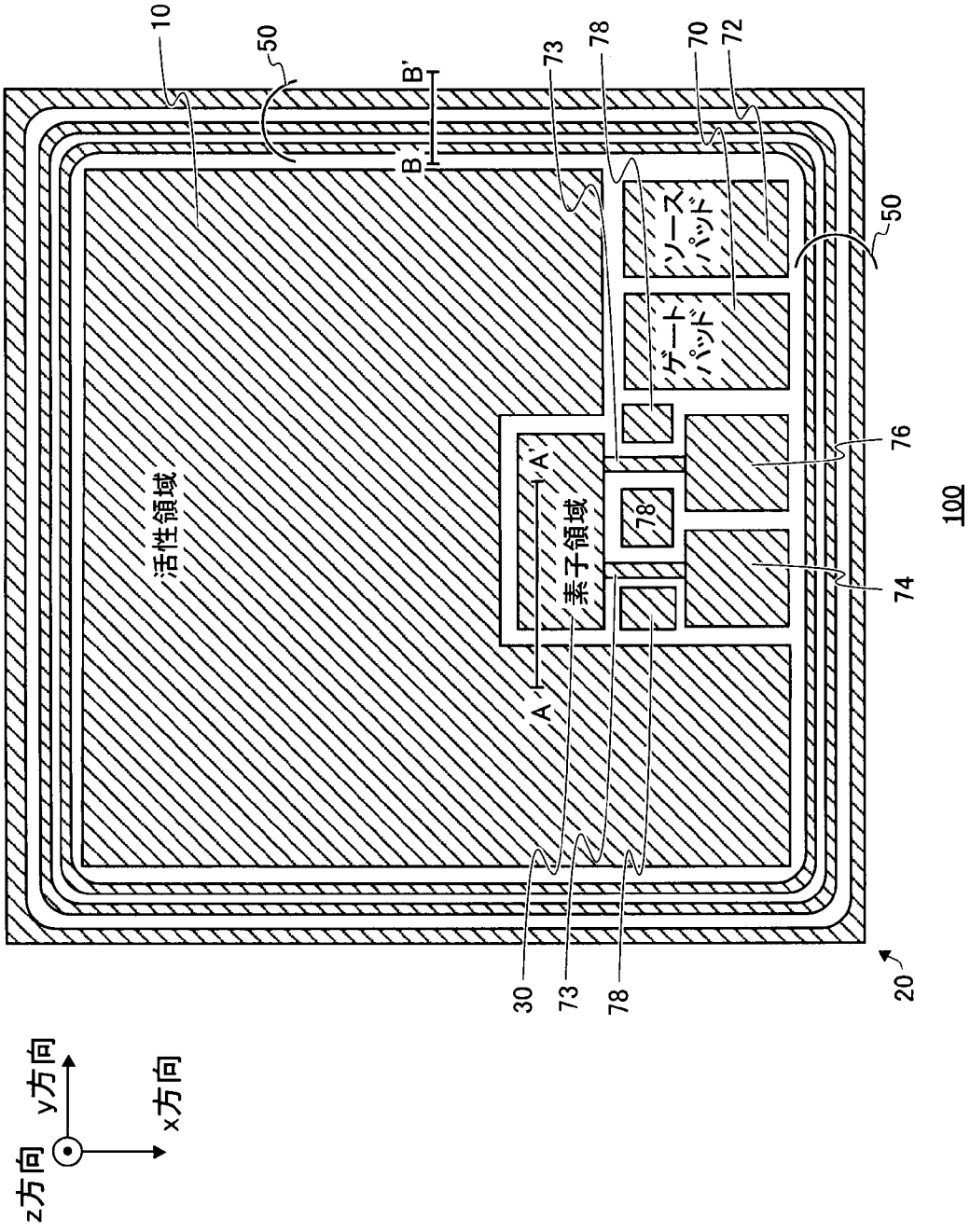
前記耐圧構造部の前記バリア層は、フローティング電位を有する

請求項１に記載の半導体装置。

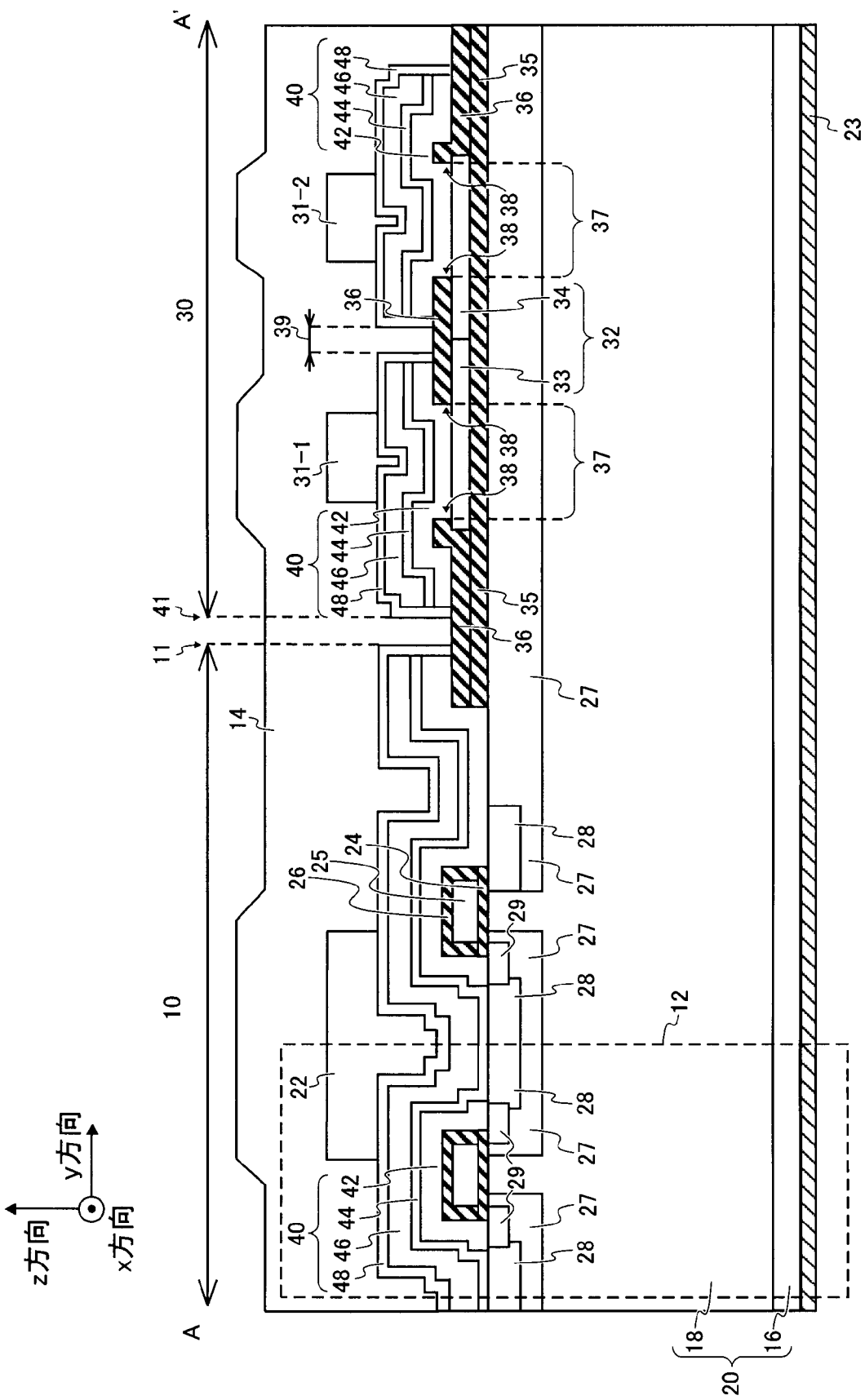
[請求項13] 前記耐圧構造部の前記バリア層の表面側には、アルミニウムを含む前記電極が設けられない

請求項１２に記載の半導体装置。

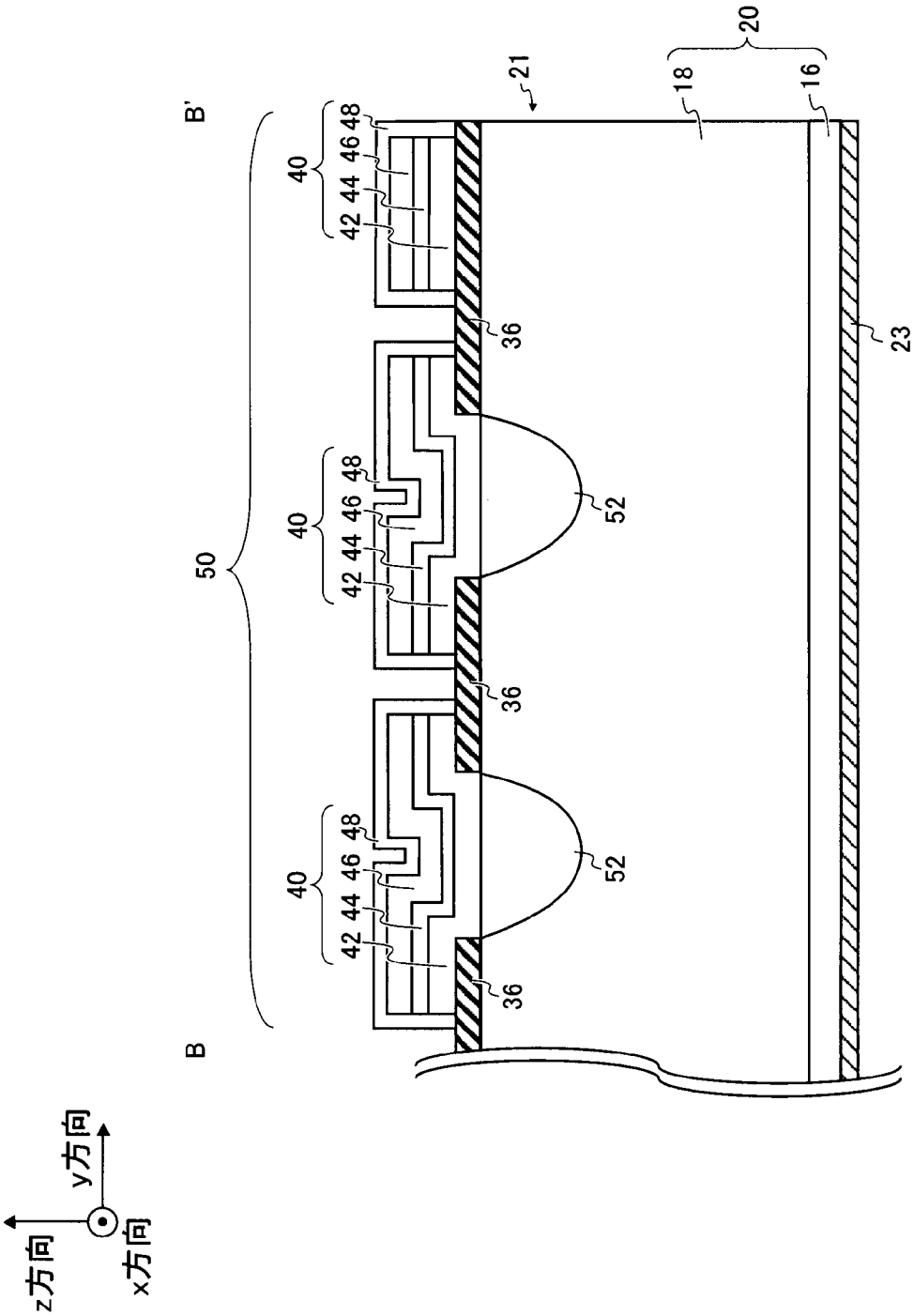
[図1]


10
50
B'
B
73
78
70
72
50
ソースパッド
ゲートパッド
76
A'
78'
活性領域
素子領域
74
100
A
30
73
78
20
z方向
y方向
x方向

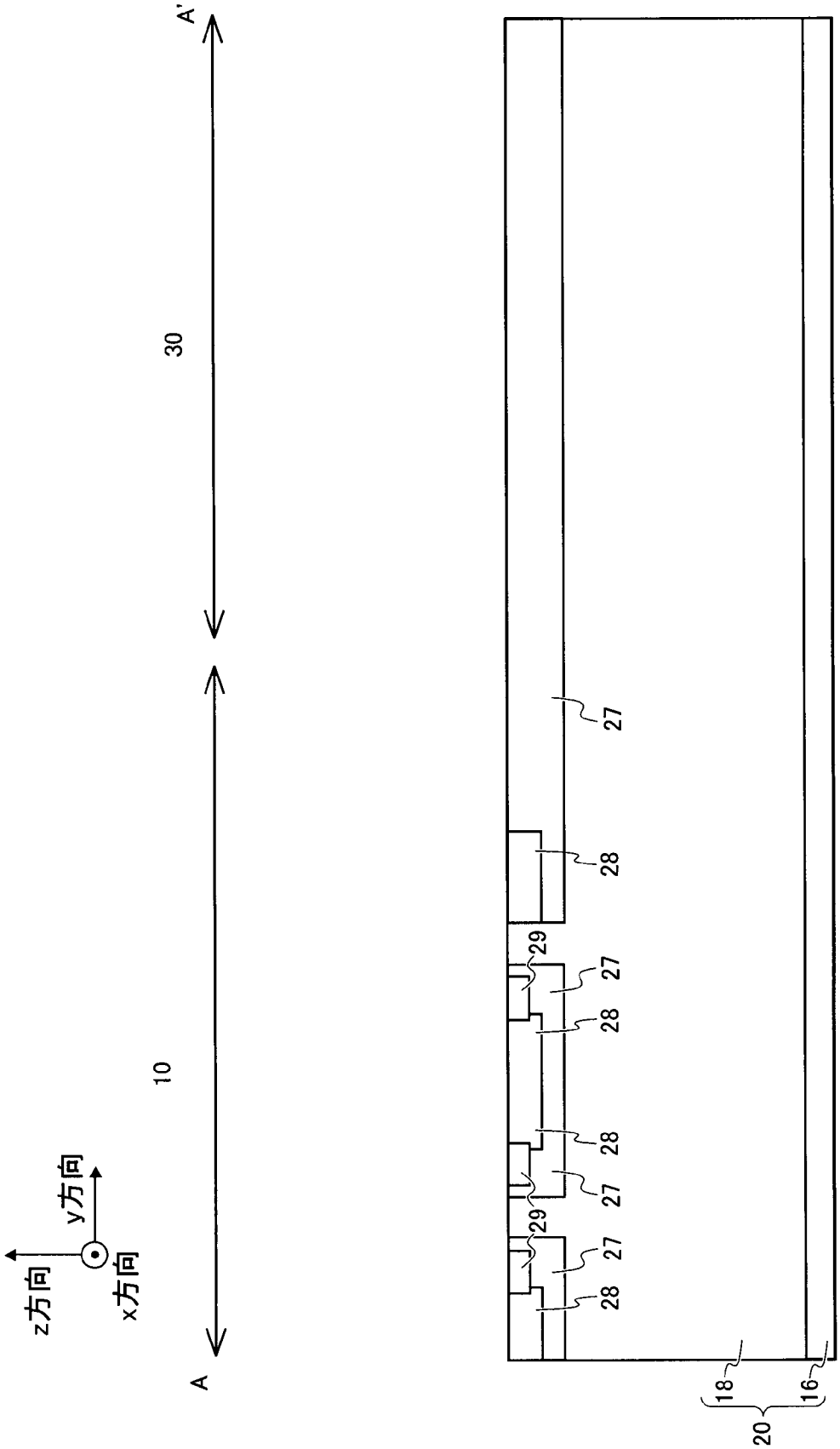
[図2]


A'
A
10
11
12
14
16
18
20
22
23
24
25
26
27
28
29
30
31-1
31-2
32
33
34
35
36
37
38
39
40
41
42
44
46
48
y方向
z方向
x方向

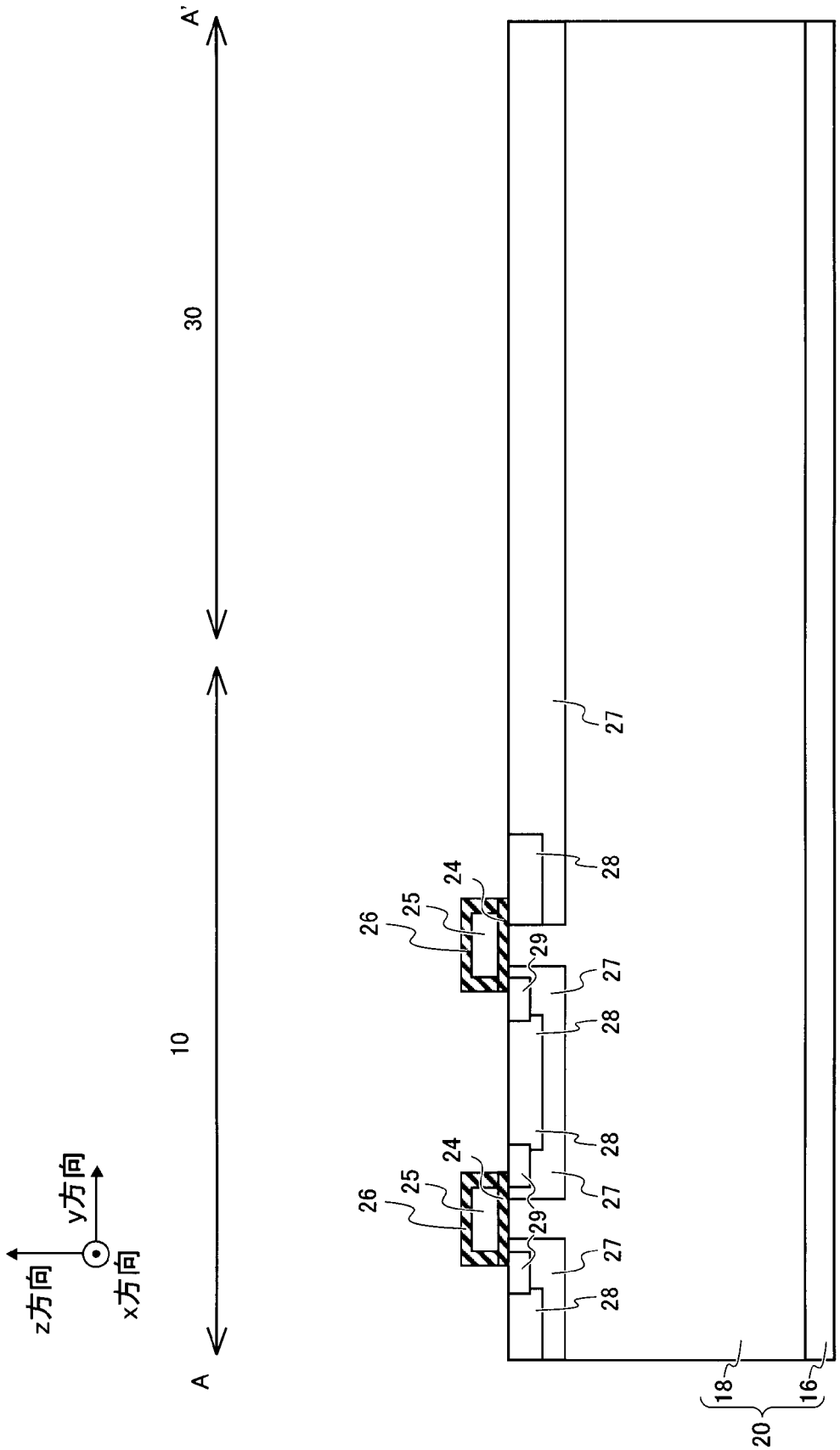
[図3]



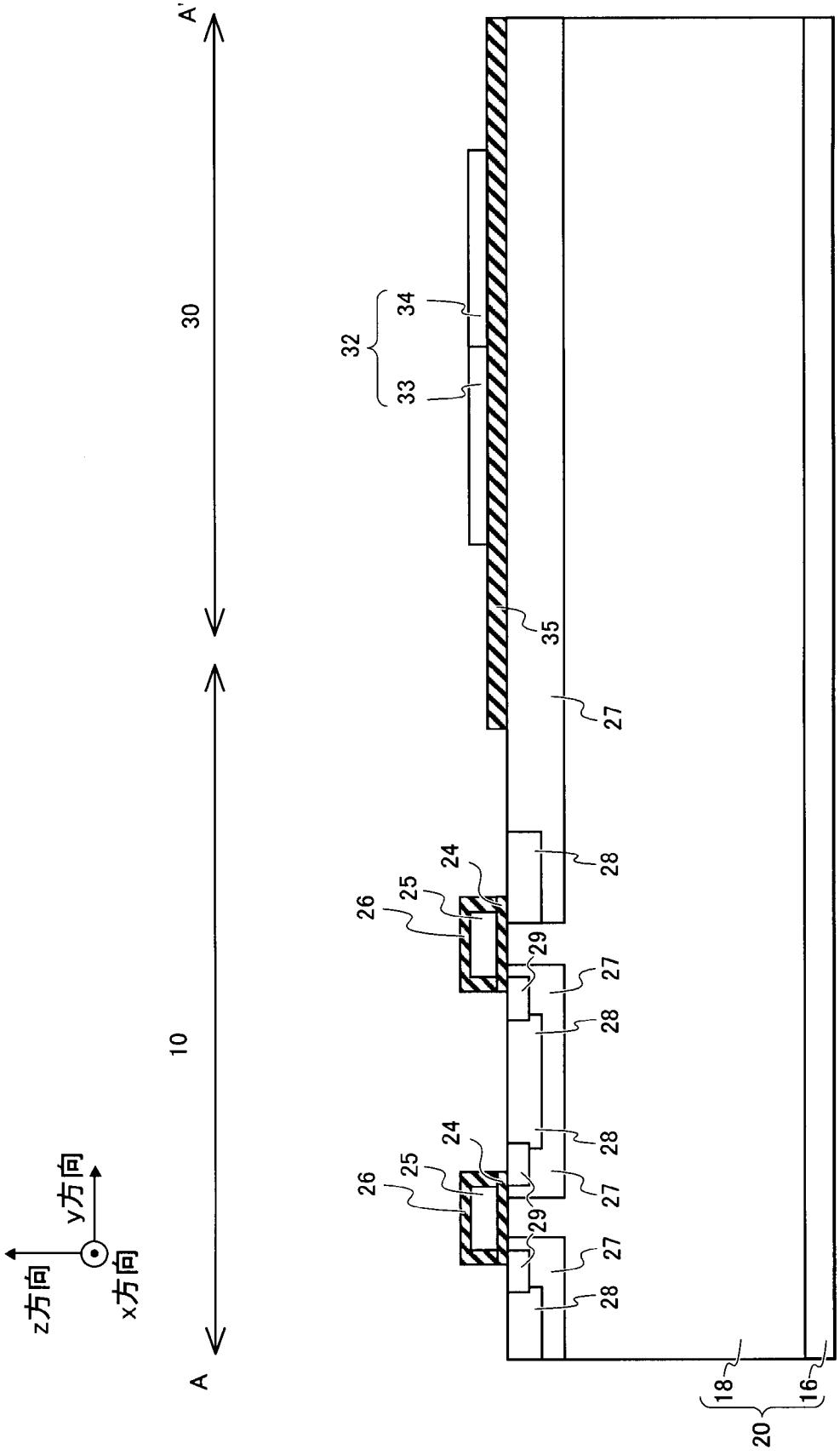
[図4A]



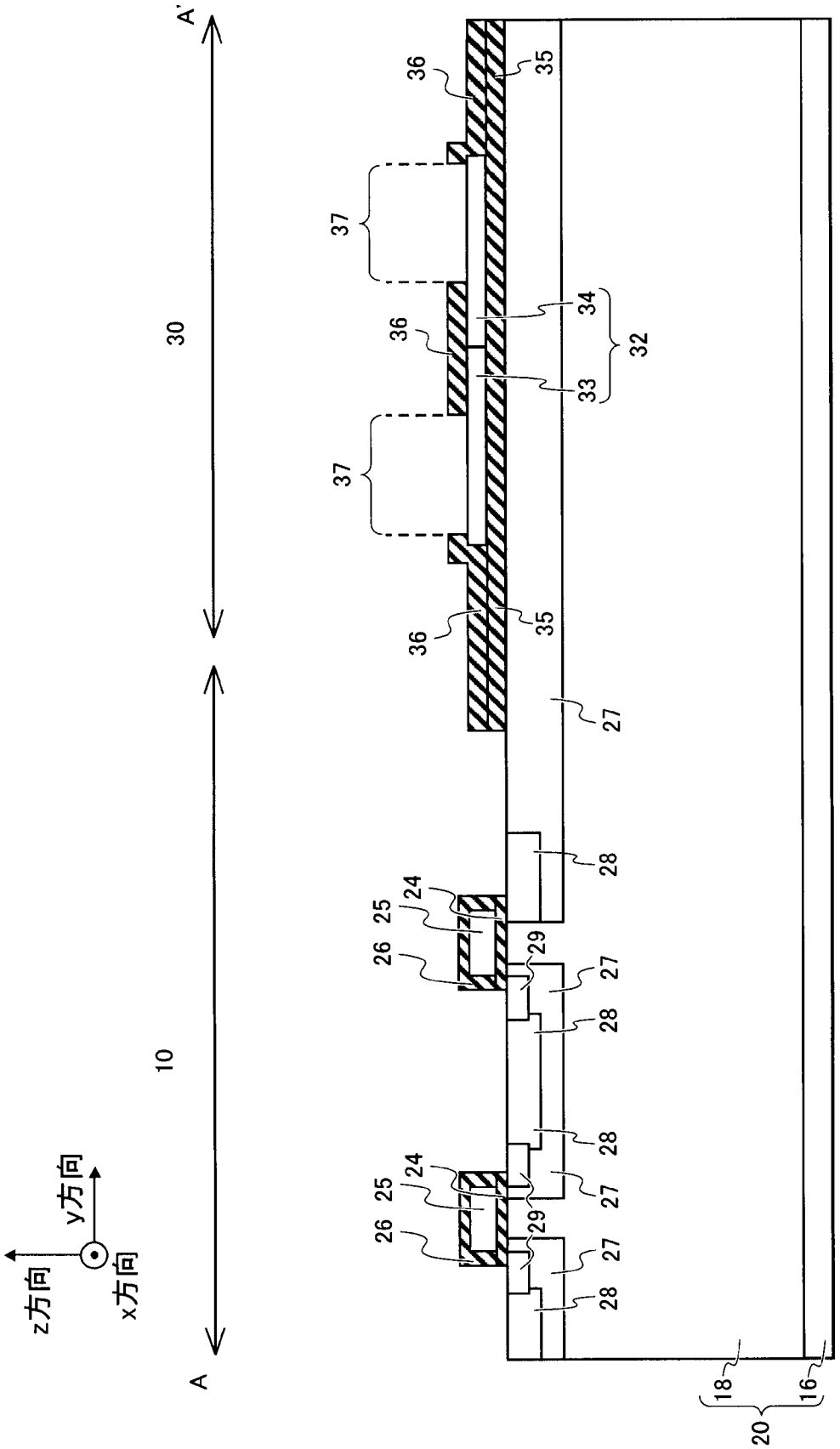
[図4B]



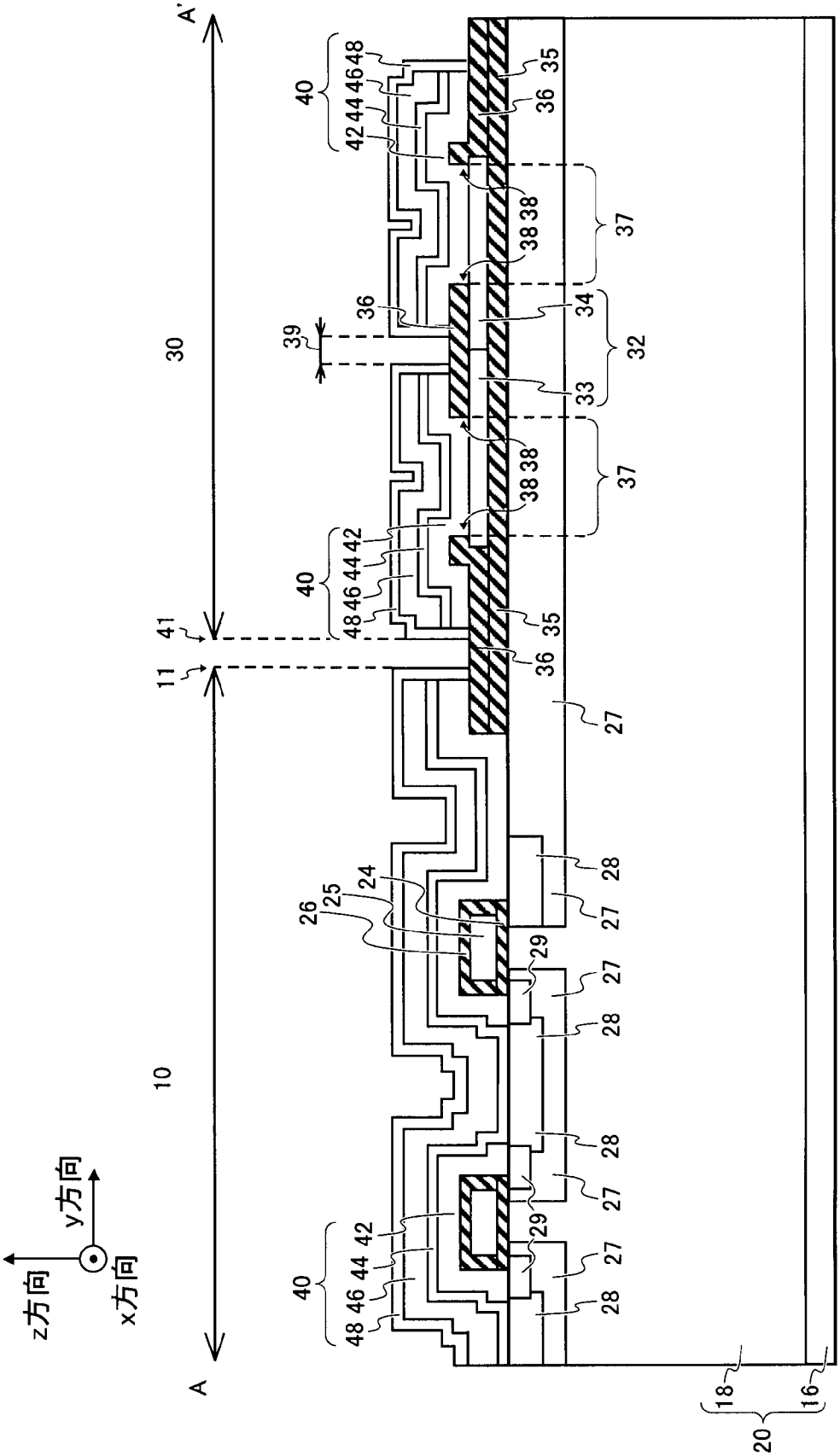
[図4C]



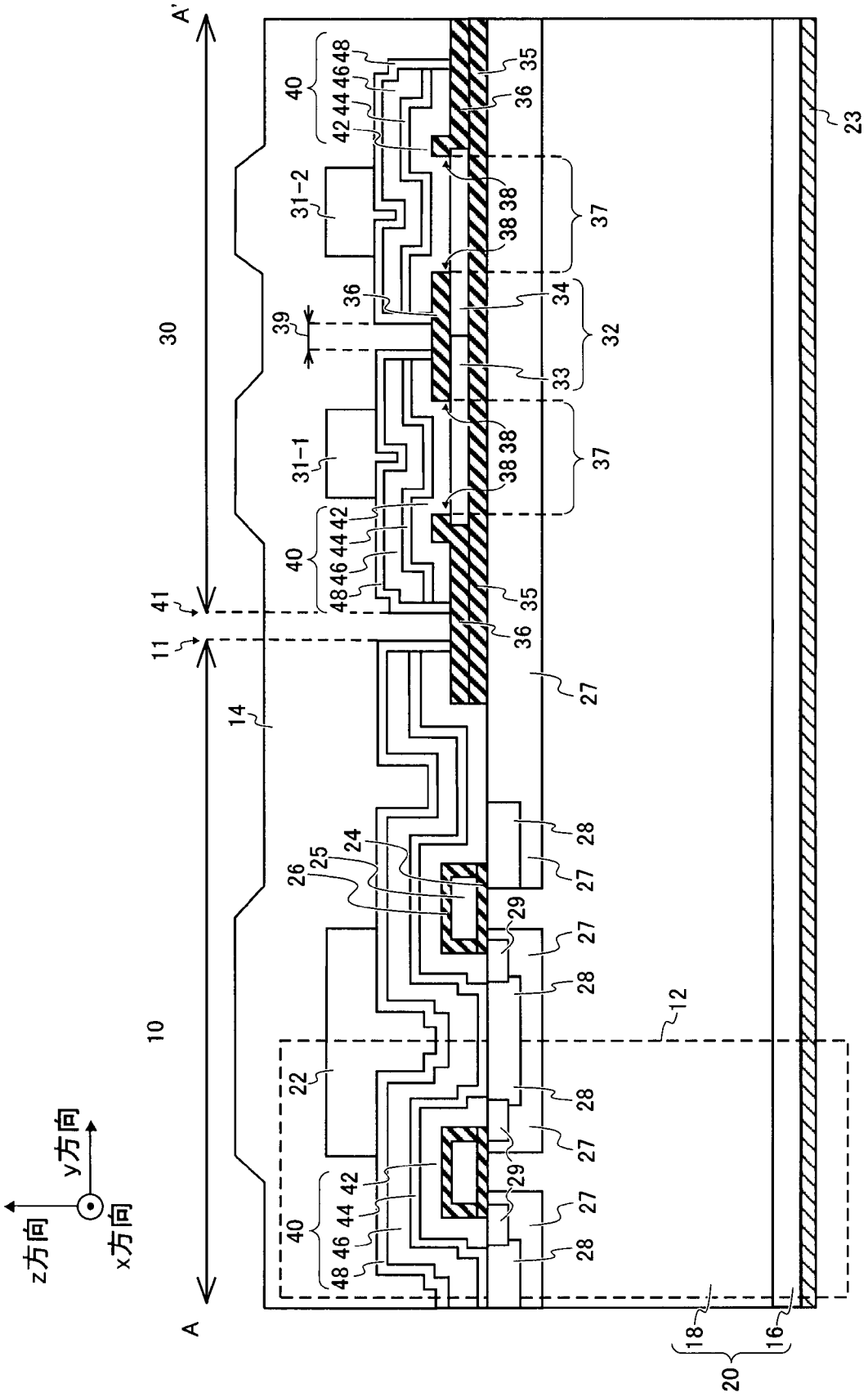
[図4D]



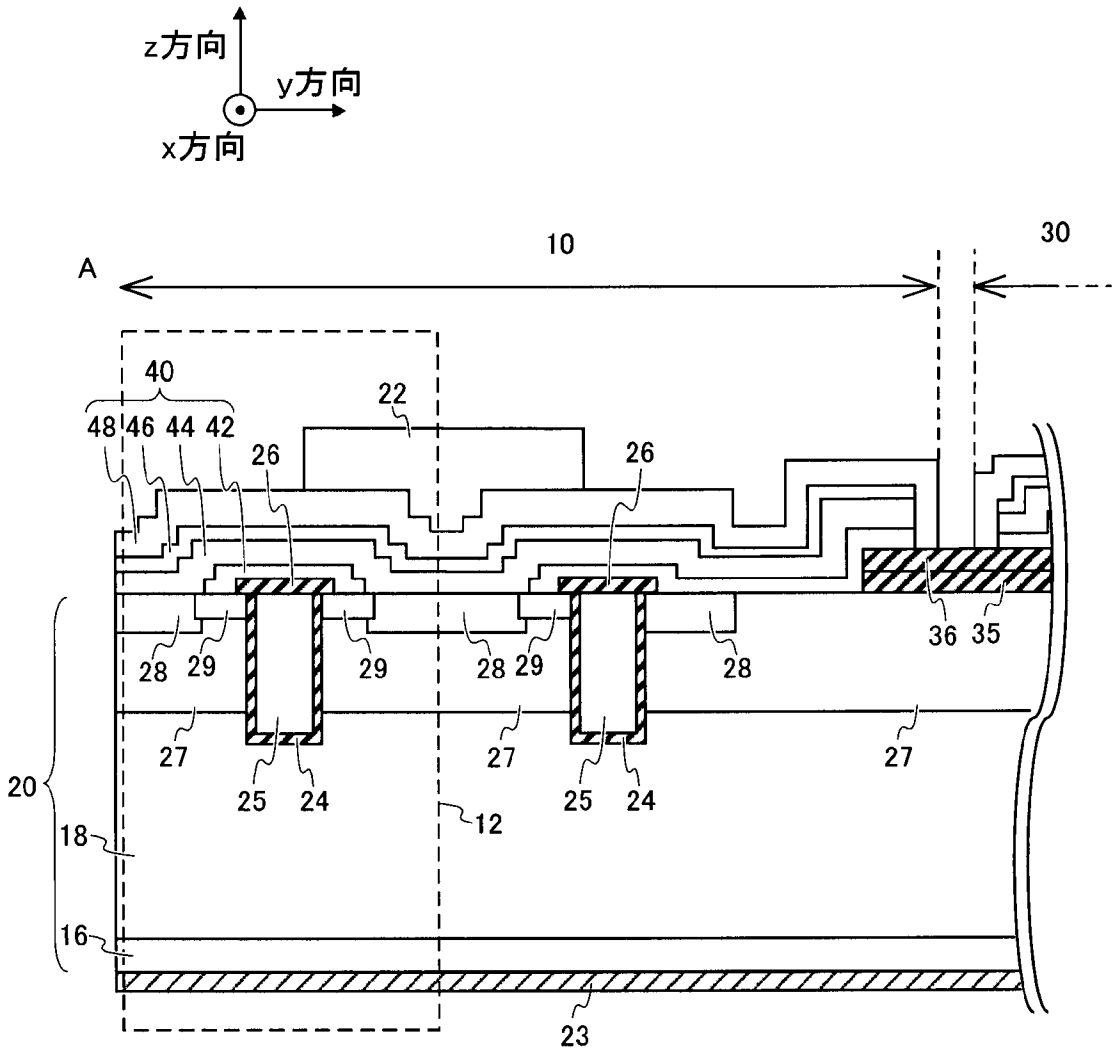
[図4E]


A'
A
30
10
11
41
39
40
42
44
46
48
35
36
37
38
32
33
34
27
28
29
24
25
26
18
16
20
z方向
y方向
x方向

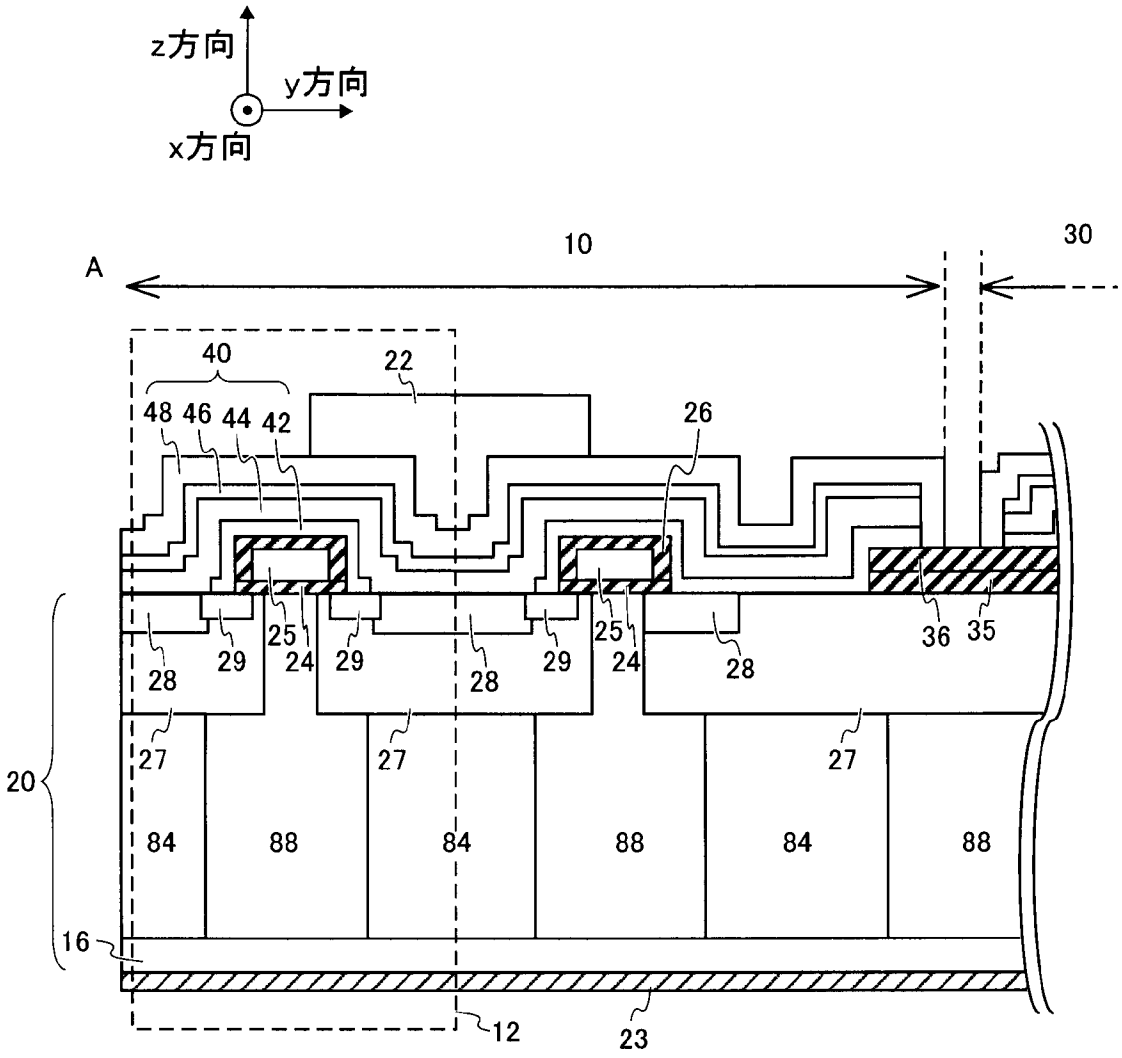
[図4F]


A'
A
10
11
12
14
16
18
20
22
23
24
25
26
27
28
29
30
31-1
31-2
32
33
34
35
36
37
38
39
40
41
42
44
46
48
y方向
x方向
z方向

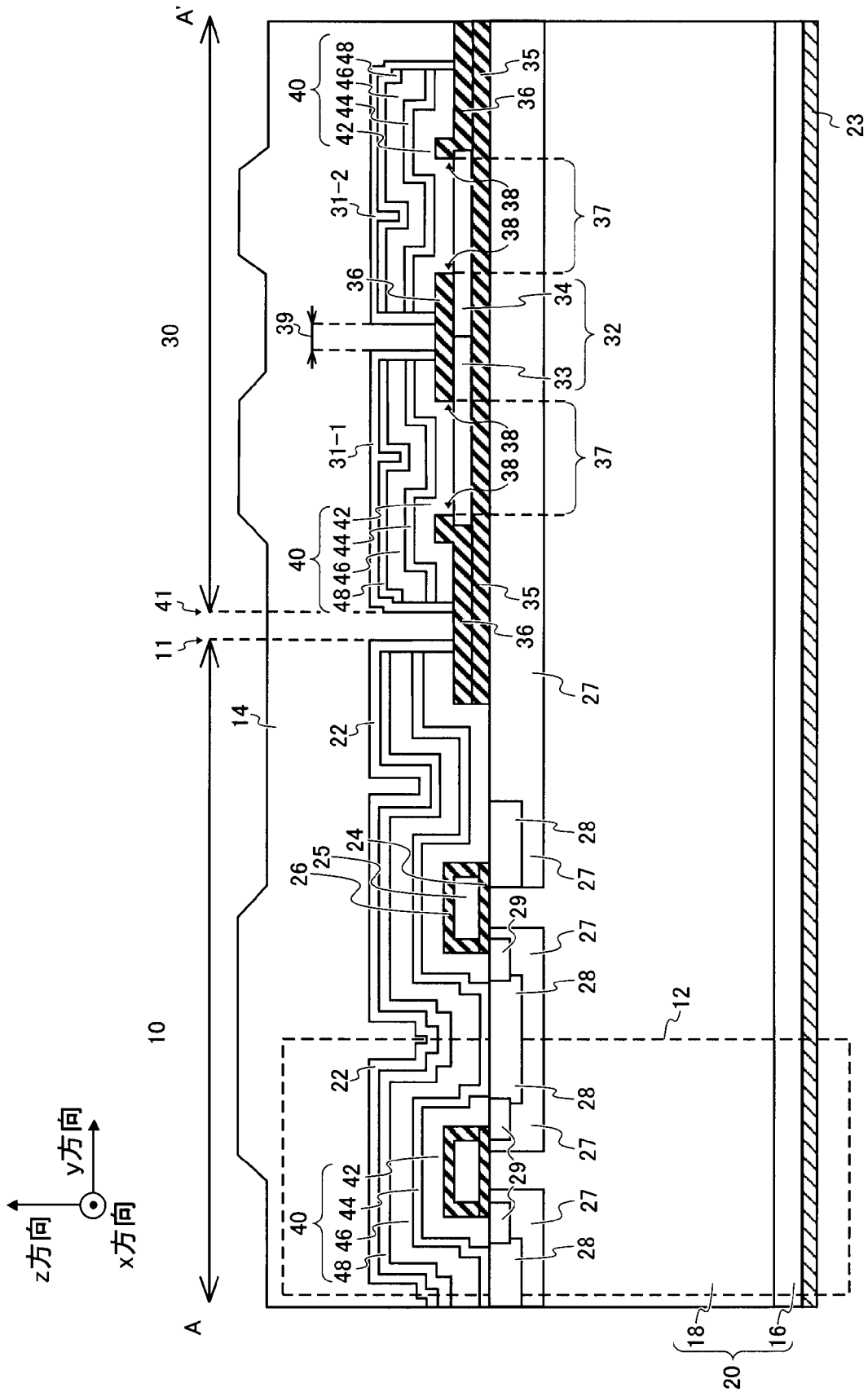
[図5]


z方向
y方向
x方向
A
10
30
40
48
46
44
42
22
26
26
28
29
29
28
29
28
36
35
27
27
27
25
24
25
24
20
18
12
16
23

[図6]


z方向
y方向
x方向
A
10
30
40
22
48
46
44
42
26
28
29
25
24
29
28
29
25
24
28
36
35
27
27
27
20
84
88
84
88
84
88
16
12
23

[図7]


A'
A
10
11
12
14
16
18
20
22
23
24
25
26
27
28
29
30
31-1
31-2
32
33
34
35
36
37
38
39
40
41
42
44
46
48
x方向
y方向
z方向

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2016/055112

A. CLASSIFICATION OF SUBJECT MATTER
H01L21/28(2006.01)i, *H01L21/336*(2006.01)i, *H01L27/04*(2006.01)i, *H01L29/06*(2006.01)i, *H01L29/12*(2006.01)i, *H01L29/78*(2006.01)i, *H01L29/861*(2006.01)i, *H01L29/868*(2006.01)i
According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
H01L21/28, H01L21/336, H01L27/04, H01L29/06, H01L29/12, H01L29/78, H01L29/861, H01L29/868

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2016
Kokai Jitsuyo Shinan Koho 1971-2016 Toroku Jitsuyo Shinan Koho 1994-2016

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2012-129503 A (Mitsubishi Electric Corp.), 05 July 2012 (05.07.2012), paragraphs [0049] to [0065]; fig. 12 to 15 & US 2012/0132912 A1 paragraphs [0065] to [0081]; fig. 12 to 15 & US 2015/0243753 A1 & DE 102011086943 A1 & CN 102610639 A & KR 10-2012-0056770 A & KR 10-2013-0098951 A & CN 104064591 A & KR 10-2014-0095044 A	1-13
Y	JP 2002-280523 A (NEC Corp.), 27 September 2002 (27.09.2002), paragraphs [0061] to [0062]; fig. 7 & US 2002/0132426 A1 paragraphs [0076] to [0077]; fig. 5 & US 2004/0079982 A1 & EP 1241709 A2 & KR 10-2002-0073443 A & CN 1375876 A	1-13

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
12 May 2016 (12.05.16)	24 May 2016 (24.05.16)
Name and mailing address of the ISA/ Japan Patent Office 3-4-3,Kasumigaseki,Chiyoda-ku, Tokyo 100-8915,Japan	Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2016/055112

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2003-197773 A (Toshiba Corp.), 11 July 2003 (11.07.2003), paragraph [0031] (Family: none)	1-13
Y	JP 2004-525510 A (ASM International N.V.), 19 August 2004 (19.08.2004), paragraph [0018] & US 2002/0187631 A1 paragraph [0031] & US 2005/0101132 A1 & WO 2002/067319 A2 & KR 10-2002-0044824 A & KR 10-0856023 B1	2-13
Y	JP 2009-194127 A (Panasonic Corp.), 27 August 2009 (27.08.2009), paragraphs [0019] to [0039]; fig. 1 (Family: none)	7-13
Y	JP 2012-186318 A (Shindengen Electric Mfg. Co., Ltd.), 27 September 2012 (27.09.2012), paragraphs [0015] to [0023]; fig. 1 (Family: none)	12-13

国際調査報告

国際出願番号　ＰＣＴ／ＪＰ２０１６／０５５１１２

Ａ．　発明の属する分野の分類（国際特許分類（ＩＰＣ））

Int.Cl.　H01L21/28(2006.01)i, H01L21/336(2006.01)i, H01L27/04(2006.01)i, H01L29/06(2006.01)i, H01L29/12(2006.01)i, H01L29/78(2006.01)i, H01L29/861(2006.01)i, H01L29/868(2006.01)i

Ｂ．　調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

Int.Cl.　H01L21/28, H01L21/336, H01L27/04, H01L29/06, H01L29/12, H01L29/78, H01L29/861, H01L29/868

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２０１６年
日本国実用新案登録公報	１９９６－２０１６年
日本国登録実用新案公報	１９９４－２０１６年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

Ｃ．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
Y	JP 2012-129503 A（三菱電機株式会社）2012.07.05, 段落[0049]-[0065],図 12－15 & US 2012/0132912 A1, 段落[0065]-[0081],図 12－15 & US 2015/0243753 A1 & DE 102011086943 A1 & CN 102610639 A & KR 10-2012-0056770 A & KR 10-2013-0098951 A & CN 104064591 A & KR 10-2014-0095044 A	1-13

☑　Ｃ欄の続きにも文献が列挙されている。

☐　パテントファミリーに関する別紙を参照。

＊　引用文献のカテゴリー
「Ａ」特に関連のある文献ではなく、一般的技術水準を示すもの
「Ｅ」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「Ｌ」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「Ｏ」口頭による開示、使用、展示等に言及する文献
「Ｐ」国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
「Ｔ」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「Ｘ」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Ｙ」特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「＆」同一パテントファミリー文献

国際調査を完了した日	国際調査報告の発送日
１２．０５．２０１６	２４．０５．２０１６

国際調査機関の名称及びあて先
日本国特許庁（ＩＳＡ／ＪＰ）
郵便番号１００－８９１５
東京都千代田区霞が関三丁目４番３号

特許庁審査官（権限のある職員）　５Ｏ　５８９５
右田　勝則
電話番号　０３－３５８１－１１０１　内線　３５５９

Ｃ（続き）．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
Y	JP 2002-280523 A (日本電気株式会社) 2002.09.27, 段落[0061]-[0062],図 7 & US 2002/0132426 A1, 段落[0076]-[0077],図 5 & US 2004/0079982 A1 & EP 1241709 A2 & KR 10-2002-0073443 A & CN 1375876 A	1-13
Y	JP 2003-197773 A (株式会社東芝) 2003.07.11, 段落[0031] (ファミリーなし)	1-13
Y	JP 2004-525510 A (エーエスエム　インターナショナルズ　エヌ　ヴェー) 2004.08.19, 段落[0018] & US 2002/0187631 A1,段落[0031] & US 2005/0101132 A1 & WO 2002/067319 A2 & KR 10-2002-0044824 A & KR 10-0856023 B1	2-13
Y	JP 2009-194127 A (パナソニック株式会社) 2009.08.27, 段落[0019]-[0039],図 1 (ファミリーなし)	7-13
Y	JP 2012-186318 A (新電元工業株式会社) 2012.09.27, 段落[0015]-[0023],図 1 (ファミリーなし)	12-13