

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4179539号
(P4179539)

(45) 発行日 平成20年11月12日(2008.11.12)

(24) 登録日 平成20年9月5日(2008.9.5)

(51) Int.Cl. F I
 H O 1 L 21/338 (2006.01) H O 1 L 29/80 H
 H O 1 L 29/778 (2006.01)
 H O 1 L 29/812 (2006.01)

請求項の数 9 (全 20 頁)

<p>(21) 出願番号 特願2003-6970 (P2003-6970) (22) 出願日 平成15年1月15日(2003.1.15) (65) 公開番号 特開2004-221325 (P2004-221325A) (43) 公開日 平成16年8月5日(2004.8.5) 審査請求日 平成17年8月11日(2005.8.11)</p> <p>前置審査</p>	<p>(73) 特許権者 000005223 富士通株式会社 神奈川県川崎市中原区上小田中4丁目1番 1号 (74) 代理人 100087479 弁理士 北野 好人 (72) 発明者 吉川 俊英 神奈川県川崎市中原区上小田中4丁目1番 1号 富士通株式会社内 審査官 小川 将之</p>
---	--

最終頁に続く

(54) 【発明の名称】 化合物半導体装置及びその製造方法

(57) 【特許請求の範囲】

【請求項1】

半導体基板上に形成されたGaN能動層と、
 前記GaN能動層上に形成されたAlGaNキャリア供給層と、
 前記AlGaNキャリア供給層上に形成されたGaNキャップ層と、
 前記GaNキャップ層上に形成されたソース電極及びドレイン電極と、
 前記ソース電極と前記ドレイン電極との間の前記GaNキャップ層上に形成されたゲート電極と、
 前記ソース電極と前記ドレイン電極との間の前記GaNキャップ層上に形成された第1の保護層と、
 前記ゲート電極と前記ドレイン電極との間の前記第1の保護層に形成された前記GaNキャップ層に達する開口部に埋め込まれ、前記第1の保護層とは異なる絶縁層よりなる第2の保護層と
 を有することを特徴とする化合物半導体装置。

【請求項2】

請求項1記載の化合物半導体装置において、
 前記ゲート電極は、前記第1の保護層上に延在して形成されている
 ことを特徴とする化合物半導体装置。

【請求項3】

請求項1又は2記載の化合物半導体装置において、

前記 GaN キャップ層の表面に、原子層ステップが形成されていることを特徴とする化合物半導体装置。

【請求項 4】

請求項 1 記載の化合物半導体装置において、前記第 1 の保護層と前記第 2 の保護層とは、互いに窒素含有率が異なる SiN よりなることを特徴とする化合物半導体装置。

【請求項 5】

請求項 1 乃至 4 のいずれか 1 項に記載の化合物半導体装置において、前記第 1 の保護層は、窒素含有率の異なる 2 以上の SiN 膜が積層されてなる積層膜である

10

ことを特徴とする化合物半導体装置。

【請求項 6】

半導体基板上に形成された GaN 能動層と、前記 GaN 能動層上に形成され、AlGa_xN キャリア供給層と、前記 AlGa_xN キャリア供給層上に形成され、表面のみに原子層ステップが形成された GaN キャップ層と、前記 GaN キャップ層上に形成されたソース電極及びドレイン電極と、前記ソース電極と前記ドレイン電極との間の前記 GaN キャップ層上に形成されたゲート電極と

を有することを特徴とする化合物半導体装置。

20

【請求項 7】

請求項 6 記載の化合物半導体装置において、前記ゲート電極と前記ソース電極との間、及び前記ゲート電極と前記ドレイン電極との間の前記 GaN キャップ層上に形成された絶縁層よりなる保護層を更に有することを特徴とする化合物半導体装置。

【請求項 8】

半導体基板上に形成された GaN 能動層と、前記 GaN 能動層上に形成された AlGa_xN キャリア供給層と、前記 AlGa_xN キャリア供給層上に形成された GaN キャップ層と、前記 GaN キャップ層上に形成されたソース電極及びドレイン電極と、前記ソース電極と前記ドレイン電極との間の前記 GaN キャップ層上に形成されたゲート電極と、前記ソ

30

ース電極と前記ドレイン電極との間の前記 GaN キャップ層上に形成された第 1 の保護層とを有する化合物半導体装置の製造方法であって、

前記ゲート電極と前記ドレイン電極との間の前記第 1 の保護層に、前記 GaN キャップ層に達する開口部を形成する工程と、

前記開口部に、前記第 1 の保護層とは異なる絶縁層よりなる第 2 の保護層を埋め込む工程とを有する

ことを特徴とする化合物半導体装置の製造方法。

【請求項 9】

半導体基板上に形成された GaN 能動層と、前記 GaN 能動層上に形成された AlGa_xN キャリア供給層と、前記 AlGa_xN キャリア供給層上に形成された GaN キャップ層と、前記 GaN キャップ層上に形成されたソース電極及びドレイン電極と、前記ソース電極と前記ドレイン電極との間の前記 GaN キャップ層上に形成されたゲート電極とを有する化合物半導体装置の製造方法であって、

40

前記 GaN キャップ層を形成する工程では、前記 GaN キャップ層を成膜室において成長する際に、GaN の V / III 比を制御して V / III 比が 10000 よりも大きくなるようにし、成長速度を 20 / s 以下に抑え、H₂ ガスのみを原料ガスのキャリアとし、前記 GaN キャップ層の成長後の降温過程では、基板温度が 500 となるまで前記成膜室内に NH₃ ガスを 1 リットル以上流すことにより、表面に原子層ステップが形成された前記 GaN キャップ層を形成する

ことを特徴とする化合物半導体装置の製造方法。

50

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、化合物半導体装置に係り、特に、窒化ガリウム（GaN）を用いたFET構造を有する化合物半導体装置及びその製造方法に関する。

【0002】

【従来の技術】

GaNは、超高周波トランジスタ材料として既に実用化されるに至っているGaAsと同じIII-V族半導体に属しており、ガリウム砒素（GaAs）と同様にキャリア移動度大きいという特性を有している。さらに、GaNは、そのバンドギャップが3.4eVであり、GaAsの1.4eVと比較して大きく、アバランシェ降伏が起きる電界が大きいという特性を有している。

10

【0003】

高キャリア移動度とワイドバンドギャップという特性を兼ね備えたGaNによれば、高耐圧動作が可能な超高周波デバイスの実現が可能であると考えられている。このため、近年、サファイア、シリコンカーバイド（SiC）、GaN、シリコン（Si）等の基板上にAlGaN/GaNを結晶成長し、GaNを電子走行層とするHEMT等の電子デバイスの開発が活発に行われている（例えば特許文献1を参照）。

【0004】

図15は、従来のAlGaN/GaNヘテロ接合を用いたHEMTの構造の一例を示す断面図である。

20

【0005】

サファイア基板100上に、i-GaNバッファ層102と、i-AlGaNスペーサ層104と、ドーパント不純物としてSiが導入されたn-AlGaN電子供給層106と、i-AlGaNキャップ層108とが順次積層されている。

【0006】

i-AlGaNキャップ層108上には、Au/Tiよりなるソース電極110及びドレイン電極112がオーミック接合されている。ソース電極110とドレイン電極112とにより挟まれたi-AlGaNキャップ層108上には、Au/Niよりなるゲート電極114がショットキー接合されている。

30

【0007】

こうして、電子走行層として機能するi-GaNバッファ層102と、n-AlGaN電子供給層106とを有するHEMTが構成されている。

【0008】

【特許文献1】

特開2002-359256号公報

【0009】

【発明が解決しようとする課題】

しかしながら、従来のAlGaN/GaNヘテロ接合を用いたHEMTには、電流コラプスと呼ばれる動作中のオン抵抗の変化が生じるという難点があった。さらに、現在、携帯電話の基地局用アンパ等においては、高電圧動作が要求されているが、その耐圧が十分とはいえない場合もあった。

40

【0010】

また、電流コラプスを抑制することができたとしても、ゲートリーク電流が大きくなってしまい、十分な耐圧を確保することが困難となる場合もあった。

【0011】

本発明の目的は、電流コラプスを抑制するとともに、高耐圧動作が可能な化合物半導体装置及びその製造方法を提供することにある。

【0012】

【課題を解決するための手段】

50

上記目的は、半導体基板上に形成されたGaN能動層と、前記GaN能動層上に形成されたAlGaNキャリア供給層と、前記AlGaNキャリア供給層上に形成されたGaNキャップ層と、前記GaNキャップ層上に形成されたソース電極及びドレイン電極と、前記ソース電極と前記ドレイン電極との間の前記GaNキャップ層上に形成されたゲート電極と、前記ソース電極と前記ドレイン電極との間の前記GaNキャップ層上に形成された第1の保護層と、前記ゲート電極と前記ドレイン電極との間の前記第1の保護層に形成された前記GaNキャップ層に達する開口部に埋め込まれ、前記第1の保護層とは異なる絶縁層よりなる第2の保護層とを有することを特徴とする化合物半導体装置により達成される

【0014】

また、上記目的は、半導体基板上に形成されたGaN能動層と、前記GaN能動層上に形成され、AlGaNキャリア供給層と、前記AlGaNキャリア供給層上に形成され、表面のみに原子層ステップが形成されたGaNキャップ層と、前記GaNキャップ層上に形成されたソース電極及びドレイン電極と、前記ソース電極と前記ドレイン電極との間の前記GaNキャップ層上に形成されたゲート電極とを有することを特徴とする化合物半導体装置により達成される。

【0015】

また、上記目的は、半導体基板上に形成されたGaN能動層と、前記GaN能動層上に形成されたAlGaNキャリア供給層と、前記AlGaNキャリア供給層上に形成されたGaNキャップ層と、前記GaNキャップ層上に形成されたソース電極及びドレイン電極と、前記ソース電極と前記ドレイン電極との間の前記GaNキャップ層上に形成されたゲート電極と、前記ソース電極と前記ドレイン電極との間の前記GaNキャップ層上に形成された第1の保護層とを有する化合物半導体装置の製造方法であって、前記ゲート電極と前記ドレイン電極との間の前記第1の保護層に、前記GaNキャップ層に達する開口部を形成する工程と、前記開口部に、前記第1の保護層とは異なる絶縁層よりなる第2の保護層を埋め込む工程とを有することを特徴とする化合物半導体装置の製造方法により達成される。

【0016】

また、上記目的は、半導体基板上に形成されたGaN能動層と、前記GaN能動層上に形成されたAlGaNキャリア供給層と、前記AlGaNキャリア供給層上に形成されたGaNキャップ層と、前記GaNキャップ層上に形成されたソース電極及びドレイン電極と、前記ソース電極と前記ドレイン電極との間の前記GaNキャップ層上に形成されたゲート電極とを有する化合物半導体装置の製造方法であって、前記GaNキャップ層を形成する工程では、前記GaNキャップ層を成膜室において成長する際に、GaNのV/III比を制御してV/III比が10000よりも大きくなるようにし、成長速度を20/s以下に抑え、H₂ガスのみを原料ガスのキャリアとし、前記GaNキャップ層の成長後の降温過程では、基板温度が500 となるまで前記成膜室内にNH₃ガスを1リットル以上流すことにより、表面に原子層ステップが形成された前記GaNキャップ層を形成することを特徴とする化合物半導体装置の製造方法により達成される。

【0017】

【発明の実施の形態】

[第1実施形態]

本発明の第1実施形態による化合物半導体装置及びその製造方法について図1乃至図7を用いて説明する。図1は本実施形態による化合物半導体装置の構造を示す断面図、図2は本実施形態による化合物半導体装置のゲート電極の形状を示す拡大断面図、図3はn-GaNキャップ層上にSiN保護層を形成した化合物半導体装置の構造を示す断面図、図4乃至図7は本実施形態による化合物半導体装置の製造方法を示す工程断面図である。

【0018】

まず、本実施形態による化合物半導体装置の構造について図1及び図2を用いて説明する。

10

20

30

40

50

【0019】

図1に示すように、SiC基板10上に、i-GaNバッファ層12と、i-AlGaNスペーサ層14と、ドーパント不純物としてSiが導入されたn-AlGaN電子供給層16と、n-GaNキャップ層18とが順次積層されている。

【0020】

n-GaNキャップ層18上には、Au/Tiよりなるソース電極20及びドレイン電極22がオーミック接合されている。

【0021】

ソース電極20とドレイン電極との間のn-GaNキャップ層18上には、窒素(N)含有率20%以下のSiNよりなる第1の保護層24が形成されている。第1の保護層24には、n-GaNキャップ層18に達する開口部25が形成されており、開口部25を介してn-GaNキャップ層18上に、Au/Niよりなるゲート電極26がショットキー接合され、第1の保護層24上に延在するように形成されている。ゲート電極26が埋め込まれた開口部25の幅は、図2に示すように、第1の保護層24表面側からn-GaNキャップ層18表面側に向かって徐々に狭くなっている。すなわち、ゲート電極26に接する第1の保護層24の側部が順テーパ形状を有している。

10

【0022】

ゲート電極26とドレイン電極22との間の第1の保護層24には、n-GaNキャップ層18に達する開口部28が形成されている。第1の保護層24上には、N含有率が20%以上のSiNよりなる第2の保護層30が形成されており、開口部28には、第2の保護層30が埋め込まれている。第2の保護層30が埋め込まれた開口部28は、ゲート電極26からドレイン電極22側に例えば0.05~0.5 μ m離間した位置に形成されている。

20

【0023】

第1の保護層24と第2の保護層30とは、N含有率の違いにより、応力、屈折率等の種々の物性が異なっている。例えば、N含有率が20%以下のSiNよりなる第1の保護層24の屈折率が2.4~2.5であるのに対し、N含有率が20%以上のSiNよりなる第2の保護層30の屈折率は1.9~2.1となっている。

【0024】

こうして、電子走行層として機能するi-GaNバッファ層12と、n-AlGaN電子供給層16とを有するHEMTが構成されている。

30

【0025】

HEMT素子間を分離する素子間分離領域(図示せず)は、n-GaNキャップ層18、n-AlGaN電子供給層16、及びi-AlGaNスペーサ層14を貫いてi-GaNバッファ層12に達する深さまで形成されている。

【0026】

本実施形態による化合物半導体装置は、SiNよりなる第1の保護層24と、ゲート電極26とドレイン電極22との間の第1の保護層24に埋め込まれたSiNよりなる第2の保護層30とを有することに主たる特徴がある。

【0027】

GaN/AlGaNヘテロ接合を用いたHEMTにおいて、電流コラプスと呼ばれる動作中のオン抵抗の変化を抑制する構造としては、n-GaNキャップ層、SiN保護層を用いた図3に示す構造が考えられる。この場合、図示するように、n-AlGaN電子供給層16上に、n-GaNキャップ層18が形成されている。さらに、ゲート電極32とソース電極20との間、及びゲート電極32とドレイン電極22との間のGaNキャップ層18上には、SiN保護層34が形成されている。なお、ゲート電極32に接するSiN保護層34の側部は、図1及び図2に示す本実施形態による化合物半導体装置と異なり、ほぼ垂直となっている。

40

【0028】

しかしながら、図3に示す構造を有するHEMTでは、ゲートリーク電流量が、実際のデ

50

バイスにおいて要求される規格値よりも大きいという難点が存在することが本願発明者の検討により明らかとなった。すなわち、破壊耐圧やゲート耐圧という規格においては100V以上という優れた値を示すものの、リーク電流の絶対値としては大きくなってしまっていた。

【0029】

図3に示す構造を有するHEMTにおけるゲートリーク電流は、SiN保護層34とn-GaNキャップ層18との界面にリークパスが存在することに起因していると考えられる。ゲート直下のショットキー耐圧が十分であったとしても、ピンチオフ電圧以上の電圧をゲート電極に加えた場合には、ゲート電極から横方向にリーク電流が流れることとなり、耐圧が低下するという結果となる。

10

【0030】

一方、本実施形態による化合物半導体装置における第2の保護層30は、後述するように、第1の保護層24に開口部28を形成した後、開口部28にSiN膜を埋め込むことにより形成される。この際、第1の保護層24の開口部28から露出したn-GaNキャップ層18の表面に損傷が入ったり酸化物が形成されたりする。この結果、第2の保護層30とn-GaNキャップ層18との間にピンング準位が形成される。これにより、SiNよりなる第1の保護層24とn-GaNキャップ層18の間にはリーク電流のパスが形成されるものの、第2の保護層30直下で分断されることになり、リーク電流の発生を抑制することができる。この結果、耐圧を向上することができる。

【0031】

なお、本実施形態では、第1の保護層24上に第2の保護層30が形成され、ゲート電極26とドレイン電極22との間の開口部28に第2の保護層30が埋め込まれていたが、必ずしも第1の保護層24上にまで第2の保護層30が形成されている必要はなく、ゲート電極26とドレイン電極22との間の第1の保護層24に第2の保護層30が埋め込まれていればよい。

20

【0032】

また、本実施形態による化合物半導体装置は、第1の保護層24の材料であるSiNのN含有率が、20%以下に抑えられていることにも主たる特徴がある。第1の保護層24の材料のSiNにおけるN含有率を20%以下に抑えることにより、第1の保護層24とn-GaNキャップ層18との間のトラップ準位が減少する。これにより、電流コラプスと呼ばれる動作時にオン抵抗が変化してしまう現象の発生を抑制することができる。

30

【0033】

さらに、本実施形態による化合物半導体装置は、図2に示すように、ゲート電極26に接する第1の保護層24の側部が順テーパ形状を有していることにも特徴がある。すなわち、第1の保護層24に形成され、ゲート電極26が埋め込まれた開口部25の幅が、第1の保護層24表面側からn-GaNキャップ層18表面側に向かって徐々に狭くなっていることにも特徴がある。

【0034】

図3に示す化合物半導体装置の製造方法においては、ゲート電極32を形成した後に、ソース電極20とゲート電極32との間、及びドレイン電極22とゲート電極32との間のn-GaNキャップ層18上にSiN保護層34を形成していた。したがって、SiN保護層34に埋め込まれたゲート電極32とSiN保護層34との界面はほぼ垂直な状態になっていた。この結果、n-GaNキャップ層18にショットキー接合するゲート電極32の角部近傍に電界が集中し、耐圧が低下してしまっていた。

40

【0035】

これに対し、本実施形態による化合物半導体装置では、ゲート電極26が埋め込まれた開口部25の幅が、図2に示すように、第1の保護層24表面側からn-GaNキャップ層18表面側に向かって徐々に狭くなっているため、n-GaNキャップ層18にショットキー接合するゲート電極26の角部近傍での電界集中が緩和されている。したがって、電界集中による耐圧の低下も抑制されている。

50

【0036】

なお、本実施形態による化合物半導体装置では、第1の保護層24に形成された開口部25を介してn-GaNキャップ層18上にゲート電極26がショットキー接合され、第1の保護層24上に延在するように形成されているが、必ずしも、ゲート電極26が第1の保護層24上に延在している必要はない。ゲート電極26が埋め込まれる開口部25の幅が、第1の保護層24表面側からn-GaNキャップ層18表面側に向かって徐々に狭くなっていけば、電界集中による耐圧の低下を抑制することができる。

【0037】

次に、本実施形態による化合物半導体装置の製造方法について図4乃至図7を用いて説明する。

10

【0038】

まず、SiC基板10上に、例えばMOCVD (Metal Organic Chemical Vapor Deposition) 法により、例えば膜厚1 μ mのアンドープのi-GaNバッファ層12を形成する。

【0039】

次いで、i-GaNバッファ層12上に、例えばMOCVD法により、例えば膜厚3nmのアンドープのi-AlGaNスペーサ層14を形成する。

【0040】

次いで、i-AlGaNスペーサ層14上に、例えばMOCVD法により、例えばSiのドーピング濃度 $2 \times 10^{18} \text{ cm}^{-3}$ 、膜厚25nmのn-AlGaN電子供給層16を形成する。

20

【0041】

次いで、n-AlGaN電子供給層16上に、例えばMOCVD法により、例えばSiのドーピング濃度 $5 \times 10^{18} \text{ cm}^{-3}$ 、膜厚5nmのn-GaNキャップ層18を形成する。なお、n-GaNキャップ層18の膜厚は5nmに限定されるものではなく、n-GaNキャップ層18の膜厚は、例えば10nm以下の膜厚とすることができる。

【0042】

こうして、SiC基板10上に、i-GaNバッファ層12と、i-AlGaNスペーサ層14と、n-AlGaN電子供給層16と、n-GaNキャップ層18とが順次積層される(図4(a)を参照)。

30

【0043】

次いで、n-GaNキャップ層18上の所定領域に、例えば真空蒸着法によりAu/Tiを蒸着し、Au/Ti膜を形成する。次いで、Au/Ti膜をパターンニングし、Au/Tiよりなるソース電極20及びドレイン電極22を形成する。

【0044】

次いで、イオン注入法により素子分離領域(図示せず)を形成し、HEMT素子間を分離する。

【0045】

次いで、全面に、例えばプラズマCVD法により、N含有率が20%よりも小さいSiN膜39を形成する(図4(b)を参照)。第1の保護層24の膜厚は、例えば10nm~200nmの範囲内のものとすることができる。

40

【0046】

次いで、マスクを用いたエッチングにより、全面に形成されたSiN膜38のうち、ソース電極20とドレイン電極22との間のn-GaNキャップ層18上に形成された以外の部分を除去する(図4(c)を参照)。こうして、ソース電極20とドレイン電極22との間のn-GaNキャップ層18上に、N含有率が20%よりも小さいSiN膜38よりなる第1の保護層24が形成される。

【0047】

次いで、全面に、例えばスピンコート法によりファインゲート用のレジストを塗布し、レジスト膜40を形成する。この後、フォトリソグラフィ技術を用いてレジスト膜40をパ

50

ターニングすることにより、ソース電極20とドレイン電極との間の第1の保護層24に達する開口部42をレジスト膜40に形成する(図5(a)を参照)。

【0048】

次いで、開口部42が形成されたレジスト膜40をマスクとして、例えば六フッ化硫黄(SF₆)を用いたドライエッチングを行い、第1の保護層24にn-GaNキャップ層18に達する開口部25を形成する(図5(b)を参照)。このとき、例えば、SF₆を用いたドライエッチングを、300オングストローム/min以下のエッチングレートの方性エッチングでn-GaNキャップ層18に達するまで行う。ドライエッチングの後、HF系のエッチング液により100オングストローム程度のエッチング量でサイドエッチングを行う。こうすることにより、開口部25に露出し、ゲート電極に接することとなる第1の保護層24の側部が順テーパ形状を有するように形成することができる。

10

【0049】

第1の保護層24に開口部25を形成した後、マスクとして用いたレジスト膜40を除去する。

【0050】

次いで、全面に、例えばスピコート法によりレジストを塗布し、レジスト膜46を形成する。この後、フォトリソグラフィ技術を用いてレジスト膜46をパターンニングすることにより、第1の保護層24の開口部25が形成された領域を含み、開口部25よりも幅広い領域を露出する開口部48をレジスト膜46に形成する。

【0051】

20

次いで、全面に、例えば真空蒸着法によりAu/Niを蒸着し、Au/Ni膜50を形成する(図6(a)を参照)。続いて、レジスト膜46を除去することにより不要なAu/Ni膜50をリフトオフする。こうして、第1の保護層24よりも高い部分が第1の保護層24側にオーバーハングした形状を有するAu/Niよりなるゲート電極26が形成される(図6(b)を参照)。

【0052】

次いで、全面に、例えばスピコート法によりレジストを塗布し、レジスト膜52を形成する。この後、フォトリソグラフィ技術を用いてレジスト膜52をパターンニングすることにより、ゲート電極26とドレイン電極22との間の所定の領域の第1の保護層24に達する開口部54をレジスト膜52に形成する(図6(c)を参照)。

30

【0053】

次いで、開口部54が形成されたレジスト膜52をマスクとして、例えばSF₆を用いたドライエッチングを行い、ゲート電極26とドレイン電極22との間の所定の領域の第1の保護層24にn-GaNキャップ層18に達する開口部28を形成する(図7(a)を参照)。開口部28を形成した後、マスクとして用いたレジスト膜52を除去する。

【0054】

次いで、全面に、例えばプラズマCVD法により、N含有率が20%以上のSiN膜58を形成する(図7(b)を参照)。

【0055】

次いで、マスクを用いたエッチングにより、全面に形成されたSiN膜58のうち、ソース電極20とドレイン電極22との間の第1の保護層24上に形成された以外の部分を除去する(図7(c)を参照)。こうして、第1の保護層24上に形成され、第1の保護層24に形成された開口部28に埋め込まれたN含有率が20%以上のSiN膜58よりなる第2の保護層30が形成される。

40

【0056】

こうして、図1に示す本実施形態による化合物半導体装置が製造される。

【0057】

図8は、上述のようにして製造された本実施形態による化合物半導体装置におけるゲートリーク電流の低減効果の一例を示すグラフである。図1に示す本実施形態による化合物半導体装置、図3に示す化合物半導体装置のそれぞれについて、ゲート電圧V_gを掃引した

50

際のゲート電流 I_g を測定した。図 8 中 で示すグラフは本実施形態による化合物半導体装置について測定された V_g に対する I_g の変化を示すグラフである。図 8 中 で示すグラフは図 3 に示す化合物半導体装置について測定された V_g に対する I_g の変化を示すグラフである。図 8 に示すグラフにおいて、横軸は $-V_g$ を示し、縦軸は $-I_g$ を示す。

【 0 0 5 8 】

図 8 に示すグラフから明らかなように、本実施形態による化合物半導体装置の場合の方が、図 3 に示す化合物半導体装置の場合と比較して、リーク電流が十分に低減されている。

【 0 0 5 9 】

このように、本実施形態によれば、 SiN よりなる第 1 の保護層 24 と、ゲート電極 26 とドレイン電極 22 との間の第 1 の保護層 24 に埋め込まれ、第 1 の保護層 24 とは異なる SiN よりなる第 2 の保護層 30 とを有するので、第 1 の保護層 24 と $n-GaN$ キャップ層 18 との間に形成されたリーク電流のパスが、第 2 の保護層 30 直下で分断され、リーク電流の発生を抑制することができる。これにより、耐圧を向上することができる。

【 0 0 6 0 】

また、本実施形態によれば、第 1 の保護層 24 の材料である SiN の N 含有率が 20% 以下に抑えられているので、第 1 の保護層 24 と $n-GaN$ キャップ層 18 との間のトラップ準位が少なくなる。これにより、電流コラプスと呼ばれる動作時にオン抵抗が変化する現象の発生を抑制することができる。

【 0 0 6 1 】

さらに、本実施形態によれば、ゲート電極 26 に接する第 1 の保護層 24 の側部が順テーパー形状を有しているので、開口部 25 を介して $n-GaN$ キャップ層 18 にショットキー接合するゲート電極 26 の角部近傍での電界集中が緩和される。これにより、電界集中による耐圧の低下を抑制することができる。

【 0 0 6 2 】

なお、本実施形態では、ゲート電極 26 は、開口部 25 を介して $n-GaN$ キャップ層 18 上にショットキー接合され、第 1 の保護層 24 上に延在するように形成されていたが、ゲート電極の形状はこれに限定されるものではない。

【 0 0 6 3 】

例えば、ゲート電極は、図 3 に示す化合物半導体装置と同様の形状を有するものであってもよい。この場合、図 9 に示すように、 $n-GaN$ キャップ層 18 上に、 Au/Ti よりなるソース電極 20 及びドレイン電極 22 がオーミック接合されている。ソース電極 20 とドレイン電極 22 とにより挟まれた $n-GaN$ キャップ層 18 上には、 Au/Ni よりなるゲート電極 32 がショットキー接合されている。ゲート電極 32 とソース電極 20 との間、及びゲート電極 32 とドレイン電極 22 との間の $n-GaN$ キャップ層 18 上には、 N 含有率が 20% 以下の SiN よりなる第 1 の保護層 24 が形成されている。ゲート電極 32 とドレイン電極 22 との間の第 1 の保護層 24 には、 $n-GaN$ キャップ層 18 に達する開口部 28 が形成されている。開口部 28 には、 N 含有率が 20% 以上の SiN よりなる第 2 の保護層 30 が埋め込まれている。

【 0 0 6 4 】

図 9 に示す化合物半導体装置においても、ゲート電極 26 とドレイン電極 22 との間の第 1 の保護層 24 に第 2 の保護層 30 が埋め込まれていることにより、ゲートリーク電流の発生が抑制され、耐圧が向上される。

【 0 0 6 5 】

図 9 に示す化合物半導体装置は、次のようにして製造することができる。すなわち、 $n-GaN$ キャップ層 18 上に、ソース電極 20 及びドレイン電極 22、ゲート電極 32 をそれぞれ形成した後、全面に、 SiN よりなる第 1 の保護層 24 を形成する。次いで、マスクを用いたエッチングにより、全面に形成された第 1 の保護層 24 のうち、ゲート電極 32 とソース電極 20 との間、及びゲート電極 32 とドレイン電極 22 との間の $n-GaN$ キャップ層 18 上に形成された以外の部分を除去する。次いで、上述した本実施形態による場合と同様にして、ゲート電極 32 とドレイン電極 22 との間の第 1 の保護層 24 に開

10

20

30

40

50

口部 28 を形成し、開口部 28 に第 2 の保護層を埋め込む。こうして、図 9 に示す化合物半導体装置が製造される。

【 0066 】

[第 2 実施形態]

本発明の第 2 実施形態による化合物半導体装置及びその製造方法について図 10 乃至図 13 を用いて説明する。図 10 は n - GaN キャップ層の表面粗さが大きな場合の化合物半導体装置の構造を示す断面図、図 11 は本実施形態による化合物半導体装置の構造を示す断面図、図 12 及び図 13 は本実施形態による化合物半導体装置の製造方法を示す工程断面図である。なお、第 1 実施形態による化合物半導体装置及びその製造方法と同様の構成要素については同一の符号を付し説明を省略し或いは簡略にする。

10

【 0067 】

図 3 に示す化合物半導体装置の製造工程のように、AlGaIn 層を成長する場合、平坦な成長面を得ることが困難であった。このため、n - GaN キャップ層 18 を形成する際に、その膜厚が十分でなかったり、成膜時の昇温或いは降温条件等によっては、図 10 に示すように、形成した n - GaN キャップ層 18 の表面が粗面状態となっていた。例えば、n - GaN キャップ層 18 の表面粗さは、10 オングストローム以上と大きな値となっていた。

【 0068 】

このような n - GaN キャップ層 18 の大きな表面粗さは、その表面における部分的な電界集中を招き、ゲートリーク電流の発生要因の一つとなっていた。ゲートリーク電流の発生を抑制し、耐圧を向上するためには、n - GaN キャップ層 18 の表面をより平坦なものとする必要がある。

20

【 0069 】

本実施形態による化合物半導体装置は、n - GaN キャップ層 18 を所定の成長条件で形成し、n - GaN キャップ層 18 の表面粗さを低減することにより、n - GaN キャップ層 18 表面における電界集中を緩和し、ゲートリーク電流の発生を抑制するものである。

【 0070 】

まず、本実施形態による化合物半導体装置の構造について図 11 を用いて説明する。

【 0071 】

SiC 基板 10 上に、i - GaN バッファ層 12 と、i - AlGaIn スペーサ層 14 と、ドーパント不純物として Si が導入された n - AlGaIn 電子供給層 16 と、n - GaN キャップ層 18 とが順次積層されている。n - GaN キャップ層 18 は、ステップ状の表面を有しており、数原子層が積層されてなる例えば高さ 1 ~ 5 nm の原子層ステップがその表面に形成されている。n - GaN キャップ層 18 の表面粗さは、例えば 0.1 ~ 5 オングストロームと小さくなっている。

30

【 0072 】

ステップ状の表面を有する n - GaN キャップ層 18 上には、Au/Ti よりなるソース電極 20 及びドレイン電極 22 がオーミック接合されている。ソース電極 20 とドレイン電極 22 とにより挟まれた n - GaN キャップ層 18 上には、Au/Ni よりなるゲート電極 32 がショットキー接合されている。

40

【 0073 】

ゲート電極 32 とソース電極 20 との間、及びゲート電極 32 とドレイン電極 22 との間の n - GaN キャップ層 18 上には、SiN 保護層 34 が形成されている。SiN 保護層 34 の窒素含有率は、第 1 実施形態による化合物半導体装置における第 1 の保護層 24 と同様に、例えば 20 % 以下としてもよい。これにより、第 1 実施形態による場合と同様に、電流コラプスの発生を抑制することができる。

【 0074 】

本実施形態による化合物半導体装置は、原子層ステップが表面に形成され、表面粗さが小さいステップ状の表面を有する n - GaN キャップ層 18 を有することに主たる特徴がある。n - GaN キャップ層 18 の表面粗さが小さいことにより、n - GaN キャップ層 1

50

8表面における電界集中が緩和され、ゲートリーク電流の発生を抑制することができ、耐圧を向上することができる。

【0075】

次に、本実施形態による化合物半導体装置の製造方法について図12及び図13を用いて説明する。

【0076】

まず、第1実施形態による場合と同様にして、SiC基板10上に、i-GaNバッファ層12と、i-AlGaNスペーサ層14と、n-AlGaN電子供給層16とを順次形成する(図12(a)を参照)。

【0077】

次いで、ステップ状の表面を有するn-GaNキャップ層18を形成する(図12(b)を参照)。n-GaNキャップ層18の成長条件としては、例えば、GaNのV/III比を制御して $V/III > 10000$ となるようにし、成長速度を 20 / s 以下に抑え、 H_2 ガスのみを原料ガスのキャリアとする。そして、n-GaNキャップ層18の成長後の降温過程では、基板温度が 500 となるまで成膜室内に NH_3 ガスを1リットル以上流す。このような成長条件でn-GaNキャップ層18を成長することにより、その表面に複数の原子層よりなる原子層ステップを形成することができ、その表面粗さを、例えば5オングストローム以下の小さな値にまで低減することができる。

【0078】

次いで、ステップ状の表面を有するn-GaNキャップ層18上の所定領域に、例えば真空蒸着法によりAu/Tiを蒸着し、Au/Ti膜を形成する。次いで、形成したAu/Ti膜をパターニングし、Au/Tiよりなるソース電極20及びドレイン電極22を形成する(図12(c)を参照)。

【0079】

次いで、全面に、例えばスピコート法によりレジストを塗布し、レジスト膜60を形成する。この後、フォトリソグラフィ技術を用いてレジスト膜60をパターニングすることにより、ソース電極20とドレイン電極22との間の所定の領域のn-GaNキャップ層18に達する開口部62をレジスト膜60に形成する(図13(a)を参照)。

【0080】

次いで、全面に、例えば真空蒸着法によりAu/Niを蒸着し、Au/Ni膜64を形成する(図13(b)を参照)。続いて、レジスト膜60を除去することにより不要なAu/Ni膜64をリフトオフする。こうして、Au/Ni膜64よりなるゲート電極32が形成される(図13(c)を参照)。

【0081】

次いで、全面に、例えばプラズマCVD法によりSiN保護層34を形成する。続いて、マスクを用いたエッチングにより、全面に形成したSiN保護層34のうち、ゲート電極32とソース電極22との間、及びゲート電極32とドレイン電極22との間のn-GaNキャップ層18上に形成された以外の部分を除去する。

【0082】

こうして、図11に示す本実施形態による化合物半導体装置が製造される。このように、本実施形態によれば、GaNのV/III比、成長速度等の成長条件を制御することにより、表面に原子層ステップが形成され、表面粗さの小さいn-GaNキャップ層18を形成するので、n-GaNキャップ層18表面における電界集中を緩和することができる。これにより、ゲートリーク電流の発生を抑制することができ、耐圧を向上することができる。

【0083】

[第3実施形態]

本発明の第3実施形態による化合物半導体装置及びその製造方法について図14を用いて説明する。図14は本実施形態による化合物半導体装置の構造を示す断面図である。

【0084】

10

20

30

40

50

上記第2実施形態では、SiN保護層34を有する図3に示す化合物半導体装置において、表面に原子層ステップが形成される成長条件でn-GaNキャップ層18を形成し、n-GaNキャップ層18の表面粗さを低減していた。本実施形態による化合物半導体装置は、第1の保護層24及び第2の保護層30を有する第1実施形態による化合物半導体装置において、第2実施形態による場合と同様にして、表面に原子層ステップが形成される成長条件でn-GaNキャップ層18を形成し、n-GaNキャップ層18の表面粗さを低減するものである。

【0085】

本実施形態による化合物半導体装置では、図14に示すように、図1に示す第1実施形態による化合物半導体装置において、n-GaNキャップ層18は、その表面に原子層ステップが形成されており、表面粗さの小さいステップ状の表面を有している。

10

【0086】

図1に示す第1実施形態による化合物半導体装置において、n-GaNキャップ層18を、原子層ステップが形成された表面粗さの小さいステップ状の表面を有するものとするにより、第2の保護層30を設けたことやゲート電極26に接する第1の保護層側部の形状等による耐圧の向上効果に加えて、n-GaNキャップ層18表面の平坦化によって電界集中が緩和され、さらに耐圧を向上することができる。

【0087】

なお、本実施形態による化合物半導体装置は、第1実施形態による化合物半導体装置の製造方法において、n-GaNキャップ層18を、第2実施形態による場合と同様の成長条件で形成することにより製造することができる。

20

【0088】

[変形実施形態]

本発明は上記実施形態に限らず種々の変形が可能である。

【0089】

例えば、上記実施形態ではSiC基板10を用いる場合を例に説明したが、SiC基板に限定されるものではなく、SiC基板10に代えて、サファイア基板、GaN基板、Si基板等を用いることができる。

【0090】

また、上記実施形態では、第1の保護層24及び第2の保護層30の材料としてSiNを用いたが、第1の保護層24及び第2の保護層30の材料はSiNに限定されるものではない。例えば、第1の保護層24の材料をSiN、MgO、又はZnOとし、第2の保護層30の材料をSiO₂、SiON、又はAlNとしてもよい。

30

【0091】

また、上記実施形態では、N含有率が20%以下のSiN膜を一層形成し、これを第1の保護層としたが、第1の保護層は単層構造のものに限られるものではなく、第1の保護層を、積層構造を有するものとしてもよい。例えば、N含有率が異なる複数のSiN膜を積層し、この積層膜を第1の保護層としてもよい。

【0092】

また、上記実施形態におけるn-AlGa_xNキャリア電子供給層16等のAlGa_xN層の組成は、Al_xGa_(1-x)N(但し、0<x<1)を満たすものであればよいが、Al組成を適宜調整することにより、2次元電子ガスの濃度を調整することができる。また、Al組成を適宜調整することにより、AlGa_xN層の表面粗さの程度を調整することができる。例えば、化合物半導体装置を構成するAlGa_xN層のうちに、Al組成、すなわちxの値が0.15~0.3の範囲内のものを含めることができる。

40

【0093】

また、上記実施形態では、i-AlGa_xNスペーサ層14を設けたが、必ずしもi-AlGa_xNスペーサ層14を設ける必要はない。

【0094】

(付記1) 半導体基板上に形成されたGaN能動層と、前記GaN能動層上に形成され

50

た AlGa_N キャリア供給層と、前記 AlGa_N キャリア供給層上に形成された Ga_N キャップ層と、前記 Ga_N キャップ層上に形成されたソース電極及ドレイン電極と、前記ソース電極と前記ドレイン電極との間の前記 Ga_N キャップ層上に形成されたゲート電極と、前記ソース電極と前記ドレイン電極との間の前記 Ga_N キャップ層上に形成された第 1 の保護層と、前記ゲート電極と前記ドレイン電極との間の前記第 1 の保護層に形成された前記 Ga_N キャップ層に達する開口部に埋め込まれ、前記第 1 の保護層とは異なる絶縁層よりなる第 2 の保護層とを有することを特徴とする化合物半導体装置。

【0095】

(付記 2) 半導体基板上に形成された Ga_N 能動層と、前記 Ga_N 能動層上に形成された AlGa_N キャリア供給層と、前記 AlGa_N キャリア供給層上に形成された Ga_N キャップ層と、前記 Ga_N キャップ層上に形成されたソース電極及ドレイン電極と、前記ソース電極と前記ドレイン電極との間の前記 Ga_N キャップ層上に形成されたゲート電極と、前記ソース電極と前記ドレイン電極との間の前記 Ga_N キャップ層上に形成され、前記ゲート電極に接する側部が順テーパ形状を有する第 1 の保護層とを有することを特徴とする化合物半導体装置。

10

【0096】

(付記 3) 付記 1 又は 2 記載の化合物半導体装置において、前記ゲート電極は、前記第 1 の保護層上に延在して形成されていることを特徴とする化合物半導体装置。

【0097】

(付記 4) 付記 1 乃至 3 のいずれかに記載の化合物半導体装置において、前記 Ga_N キャップ層の表面に、原子層ステップが形成されていることを特徴とする化合物半導体装置。

20

【0098】

(付記 5) 付記 1 乃至 4 のいずれかに記載の化合物半導体装置において、前記第 1 の保護層と前記第 2 の保護層とは、互いに窒素含有率が異なる Si₃N₄ よりなることを特徴とする化合物半導体装置。

【0099】

(付記 6) 付記 1 乃至 4 のいずれか 1 項に記載の化合物半導体装置において、前記第 1 の保護層は Si₃N₄ よりなり、前記第 2 の保護層は SiO₂、SiON、又は AlN よりなることを特徴とする化合物半導体装置。

30

【0100】

(付記 7) 付記 1 乃至 6 のいずれかに記載の化合物半導体装置において、前記第 1 の保護層は、窒素含有率が 20% 以下の Si₃N₄ よりなることを特徴とする化合物半導体装置。

【0101】

(付記 8) 付記 1 乃至 7 のいずれかに記載の化合物半導体装置において、前記第 1 の保護層は、窒素含有率の異なる 2 以上の Si₃N₄ 膜を含むことを特徴とする化合物半導体装置。

【0102】

(付記 9) 半導体基板上に形成された Ga_N 能動層と、前記 Ga_N 能動層上に形成され、AlGa_N キャリア供給層と、前記 AlGa_N キャリア供給層上に形成され、表面に原子層ステップが形成された Ga_N キャップ層と、前記 Ga_N キャップ層上に形成されたソース電極及ドレイン電極と、前記ソース電極と前記ドレイン電極との間の前記 Ga_N キャップ層上に形成されたゲート電極とを有することを特徴とする化合物半導体装置。

40

【0103】

(付記 10) 付記 9 記載の化合物半導体装置において、前記ゲート電極と前記ソース電極との間、及び前記ゲート電極と前記ドレイン電極との間の前記 Ga_N キャップ層上に形成された絶縁層よりなる保護層を更に有することを特徴とする化合物半導体装置。

【0104】

(付記 11) 付記 10 記載の化合物半導体装置において、前記保護層は、窒素含有率が 20% 以下の Si₃N₄ よりなることを特徴とする化合物半導体装置。

50

【 0 1 0 5 】

(付記 1 2) 半導体基板上に形成された GaN 能動層と、前記 GaN 能動層上に形成された AlGaIn キャリア供給層と、前記 AlGaIn キャリア供給層上に形成された GaN キャップ層と、前記 GaN キャップ層上に形成されたソース電極及ドレイン電極と、前記ソース電極と前記ドレイン電極との間の前記 GaN キャップ層上に形成されたゲート電極と、前記ソース電極と前記ドレイン電極との間の前記 GaN キャップ層上に形成された第 1 の保護層とを有する化合物半導体装置の製造方法であって、前記ゲート電極と前記ドレイン電極との間の前記第 1 の保護層に、前記 GaN キャップ層に達する開口部を形成する工程と、前記開口部に、前記第 1 の保護層とは異なる絶縁層よりなる第 2 の保護層を埋め込む工程とを有することを特徴とする化合物半導体装置の製造方法。

10

【 0 1 0 6 】

(付記 1 3) 付記 1 2 記載の化合物半導体装置の製造方法において、前記ゲート電極を形成する工程は、第 1 の領域の前記第 1 の保護層に第 1 の開口部を形成する工程と、前記第 1 の開口部に金属膜を埋め込む工程とを有することを特徴とする化合物半導体装置の製造方法。

【 0 1 0 7 】

(付記 1 4) 付記 1 3 記載の化合物半導体装置の製造方法において、前記ゲート電極を形成する工程は、前記金属膜を埋め込む工程の前に、前記第 1 の領域を含む第 2 の領域に第 2 の開口部を有するレジスト膜を形成する工程を更に有し、前記金属膜を埋め込む工程では、前記第 1 の開口部及び前記第 2 の開口部に前記金属膜を埋め込むことを特徴とする化合物半導体装置の製造方法。

20

【 0 1 0 8 】

(付記 1 5) 付記 1 3 又は 1 4 記載の化合物半導体装置の製造方法において、前記ゲート電極を形成する工程では、前記第 1 の開口部が形成された前記第 1 の保護層の側部が順テーパ形状を有するように前記第 1 の開口部を形成することを特徴とする化合物半導体装置の製造方法。

【 0 1 0 9 】

(付記 1 6) 付記 1 2 乃至 1 5 のいずれかに記載の化合物半導体装置の製造方法において、前記 GaN キャップ層を形成する工程では、表面に原子層ステップが形成された前記 GaN キャップ層を形成することを特徴とする化合物半導体装置の製造方法。

30

【 0 1 1 0 】

(付記 1 7) 半導体基板上に形成された GaN 能動層と、前記 GaN 能動層上に形成された AlGaIn キャリア供給層と、前記 AlGaIn キャリア供給層上に形成された GaN キャップ層と、前記 GaN キャップ層上に形成されたソース電極及ドレイン電極と、前記ソース電極と前記ドレイン電極との間の前記 GaN キャップ層上に形成されたゲート電極とを有する化合物半導体装置の製造方法であって、前記 GaN キャップ層を形成する工程では、表面に原子層ステップが形成された前記 GaN キャップ層を形成することを特徴とする化合物半導体装置の製造方法。

【 0 1 1 1 】

(付記 1 8) 付記 1 6 又は 1 7 記載の化合物半導体装置の製造方法において、前記 GaN キャップ層を形成する工程では、GaN の V/III 比を制御することにより、表面に原子層ステップが形成された前記 GaN キャップ層を形成することを特徴とする化合物半導体装置の製造方法。

40

【 0 1 1 2 】

【 発明の効果 】

以上の通り、本発明によれば、半導体基板上に形成された GaN 能動層と、GaN 能動層上に形成された AlGaIn キャリア供給層と、AlGaIn キャリア供給層上に形成された GaN キャップ層と、GaN キャップ層上に形成されたソース電極及ドレイン電極と、ソース電極とドレイン電極との間の GaN キャップ層上に形成されたゲート電極と、ソース電極と前記ドレイン電極との間の GaN キャップ層上に形成された第 1 の保護層と、ゲー

50

ト電極とドレイン電極との間の第1の保護層に形成されたGaNキャップ層に達する開口部に埋め込まれ、第1の保護層とは異なる絶縁層よりなる第2の保護層とを有するので、電流コラプスを抑制するとともに、ゲートリーク電流の発生を抑制することができ、高耐圧動作を実現することができる。

【0113】

また、本発明によれば、半導体基板上に形成されたGaN能動層と、GaN能動層上に形成されたAlGaNキャリア供給層と、AlGaNキャリア供給層上に形成されたGaNキャップ層と、GaNキャップ層上に形成されたソース電極及ドレイン電極と、ソース電極とドレイン電極との間のGaNキャップ層上に形成されたゲート電極と、ソース電極とドレイン電極との間のGaNキャップ層上に形成され、ゲート電極に接する側部が順テーパ形状を有する第1の保護層とを有するので、ゲート電極近傍での電界集中が緩和され、電界集中による耐圧の低下を抑制することができ、高耐圧動作を実現することができる。

10

【0114】

また、本発明によれば、半導体基板上に形成されたGaN能動層と、GaN能動層上に形成され、AlGaNキャリア供給層と、AlGaNキャリア供給層上に形成され、表面に原子層ステップが形成されたGaNキャップ層と、GaNキャップ層上に形成されたソース電極及ドレイン電極と、ソース電極と前記ドレイン電極との間のGaNキャップ層上に形成されたゲート電極とを有するので、GaNキャップ層表面での電界集中が抑制され、ゲートリーク電流の発生を抑制することができ、高耐圧動作を実現することができる。

20

【図面の簡単な説明】

【図1】本発明の第1実施形態による化合物半導体装置の構造を示す断面図である。

【図2】本発明の第1実施形態による化合物半導体装置におけるゲート電極の形状を示す拡大断面図である。

【図3】n-GaNキャップ層上にSiN保護層を形成した化合物半導体装置の構造を示す断面図である。

【図4】本発明の第1実施形態による化合物半導体装置の製造方法を示す工程断面図(その1)である。

【図5】本発明の第1実施形態による化合物半導体装置の製造方法を示す工程断面図(その2)である。

【図6】本発明の第1実施形態による化合物半導体装置の製造方法を示す工程断面図(その3)である。

30

【図7】本発明の第1実施形態による化合物半導体装置の製造方法を示す工程断面図(その4)である。

【図8】本発明の第1実施形態による化合物半導体装置におけるゲートリーク電流の低減効果の一例を示すグラフである。

【図9】本発明の第1実施形態の変形例による化合物半導体装置の構造を示す断面図である。

【図10】n-GaNキャップ層の表面粗さが大きな場合の化合物半導体装置の構造を示す断面図である。

【図11】本発明の第2実施形態による化合物半導体装置の構造を示す断面図である。

40

【図12】本発明の第2実施形態による化合物半導体装置の製造方法を示す工程断面図(その1)である。

【図13】本発明の第2実施形態による化合物半導体装置の製造方法を示す工程断面図(その2)である。

【図14】本発明の第3実施形態による化合物半導体装置の構造を示す断面図である。

【図15】従来のAlGaN/GaNヘテロ接合を用いたHEMTの構造の一例を示す断面図である。

【符号の説明】

10... SiC基板

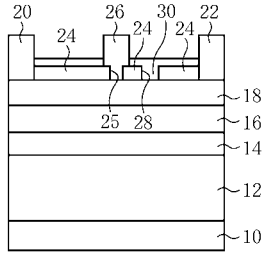
12... i-GaNバッファ層

50

1 4 ... i - A l G a Nスペーサ層	
1 6 ... n - A l G a N電子供給層	
1 8 ... n - G a Nキャップ層	
2 0 ... ソース電極	
2 2 ... ドレイン電極	
2 4 ... 第 1 の保護層	
2 5 ... 開口部	
2 6 ... ゲート電極	
2 8 ... 開口部	
3 0 ... 第 2 の保護層	10
3 2 ... ゲート電極	
3 4 ... S i N保護層	
3 8 ... S i N膜	
4 0 ... レジスト膜	
4 2 ... 開口部	
4 6 ... レジスト膜	
4 8 ... 開口部	
5 0 ... A u / N i 膜	
5 2 ... レジスト膜	
5 4 ... 開口部	20
5 8 ... S i N膜	
6 0 ... レジスト膜	
6 2 ... 開口部	
6 4 ... A u / N i 膜	
1 0 0 ... サファイア基板	
1 0 2 ... i - G a Nバッファ層	
1 0 4 ... i - A l G a Nスペーサ層	
1 0 6 ... n - A l G a N電子供給層	
1 0 8 ... i - A l G a Nキャップ層	
1 1 0 ... ソース電極	30
1 1 2 ... ドレイン電極	
1 1 4 ... ゲート電極	

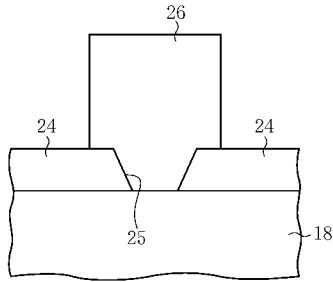
【図1】

本発明の第1実施形態による化合物半導体装置の構造を示す断面図



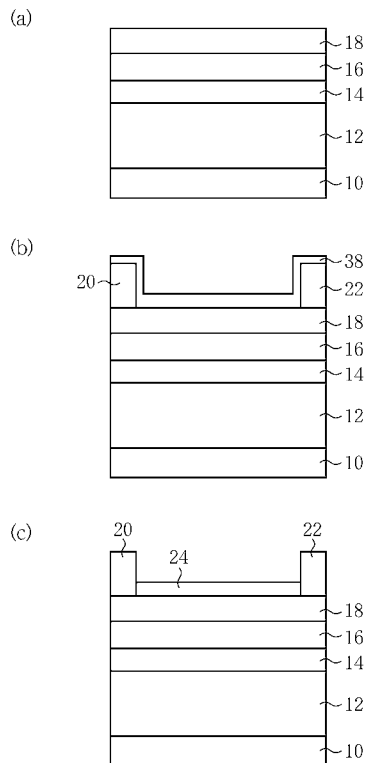
【図2】

本発明の第1実施形態による化合物半導体装置におけるゲート電極の形状を示す拡大断面図



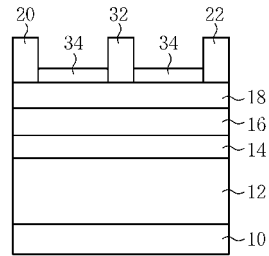
【図4】

本発明の第1実施形態による化合物半導体装置の製造方法を示す工程断面図 (その1)



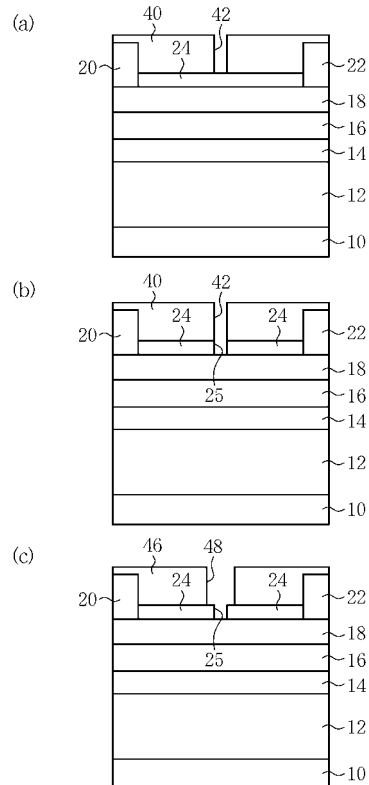
【図3】

n-GaNキャップ層上にSiN保護層を形成した化合物半導体装置の構造を示す断面図



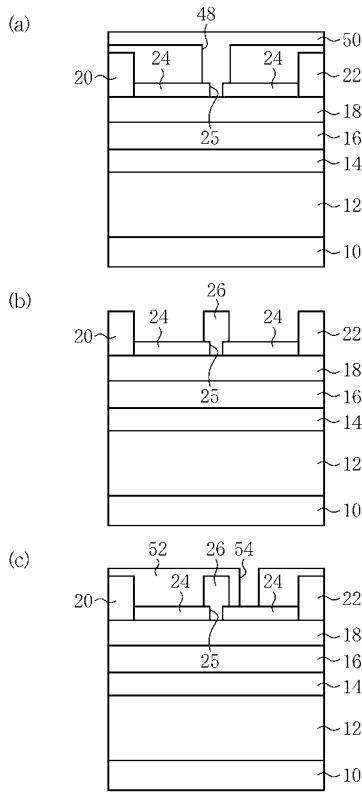
【図5】

本発明の第1実施形態による化合物半導体装置の製造方法を示す工程断面図 (その2)



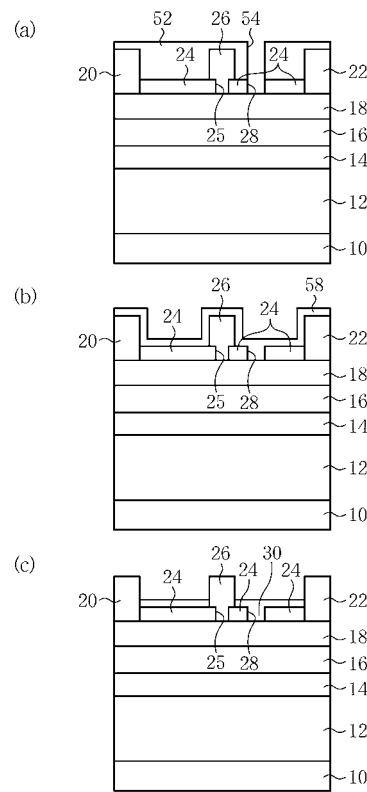
【図6】

本発明の第1実施形態による化合物半導体装置の製造方法を示す工程断面図（その3）



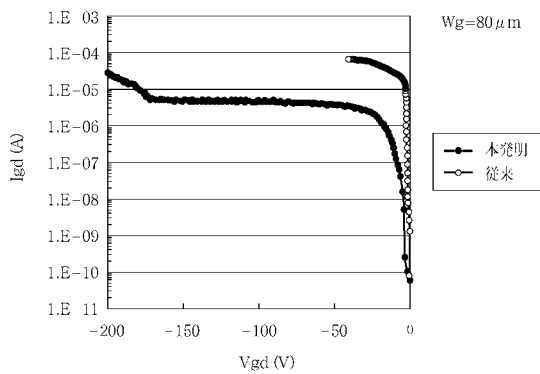
【図7】

本発明の第1実施形態による化合物半導体装置の製造方法を示す工程断面図（その4）



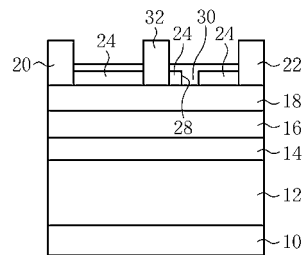
【図8】

本発明の第1実施形態による化合物半導体装置におけるゲートリーク電流の低減効果の一例を示すグラフ



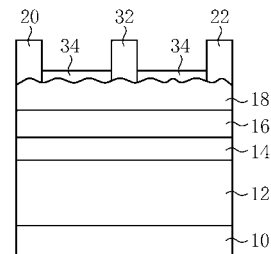
【図9】

本発明の第1実施形態の変形例による化合物半導体装置の構造を示す断面図



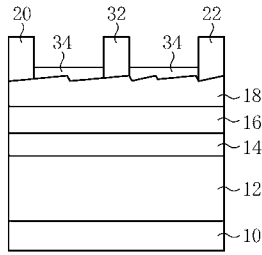
【図10】

n-GaNキャップ層の表面粗さが大きな場合の化合物半導体装置の構造を示す断面図



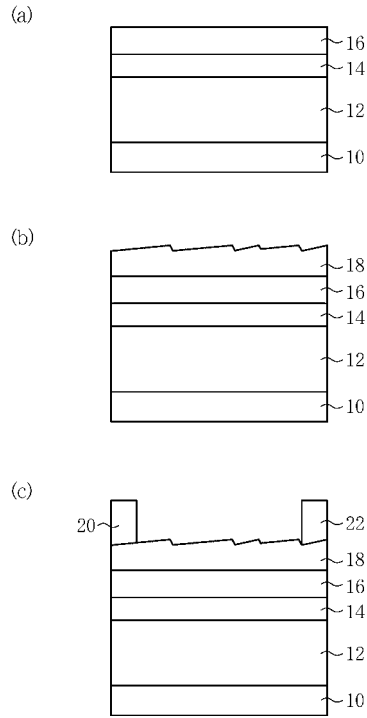
【図11】

本発明の第2実施形態による化合物半導体装置の構造を示す断面図



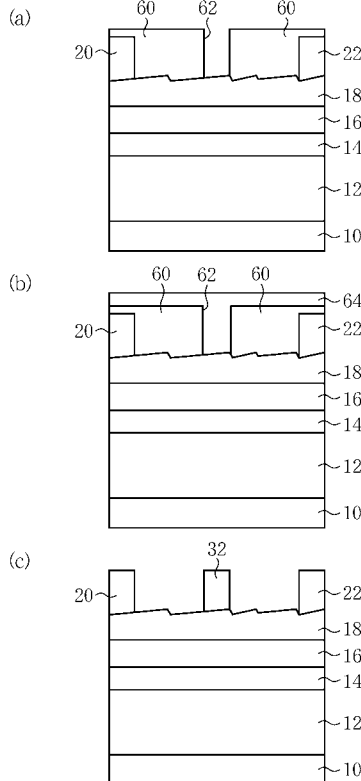
【図12】

本発明の第2実施形態による化合物半導体装置の製造方法を示す工程断面図（その1）



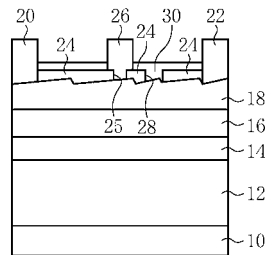
【図13】

本発明の第2実施形態による化合物半導体装置の製造方法を示す工程断面図（その2）



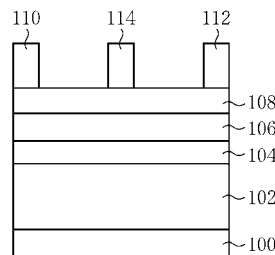
【図14】

本発明の第3実施形態による化合物半導体装置の構造を示す断面図



【図15】

従来のAlGa_N/Ga_Nヘテロ接合を用いたHEMTの構造の一例を示す断面図



フロントページの続き

- (56)参考文献 特開2002-359256(JP,A)
特開昭63-281471(JP,A)
特開2002-100639(JP,A)
特開2002-110702(JP,A)
特開平07-014851(JP,A)
特開平11-097455(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 21/338
H01L 29/778
H01L 29/812