



(12) 发明专利申请

(10) 申请公布号 CN 105186844 A

(43) 申请公布日 2015. 12. 23

(21) 申请号 201510564741. 7

(22) 申请日 2015. 09. 07

(71) 申请人 电子科技大学

地址 611731 四川省成都市高新区(西区)西源大道 2006 号

(72) 发明人 明鑫 芮松鹏 艾鑫 李天生 付奎 张波

(74) 专利代理机构 成都点睛专利代理事务所 (普通合伙) 51232

代理人 葛启函

(51) Int. Cl.

H02M 1/32(2007. 01)

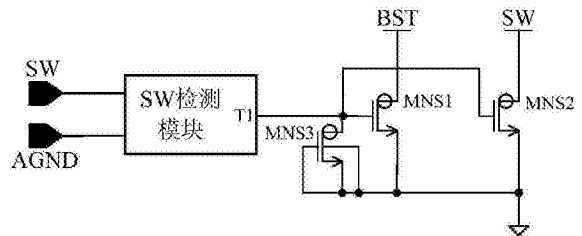
权利要求书1页 说明书3页 附图3页

(54) 发明名称

一种用于防止功率管误开启的保护电路

(57) 摘要

本发明属于电源技术领域,涉及一种用于防止功率管误开启的保护电路。本发明的电路主要包括开关节点检测模块和放电模块;所述开关节点检测模块由第一 PMOS 管 MP1、第二 PMOS 管 MP2、第一 NMOS 管 MN1、第二 NMOS 管 MN2、第三 NMOS 管 MN3、第四 NMOS 管 MN4、第一电阻 R1 和第二电阻 R2 构成;所述放电模块由第一耐压 NMOS 管 MNS1、第二耐压 NMOS 管 MNS2 和第三耐压 NMOS 管 MNS3 构成。本发明的有益效果为,在功率管驱动电路中,当主开关管开启后能够快速的对开关节点电压的上升斜率进行检测和做出相应的保护动作,进行瞬间的快速放电减缓开关节点的电压上升斜率,并且当开关节点电压上升得到抑制后,及时退出保护机制。



1. 一种用于防止功率管误开启的保护电路,其特征在于,包括开关节点检测模块和放电模块;所述开关节点检测模块由第一 PMOS 管 MP1、第二 PMOS 管 MP2、第一 NMOS 管 MN1、第二 NMOS 管 MN2、第三 NMOS 管 MN3、第四 NMOS 管 MN4、第一电阻 R1 和第二电阻 R2 构成;第四 NMOS 管 MN4 的漏极接开关信号,其栅极和源极接地;第一 NMOS 管 MN1 的栅极通过第一电阻 R1 后接开关信号,其源极和漏极接地;第一 PMOS 管 MP1 的源极和漏极接开关信号,其栅极接第一 NMOS 管 MN1 的栅极、第二 NMOS 管 MN2 的栅极、第二 PMOS 管 MP2 的栅极和第三 NMOS 管 MN3 的栅极;第二 NMOS 管 MN2 的源极、漏极和栅极互连;第二 PMOS 管 MP2 的源极接开关信号,其漏极接第三 NMOS 管 MN3 的漏极;第二 PMOS 管 MP2 漏极与第三 NMOS 管 MN3 漏极的连接点通过第二电阻 R2 后接地;第二 PMOS 管 MP2 漏极、第三 NMOS 管 MN3 漏极和第二电阻 R2 的连接点为开关节点检测模块的输出端;

所述放电模块由第一耐压 NMOS 管 MNS1、第二耐压 NMOS 管 MNS2 和第三耐压 NMOS 管 MNS3 构成;第一耐压 NMOS 管 MNS1 的栅极、第二耐压 NMOS 管 MNS2 的栅极和第三耐压 NMOS 管 MNS3 的漏极接开关节点检测模块的输出端;第一耐压 NMOS 管 MNS1 的漏极接自举电源,其源极接地;第二耐压 NMOS 管 MNS2 的漏极接开关信号,其源极接地;第三耐压 NMOS 管 MNS3 的栅极和源极接地。

2. 根据权利要求 1 所述的一种用于防止功率管误开启的保护电路,其特征在于,所述第一 PMOS 管 MP1、第二 PMOS 管 MP2、第三 NMOS 管 MN3 和第四 NMOS 管 MN4 为单端耐压型;所述第一 NMOS 管 MN1 和第二 NMOS 管 MN2 为双端耐压型。

## 一种用于防止功率管误开启的保护电路

### 技术领域

[0001] 本发明属于电源技术领域,涉及一种用于防止功率管误开启的保护电路。

### 背景技术

[0002] 目前在众多电子应用中的开关电源领域中,工作频率越来越高,这样虽然带来芯片的尺寸轻量化,同时也提高的电路设计中的复杂程度和所需的精度。

[0003] 当电路工作频率很高时,即使设置了合适的死区时间,当主开关管开启的瞬间,在开关节点产生较大 $dV/dt$ ,以至于整流管也可能会开启。这是由于整流管的栅漏寄生电容产生耦合电流导致穿通,这将带来更大的损耗。因此在高工作频率下,存在功率MOS管的开关损耗取代导通损耗的问题。

### 发明内容

[0004] 本发明所要解决的,就是针对上述问题,提出一种用于防止功率管误开启的保护电路。

[0005] 为实现上述目的,本发明采用如下技术方案:

[0006] 一种用于防止功率管误开启的保护电路,其特征在于,包括开关节点检测模块和放电模块;所述开关节点检测模块由第一PMOS管MP1、第二PMOS管MP2、第一NMOS管MN1、第二NMOS管MN2、第三NMOS管MN3、第四NMOS管MN4、第一电阻R1和第二电阻R2构成;第四NMOS管MN4的漏极接开关信号,其栅极和源极接地;第一NMOS管MN1的栅极通过第一电阻R1后接开关信号,其源极和漏极接地;第一PMOS管MP1的源极和漏极接开关信号,其栅极接第一NMOS管MN1的栅极、第二NMOS管MN2的栅极、第二PMOS管MP2的栅极和第三NMOS管MN3的栅极;第二NMOS管MN2的源极、漏极和栅极互连;第二PMOS管MP2的源极接开关信号,其漏极接第三NMOS管MN3的漏极;第二PMOS管MP2漏极与第三NMOS管MN3漏极的连接点通过第二电阻R2后接地;第二PMOS管MP2漏极、第三NMOS管MN3漏极和第二电阻R2的连接点为开关节点检测模块的输出端;

[0007] 所述放电模块由第一耐压NMOS管MNS1、第二耐压NMOS管MNS2和第三耐压NMOS管MNS3构成;第一耐压NMOS管MNS1的栅极、第二耐压NMOS管MNS2的栅极和第三耐压NMOS管MNS3的漏极接开关节点检测模块的输出端;第一耐压NMOS管MNS1的漏极接自举电源,其源极接地;第二耐压NMOS管MNS2的漏极接开关信号,其源极接地;第三耐压NMOS管MNS3的栅极和源极接地。

[0008] 进一步的,所述第一PMOS管MP1、第二PMOS管MP2、第三NMOS管MN3和第四NMOS管MN4为单端耐压型;所述第一NMOS管MN1和第二NMOS管MN2为双端耐压型。

[0009] 本发明的有益效果为,在功率管驱动电路中,当主开关管开启后能够快速的对开关节点电压的上升斜率进行检测和做出相应的保护动作,进行瞬间的快速放电减缓开关节点的电压上升斜率,并且当开关节点电压上升得到抑制后,及时退出保护机制。通过这种方式可以有效的降低驱动功率管时产生的额外功耗,提高芯片整体的工作频率和效率,同时

通过简单的调整,可以用于多种工艺下的功率 MOS 管,具有较宽泛的适用性。

### 附图说明

- [0010] 图 1 为驱动电路结构示意图；  
 [0011] 图 2 为本发明用于图 1 中驱动电路后原理示意图；  
 [0012] 图 3 为本发明工作流程示意图；  
 [0013] 图 4 为本发明对于开关节点检测保护的电路结构示意图；  
 [0014] 图 5 为本发明中开关节点检测模块的电路示意图。

### 具体实施方式

[0015] 下面结合附图,详细描述本发明的技术方案：

[0016] 本发明主要是一种适用于功率管驱动电路中的保护电路,驱动电路的结构如图 1 所示,包括高端管 Power NMOS1(以下简称上管)和低端管 Power NMOS2(以下简称下管)以及它们各自的驱动电路。而 TG 和 BG 分别是高端管和低端管的栅极驱动信号。SW 为开关节点,而 BST 是和 SW 在外部接自举电容通过充电后产生的自举电压(可参考自举电路相关的资料和文献)。当下管关闭后上管开启,此时 SW 端电位会迅速增加,同时 BST 电位也会迅速上升,如果 SW 节点电压增加过快,产生较大的  $dV/dt$ ,如图 2 所示通过下管的栅漏电容  $C_{gd}$  产生充电电流  $C_{gd}dV/dt$ ,一部分电流流向栅极寄生电感 LG 至下拉电阻 RG,另一部分给栅源电容  $C_{gs}$  充电。如果这股电流足够大,在 RG 产生电压。当这个电压接近或者超过下管阈值时,下管就会弱导通甚至完全开启,导致上下管的穿通,产生较大的功耗甚至损坏电路。

[0017] 基于本发明电路本身的泛用性,采用限制开关节点 SW 端的  $dV_{SW}/dt$  并且在该电压上升太快时进行对地放电流的方法。具体工作流程如图 3 所示,首先对 SW 到地电位 AGND(以下简称 AGND)电压的上升速率进行实时检测,如果超过一定值则对 SW 和 BST 对地同时进行放电,这样既可以保证自举电源之间的电压差,也可以减缓 SW 端的电压上升斜率。

[0018] 如图 4 所示,当 SW 电压上升过快时,通过检测模块进行对 SW 的实时检测,会输出一个相对高的检测信号 T1。此信号直接驱动耐压管 MNS1 和 MNS2 进行对 BST 和 SW 到地放电。因为自举电路会把 SW 和 BST 自举到很高的电位,所以作为检测 SW 电压的电路和放电流电路中的 MOS 管采用耐压的 MOS 管,MNS3 以二极管连接形式用来保护两个放电流管 MNS1 和 MNS2,防止两个放电流管的栅源电压过大。通过上述的措施来有效的避免在上管开启时在 SW 端产生较大的  $dV/dt$ 。

[0019] 如图 5 所示,为 SW 检测模块实际电路图,T1 为该模块的输出信号。这个模块主要是用来检测 SW 到地电位 AGND 的电压变化,即  $dV_{SW}/dt$ ,当 SW 电压  $V_{SW}$  相对于地电位 AGND 产生一个瞬时上升时,通过电路中 R1 和 CMN1 构成的 RC 充电路径,给 CMN1 充电,其中 CMN1 是由双端耐压管 MN1 构成的 MOS 电容。

[0020] 根据 RC 电路特性得到

$$[0021] \quad R1C_{MN1} \frac{dV_{MN1}}{dt} + V_{MN1} = V_{SW}$$

[0022] 其中 R1 为图 5 中电阻 R1 的电阻值,CMN1 为 MN1 构成的 MOS 电容值; $V_{MN1}$ , $V_{SW}$  分

别为 MN1 栅极电压和 SW 的电压。当 SW 电压有瞬时相对上升的电压时, 将 VSW 近似一个斜率较大的线性上升电压, 则有

$$[0023] \quad V_{SW} = kt$$

[0024] 其中 k 为 VSW 上升斜率, 代入上式得

$$[0025] \quad R1C_{MN1} \frac{dV_{MN1}}{dt} + V_{MN1} = kt$$

[0026] 上式整理后得到

$$[0027] \quad \frac{dV_{MN1}}{dt} + \frac{1}{R1C_{MN1}} V_{MN1} = \frac{1}{R1C_{MN1}} kt$$

[0028] 解上面的微分方程得到

$$[0029] \quad V_{MN1}(t) = e^{-\int \frac{1}{R1C_{MN1}} dt} \left[ \int \frac{1}{R1C_{MN1}} kt \cdot e^{\int \frac{1}{R1C_{MN1}} dt} dt + K \right] \quad (\text{其中 } K \text{ 为常数})$$

[0030] 化简上式得到

$$[0031] \quad V_{MN1}(t) = e^{-\frac{1}{R1C_{MN1}} t} \left[ kte^{\frac{1}{R1C_{MN1}} t} - kR1C_{MN1} e^{\frac{1}{R1C_{MN1}} t} + K \right]$$

[0032] 即

$$[0033] \quad V_{MN1}(t) = kt - kR1C_{MN1} + Ke^{-\frac{1}{R1C_{MN1}} t}$$

[0034] 假设初始状态  $t = 0$  时,  $V_{MN1}(0) = V_0$ , 由于在主开关管未开启时,  $V_0 \approx 0V$  则有

$$[0035] \quad K = kR1C_{MN1}$$

$$[0036] \quad V_{MN1}(t) = kt - kR1C_{MN1} + (kR1C_{MN1}) e^{-\frac{1}{R1C_{MN1}} t}$$

[0037] MP2 和 MN3 的漏端作为该检测模块的输出 T1, 当 SW 上升时, 由于 MOS 电容栅端电压不能突变, VMN1 低于 VSW, 通过适当调节 R1CMN1, 可得到在 SW 电压上升过快时, VMN1 为一个相对低电平。经过 MP2 和 MN3 反向后输出一个相对高电平信号 T1。其中 MN2 以二极管形式连接, 用来作为保护防止 MN3 栅源电压过大。MP1 漏源接 SW 端, 栅端接 MN1 栅极, 用来滤掉开关节点 SW 的噪声毛刺。R1 具有检测模块初始化的作用。MN4 漏端接 SW, 栅源衬底接地电位用来做 ESD。

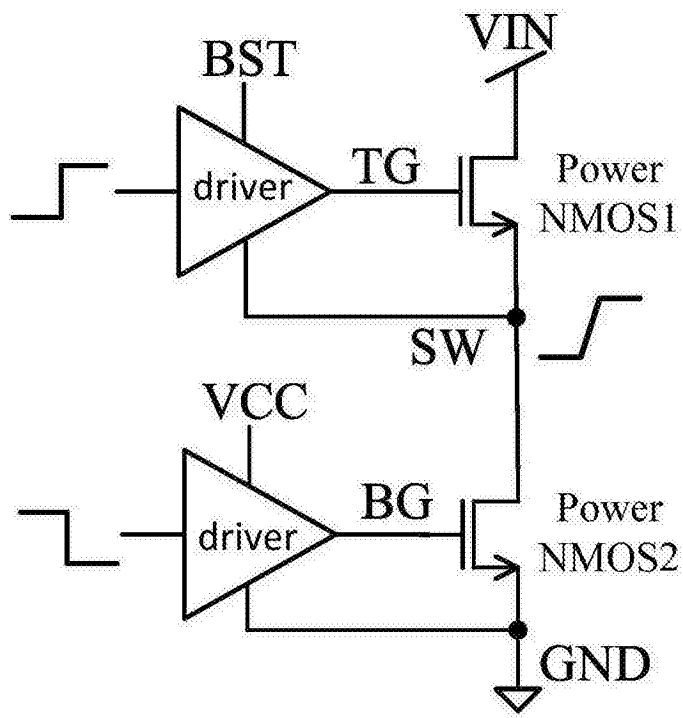


图 1

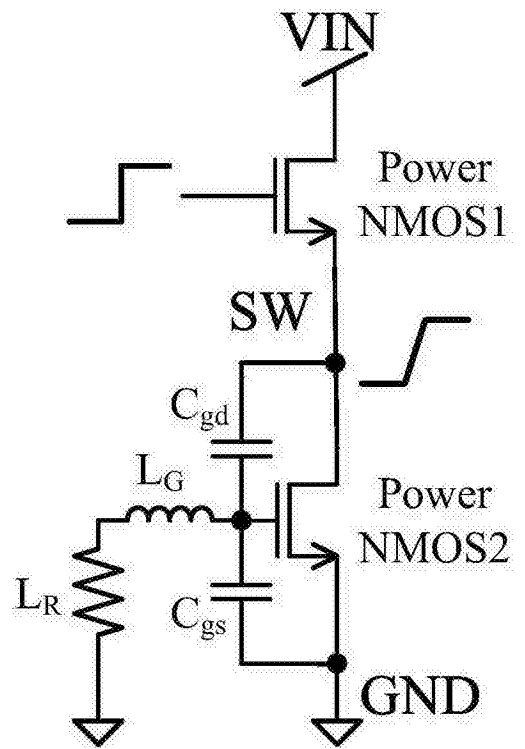


图 2

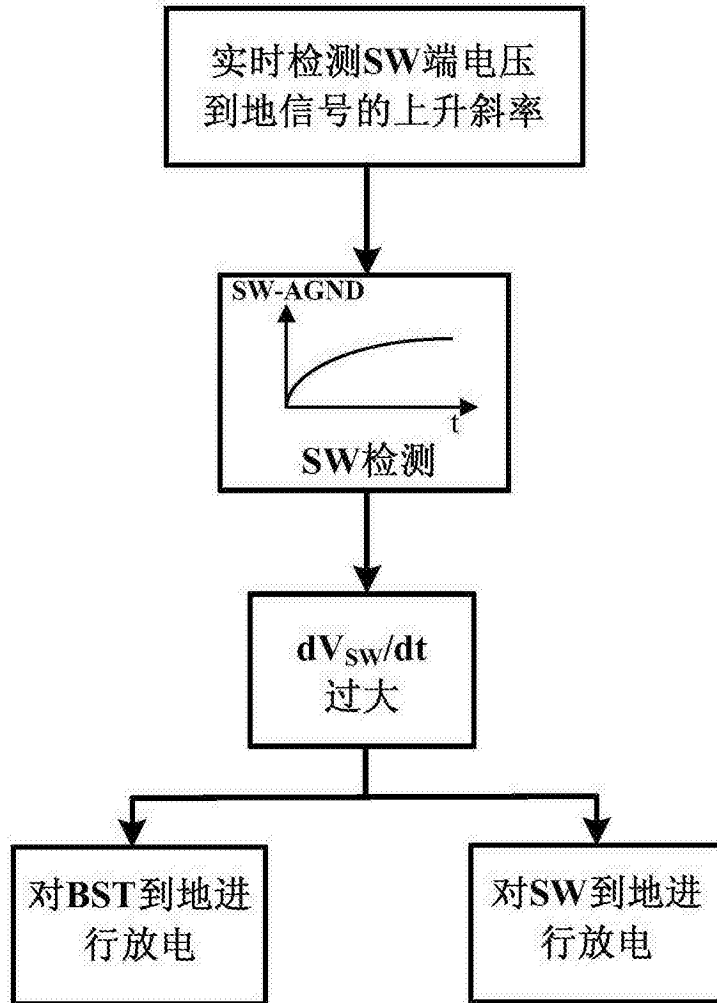


图 3

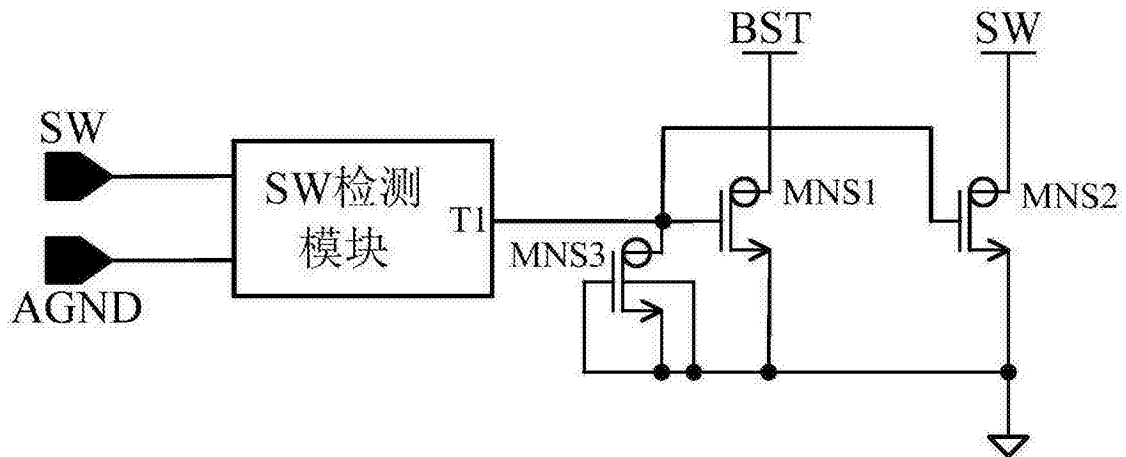


图 4

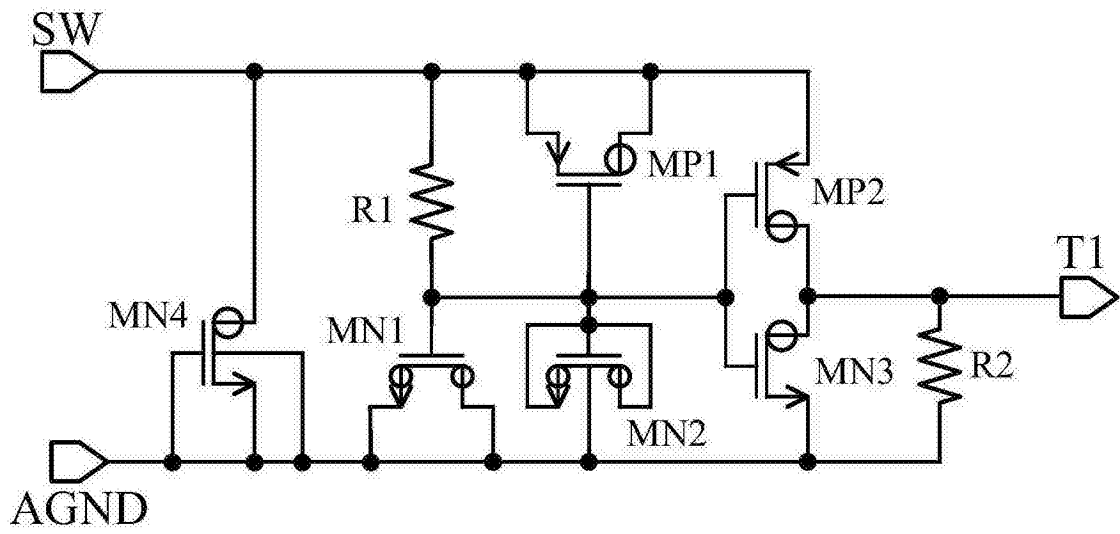


图 5