



(12) 发明专利申请

(10) 申请公布号 CN 120239901 A

(43) 申请公布日 2025. 07. 01

(21) 申请号 202280007930.2

(22) 申请日 2022.12.05

(85) PCT国际申请进入国家阶段日
2023.06.05

(86) PCT国际申请的申请数据
PCT/JP2022/044764 2022.12.05

(87) PCT国际申请的公布数据
W02024/121910 JA 2024.06.13

(71) 申请人 日本碍子株式会社
地址 日本国爱知县

(72) 发明人 平田夏树 吉田信也 久野达也
井上靖也 宇佐美太郎 米本宪司
斋藤碧惟

(74) 专利代理机构 北京旭知行专利代理事务所
(普通合伙) 11432

专利代理师 郑雪娜 李伟

(51) Int.Cl.
H01L 21/683 (2006.01)

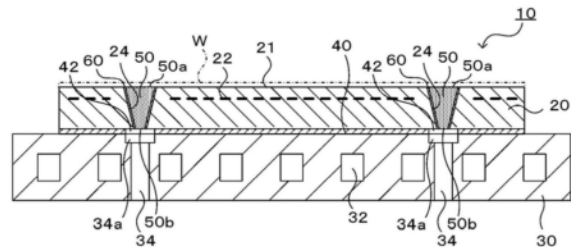
权利要求书1页 说明书7页 附图4页

(54) 发明名称

半导体制造装置用部件

(57) 摘要

半导体制造装置用部件(10)具备:陶瓷板(20)、插塞配置孔(24)、多孔质插塞(50)、以及粘接层(60)。陶瓷板(20)在上表面具有晶片载放面(21)。插塞配置孔(24)沿着上下方向贯穿陶瓷板(20),且具有上部开口的面积大于下部开口的面积的圆锥台空间。多孔质插塞(50)是:配置于插塞配置孔(24)且上表面的面积大于下表面的面积的圆锥台形状的部件。粘接层(60)设置于插塞配置孔(24)的内周面与多孔质插塞(50)的外周面之间。



1. 一种半导体制造装置用部件,其中,具备:
陶瓷板,该陶瓷板在上表面具有晶片载放面;
插塞配置孔,该插塞配置孔沿着上下方向贯穿所述陶瓷板,且具有上部开口的面积大于下部开口的面积的圆锥台空间;
圆锥台形状的插塞,该插塞配置于所述插塞配置孔,容许上下方向上的气体流动,且上表面的面积大于下表面的面积;
粘接层,该粘接层设置于所述插塞配置孔的内周面与所述插塞的外周面之间;
导电性的基板,该基板借助接合层而接合于所述陶瓷板的下表面;以及
气体供给路,该气体供给路设置于所述基板及所述接合层,向所述插塞供给气体。
2. 根据权利要求1所述的半导体制造装置用部件,其中,
在所述气体供给路中的与所述插塞对置的位置设置有容许所述插塞进入的空间。
3. 根据权利要求1或2所述的半导体制造装置用部件,其中,
所述插塞配置孔的内周面的仰角及所述插塞的外周面的仰角为 55° 以上且 85° 以下。
4. 根据权利要求1或2所述的半导体制造装置用部件,其中,
所述粘接层不具有上下方向上的最大长度超过 0.2mm 的气泡。
5. 根据权利要求1或2所述的半导体制造装置用部件,其中,
所述粘接层不具有气泡。

半导体制造装置用部件

技术领域

[0001] 本发明涉及半导体制造装置用部件。

背景技术

[0002] 以往,作为半导体制造装置用部件,已知有具备在上表面具有晶片载放面的静电卡盘的部件。例如,专利文献1的静电卡盘是将圆锥台形状的多孔质插塞插入于在陶瓷板的下表面所设置的圆锥台空间的有底凹部,并利用粘接剂进行固定,再将陶瓷板的下表面和金属制的基板进行接合得到的。专利文献2的静电卡盘是利用烧结将圆柱形状的多孔质插塞与形成于陶瓷板的圆柱空间的贯通孔进行一体化,再将陶瓷板的下表面和金属制的基板进行接合得到的。

[0003] 现有技术文献

[0004] 专利文献

[0005] 专利文献1:日本特开2018-101773号公报

[0006] 专利文献2:日本特开2019-29384号公报

发明内容

[0007] 然而,专利文献1的静电卡盘中,由于收纳多孔质插塞的有底凹部设置于陶瓷板的下表面,所以,存在需要更换多孔质插塞的情况下无法简单地更换的问题。另外,专利文献2的静电卡盘中,由于利用烧结将多孔质插塞与贯通孔一体化,所以,存在需要更换多孔质插塞的情况下仍然无法简单地更换的问题。此处,专利文献2的静电卡盘中,虽然还可以考虑利用粘接剂将圆柱形状的多孔质插塞固定于圆柱空间的贯通孔而不利用烧结进行固定,但是,在粘接时,粘接剂容易流下去,因此,容易在粘接剂的内部产生沿着上下方向长长地延伸的气泡。如果产生这样的气泡,则在利用等离子体对晶片进行处理时有可能在其气泡内发生放电,将晶片的背面烤焦。

[0008] 本发明是为了解决上述课题而实施的,其主要目的在于,能够容易地更换容许上下方向上的气体流动的插塞,并且,使其不易在插塞的周边发生放电。

[0009] [1]本发明的半导体制造装置用部件具备:

[0010] 陶瓷板,该陶瓷板在上表面具有晶片载放面;

[0011] 插塞配置孔,该插塞配置孔沿着上下方向贯穿所述陶瓷板,且具有上部开口的面积大于下部开口的面积的圆锥台空间;

[0012] 圆锥台形状的插塞,该插塞配置于所述插塞配置孔,容许上下方向上的气体流动,且上表面的面积大于下表面的面积;

[0013] 粘接层,该粘接层设置于所述插塞配置孔的内周面与所述插塞的外周面之间;

[0014] 导电性的基板,该基板借助接合层而接合于所述陶瓷板的下表面;以及

[0015] 气体供给路,该气体供给路设置于所述基板及所述接合层,向所述插塞供给气体。

[0016] 对于该半导体制造装置用部件而言,需要更换插塞的情况下,可以将粘接层切断,

使其熔融或软化,将插塞从陶瓷板的插塞配置孔向上方拔出。另外,可以将新的插塞从插塞配置孔的上方插入而粘接于插塞配置孔。因此,能够容易地更换插塞。另外,在插塞配置孔的内周面与插塞的外周面之间设置粘接层时,由于这些面为锥面,所以粘接剂不易流下去。因此,与这些面为铅直面的情形相比,不易在粘接层产生气泡(在利用等离子体对晶片进行处理时发生放电的大小的气泡)。因此,在利用等离子体对晶片进行处理时,不易在插塞的周边(粘接层)发生放电。

[0017] 应予说明,本说明书中,有时采用上下、左右、前后等对本发明进行说明,不过,上下、左右、前后只不过是相对的位置关系。因此,在改变了半导体制造装置用部件的朝向的情况下,有时上下变成左右或者左右变成上下,这些情形也包括在本发明的技术范围内。

[0018] [2]上述的半导体制造装置用部件(上述[1]中记载的半导体制造装置用部件)中,在所述气体供给路中的与所述插塞对置的位置可以设置有容许所述插塞进入的空间。据此,在插塞配置孔配置插塞时,即便插塞配置孔或插塞具有制造误差,通过容许插塞进入的空间,也能够吸收该制造误差。

[0019] [3]上述的半导体制造装置用部件(上述[1]或[2]中记载的半导体制造装置用部件)中,所述插塞配置孔的内周面的仰角及所述插塞的外周面的仰角优选为 65° 以上且 85° 以下。据此,在插塞配置孔的内周面与插塞的外周面之间设置粘接层时,粘接剂容易均匀地扩展,因此,在粘接层不会产生气泡或几乎不会产生气泡。所以,防止在插塞的周边(粘接层)发生放电的效果提高。

[0020] [4]上述的半导体制造装置用部件(上述[1]~[3]中的任一项中记载的半导体制造装置用部件)中,所述粘接层优选不具有上下方向上的最大长度超过 0.2mm 的气泡。如果气泡的上下方向上的最大长度超过 0.2mm ,则利用等离子体对晶片进行处理时,有可能在其气泡的内部发生放电,不过,如果气泡的上下方向上的最大长度没有超过 0.2mm ,则几乎没有在其气泡的内部发生放电的可能性。

[0021] [5]上述的半导体制造装置用部件(上述[1]~[4]中的任一项中记载的半导体制造装置用部件)中,所述粘接层优选不具有气泡。据此,防止在插塞的周边(粘接层)发生放电的效果进一步提高。

附图说明

[0022] 图1是半导体制造装置用部件10的纵向截面图。

[0023] 图2是陶瓷板20的俯视图。

[0024] 图3是图1的局部放大图。

[0025] 图4是半导体制造装置用部件10的制造工序图。

[0026] 图5是半导体制造装置用部件110的纵向截面图。

具体实施方式

[0027] 接下来,采用附图,对本发明的优选实施方式进行说明。图1是半导体制造装置用部件10的纵向截面图,图2是陶瓷板20的俯视图,图3是图1的局部放大图。

[0028] 半导体制造装置用部件10具备:陶瓷板20、插塞配置孔24、基板30、金属接合层40、以及多孔质插塞50。

[0029] 陶瓷板20是氧化铝烧结体、氮化铝烧结体等陶瓷制的圆板(例如直径300mm、厚度5mm)。陶瓷板20的上表面为晶片载放面21。陶瓷板20内置有电极22。如图2所示,在陶瓷板20的晶片载放面21沿着外缘形成有密封带21a,并在整面形成有多个圆形小突起21b。密封带21a及圆形小突起21b为相同高度,其高度为例如数 μm ~数十 μm 。电极22为用作静电电极的平面状的网状电极,能够施加直流电压。若对该电极22施加直流电压,则晶片W利用静电吸附力而吸附固定于晶片载放面21(具体地为密封带21a的上表面及圆形小突起21b的上表面);当将直流电压的施加解除时,晶片W向晶片载放面21的吸附固定得以解除。应予说明,将晶片载放面21的未设置密封带21a、圆形小突起21b的部分称为基准面21c。

[0030] 插塞配置孔24为沿着上下方向贯穿陶瓷板20的贯通孔,并与基板30的气体孔34对置。插塞配置孔24沿着上下方向贯穿电极22,不过,电极22未在插塞配置孔24的内周面露出。插塞配置孔24为具有上部开口的面积小于下部开口的面积的圆锥台空间的锥孔。插塞配置孔24的内周面的仰角 α (图3)优选为 55° 以上且 85° 以下,更优选为 65° 以上且 85° 以下。插塞配置孔24如图2所示,设置于陶瓷板20的多处(例如沿着周向而等间隔地设置的多处)。

[0031] 基板30为热传导率良好的圆板(直径为陶瓷板20的直径以上的圆板)。在基板30的内部形成有供制冷剂(例如氟系非活性液体等电绝缘性的液体)循环的制冷剂流路32、将气体向多孔质插塞50供给的气体孔34。气体孔34设置为沿着上下方向贯穿基板30,在上方具有大径部34a。大径部34a俯视时包含插塞配置孔24的下部开口。制冷剂流路32俯视时在基板30的整面从入口至出口以一笔画的要领形成。作为基板30的材料,例如可以举出:复合材料、金属等。作为复合材料,可以举出金属与陶瓷的复合材料等。作为金属与陶瓷的复合材料,可以举出:金属基复合材料(Metal matrix composite(MMC))、陶瓷基复合材料(Ceramic matrix composite(CMC))等。作为该复合材料的具体例,可以举出:包含Si、SiC及Ti的材料、使Al和/或Si含浸于SiC多孔质体得到的材料等。将包含Si、SiC及Ti的材料称为SiSiCTi,将使Al含浸于SiC多孔质体得到的材料称为AlSiC,将使Si含浸于SiC多孔质体得到的材料称为SiSiC。作为金属,可以举出Mo等。作为基板30的材料,优选热膨胀系数与陶瓷板20的材料接近的物质。基板30还用作RF电极。具体而言,在晶片载放面21的上方配置有上部电极(未图示),若向由该上部电极和基板30构成的平行平板电极间施加高频功率,则产生等离子体。

[0032] 金属接合层40将陶瓷板20的下表面和基板30的上表面接合。例如,利用TCB(Thermal compression bonding)形成金属接合层40。TCB是指:将金属接合材料夹入于待接合的2个部件之间,以加热到金属接合材料的固相线温度以下的温度的状态,对2个部件进行加压接合的公知方法。金属接合层40可以为由焊料或金属钎料形成的层。金属接合层40具有贯通孔42。贯通孔42设置于与气体孔34的大径部34a对置的位置。贯通孔42设置为与大径部34a同轴,贯通孔42的直径与大径部34a的直径一致。本说明书中“一致”除了包括完全一致的情形以外,还包括实质上一致的情形(例如落在公差范围内的情形等)(以下相同)。应予说明,气体孔34及贯通孔42相当于本发明的气体供给路。

[0033] 多孔质插塞50固定于插塞配置孔24。多孔质插塞50为容许气体沿着上下方向流通的电绝缘性的部件。多孔质插塞50的气孔率优选为30%以上,平均气孔径优选为 $20\mu\text{m}$ 以上。多孔质插塞50为上表面的面积大于下表面的面积的圆锥台形状的部件。多孔质插塞50的外周面的仰角 β 与插塞配置孔24的内周面的仰角 α 一致。在多孔质插塞50的外周面与插塞配置

孔24的内周面之间设置有粘接层60。粘接层60不具有在利用等离子体对晶片W进行处理时发生放电的大小的气泡(例如上下方向上的高度为2mm以上的气泡)。作为粘接层60的材料,可以举出:丙烯酸树脂、有机硅树脂、环氧树脂等。作为多孔质插塞50的材料,例如可以举出陶瓷,具体而言,可以使用与陶瓷板20相同材料的多孔质体。多孔质插塞50的上表面50a在插塞配置孔24的上部开口露出,与基准面21c为相同平面。本说明书中“相同”除了包括完全相同的情形以外,还包括实质上相同的情形(例如在公差范围内的情形等)(以下相同)。多孔质插塞50的下表面50b在插塞配置孔24的下部开口露出。

[0034] 接下来,对如上构成的半导体制造装置用部件10的使用例进行说明。首先,在未图示的腔室内设置有半导体制造装置用部件10的状态下,将晶片W载放于晶片载放面21。然后,将腔室内利用真空泵进行减压,调整为规定的真空度,对陶瓷板20的电极22施加直流电压,使其产生静电吸附力,将晶片W吸附固定于晶片载放面21(具体地为密封带21a的上表面、圆形小突起21b的上表面)。接下来,将腔室内设为规定压力(例如数十~数百Pa)的反应气体气氛,在该状态下,向设置于腔室内的顶部部分的未图示的上部电极与半导体制造装置用部件10的基板30之间施加高频电压,使其产生等离子体。利用所产生的等离子体,对晶片W的表面进行处理。制冷剂在基板30的制冷剂流路32中循环。从未图示的气瓶向气体孔34导入背侧气体。作为背侧气体,使用热传导气体(例如氦等)。背侧气体从气体孔34、贯通孔42及多孔质插塞50通过,向晶片W的背面与晶片载放面21的基准面21c之间的空间供给并封入。因该背侧气体的存在,高效地进行晶片W与陶瓷板20的热传导。

[0035] 接下来,基于图4,对半导体制造装置用部件10的制造例进行说明。图4是半导体制造装置用部件10的制造工序图。首先,准备陶瓷板20、基板30及金属接合材料90(图4(A))。陶瓷板20内置有电极22,且具备插塞配置孔24。基板30具备制冷剂流路32及气体孔34。气体孔34在上方具有大径部34a。金属接合材料90在与气体孔34的大径部34a对置的位置具备贯通孔92。

[0036] 接下来,将金属接合材料90夹入于陶瓷板20的下表面与基板30的上表面之间,由此制成层叠体。此时,按陶瓷板20的插塞配置孔24、金属接合材料90的贯通孔92以及基板30的气体孔34为同轴的方式进行层叠。然后,于金属接合材料90的固相线温度以下(例如固相线温度减去20°C得到的温度以上且固相线温度以下)的温度,对层叠体进行加压而接合,之后,返回室温(TCB)。据此,金属接合材料90及贯通孔92分别成为金属接合层40及贯通孔42,得到陶瓷板20和基板30以金属接合层40接合的接合体94(图4(B))。应予说明,作为金属接合材料90,可以使用Al—Mg系接合材料、Al—Si—Mg系接合材料。金属接合材料90优选使用厚度为100 μ m左右的接合材料。

[0037] 接下来,准备圆锥台形状的多孔质插塞50(图4(B))。多孔质插塞50的高度与圆锥台空间、即插塞配置孔24的深度(即陶瓷板20的高度)相同。沿着该多孔质插塞50的外周面的周向涂布粘接剂70至少1周。粘接剂70可以为有机粘接剂,也可以为无机粘接剂。将涂布有粘接剂70的多孔质插塞50插入于插塞配置孔24。此时,使多孔质插塞50转动或上下移动,以使得粘接剂70沿着多孔质插塞50的外周面及插塞配置孔24的内周面扩展。据此,粘接剂70以在多孔质插塞50的外周面与插塞配置孔24的内周面之间的间隙不存在气泡的方式均匀地伸展。

[0038] 当将多孔质插塞50插入于插塞配置孔24时,多孔质插塞50的外周面和插塞配置孔

24的内周面借助粘接剂70而相合。该状态下,多孔质插塞50的上表面与陶瓷板20的上表面(基准面21c)一致。准备了多个高度不同的多孔质插塞50。因此,根据陶瓷板20的实际的高度(因制造误差而具有个体差异),从所准备的多个高度不同的多孔质插塞50之中选择将多孔质插塞50完全插入于插塞配置孔24时多孔质插塞50的上表面与陶瓷板20的上表面(基准面21c)一致的多孔质插塞。之后,粘接剂70固化而成为粘接层60,得到半导体制造装置用部件10(图4(C))。

[0039] 以上详细说明书的半导体制造装置用部件10中,需要更换多孔质插塞50的情况下,可以将粘接层60切断,使其熔融或软化,将多孔质插塞50从插塞配置孔24向上方拔出。另外,可以将新的多孔质插塞50从插塞配置孔24的上方插入而粘接于插塞配置孔24。因此,能够容易地更换多孔质插塞50。

[0040] 另外,在插塞配置孔24的内周面与多孔质插塞50的外周面之间设置粘接层60时,由于这些面为锥面,所以粘接剂70不易流下去。因此,与这些面为铅直面的情形相比,不易在粘接层60产生气泡(在利用等离子体对晶片W进行处理时发生放电的大小的气泡)。因此,在利用等离子体对晶片W进行处理时,不易在多孔质插塞50的周边(粘接层60)发生放电。

[0041] 此外,在构成气体供给路的气体孔34及贯通孔42中的与多孔质插塞对置的位置设置有容许多孔质插塞50进入的空间(贯通孔42及大径部34a)。因此,在插塞配置孔24配置多孔质插塞50时,即便插塞配置孔24或多孔质插塞50具有制造误差,通过容许多孔质插塞50进入的空间,也能够吸收该制造误差。与此相对,插塞配置孔24具有底面的情况下,多孔质插塞50会撞到底面,因此,无法吸收制造误差。

[0042] 另外,插塞配置孔24的内周面的仰角 α 及多孔质插塞50的外周面的仰角 β 优选一致,并优选为 55° 以上且 85° 以下。据此,在插塞配置孔24的内周面与多孔质插塞50的外周面之间设置粘接层60时,粘接剂70容易均匀地扩展。因此,在粘接层60不会产生气泡(在利用等离子体对晶片W进行处理时发生放电的大小的气泡)或几乎不会产生气泡。所以,防止在多孔质插塞50的周边(粘接层60)发生放电的效果提高。

[0043] 并且,粘接层60优选不具有气泡,不过,在具有气泡的情况下,其气泡的上下方向上的最大长度优选为 0.2mm 以下(亦即,优选不具有上下方向上的最大长度超过 0.2mm 的气泡)。据此,防止在多孔质插塞50的周边(粘接层60)发生放电的效果提高。例如,在气体供给路流通的气体为氦气的情况下,产生等离子体时随着氦气电离而产生的电子加速,撞击其他氦气,由此发生放电(辉光放电),不过,如果气泡的上下方向上的最大长度为 0.2mm 以下,则电子在该气泡内无法充分加速,因此,能够抑制放电。

[0044] 另外,通过使多孔质插塞50的外周面和插塞配置孔24的内周面借助粘接剂70而相合,能够比较容易地使陶瓷板20的上表面(基准面21c)的高度和多孔质插塞50的上表面的高度一致。

[0045] 应予说明,本发明并不受上述实施方式的任何限定,当然只要属于本发明的技术范围就可以以各种方案进行实施。

[0046] 上述的实施方式中,作为容许上下方向上的气体流动的插塞,例示了多孔质插塞50,但不特别限定于此。例如,作为该插塞,可以使用致密质插塞且是在内部具有容许上下方向上的气体流动的流路(例如螺旋状流路)的插塞。

[0047] 上述的实施方式中,多孔质插塞50的下表面50b的高度可以与陶瓷板20的下表面

(插塞配置孔24的下部开口)的高度一致,不过,也可以高于或低于陶瓷板20的下表面的高度。无论何种情形,多孔质插塞50的上表面50a的高度均优选与陶瓷板20的上表面(基准面21c)的高度一致。

[0048] 上述的实施方式中,在气体孔34的上方设置有大径部34a,但不特别限定于此。例如,气体孔34可以为笔直形状的孔,其孔径大于插塞配置孔24的下部开口的直径。即便是这种情形,金属接合层40的贯通孔42及气体孔34的上部也为容许多孔质插塞50进入的空间。

[0049] 上述的实施方式中,在基板30设置有构成气体供给路的气体孔34,但不特别限定于此。例如,可以像图5所示的半导体制造装置用部件110那样在基板30设置有俯视时与基板30为同心圆的环部64a、从基板30的背面向环部64a导入气体的导入部64b、以及从环部64a向各多孔质插塞50分配气体的分配部64c。图5中,对与上述的实施方式相同的构成要素标记相同的符号。导入部64b的数量少于分配部64c的数量,例如可以为1条。据此,可以使与基板30相连的气体配管的数量少于多孔质插塞50的数量。

[0050] 上述的实施方式中,作为陶瓷板20中内置的电极22,例示了静电电极,但不特别限定于此。例如,也可以代替电极22或除了电极22以外,在陶瓷板20内置有加热器电极(电阻发热体),也可以内置有RF电极。

[0051] 上述的实施方式中,将陶瓷板20和基板30以金属接合层40进行接合,不过,也可以使用树脂粘接层代替金属接合层40。

[0052] 实施例

[0053] [实验例1]

[0054] 制作模拟了上述半导体制造装置用部件10的可视化样品。具体而言,由透明的丙烯酸树脂制作陶瓷板20及基板30,并将陶瓷板20和基板30进行粘接。作为多孔质插塞50,使用气孔率为30%的氧化铝多孔质体。插塞配置孔24的内周面及多孔质插塞50的外周面的仰角 α 、 β 设为 75° 。作为粘接剂70,使用粘度为40,000cP的有机硅粘接剂。沿着多孔质插塞50的外周面的周向涂布粘接剂70至少1周,之后,将该多孔质插塞50插入于插塞配置孔24。此时,使多孔质插塞50转动或上下移动,以使得粘接剂70沿着多孔质插塞50的外周面及插塞配置孔24的内周面扩展。然后,使粘接剂70固化,由此得到可视化样品。以肉眼观察该可视化样品的粘接层60,结果没有发现气泡。对该可视化样品施加高频电压,结果没有在多孔质插塞50的周边(粘接层60)发生放电。

[0055] [实验例2]

[0056] 将多孔质插塞50的外周面及插塞配置孔24的内周面的仰角设为 85° ,除此以外,与实验例1同样地制作可视化样品。以肉眼观察该可视化样品的粘接层60,结果没有发现气泡。对该可视化样品施加高频电压,结果没有在多孔质插塞50的周边(粘接层60)发生放电。

[0057] [实验例3]

[0058] 将多孔质插塞50的外周面及插塞配置孔24的内周面的仰角设为 65° ,除此以外,与实验例1同样地制作可视化样品。以肉眼观察该可视化样品的粘接层60,结果没有发现气泡。对该可视化样品施加高频电压,结果没有在多孔质插塞50的周边(粘接层60)发生放电。

[0059] [实验例4]

[0060] 将多孔质插塞50的外周面及插塞配置孔24的内周面的仰角设为 55° ,除此以外,与实验例1同样地制作可视化样品。以肉眼观察该可视化样品的粘接层60,结果存在若干气

泡。对这些气泡详细地进行调查,结果,没有发现上下方向上的最大长度超过0.2mm的气泡。对该可视化样品施加高频电压,结果没有多孔质插塞50的周边(粘接层60)发生放电。因此,判断为并非在利用等离子体对晶片W进行处理时发生放电的大小的气泡。

[0061] 产业上的可利用性

[0062] 本发明可利用于半导体制造装置中使用的部件、例如陶瓷加热器、静电卡盘加热器、静电卡盘等。

[0063] 符号说明

[0064] 10半导体制造装置用部件、20陶瓷板、21晶片载放面、21a密封带、21b圆形小突起、21c基准面、22电极、24插塞配置孔、30基板、32制冷剂流路、34气体孔、34a大径部、40金属接合层、42贯通孔、50多孔质插塞、50a上表面、50b下表面、60粘接层、70粘接剂、90金属接合材料、92贯通孔、94接合体。

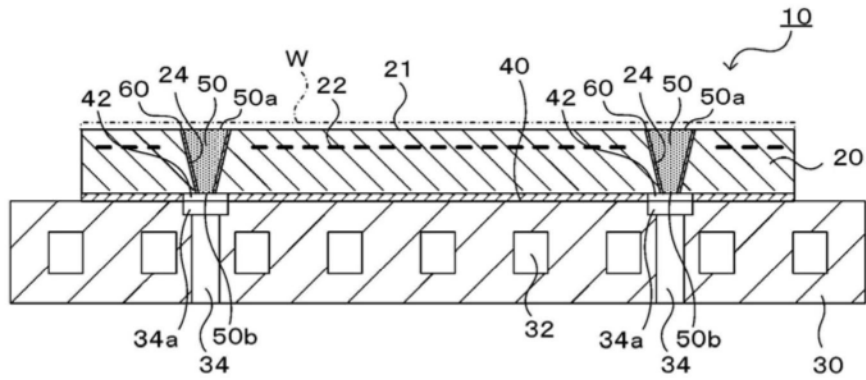


图1

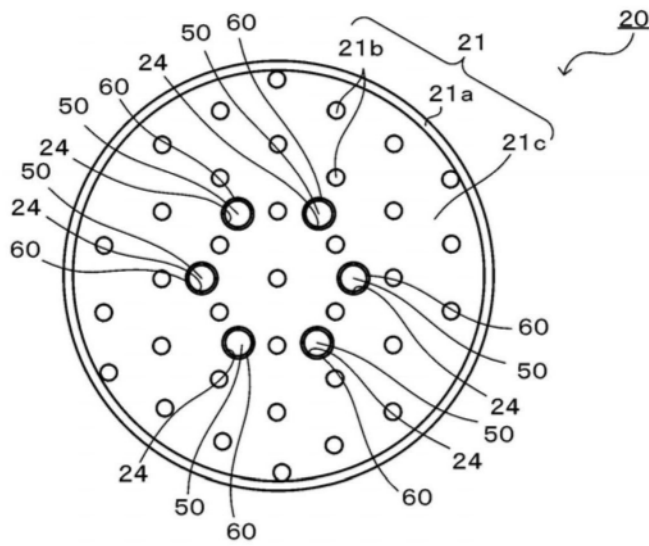


图2

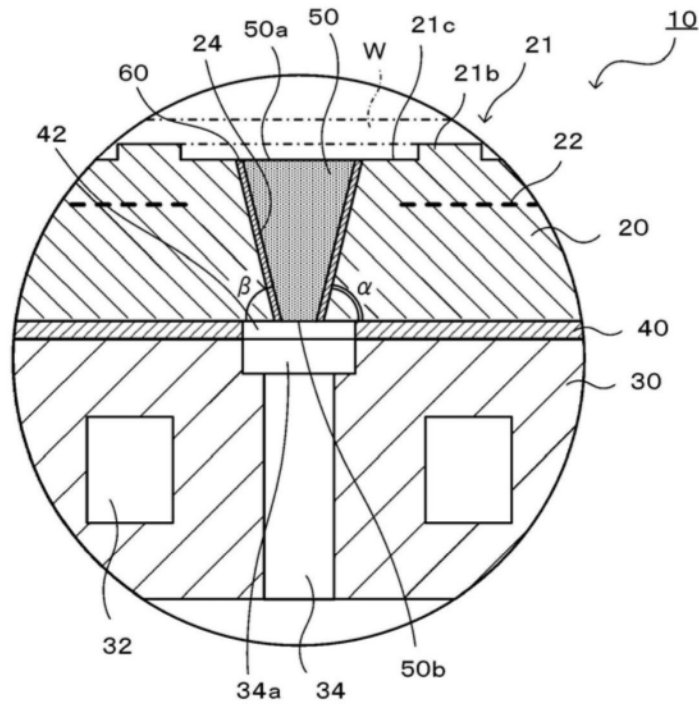


图3

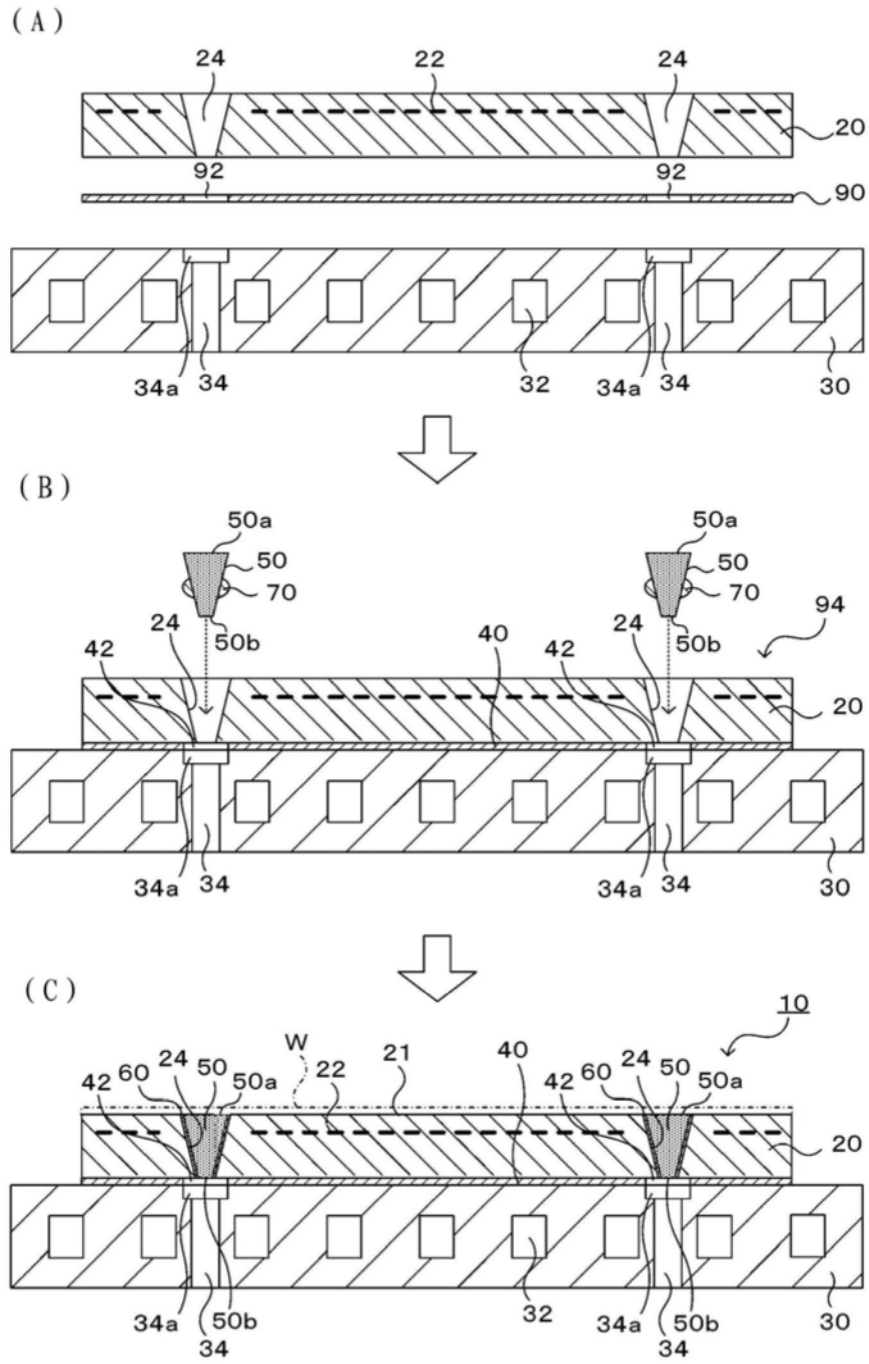


图4

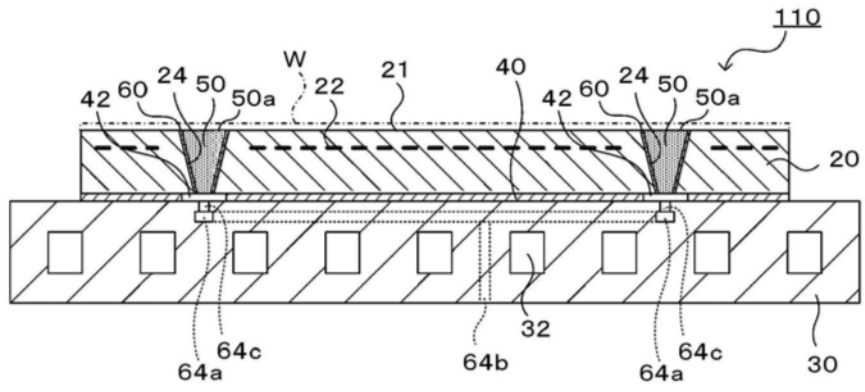


图5