(19)国家知识产权局

(12)发明专利申请

(10)申请公布号 CN 118613920 A
(43)申请公布日 2024.09.06

(21)申请号 202280091328.1
(22)申请日 2022.12.19
(30)优先权数据
2022-082048 2022.05.19 JP
(85)PCT国际申请进入国家阶段日
2024.08.08
(86)PCT国际申请的申请数据
PCT/JP2022/046593 2022.12.19
(87)PCT国际申请的公布数据
WO2023/223590 JA 2023.11.23
(71)申请人 住友电气工业株式会社
地址 日本大阪
(72)发明人 增田健良
(74)专利代理机构 北京康信知识产权代理有限责任公司 11240
专利代理师 赵曦
(51)Int.Cl.
H01L 29/78(2006.01)
H01L 29/12(2006.01)
H01L 29/861(2006.01)
H01L 29/868(2006.01)

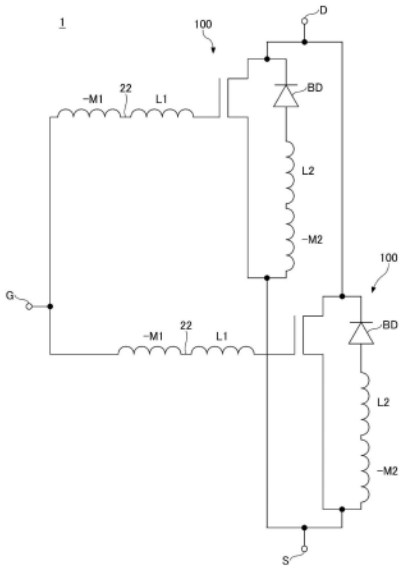
权利要求书2页 说明书8页 附图9页

(54)发明名称

半导体芯片

(57)摘要

一种半导体芯片(1),具备沿第一方向(Y)排列配置的多个晶体管单元(100),所述晶体管单元具有:栅极布线(22a、22b),沿与所述第一方向正交的第二方向(X)延伸;以及第一导电型的第一半导体区域(17),沿所述第二方向延伸,所述栅极布线配置成使得在该栅极布线与相邻的所述晶体管单元的所述栅极布线之间产生的互感为负值,所述第一半导体区域配置成使得在该第一半导体区域与相邻的所述晶体管单元的所述第一半导体区域之间产生的互感为负值。



CN 118613920 A

1.一种半导体芯片,具备沿第一方向排列配置的多个晶体管单元,

所述晶体管单元具有:

栅极布线,沿与所述第一方向正交的第二方向延伸;以及

第一导电型的第一半导体区域,沿所述第二方向延伸,

所述栅极布线配置成使得在该栅极布线与相邻的所述晶体管单元的所述栅极布线之间产生的互感为负值,

所述第一半导体区域配置成使得在该第一半导体区域与相邻的所述晶体管单元的所述第一半导体区域之间产生的互感为负值。

2.根据权利要求1所述的半导体芯片,其中,

所述栅极布线配置成使得在该栅极布线与相邻的所述晶体管单元的所述栅极布线之间,沿所述第二方向流动的电流的朝向相反。

3.根据权利要求1所述的半导体芯片,其中,所述半导体芯片具备:

半导体衬底;

栅极焊盘,配置在所述半导体衬底之上;

第一连接布线,将所述栅极布线与所述栅极焊盘电连接;以及

第二连接布线,将所述栅极布线与所述栅极焊盘电连接,

所述第一连接布线沿所述第一方向延伸,

多个所述栅极布线被夹在所述第二连接布线与所述第一连接布线之间而配置,

多个所述栅极布线具有:

第一栅极布线,与所述第一连接布线电连接;以及

第二栅极布线,与所述第二连接布线电连接,

所述第一栅极布线和所述第二栅极布线沿所述第一方向交替配置。

4.根据权利要求3所述的半导体芯片,其中,

所述第一栅极布线和所述第二栅极布线相互平行。

5.根据权利要求3所述的半导体芯片,其中,

所述半导体衬底是碳化硅衬底。

6.根据权利要求1所述的半导体芯片,其中,

所述多个晶体管单元与共同的源极端子电连接、且与共同的漏极端子电连接。

7.根据权利要求1所述的半导体芯片,其中,

所述第一半导体区域配置成使得在该第一半导体区域与相邻的所述晶体管单元的所述第一半导体区域之间,沿所述第二方向流动的电流的朝向相反。

8.根据权利要求1所述的半导体芯片,其中,

所述晶体管单元具有:

源电极;以及

所述第一导电型的第二半导体区域,与所述第一半导体区域和所述源电极电连接,

所述第二半导体区域相对于相邻的所述晶体管单元的所述第二半导体区域配置于所述第二方向上的不同位置。

9.根据权利要求8所述的半导体芯片,其中,

所述第二半导体区域沿所述第二方向配置有多个,

配置所述第二半导体区域的所述第二方向上的位置是相邻的所述晶体管单元的在所述第二方向上相邻的两个所述第二半导体区域的中间。

10.根据权利要求1所述的半导体芯片,其中,

所述第一半导体区域是电场缓和区。

11.根据权利要求1至10中任一项所述的半导体芯片,其中,

所述晶体管单元是纵向晶体管单元。

半导体芯片

技术领域

[0001] 本公开涉及半导体芯片。

[0002] 本申请要求以2022年5月19日提交的日本申请第2022-082048号为基础的优先权，并在此引入上述日本申请中记载的全部记载内容。

背景技术

[0003] 已知一种包括并列配置的多个晶体管单元的半导体芯片(例如,参照专利文献1)。

[0004] 现有技术文献

[0005] 专利文献

[0006] 专利文献1:日本特开2012-23291号公报

发明内容

[0007] 本公开的半导体芯片具备沿第一方向排列配置的多个晶体管单元,所述晶体管单元具有:栅极布线,沿与所述第一方向正交的第二方向延伸;以及第一导电型的第一半导体区域,沿所述第二方向延伸,所述栅极布线配置成使得在该栅极布线与相邻的所述晶体管单元的所述栅极布线之间产生的互感为负值,所述第一半导体区域配置成使得在该第一半导体区域与相邻的所述晶体管单元的所述第一半导体区域之间产生的互感为负值。

附图说明

[0008] 图1是示出实施方式所涉及的半导体芯片的电路图。

[0009] 图2是示出实施方式所涉及的半导体芯片的俯视图。

[0010] 图3是示出实施方式所涉及的半导体芯片的立体剖视图。

[0011] 图4是示出实施方式所涉及的半导体芯片中的电场缓和区以及连接区的构成的图。

[0012] 图5是示出实施方式所涉及的半导体芯片中的接触区以及连接区的构成的图。

[0013] 图6是示出实施方式所涉及的半导体芯片的剖视图(其1)。

[0014] 图7是示出实施方式所涉及的半导体芯片的剖视图(其2)。

[0015] 图8是示出实施方式所涉及的半导体芯片的剖视图(其3)。

[0016] 图9是示出实施方式所涉及的半导体芯片的剖视图(其4)。

[0017] 图10是示出实施方式所涉及的半导体芯片的剖视图(其5)。

具体实施方式

[0018] [本公开要解决的技术问题]

[0019] 在现有的半导体芯片中,由于相邻的晶体管单元的p^+体层中流动相同方向的电流,因此p^+体层的内部电感有时会因与相邻的p^+体层之间产生的互感而变大。

[0020] 在现有的半导体芯片中,相邻的晶体管单元的栅极布线中流动相同方向的电流,

栅极布线的内部电感有时会因与相邻的栅极布线之间产生的互感而变大。

[0021] 本公开的目的在于提供能够降低内部电感的半导体芯片。

[0022] [本公开的效果]

[0023] 根据本公开,能够降低内部电感。

[0024] 以下对用于实施的方式进行说明。

[0025] [本公开的实施方式的说明]

[0026] 首先,列出本公开的实施方面进行说明。在以下的说明中,对相同或对应的要素标注相同的附图标记,并对它们不重复相同的说明。

[0027] (1)本公开的一方面所涉及的半导体芯片具备沿第一方向排列配置的多个晶体管单元,所述晶体管单元具有:栅极布线,沿与所述第一方向正交的第二方向延伸;以及第一导电型的第一半导体区域,沿所述第二方向延伸,所述栅极布线配置成使得在该栅极布线与相邻的所述晶体管单元的所述栅极布线之间产生的互感为负值,所述第一半导体区域配置成使得在该第一半导体区域与相邻的所述晶体管单元的所述第一半导体区域之间产生的互感为负值。在这种情况下,由于栅极布线的互感在降低栅极布线的自感的方向上进行作用,所以能够降低栅极布线的内部电感。为此,能够抑制栅极电压的振铃。此外,由于第一半导体区域的互感在降低第一半导体区域的自感的方向上进行作用,所以能够降低第一半导体区域的内部电感。为此,能够得到开关特性优异的半导体芯片。

[0028] (2)在(1)中,所述栅极布线也可以配置成使得在该栅极布线与相邻的所述晶体管单元的所述栅极布线之间,沿所述第二方向流动的电流的朝向相反。在这种情况下,容易使互感为负值。

[0029] (3)在(1)或(2)中,也可以是,具备:半导体衬底;栅极焊盘,配置在所述半导体衬底之上;第一连接布线,将所述栅极布线与所述栅极焊盘电连接;以及第二连接布线,将所述栅极布线与所述栅极焊盘电连接,所述第一连接布线沿所述第一方向延伸,多个所述栅极布线被夹在所述第二连接布线与所述第一连接布线之间而配置,多个所述栅极布线具有:第一栅极布线,与所述第一连接布线电连接;以及第二栅极布线,与所述第二连接布线电连接,所述第一栅极布线和所述第二栅极布线沿所述第一方向交替配置。在这种情况下,容易在相邻的栅极布线中流动彼此反向的电流。

[0030] (4)在(3)中,所述第一栅极布线和所述第二栅极布线也可以相互平行。在这种情况下,互感容易在降低自感的方向上进行作用。

[0031] (5)在(3)或(4)中,所述半导体衬底也可以是碳化硅衬底。在这种情况下,容易得到优异的耐压。

[0032] (6)在(1)至(5)中,所述多个晶体管单元也可以与共同的源极端子电连接、且与共同的漏极端子电连接。在这种情况下,能够在一个半导体芯片上搭载多个晶体管单元。

[0033] (7)在(1)至(6)中,所述第一半导体区域也可以配置成使得在该第一半导体区域与相邻的所述晶体管单元的所述第一半导体区域之间,沿所述第二方向流动的电流的朝向相反。在这种情况下,容易使互感为负值。

[0034] (8)在(1)至(7)中,也可以是,所述晶体管单元具有:源电极;以及所述第一导电型的第二半导体区域,与所述第一半导体区域和所述源电极电连接,所述第二半导体区域相对于相邻的所述晶体管单元的所述第二半导体区域配置于所述第二方向上的不同位置。在

这种情况下,容易在相邻的第一半导体区域中流动彼此反向的电流。

[0035] 〔9〕在〔8〕中,也可以是,所述第二半导体区域沿所述第二方向配置有多个,配置所述第二半导体区域的所述第二方向上的位置是相邻的所述晶体管单元的在所述第二方向上相邻的两个所述第二半导体区域的中间。在这种情况下,容易在相邻的第一半导体区域中流动彼此反向的电流。

[0036] 〔10〕在〔1〕至〔9〕中,所述第一半导体区域也可以是电场缓和区。在这种情况下,能够降低电场缓和区的内部电感。

[0037] 〔11〕在〔1〕至〔10〕中,所述晶体管单元也可以是纵向晶体管单元。在这种情况下,容易兼顾导通电阻的降低和耐压的提高。

[0038] [本公开的实施方式的详情]

[0039] 以下,对本公开的实施方式进行详细说明,但本公开并不限定于此。

[0040] 对实施方式所涉及的半导体芯片1进行说明。

[0041] 图1是示出实施方式所涉及的半导体芯片1的电路图。如图1所示,实施方式所涉及的半导体芯片1具备多个晶体管单元100。

[0042] 多个晶体管单元100并联电连接。多个晶体管单元100与共同的栅极端子G、共同的源极端子S及共同的漏极端子D电连接。在这种情况下,能够将多个晶体管单元100搭载于一个半导体芯片1。在各晶体管单元100中,在源极端子S与漏极端子D之间生成体二极管BD。

[0043] 各晶体管单元100通过栅极布线22而与栅极端子G连接。在各栅极布线22中可能存在内部电感。内部电感包括各栅极布线22的自感以及由与各栅极布线22相邻的栅极布线22产生的互感。

[0044] 各栅极布线22配置成使得在各栅极布线22与相邻的晶体管单元100的栅极布线22之间产生的互感为负值。在这种情况下,由于互感在降低自感的方向上进行作用,所以能够降低栅极布线22的内部电感。为此,能够抑制栅极电压的振铃。

[0045] 例如,如果将各栅极布线22的自感的绝对值设为L1,将互感的绝对值设为M1,则各栅极布线22的内部电感为L1-M1。为此,能够降低各栅极布线22的内部电感。

[0046] 与此相对地,在各栅极布线22配置成使得在各栅极布线22与相邻的晶体管单元100的栅极布线22之间产生的互感为正值的情况下,各栅极布线22的内部电感为L1+M1。为此,各栅极布线22的内部电感增大。

[0047] 在各晶体管单元100中,在源极端子S与漏极端子D之间的半导体区域可能存在内部电感。内部电感包括由各晶体管单元100的半导体区域以及与各晶体管单元100相邻的晶体管单元100的半导体区域产生的互感。

[0048] 各半导体区域配置成使得在各半导体区域与相邻的晶体管单元100的半导体区域之间产生的互感为负值。在这种情况下,由于互感在降低自感的方向上进行作用,所以能够降低半导体区域的内部电感。为此,能够得到开关特性优异的半导体芯片1。另外,能够改善体二极管BD的反向恢复特性,并且抑制漏极电压的跃变。

[0049] 例如,如果将各半导体区域中的自感的绝对值设为L2,将互感的绝对值设为M2,则各半导体区域的内部电感为L2-M2。为此,能够降低各半导体区域的内部电感。

[0050] 与此相对地,在各半导体区域配置成使得在各半导体区域与相邻的晶体管单元100的半导体区域之间产生的互感为正值的情况下,各半导体区域的内部电感为L2+M2。为

此,各半导体区域的内部电感增大。

[0051] 各半导体区域沿规定的方向延伸,例如配置成使得在各半导体区域与相邻的晶体管单元100的半导体区域之间,沿规定的方向流动的电流的朝向相反。在这种情况下,容易使互感为负值。

[0052] 各半导体区域可以是将在下文叙述的电场缓和区17。在这种情况下,能够降低电场缓和区17的内部电感。

[0053] 接着,对作为实施方式所涉及的半导体芯片1的一例的场效应晶体管的构成进行说明。

[0054] 图2是示出实施方式所涉及的半导体芯片1的俯视图。图3是示出实施方式所涉及的半导体芯片1的立体剖视图。在图3中,省略了将在下文叙述的栅极绝缘膜21、栅极布线22、层间绝缘膜23以及源电极30的图示。图4是示出实施方式所涉及的半导体芯片1中的电场缓和区17以及连接区18的构成的图。图4是沿着图3中的连接区18的下端面的剖视图。图5是示出实施方式所涉及的半导体芯片1中的接触区16以及连接区18的构成的图。图5是沿着图3中的接触区16的上端面的剖视图。

[0055] 如图2至图5所示,实施方式所涉及的半导体芯片1具备多个晶体管单元100。

[0056] 多个晶体管单元100以X轴方向为长度方向,并沿着Y轴方向排列配置。Y轴方向是第一方向的一例,X轴方向是第二方向的一例。各晶体管单元100例如是沟槽栅结构的纵向晶体管单元。各晶体管单元100也可以是平面栅结构的纵向晶体管单元。在各晶体管单元100是纵向晶体管单元的情况下,容易兼顾导通电阻的降低和耐压的提高。各晶体管单元100具有沿X轴方向延伸的栅极布线22。

[0057] 各栅极布线22例如配置成使得在各栅极布线22与相邻的晶体管单元100的栅极布线22之间,沿X轴方向流动的电流的朝向相反。在这种情况下,容易使互感为负值。

[0058] 多个栅极布线22包括第一栅极布线22a和第二栅极布线22b。第一栅极布线22a与栅极流道51电连接、且不与栅极流道52电连接。第二栅极布线22b与栅极流道52电连接、且不与栅极流道51电连接。第一栅极布线22a和第二栅极布线22b例如沿Y轴方向交替配置。在这种情况下,容易在相邻的栅极布线22中流动彼此反向的电流。在从与X轴方向以及Y轴方向正交的方向进行俯视观察时,第一栅极布线22a、第二栅极布线22b以及栅极流道51、52例如配置成梳状。栅极流道51、52与栅极焊盘60电连接。

[0059] 多个栅极布线22例如相互平行。在这种情况下,互感容易在降低自感的方向上进行作用。

[0060] 图6至图10是示出实施方式所涉及的半导体芯片1的剖视图。图6是沿着图2中的A-A线以及图4中和图5中的D-D线的剖视图。图7是沿着图2中的B-B线的剖视图。图8是沿着图2中的C-C线的剖视图。图9是沿着图4中以及图5中的E-E线的剖视图。图10是沿着图4中以及图5中的F-F线的剖视图。

[0061] 如图6至图10所示,实施方式所涉及的半导体芯片1主要具有碳化硅衬底10、栅极绝缘膜21、栅极布线22、层间绝缘膜23、源电极30、漏电极40、栅极流道51、52以及栅极焊盘60。

[0062] 碳化硅衬底10是半导体衬底的一例。在使用碳化硅衬底10的情况下,容易得到优异的耐压。碳化硅衬底10包括碳化硅单晶衬底11、以及位于碳化硅单晶衬底11上的碳化硅

外延层12。碳化硅衬底10具有第一主面10A以及与第一主面10A相对的第二主面10B。碳化硅外延层12构成第一主面10A,碳化硅单晶衬底11构成第二主面10B。碳化硅单晶衬底11及碳化硅外延层12例如由4H多型的六方晶碳化硅构成。碳化硅单晶衬底11例如包含氮(N)等n型杂质,具有n型的导电型。在碳化硅衬底10形成有多个晶体管单元100。

[0063] 碳化硅外延层12主要具有漂移区13、体区14、源极区15、接触区16、电场缓和区17以及连接区18。

[0064] 漂移区13例如包含氮或磷(P)等n型杂质,具有n型的导电型。漂移区13具有第一区域13A、第二区域13B以及第三区域13C。

[0065] 体区14设置在漂移区13之上。体区14例如包含铝(Al)等p型杂质,具有p型的导电型。

[0066] 源极区15设置在体区14之上。源极区15例如包含氮或磷等n型杂质,具有n型的导电型。源极区15通过体区14而与漂移区13隔开。源极区15构成第一主面10A。

[0067] 接触区16例如包含铝等p型杂质,具有p型的导电型。接触区16贯通源极区15,并与体区14相接。接触区16构成第一主面10A。接触区16的p型杂质的有效浓度例如为$1\times10^{18}cm^{-3}$以上且$2\times10^{20}cm^{-3}$以下。

[0068] 在第一主面10A设置有由侧面3和底面4所限定的栅极沟槽5。侧面3贯通源极区15及体区14而到达漂移区13。侧面3例如可以是从第二主面10B倾斜的面,也可以是与第二主面10B垂直的面。底面4与侧面3相连。底面4位于漂移区13。底面4例如是与第二主面10B平行的平面。栅极沟槽5例如沿着X轴方向设置成岛状。在从与第一主面10A垂直的方向进行俯视观察时,多个栅极沟槽5在Y轴方向上按一定的间隔而设置。

[0069] 电场缓和区17例如包含铝等p型杂质,具有p型的导电型。电场缓和区17沿X轴方向延伸。电场缓和区17位于体区14与第二主面10B之间。在从与第一主面10A垂直的方向进行俯视观察时,电场缓和区17包括与栅极沟槽5重叠的部分。电场缓和区17缓和在施加高电压时电场集中于与底面4相接的栅极绝缘膜21。在相对于第二主面10B垂直的方向上,电场缓和区17的上端面与底面4分离。电场缓和区17的上端面也可以包括栅极沟槽5的底面4。电场缓和区17的上端面的一部分与体区14的下端面的一部分对置。电场缓和区17与源电极30电连接。在这种情况下,电场缓和区17成为源极电位,能够降低栅极布线22与漏电极40之间的寄生电容。为此,提高开关速度。电场缓和区17的p型杂质的有效浓度例如为$5\times10^{17}cm^{-3}$以上且$5\times10^{18}cm^{-3}$以下。电场缓和区17是第一半导体区域的一例。

[0070] 连接区18例如包含铝等p型杂质,具有p型的导电型。连接区18贯通第一区域13A而到达电场缓和区17。连接区18将体区14与电场缓和区17电连接。在这种情况下,如图9及图10的箭头所示,电流从源电极30依次经过接触区16、体区14及连接区18而向电场缓和区17流动。连接区18与体区14相接。连接区18也可以与接触区16相接。连接区18也可以与体区14及接触区16各自相接。连接区18位于接触区16与电场缓和区17之间。连接区18位于比接触区16更靠近第二主面10B的位置。连接区18位于比电场缓和区17更靠近第一主面10A的位置。连接区18例如沿着X轴方向按一定的间隔配置有多个。连接区18的p型杂质的有效浓度也可以与电场缓和区17的p型杂质的有效浓度大致相同。连接区18的p型杂质的有效浓度例如为$5\times10^{17}cm^{-3}$以上且$5\times10^{18}cm^{-3}$以下。连接区18是第二半导体区域的一例。

[0071] 连接区18相对于相邻的晶体管单元100的连接区18配置于X轴方向上的不同位置。

在这种情况下,如图4的箭头所示,容易使相邻的电场缓和区17中流动彼此反向的电流。

[0072] 配置连接区18的X轴方向上的位置例如可以是相邻的晶体管单元100的在X轴方向上相邻的两个连接区18的中间。在这种情况下,容易使相邻的电场缓和区17中流动彼此反向的电流。

[0073] 漂移区13的第一区域13A位于体区14与电场缓和区17之间。第一区域13A与体区14及电场缓和区17相接。第一区域13A位于比电场缓和区17更靠近第一主面10A的位置。

[0074] 第二区域13B位于比第一区域13A更靠近第二主面10B的位置。第二区域13B与第一区域13A相连。第二区域13B在与第二主面10B平行的方向上与电场缓和区17相接。第二区域13B和电场缓和区17也可以位于与第二主面10B平行的同一平面。第二区域13B的n型杂质的有效浓度也可以比第一区域13A的n型杂质的有效浓度高。

[0075] 第三区域13C位于比第二区域13B更靠近第二主面10B的位置。第三区域13C与第二区域13B相连。第三区域13C与电场缓和区17相接。第三区域13C位于比电场缓和区17更靠近第二主面10B的位置。第三区域13C也可以位于第二区域13B与碳化硅单晶衬底11之间。第三区域13C也可以与碳化硅单晶衬底11相连。第三区域13C的n型杂质的有效浓度也可以与第二区域13B的n型杂质的有效浓度相同。

[0076] 栅极绝缘膜21例如是氧化膜。栅极绝缘膜21例如由包含二氧化硅的材料构成。栅极绝缘膜21与侧面3以及底面4相接。栅极绝缘膜21在底面4处与第一区域13A相接。栅极绝缘膜21在侧面3处与源极区15、体区14及第一区域13A相接。栅极绝缘膜21也可以在第一主面10A处与源极区15相接。

[0077] 栅极布线22设置在栅极绝缘膜21之上。栅极布线22例如由包含导电性杂质的多晶硅构成。栅极布线22设置在栅极沟槽5的内部。栅极布线22的一部分也可以设置在第一主面10A之上。

[0078] 层间绝缘膜23覆盖栅极布线22。层间绝缘膜23与栅极布线22以及栅极绝缘膜21相接。层间绝缘膜23例如是氧化膜。层间绝缘膜23例如由包含二氧化硅的材料构成。层间绝缘膜23将栅极布线22与源电极30相互电绝缘。层间绝缘膜23的一部分也可以设置在栅极沟槽5的内部。

[0079] 在层间绝缘膜23及栅极绝缘膜21中形成有接触孔24。接触孔24在Y轴方向上按一定的间隔而设置。接触孔24设置成使得在从与第一主面10A垂直的方向进行俯视观察时,栅极沟槽5位于在Y轴方向上相邻的接触孔24之间。接触孔24沿X轴方向延伸。通过接触孔24,源极区15及接触区16从层间绝缘膜23及栅极绝缘膜21露出。接触区16也可以在X轴方向上周期性地设置,而无需遍及整个X轴方向而设置。也可以形成覆盖层间绝缘膜23的上表面和侧面以及栅极绝缘膜21的侧面的阻挡金属膜。

[0080] 源电极30与第一主面10A相接。源电极30具有接触电极31和源极布线32。

[0081] 接触电极31在第一主面10A处与源极区15以及接触区16相接。接触电极31例如由包含硅化镍(NiSi)的材料构成。接触电极31也可以由包含钛、铝以及硅的材料构成。接触电极31与接触区16欧姆接合。

[0082] 源极布线32覆盖层间绝缘膜23的上表面和侧面以及接触电极31的上表面。源极布线32与接触电极31相接。源极布线32例如由包含铝的材料构成。

[0083] 漏电极40与第二主面10B相接。漏电极40在第二主面10B处与碳化硅单晶衬底11相

接。漏电极40与漂移区13电连接。漏电极40例如由包含硅化镍的材料构成。漏电极40也可以由包含钛、铝以及硅的材料构成。漏电极40与碳化硅单晶衬底11欧姆接合。

[0084] 栅极流道51设置于比多个栅极布线22更靠X轴正侧的位置。栅极流道51沿Y轴方向延伸。栅极流道51将第一栅极布线22a与栅极焊盘60电连接。栅极流道51与第一栅极布线22a的X轴正侧的端部电连接。在这种情况下,如图2以及图7的箭头所示,充电电流从X轴正侧朝向X轴负侧流动。另一方面,放电电流从X轴负侧朝向X轴正侧流动。栅极流道51由电阻率比栅极布线22的电阻率小的材料构成。栅极流道51例如由包含铝或铜的材料构成。栅极流道51也可以由包含铝以及铜的材料构成。栅极流道51是第一连接布线的一例。

[0085] 栅极流道52设置于比多个栅极布线22更靠X轴负侧的位置。栅极流道52沿Y轴方向延伸。多个栅极布线22被夹在栅极流道52与栅极流道51之间而配置。栅极流道52将第二栅极布线22b与栅极焊盘60电连接。栅极流道52与第二栅极布线22b的X轴负侧的端部电连接。在这种情况下,如图2以及图8的箭头所示,充电电流从X轴负侧朝向X轴正侧流动。另一方面,放电电流从X轴正侧朝向X轴负侧流动。为此,在第一栅极布线22a中流动的充电电流的朝向与在第二栅极布线22b中流动的充电电流的朝向相反。此外,在第一栅极布线22a中流动的放电电流的朝向与在第二栅极布线22b中流动的放电电流的朝向相反。栅极流道52由与栅极流道51相同的材料构成。栅极流道52是第二连接布线的一例。

[0086] 栅极焊盘60设置于比多个栅极布线22更靠Y轴正侧的位置。栅极焊盘60也可以设置于比多个栅极布线22更靠Y轴负侧的位置。栅极焊盘60例如具有矩形状。栅极焊盘60例如由包含铝或铜的材料构成。栅极焊盘60也可以由包含铝以及铜的材料构成。

[0087] 以上,对实施方式进行了详细说明,但并不限定于特定的实施方式,能够在权利要求所记载的范围内进行各种变形及变更。

[0088] 附图标记说明

[0089] 1 半导体芯片

[0090] 3 侧面

[0091] 4 底面

[0092] 5 栅极沟槽

[0093] 10 碳化硅衬底

[0094] 10A 第一主面

[0095] 10B 第二主面

[0096] 11 碳化硅单晶衬底

[0097] 12 碳化硅外延层

[0098] 13 漂移区

[0099] 13A 第一区域

[0100] 13B 第二区域

[0101] 13C 第三区域

[0102] 14 体区

[0103] 15 源极区

[0104] 16 接触区

[0105] 17 电场缓和区

[0106] 18 连接区

[0107] 21 栅极绝缘膜

[0108] 22 栅极布线

[0109] 22a 第一栅极布线

[0110] 22b 第二栅极布线

[0111] 23 层间绝缘膜

[0112] 24 接触孔

[0113] 30 源电极

[0114] 31 接触电极

[0115] 32 源极布线

[0116] 40 漏电极

[0117] 51 栅极流道

[0118] 52 栅极流道

[0119] 60 栅极焊盘

[0120] 100 晶体管单元

[0121] BD 体二极管

[0122] D 漏极端子

[0123] G 栅极端子

[0124] S 源极端子。

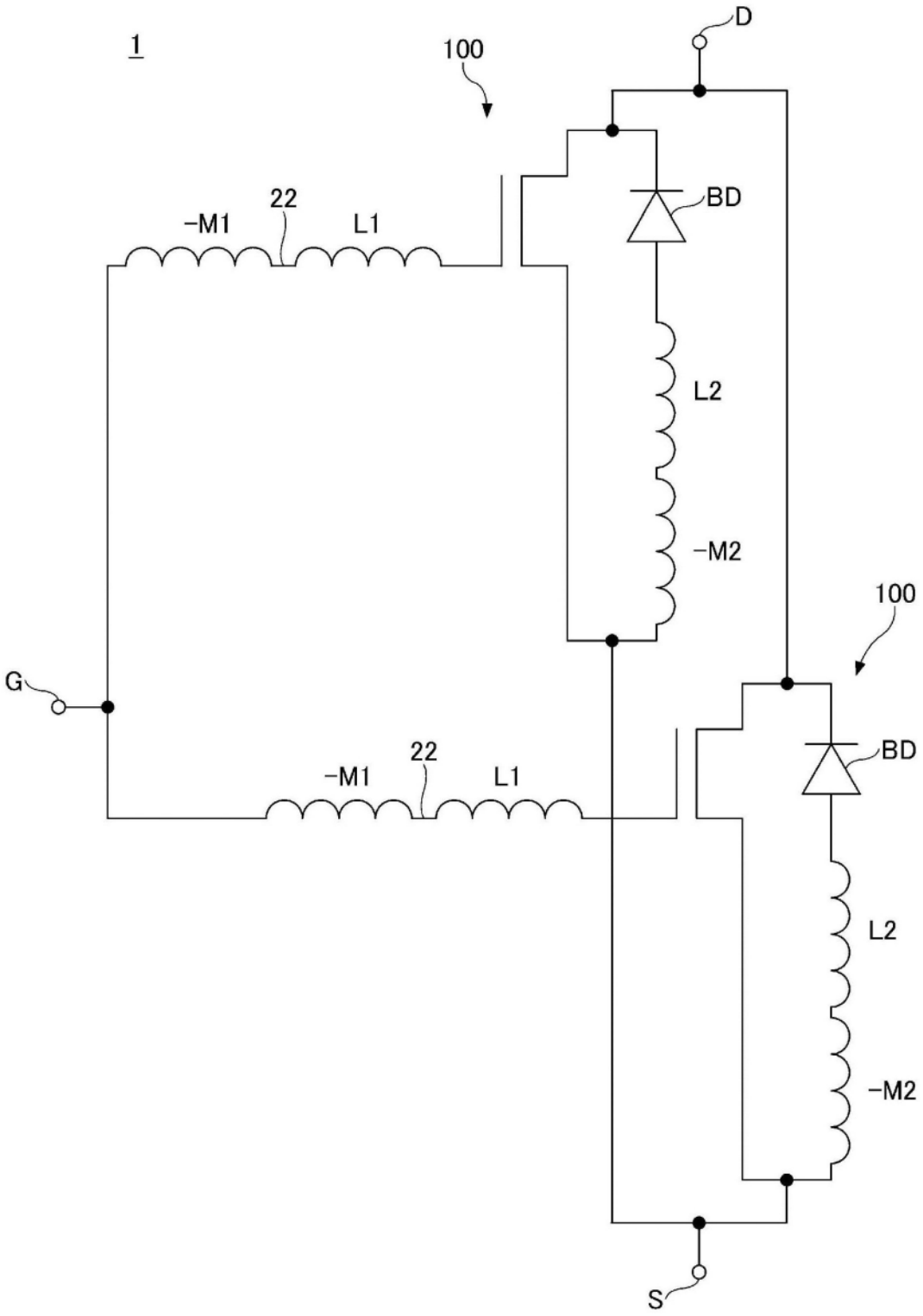


图1

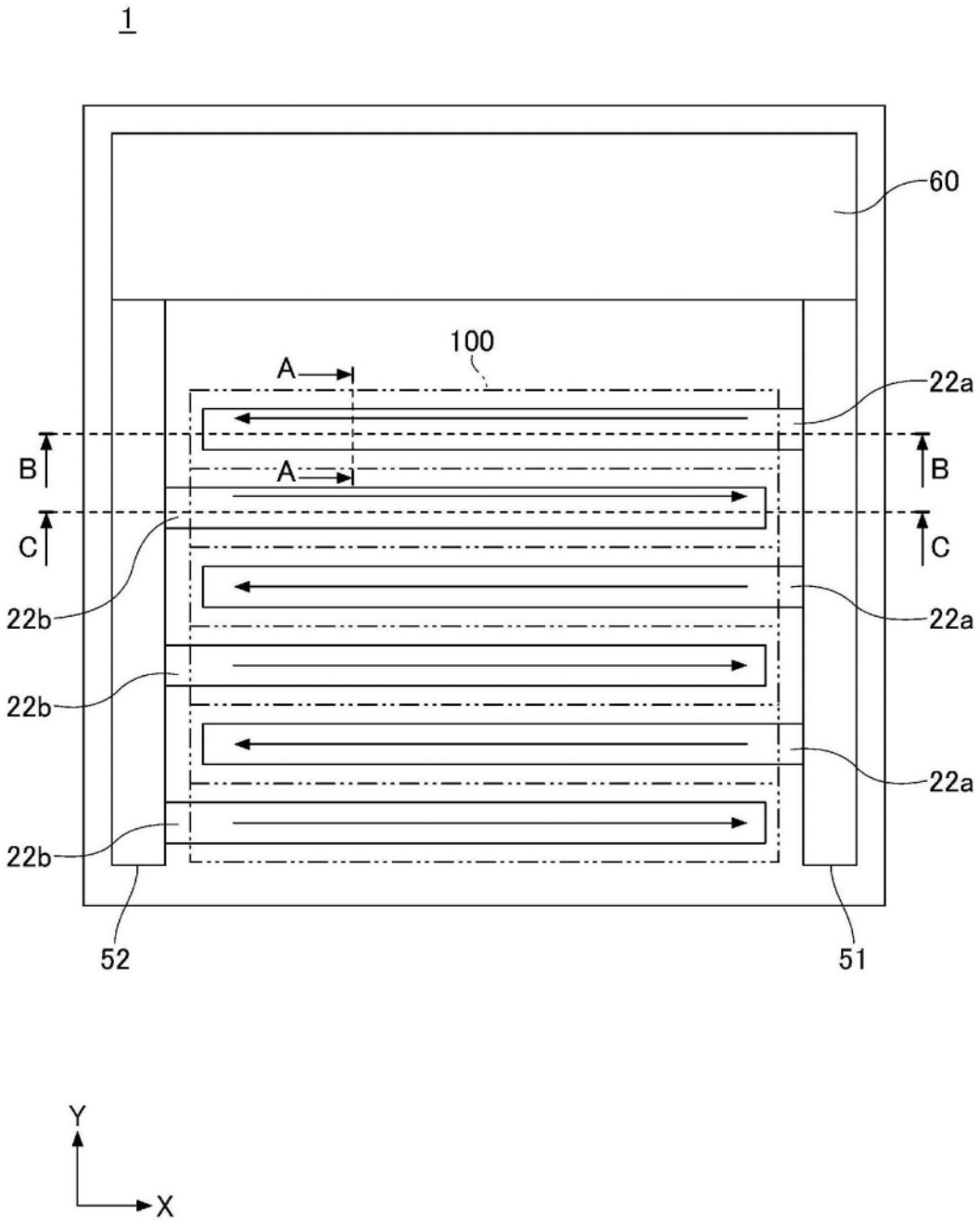


图2

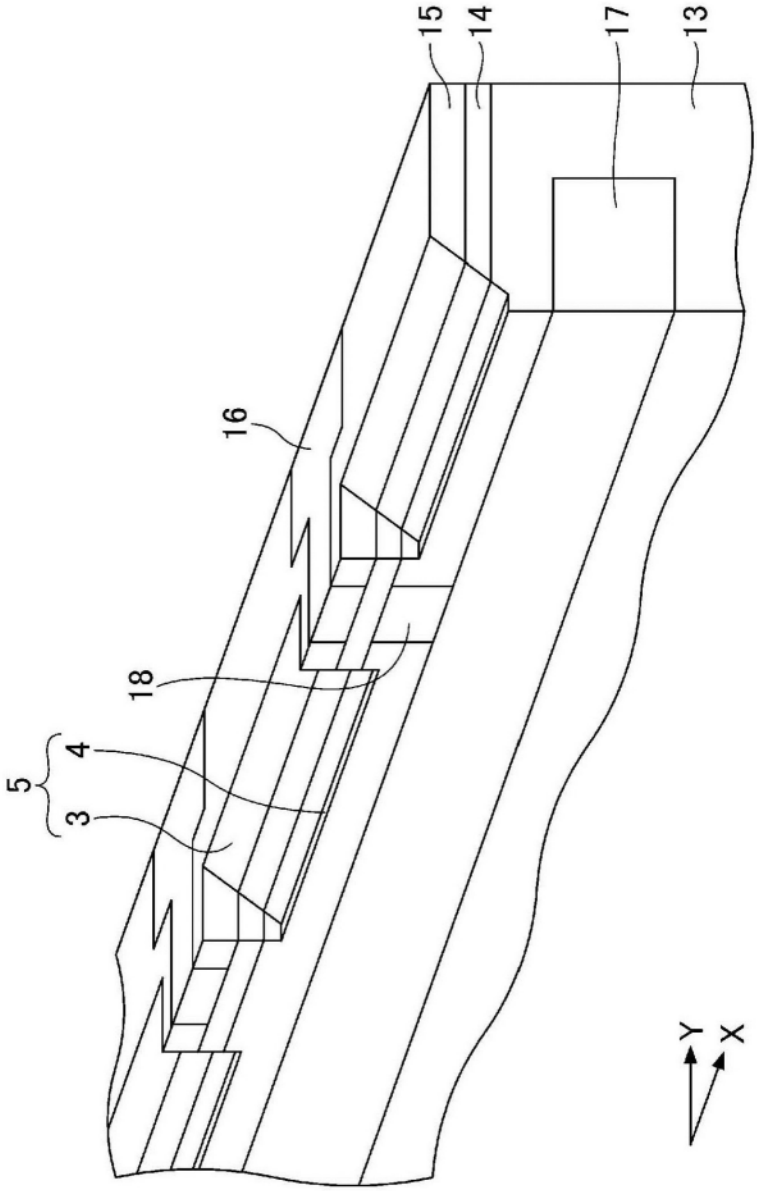


图3

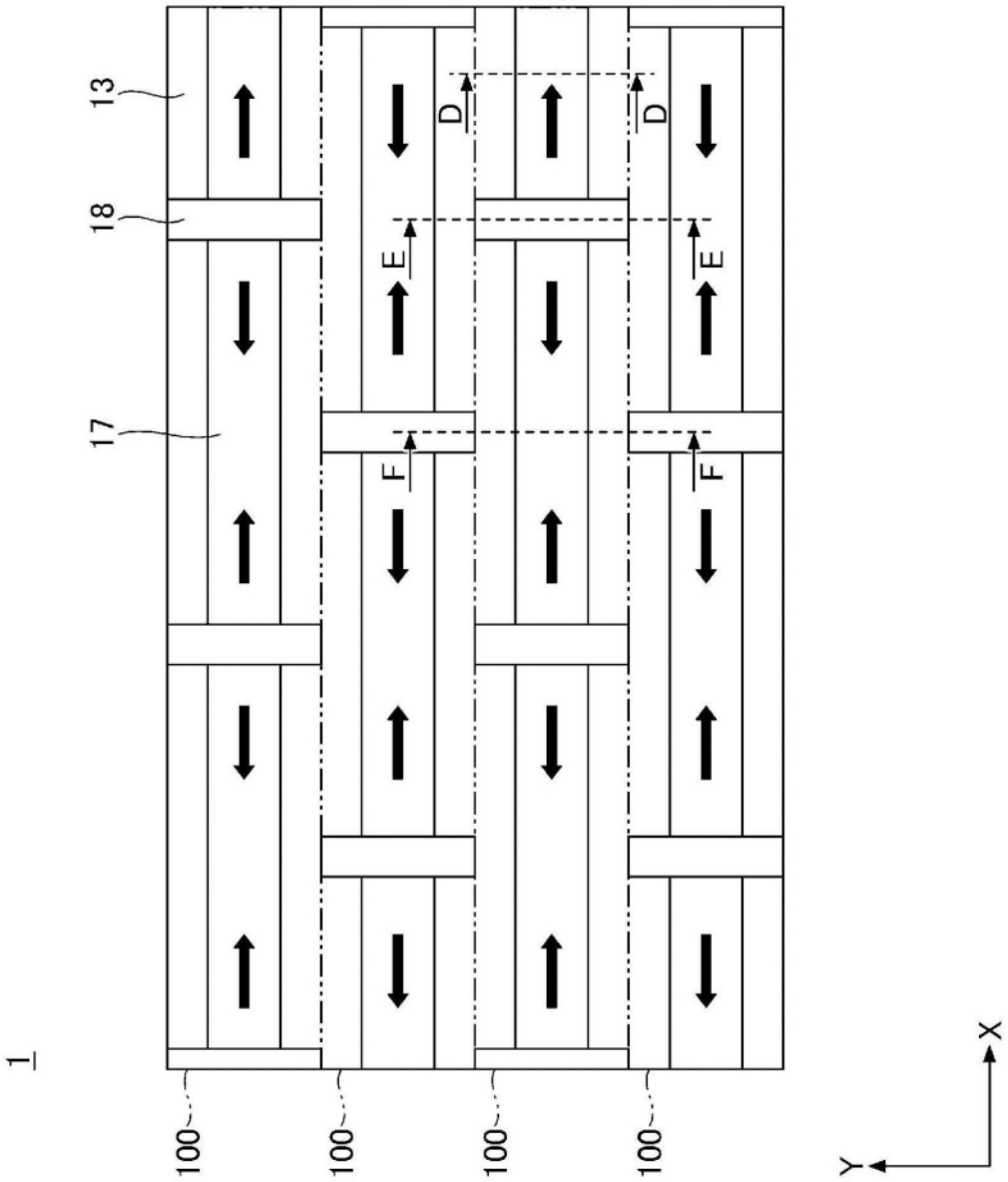


图4

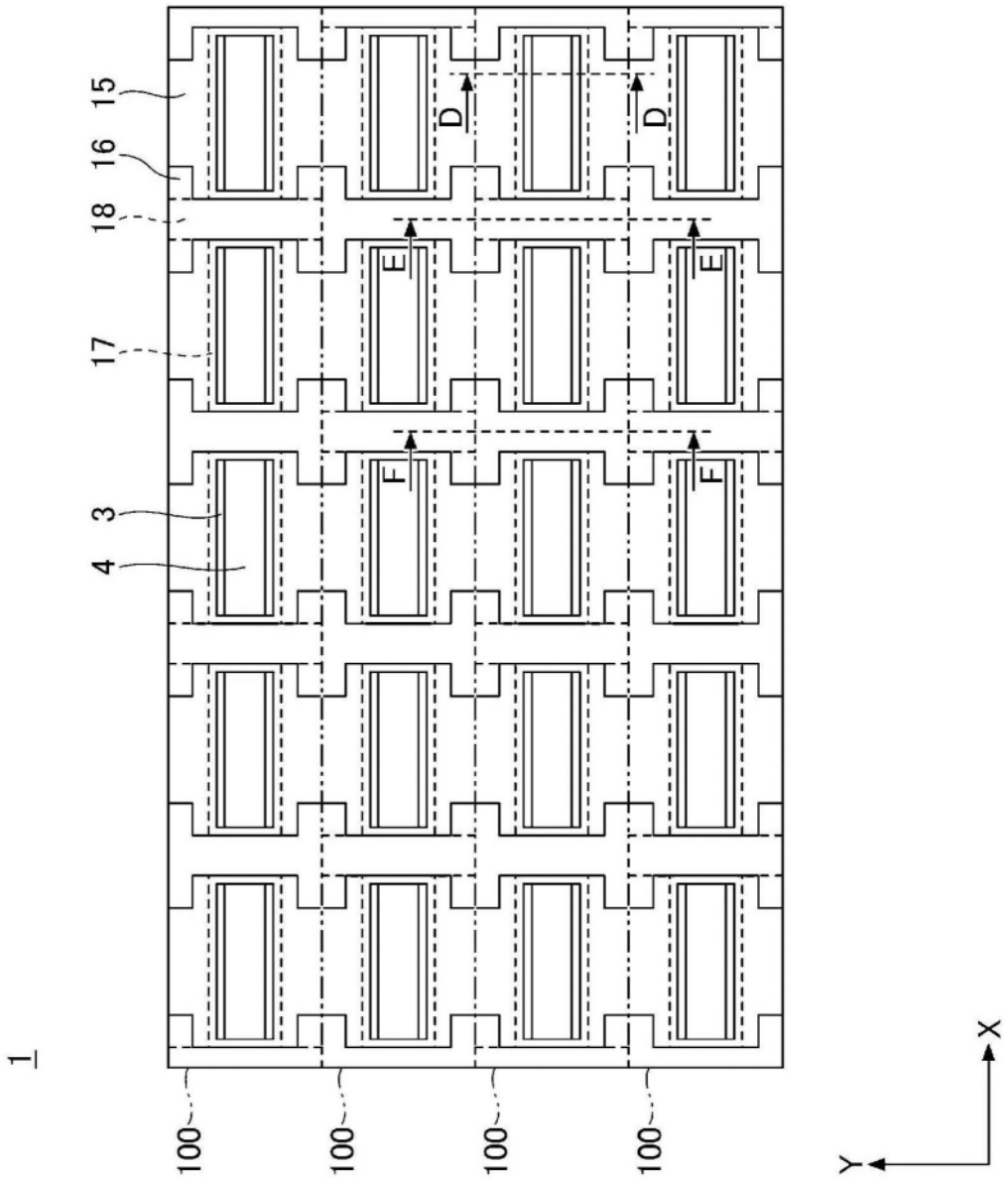


图5

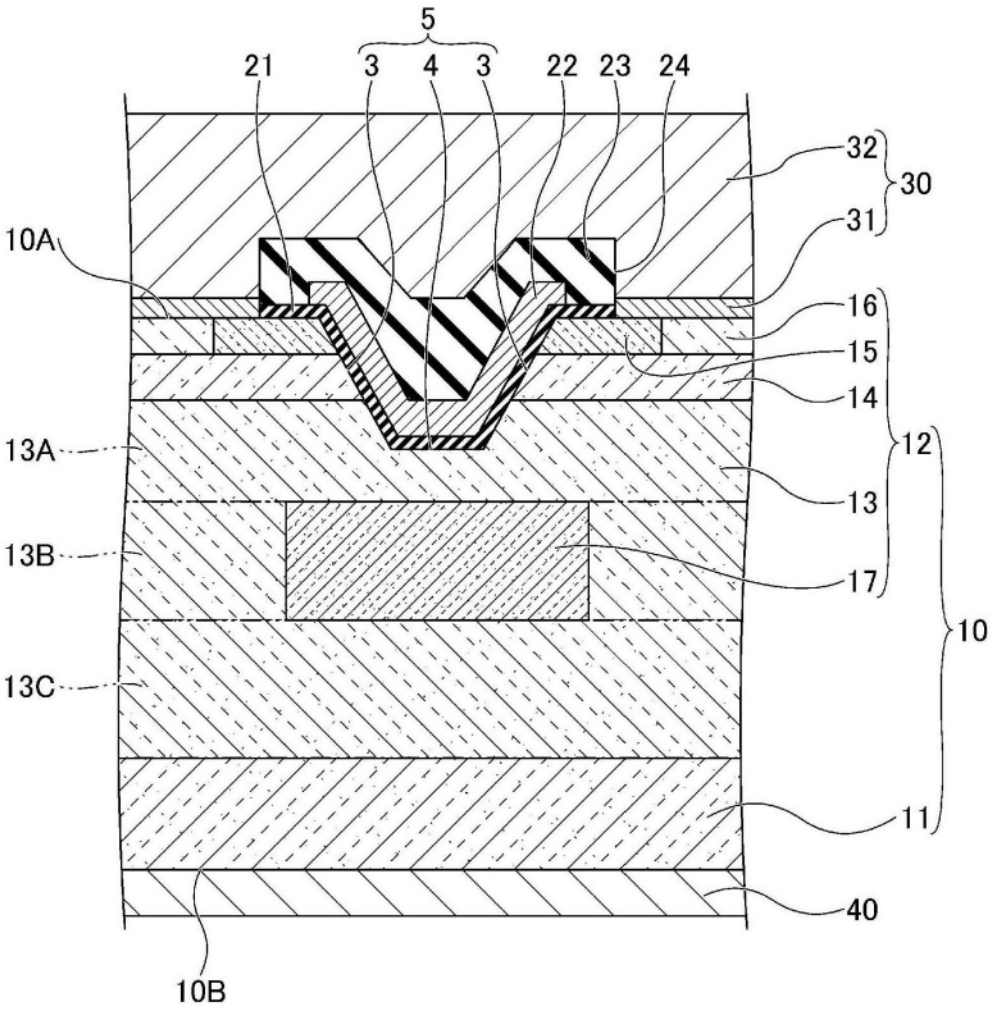

5
21
3
4
3
22
23
24
32
30
31
10A
16
15
14
12
13A
13
13B
17
10
13C
11
40
10B

图6

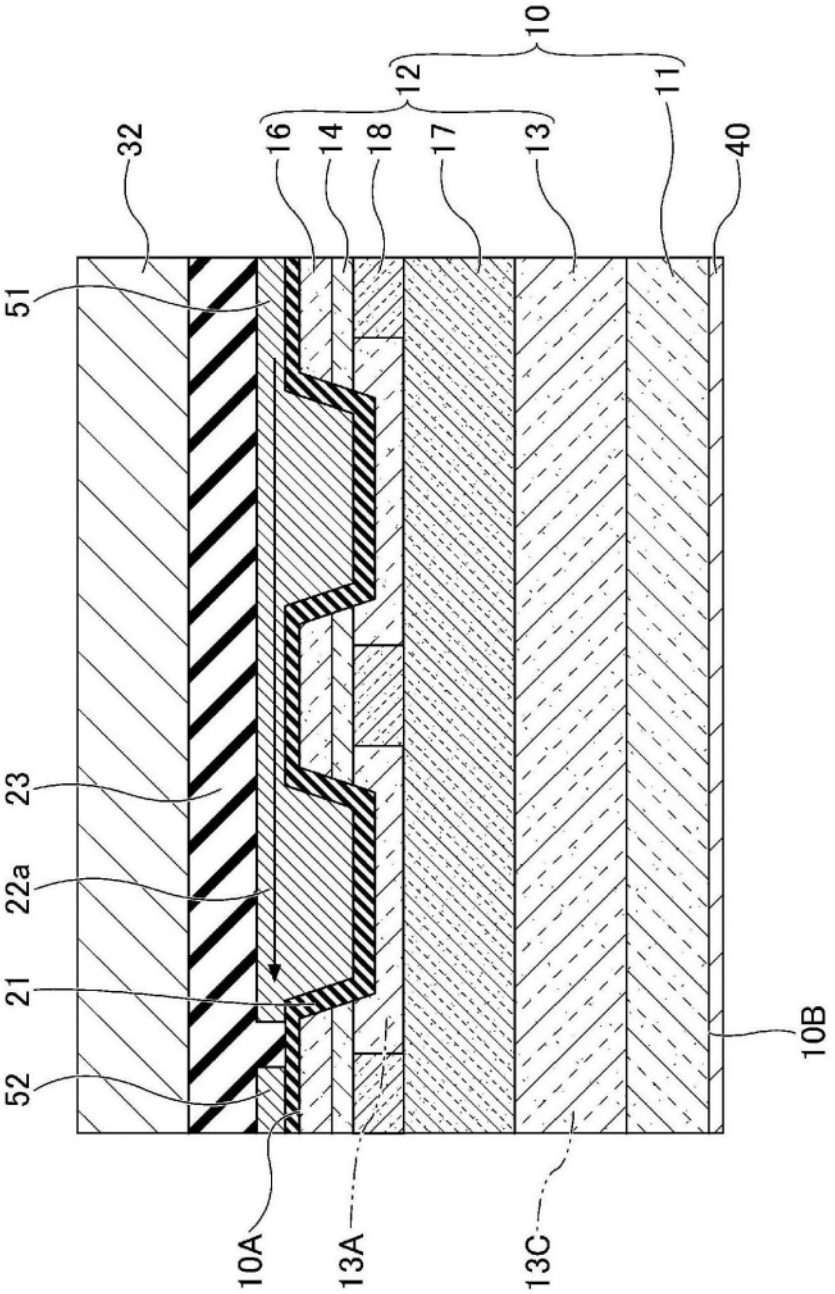


图7

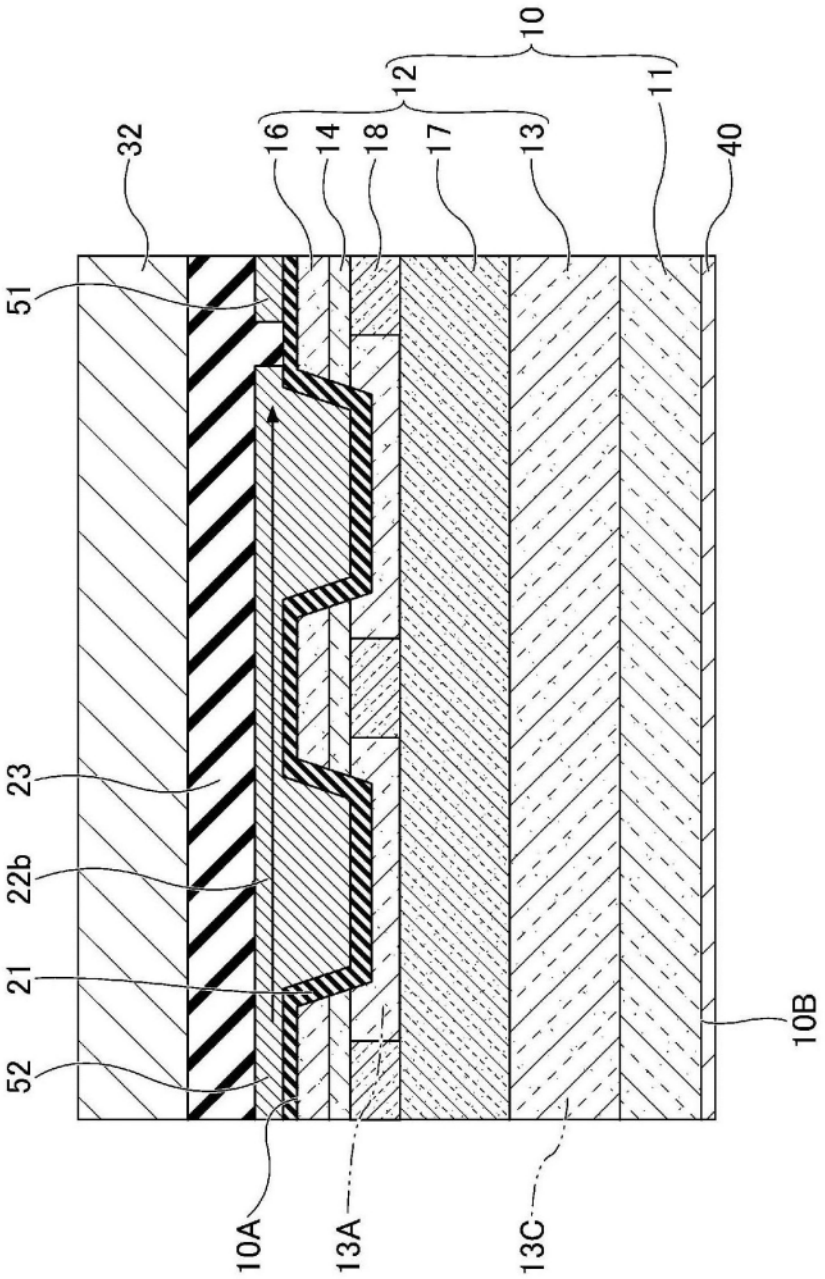


图8

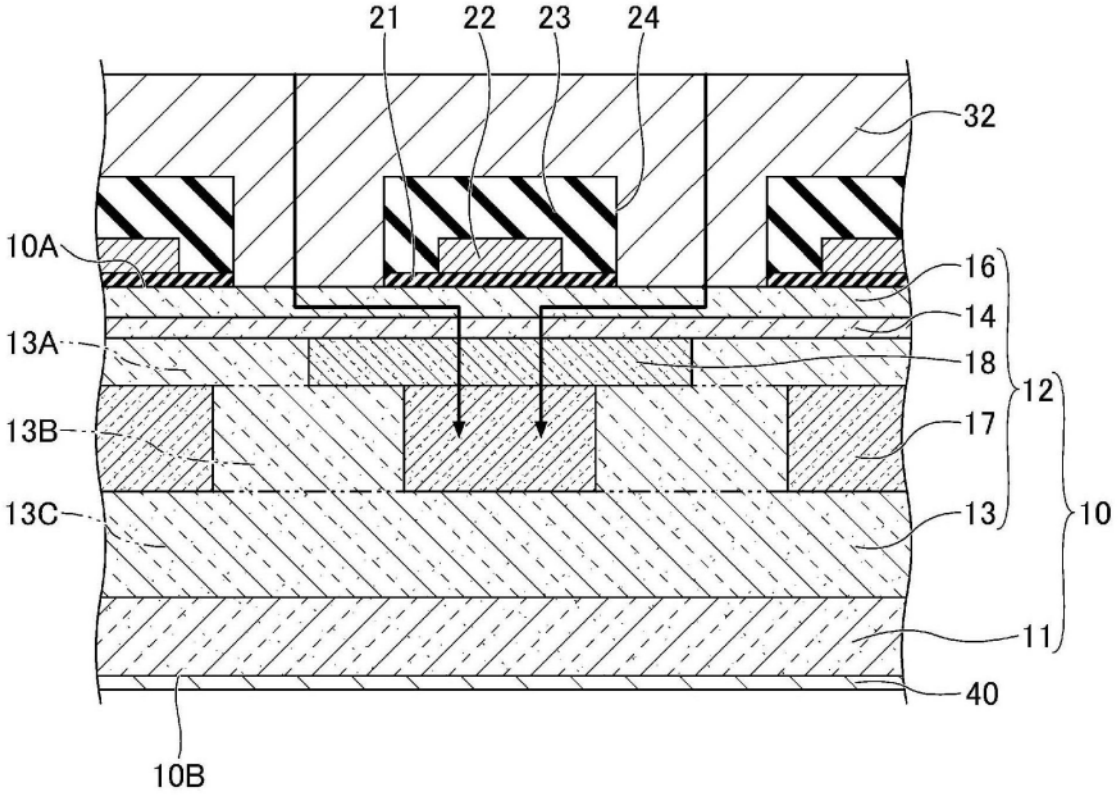

21
22
23
24
32
10A
16
14
13A
18
12
13B
17
13C
13
10
11
40
10B

图9

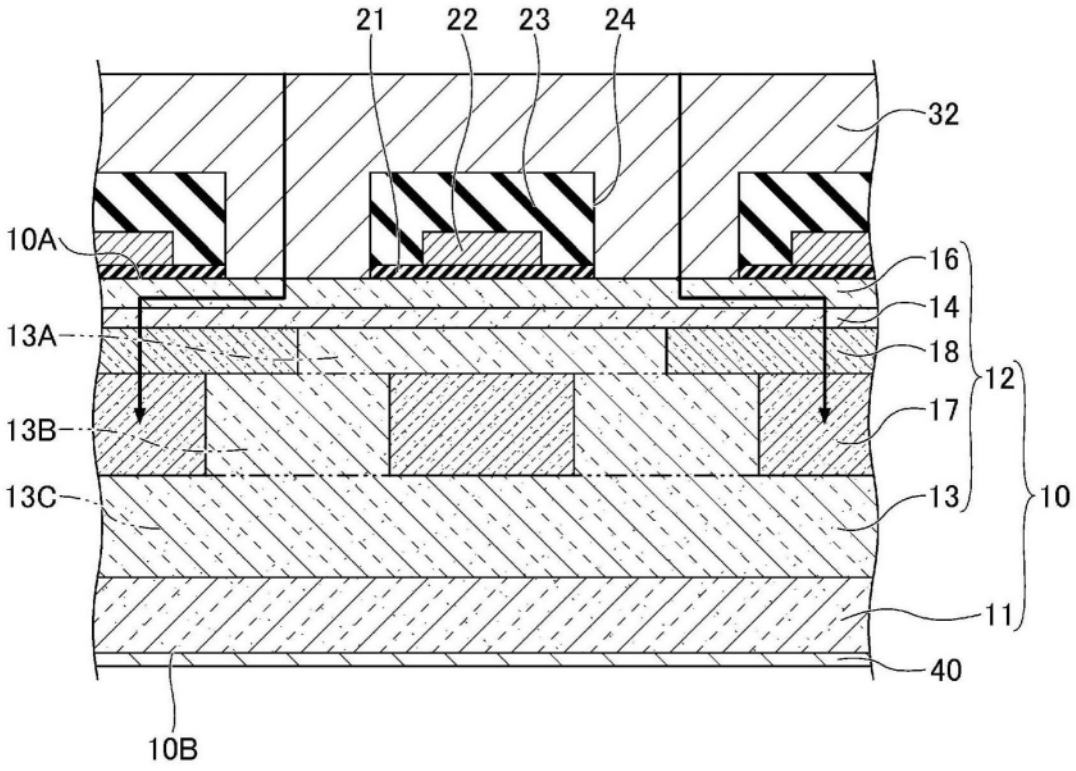

21
22
23
24
32
10A
16
14
13A
18
12
13B
17
13C
13
10
11
40
10B

图10