(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号
特許第3938921号
(P3938921)
(45)発行日　平成19年6月27日(2007.6.27)　(24)登録日　平成19年4月6日(2007.4.6)

(51)Int.Cl.		F I		
H01L 23/12	(2006.01)	H01L	23/12	F
H01L 21/60	(2006.01)	H01L	23/12	N
H05K 3/46	(2006.01)	H01L	21/92	604J
		H05K	3/46	Q

請求項の数 5　(全 23 頁)

(21)出願番号　特願2004-191369(P2004-191369)
(22)出願日　平成16年6月29日(2004.6.29)
(65)公開番号　特開2005-64470(P2005-64470A)
(43)公開日　平成17年3月10日(2005.3.10)
審査請求日　平成17年5月12日(2005.5.12)
(31)優先権主張番号　特願2003-283243(P2003-283243)
(32)優先日　平成15年7月30日(2003.7.30)
(33)優先権主張国　日本国(JP)

(73)特許権者　000003067
ＴＤＫ株式会社
東京都中央区日本橋１丁目１３番１号
(74)代理人　100115738
弁理士　鷲頭　光宏
(74)代理人　100121681
弁理士　緒方　和文
(72)発明者　高谷　稔
東京都中央区日本橋一丁目１３番１号ＴＤＫ株式会社内
(72)発明者　阿部　寿之
東京都中央区日本橋一丁目１３番１号ＴＤＫ株式会社内

最終頁に続く

(54)【発明の名称】半導体ＩＣ内蔵モジュールの製造方法

(57)【特許請求の範囲】

【請求項１】

第１の転写用基板にポスト電極を形成するステップと、

第２の転写用基板に第１及び第２の位置決め部を形成するステップと、

前記第１の位置決め部にバンプを位置決めしながら、前記第２の転写用基板に前記バンプを有する半導体ＩＣを仮止めするステップと、

前記第２の位置決め部と前記ポスト電極によって前記第１の転写用基板を前記第２の転写用基板に対して位置決めしながら、前記第１及び第２の転写用基板によって樹脂をプレスし硬化させるステップとを備えることを特徴とする半導体ＩＣ内蔵モジュールの製造方法。

【請求項２】

前記第２の転写用基板に前記半導体ＩＣを仮止めする前に、前記半導体ＩＣの厚さを薄くするステップをさらに備えることを特徴とする請求項１に記載の半導体ＩＣ内蔵モジュールの製造方法。

【請求項３】

前記第１の転写用基板及び前記第２の転写用基板の少なくとも一方に基板配線パターンを形成するステップをさらに備えることを特徴とする請求項１又は２に記載の半導体ＩＣ内蔵モジュールの製造方法。

【請求項４】

前記樹脂を硬化させた後、前記第２の転写用基板を剥離することにより前記ポスト電極

及び前記バンプを露出させるステップと、露出した前記ポスト電極及び前記バンプを覆う樹脂層を形成するステップと、前記樹脂層の一部を除去することにより前記ポスト電極及び前記バンプを再び露出させるステップと、再び露出した前記ポスト電極及び前記バンプに対応する基板配線パターンを形成するステップとをさらに備えることを特徴とする請求項１乃至３のいずれか１項に記載の半導体ＩＣ内蔵モジュールの製造方法。

【請求項５】

前記第１の転写用基板が多層基板であることを特徴とする請求項１乃至４のいずれか１項に記載の半導体ＩＣ内蔵モジュールの製造方法。

【発明の詳細な説明】

【技術分野】

【０００１】

本発明は半導体ＩＣ内蔵モジュール及びその製造方法に関し、特に、電極ピッチが狭い半導体ＩＣを内蔵するのに好適な半導体ＩＣ内蔵モジュール及びその製造方法に関する。

【背景技術】

【０００２】

近年、半導体ＩＣ搭載モジュールに対する小型化・薄型化の要求を満たすべく、搭載する半導体ＩＣをベアチップの状態でプリント基板に搭載する提案が数多くなされている。ベアチップ状態の半導体ＩＣは、パッケージングされた半導体ＩＣに比べて電極ピッチが非常に狭いことから、これをプリント基板に搭載する場合、半導体ＩＣに設けられた電極（以下、「ランド電極」という）とプリント基板に設けられた配線（以下、「基板配線パターン」という）との接続をどのようにして行うかが重要な問題となる。

【０００３】

ランド電極と基板配線パターンとを接続する一つの方法として、ワイヤボンディングによりこれらを接続する方法が知られている。この方法によれば、ベアチップ状態の半導体ＩＣを比較的容易に実装可能であるものの、半導体ＩＣを搭載する領域とボンディングワイヤを接続する領域とをプリント基板上の別平面とする必要があることから、実装面積が大きくなるという問題があった。

【０００４】

また、ランド電極と基板配線パターンとを接続する他の方法として、ベアチップ状態の半導体ＩＣをプリント基板にフリップチップ接続する方法も知られている。この方法によれば、実装面積を小さくすることが可能であるものの、ランド電極と基板配線パターンとの機械的な接続強度を十分に確保するためには、ランド電極の表面に多層のアンダーバリアメタルを施す必要があるなど、工程が複雑になるという問題があった。

【０００５】

しかも、上述した２つの方法は、いずれもプリント基板の表面に半導体ＩＣを搭載するものであることから、モジュール全体を薄くすることが困難であるという共通の問題があった。これを解決する方法としては、特許文献１に記載されているように、プリント基板にキャビティを形成してその内部にベアチップ状態の半導体ＩＣを埋め込み、これにより半導体ＩＣ内蔵モジュールを構成する方法が考えられる。

【０００６】

しかしながら、特許文献１に記載された方法では、キャビティが形成された部分の強度を確保するためにプリント基板の厚さをある程度厚くする必要があり、これがモジュールの薄型化の妨げになるという問題があった。さらに、キャビティの平面方向の大きさを半導体ＩＣの平面の方向の大きさよりもある程度大きく設定する必要があることから、ランド電極と基板配線パターンとの相対的な位置関係にずれが生じ、このため電極ピッチが１００μｍ以下といった狭い半導体ＩＣを用いることは非常に困難であった。

【特許文献１】特開平９－３２１４０８号公報

【発明の開示】

【発明が解決しようとする課題】

【０００７】

このように、従来の半導体ＩＣ内蔵モジュールでは、十分な薄型化が困難であると同時に、電極ピッチが狭い半導体ＩＣを用いることは非常に困難であった。

【０００８】

したがって、本発明の目的は、いっそうの薄型化を実現可能な半導体ＩＣ内蔵モジュール及びその製造方法を提供することである。

【０００９】

また、本発明の他の目的は、電極ピッチが非常に狭い半導体ＩＣを用いることが可能な半導体ＩＣ内蔵モジュール及びその製造方法を提供することである。

【課題を解決するための手段】

【００１０】

本発明による半導体ＩＣ内蔵モジュールは、第１の樹脂層と、第２の樹脂層と、少なくとも前記第１及び第２の樹脂層内に埋め込まれたポスト電極と、前記第１の樹脂層と前記第２の樹脂層との間に埋め込まれるように固定された半導体ＩＣとを備え、前記半導体ＩＣのランド電極上にはバンプが設けられ、前記バンプは前記ポスト電極に対して位置決めされていることを特徴とする。また、本発明による半導体ＩＣ内蔵モジュールは、第１の樹脂層と、第２の樹脂層と、前記第１及び第２の樹脂層を貫通して設けられたポスト電極と、前記第１の樹脂層と前記第２の樹脂層との間に埋め込まれるように固定され、薄膜化された半導体ＩＣとを備え、前記半導体ＩＣのランド電極上にはバンプが設けられ、前記バンプは前記ポスト電極に対して位置決めされていることを特徴とする。

【００１１】

本発明によれば、第１の樹脂層と第２の樹脂層との間に半導体ＩＣが埋め込まれていることから、半導体ＩＣ内蔵モジュール全体の厚さを薄くすることが可能となる。しかも、半導体ＩＣに設けられたバンプがポスト電極に対して位置決めされていることから、バンプの平面的な位置が実質的に固定的となり、したがって、１００μｍ以下、特に６０μｍ程度といった電極ピッチが非常に狭い半導体ＩＣを用いることが可能となる。また、薄膜化された半導体ＩＣを用いれば、半導体ＩＣ内蔵モジュール全体の厚さを非常に薄くすることが可能となる。

【００１２】

また、本発明では、第１の樹脂層側に設けられた第１の基板配線パターンと、第２の樹脂層側に設けられた第２の基板配線パターンとをさらに備え、ポスト電極の一端が第１の基板配線パターンに電気的に接続され、ポスト電極の他端が第２の基板配線パターンに電気的に接続されていることが好ましい。これによれば、半導体ＩＣ内蔵モジュールの一方の面から他方の面への電気的接続を行うことが可能となる。また、第１の樹脂層と第２の樹脂層との間に埋め込まれるように設けられた第３の基板配線パターンをさらに備えることがより好ましい。これによれば、半導体ＩＣ内蔵モジュールにより複雑な配線パターンを施すことが可能となる。

【００１３】

本発明による半導体ＩＣ内蔵モジュールの製造方法は、第１の転写用基板にポスト電極を形成するステップと、第２の転写用基板に第１及び第２の位置決め部を形成するステップと、前記第１の位置決め部にバンプを位置決めしながら、前記第２の転写用基板に前記バンプを有する半導体ＩＣを仮止めするステップと、前記第２の位置決め部と前記ポスト電極によって前記第１の転写用基板を前記第２の転写用基板に対して位置決めしながら、前記第１及び第２の転写用基板によって樹脂をプレスし硬化させるステップとを備えることを特徴とする。

【００１４】

本発明によれば、半導体ＩＣに設けられたバンプの平面方向における位置がポスト電極の平面方向における位置に対して実質的に固定的となることから、ずれをほとんど生じることなく、バンプに接続される配線パターンを形成することが可能となる。これにより、１００μｍ以下、特に６０μｍ程度といった電極ピッチが非常に狭い半導体ＩＣを用いることが可能となる。

【００１５】
また、本発明では、第２の転写用基板に半導体ＩＣを仮止めする前に、半導体ＩＣの厚さを薄くするステップをさらに備えることが好ましい。これによれば、半導体ＩＣ内蔵モジュール全体の厚さを非常に薄くすることが可能となる。
【００１６】
また、本発明では、第１の転写用基板及び第２の転写用基板の少なくとも一方に基板配線パターンを形成するステップをさらに備えることが好ましい。これによれば、樹脂をプレスし硬化させるステップにおいて基板配線パターンを同時に形成することが可能となる。
【００１７】
また、本発明では、樹脂を硬化させた後、第２の転写用基板を剥離することによりポスト電極及びバンプを露出させるステップと、露出したポスト電極及びバンプを覆う樹脂層を形成するステップと、樹脂層の一部を除去することによりポスト電極及びバンプを再び露出させるステップと、再び露出したポスト電極及びバンプに対応する基板配線パターンを形成するステップとをさらに備えることが好ましい。この場合、バンプの平面方向における位置とポスト電極の平面方向における位置とは実質的に固定されていることから、ずれをほとんど生じることなく、該基板配線パターンを形成することが可能となる。
【００１８】
また、第１の転写用基板としては、多層基板を用いることも可能である。この場合、第１の転写用基板は剥離せず、半導体ＩＣ内蔵モジュールの一部としてそのまま使用すればよい。
【発明の効果】
【００１９】
このように、本発明によれば、電極ピッチが非常に狭い半導体ＩＣを用いた薄型の半導体ＩＣ内蔵モジュールを提供することが可能となる。
【発明を実施するための最良の形態】
【００２０】
以下、添付図面を参照しながら、本発明の好ましい実施の形態について詳細に説明する。
【００２１】
図１は本発明の好ましい実施の形態による半導体ＩＣ内蔵モジュール１００の構造を示す略断面図である。
【００２２】
図１に示すように、本実施形態による半導体ＩＣ内蔵モジュール１００は、積層された樹脂層１４０（第１の樹脂層）及び樹脂層１５０（第２の樹脂層）と、樹脂層１４０と樹脂層１５０との間に埋め込まれた半導体ＩＣ１３０と、樹脂層１４０の表面に埋め込まれるように設けられた下部基板配線パターン１１０，１１１（第１の基板配線パターン）と、樹脂層１５０の表面に設けられた上部基板配線パターン１７０，１７１（第２の基板配線パターン）と、上部基板配線パターン１７０，１７１の下部に設けられた下地導体層１６０と、樹脂層１４０及び樹脂層１５０内に埋め込まれるよう貫通して設けられ、下部基板配線パターン１１１と上部基板配線パターン１７１とを電気的に接続するポスト電極１２０と、樹脂層１４０の表面及び下部基板配線パターン１１０，１１１を覆う保護層１８０と、樹脂層１５０の表面及び上部基板配線パターン１７０，１７１を覆う保護層１８１とを備えて構成されている。半導体ＩＣ１３０の各ランド電極（図１には示されていない）上には、スタッドバンプ１３２がそれぞれ形成されており、各ランド電極は対応するスタッドバンプ１３２を介して、上部基板配線パターン１７０と電気的に接続されている。スタッドバンプ１３２は、図１に示すように、樹脂層１５０を貫通して設けられている。
【００２３】
また、図１には示されていないが、保護層１８０，１８１の表面にはコンデンサ等の受動部品が搭載され、保護層１８０，１８１に設けられたビアホール（ＢＶＨ）を介して下

部基板配線パターン１１０，１１１又は上部基板配線パターン１７０，１７１に電気的に接続される。

【００２４】

本実施形態による半導体ＩＣ内蔵モジュール１００では、内蔵される半導体ＩＣ１３０は研磨により薄型化されており、これにより半導体ＩＣ内蔵モジュール１００の全体の厚さを１ｍｍ以下、例えば、２００μｍ程度まで薄くすることが可能である。また後述するように、本実施形態では、半導体ＩＣ１３０に設けられた各スタッドバンプ１３２の平面方向における位置がポスト電極１２０の平面方向における位置に対して実質的に固定的であり、このため、製造上、スタッドバンプ１３２と上部基板配線パターン１７０との相対的な位置関係にずれが生じることはほとんど無い。

【００２５】

図２は、半導体ＩＣ１３０の構造を示す略斜視図である。

【００２６】

図２に示すように、半導体ＩＣ１３０はベアチップ状態の半導体ＩＣであり、その表面１３０ａには多数のランド電極１３１が備えられている。ランド電極１３１のピッチ（電極ピッチ）については特に限定されないが、本実施形態による半導体ＩＣ内蔵モジュール１００では、ランド電極１３１と上部基板配線パターン１７０との相対的な位置関係にずれがほとんど生じないことから、電極ピッチが１００μｍ以下、例えば６０μｍといった非常に狭い半導体ＩＣを用いることが可能である。

【００２７】

また、半導体ＩＣ１３０の裏面１３０ｂは研磨されており、これにより半導体ＩＣ１３０の厚さｔ（表面１３０ａから裏面１３０ｂまでの距離）は、通常の半導体ＩＣに比べて非常に薄くされている。半導体ＩＣ１３０の厚さｔについては、特に限定されないが、２００μｍ以下、例えば２０～５０μｍ程度に設定することが好ましい。裏面１３０ｂの研磨は、ウエハの状態で多数の半導体ＩＣに対して一括して行い、その後、ダイシングにより個別の半導体ＩＣ１３０に分離することが好ましい。研磨により薄くする前にダイシングによって個別の半導体ＩＣ１３０に分離した場合には、熱硬化性樹脂等により半導体ＩＣ１３０の表面１３０ａを覆った状態で裏面１３０ｂを研磨すれば作業効率が良い。

【００２８】

また、各ランド電極１３１には、スタッドバンプ１３２が形成されている。スタッドバンプ１３２の大きさについては、電極ピッチに応じて適宜設定すればよく、例えば、電極ピッチが約１００μｍである場合には、径を３０～５０μｍ程度、高さを４０～８０μｍ程度に設定すればよい。スタッドバンプ１３２の形成は、ダイシングにより個別の半導体ＩＣ１３０に分離した後、ワイヤボンダーを用いて各ランド電極１３１にこれらを形成することにより行うことができる。スタッドバンプ１３２の材料としては、特に限定されるものではないが銅（Ｃｕ）を用いることが好ましい。スタッドバンプ１３２の材料として銅（Ｃｕ）を用いれば、金（Ａｕ）を用いた場合と比べ、ランド電極１３１に対して高い接合強度を得ることが可能となり、信頼性が高められる。

【００２９】

次に、図１に示す半導体ＩＣ内蔵モジュール１００の製造方法について、図面を参照しながら説明する。

【００３０】

図３乃至図２４は、図１に示す半導体ＩＣ内蔵モジュール１００の製造方法を説明するための工程図である。

【００３１】

まず、転写用基板１０１（第１の転写用基板）を用意し、その表面１０１ａ及び裏面１０１ｂに感光性のドライフィルム１０２、１０３をそれぞれ貼り付ける（図３）。転写用基板１０１の材料としては、導電性を有する材料であればどのような材料を用いても構わないが、後の工程で剥離されることから、図１に示す樹脂層１４０との密着性が低い材料を用いることが好ましい。樹脂との密着性が低い材料としては、ニッケル（Ｎｉ）やステ

ンレスを挙げることができる。転写用基板１０１の厚さについては、転写用基板として必要な機械的強度が確保される限り特に限定されず、例えば５０μｍ程度に設定すればよい。一方、ドライフィルム１０２の厚さについては、下部基板配線パターン１１０，１１１よりもやや厚く設定する必要があり、例えば、下部基板配線パターン１１０，１１１の厚さを２０μｍ程度とする場合には、ドライフィルム１０２の厚さとしては２５μｍ程度に設定すればよい。ドライフィルム１０３は、後述するように、転写用基板１０１の裏面１０１ｂにメッキが施されるのを防止する目的で設けられるものであり、その厚さについては任意である。

【００３２】

次に、フォトマスク（図示せず）を用いてドライフィルム１０２を露光し、下部基板配線パターン１１０、１１１を形成すべき領域１１０ａ、１１１ａのドライフィルム１０２を除去する（図４）。これにより、領域１１０ａ及び領域１１１ａにおいては、転写用基板１０１の表面１０１ａが露出した状態となる。このときドライフィルム１０３の除去は行わず、これにより転写用基板１０１の裏面１０１ｂについては実質的に全面が覆われた状態を保っておく。

【００３３】

このようにして転写用基板１０１の表面１０１ａの一部を露出させた後、転写用基板１０１を基体とした電解メッキを行う。これにより、転写用基板１０１の表面１０１ａが露出している領域１１０ａ、１１１ａには、それぞれ下部基板配線パターン１１０、１１１が形成される（図５）。転写用基板１０１の裏面１０１ｂについては、実質的にその全面がドライフィルム１０３によって覆われていることから、メッキが形成されることはない。メッキ液の種類については、下部基板配線パターン１１０、１１１を構成すべき材料に応じて適宜選択すればよく、例えば、下部基板配線パターン１１０、１１１の材料を銅（Ｃｕ）とする場合には、メッキ液として硫酸銅を用いることができる。その後ドライフィルム１０２、１０３を剥離すれば、転写用基板１０１の表面１０１ａに下部基板配線パターン１１０、１１１が形成された状態となる（図６）。

【００３４】

次に、転写用基板１０１の表面１０１ａ及び裏面１０１ｂに別の感光性のドライフィルム１０４、１０５をそれぞれ貼り付ける（図７）。ドライフィルム１０４の厚さについては、ポスト電極１２０よりもやや厚く設定する必要があり、例えば、ポスト電極１２０の厚さを９０μｍ程度とする場合には、ドライフィルム１０４の厚さとしては１００μｍ程度に設定すればよい。一方、ドライフィルム１０５は、ドライフィルム１０３と同様、転写用基板１０１の裏面１０１ｂにメッキが施されるのを防止する目的で設けられるものであり、その厚さについては任意である。

【００３５】

次に、フォトマスク（図示せず）を用いてドライフィルム１０４を露光し、ポスト電極１２０を形成すべき領域１２０ａのドライフィルム１０４を除去する（図８）。図８に示すように、ポスト電極１２０を形成すべき領域１２０ａとは、下部基板配線パターン１１１の略中心部に対応する領域であり、これにより、領域１２０ａにおいては下部基板配線パターン１１１が露出した状態となる。このときドライフィルム１０５の除去は行わず、これにより転写用基板１０１の裏面１０１ｂについては実質的に全面が覆われた状態を保っておく。

【００３６】

このようにして下部基板配線パターン１１１の一部を露出させた後、転写用基板１０１を基体とした電解メッキを行う。これにより、下部基板配線パターン１１１が露出している領域１２０ａには、ポスト電極１２０が形成される（図９）。転写用基板１０１の裏面１０１ｂについては、実質的にその全面がドライフィルム１０５によって覆われていることから、メッキが形成されることはない。メッキ液の選択については上述の通りであり、例えば硫酸銅を用いることができる。そして、ドライフィルム１０４、１０５を剥離すれば、転写用基板１０１の表面１０１ａに下部基板配線パターン１１０、１１１及びポスト

電極１２０が形成された状態となる（図１０）。以上により、転写用基板１０１に対する加工が完了する。

【００３７】

一方、転写用基板１０１とは別に転写用基板１０６（第２の転写用基板）を用意し、エッチングマスク（図示せず）を用いて所定の領域をエッチング除去することにより、複数の位置決め孔１０６ａ（第１の位置決め部）及び複数の位置決め孔１０６ｂ（第２の位置決め部）を形成する（図１１）。転写用基板１０６としては、転写用基板１０１と同じ材料及び同じ厚さのものを用いればよいが、転写用基板１０１とは異なり導電性を有している必要はない。但し、後の工程で剥離されることから、やはり樹脂層１４０との密着性が低い材料を用いることが好ましい。転写用基板１０６の材料として転写用基板１０１と同様の材料を用いた場合には、塩化第二鉄を用いたウエットエッチングにより位置決め孔１０６ａ，１０６ｂを形成することができる。

【００３８】

位置決め孔１０６ａは、以下の工程でスタッドバンプ１３２を嵌合させることにより、半導体ＩＣ１３０を転写用基板１０６に位置決めした状態で仮止めするための孔である。したがって、その径としては、スタッドバンプ１３２の径とほぼ同じか、若干大き目に設定する必要がある。位置決め孔１０６ａの径がスタッドバンプ１３２の径に比べて大きすぎると、半導体ＩＣ１３０を転写用基板１０６に仮止めできなくなるため、位置決め孔１０６ａの径をあまり大きく設定すべきではない。また、半導体ＩＣ１３０を転写用基板１０６に位置決めした状態で仮止め可能である限り、全てのスタッドバンプ１３２に対応してこれと同数の位置決め孔１０６ａを形成する必要はなく、図１２に示すように、一部のスタッドバンプ１３２に対応する位置決め孔１０６ａを設けるとともに、残りのスタッドバンプ１３２に対応する領域には、スタッドバンプ１３２の径よりも十分に大きな切り欠き１０６ｃを設けることによって、残りのスタッドバンプ１３２と転写用基板１０６との干渉を避けるよう構成しても構わない。

【００３９】

一方、位置決め孔１０６ｂは、以下の工程でポスト電極１２０を嵌合させることにより、転写用基板１０１に対して転写用基板１０６を位置決めするための孔である。したがって、その径としては、ポスト電極１２０の径よりも若干大き目に設定する必要がある。但し、位置決め孔１０６ｂの径がポスト電極１２０の径に比べて大きすぎると、位置決め精度が低下することから、位置決め孔１０６ｂの径をあまり大きく設定すべきではない。

【００４０】

このように、転写用基板１０６に形成する位置決め孔１０６ａ及び位置決め孔１０６ｂは、以下の工程でそれぞれスタッドバンプ１３２及びポスト電極１２０を嵌合させる孔であり、これらの相対的な位置関係についての精度を決める重要な要素であることから、精度良く形成することが求められる。したがって、加工精度が確保される限りにおいて他の方法、例えばドリルを用いてこれら位置決め孔１０６ａ，１０６ｂを形成しても構わない。以上により、転写用基板１０６に対する加工が完了する。

【００４１】

さらに、転写用基板１０１及び転写用基板１０６に対する加工とは別に、半導体ＩＣ１３０に対する加工を行う。半導体ＩＣ１３０に対する加工は、上述の通り、研磨による薄型化とスタッドバンプ１３２の形成の２つである。研磨による薄型化は、上述の通り、ウエハの状態で裏面１３０ｂを研磨し、その厚さｔを２００μｍ以下、例えば２０～５０μｍ程度まで薄くした後、ダイシングにより個別の半導体ＩＣ１３０に分離することにより行うことができる。また、スタッドバンプ１３２の形成は、ダイシングにより個別の半導体ＩＣ１３０に分離した後、ワイヤボンダーを用いて各ランド電極１３１にこれらを形成することにより行うことができる。これにより、図２に示すように、薄型化され且つ各ランド電極１３１上にスタッドバンプ１３２が形成された半導体ＩＣ１３０を作製することができる。

【００４２】

このようにして転写用基板１０６に対する加工及び半導体ＩＣ１３０に対する加工が完了すると、転写用基板１０６に設けられた位置決め孔１０６ａに半導体ＩＣ１３０のスタッドバンプ１３２を挿入し、これによって転写用基板１０６に半導体ＩＣ１３０を仮止めする（図１３）。これにより、半導体ＩＣ１３０は転写用基板１０６に位置決めされた状態となる。

【００４３】

次に、転写用基板１０６に設けられた位置決め孔１０６ｂにポスト電極１２０が挿入されるよう、転写用基板１０１に対して転写用基板１０６を位置決めしながら、転写用基板１０１と転写用基板１０６によってプリプレグ１４０ａをプレスする（図１４）。プリプレグ１４０ａとは、炭素繊維、ガラス繊維、アラミド繊維等の繊維にエポキシ樹脂等の未硬化の熱硬化性樹脂を含浸させたシートであり、プレスしながら熱を加えることによってプリプレグ１４０ａに含まれる熱硬化性樹脂を硬化させ、樹脂層１４０を形成する（図１５）。これにより、下部基板配線パターン１１０、下部基板配線パターン１１１、ポスト電極１２０及び半導体ＩＣ１３０は、樹脂層１４０により一体化される。その後、転写用基板１０１及び転写用基板１０６を剥離し、一体化された積層体を取り出す（図１６）。転写用基板１０１及び転写用基板１０６を剥離すると、図１６に示すように、ポスト電極１２０及びスタッドバンプ１３２が突出した状態となる。ここで、ポスト電極１２０とスタッドバンプ１３２の平面的な位置関係は、転写用基板１０６に設けられた位置決め孔１０６ａと位置決め孔１０６ｂの平面的な位置関係と実質的に一致しているため、両者の位置関係は実質的に固定的となる。

【００４４】

次に、ポスト電極１２０及びスタッドバンプ１３２が突出している表面に、プリプレグ１５０ａを被せ、突出しているポスト電極１２０及びスタッドバンプ１３２を完全に覆う（図１７）。使用するプリプレグ１５０ａとしては、樹脂層１４０の形成に用いたプリプレグ１４０ａと同じ材料のものを用いればよい。そして、熱を加えることによりプリプレグ１５０ａを硬化させて樹脂層１５０を形成した後、その表面を研磨又はブラストにより除去し、ポスト電極１２０及びスタッドバンプ１３２を露出させる（図１８）。

【００４５】

次に、スパッタリング法等の気相成長法により、ポスト電極１２０及びスタッドバンプ１３２が露出している側の表面の全面に薄い下地導体層１６０を形成する（図１９）。但し、下地導体層１６０の形成においては、気相成長法の代わりにメッキ法を用いても構わないし、金属箔の貼り付けによって下地導体層１６０を形成しても構わない。下地導体層１６０の不要部分はその後除去されることから、下地導体層１６０の厚さは十分に薄く設定する必要があり、例えば０．３μｍ程度に設定することが好ましい。

【００４６】

次に、積層体の両面、つまり、樹脂層１４０の表面及び下地導体層１６０の表面に感光性のドライフィルム１０７、１０８をそれぞれ貼り付ける（図２０）。ドライフィルム１０７の厚さについては、上部基板配線パターン１７０，１７１よりもやや厚く設定する必要があり、例えば、上部基板配線パターン１７０，１７１の厚さを２０μｍ程度とする場合には、ドライフィルム１０７の厚さとしては２５μｍ程度に設定すればよい。一方、ドライフィルム１０８は、下部基板配線パターン１１０，１１１が形成されている樹脂層１４０の表面にメッキが施されるのを防止する目的で設けられるものであり、その厚さについては任意である。

【００４７】

次に、フォトマスク（図示せず）を用いてドライフィルム１０７を露光し、上部基板配線パターン１７０、１７１を形成すべき領域１７０ａ、１７１ａのドライフィルム１０７を除去する（図２１）。これにより、領域１７０ａ及び領域１７１ａにおいては、下地導体層１６０が露出した状態となる。このときドライフィルム１０８の除去は行わず、これにより下部基板配線パターン１１０，１１１が形成されている樹脂層１４０の表面については実質的に全面が覆われた状態を保っておく。

【００４８】
ここで、上部基板配線パターン１７０を形成すべき領域１７０ａには、図２１に示すように、スタッドバンプ１３２に対応する領域が含まれている。上述の通り、本実施形態においては、電極ピッチが非常に狭い半導体ＩＣ１３０が用いられることから、スタッドバンプ１３２と領域１７０ａの平面方向における相対的な位置関係に大きなずれは許容されないが、スタッドバンプ１３２とポスト電極１２０の平面方向における相対的な位置関係は、上述の通り、実質的に固定されている。このことは、領域１７０ａに対応するフォトマスクのパターンと、領域１７１ａに対応するフォトマスクのパターンとの相対的な位置関係が、スタッドバンプ１３２とポスト電極１２０の平面方向における相対的な位置関係と実質的に一致することを意味するため、下地導体層１６０のうち、スタッドバンプ１３２に対応する領域を正確に露出させることが可能である。

【００４９】
このようにして下地導体層１６０の一部を露出させた後、下地導体層１６０を基体とした電解メッキを行う。これにより、下地導体層１６０が露出している領域１７０ａ、１７１ａには、それぞれ上部基板配線パターン１７０、１７１が形成される（図２２）。樹脂層１４０の表面については、実質的にその全面がドライフィルム１０８によって覆われていることから、メッキが形成されることはない。メッキ液の選択については上述の通りであり、例えば硫酸銅を用いることができる。その後ドライフィルム１０７、１０８を剥離すれば、下地導体層１６０の表面に上部基板配線パターン１７０、１７１が形成された状態となる（図２３）。

【００５０】
そして、酸などのエッチング液を用いて上部基板配線パターン１７０、１７１が形成されていない部分の不要な下地導体層１６０を除去（ソフトエッチング）した後（図２４）、積層体の両面を感光性の保護層１８０及び１８１で覆い、コンデンサ等の受動部品を搭載すべき領域に対応する部分の保護層１８０及び１８１を除去して下部基板配線パターン１１０及び上部基板配線パターン１７０の一部を露出させた後、受動部品を搭載することにより、図１に示した半導体ＩＣ内蔵モジュール１００が完成する。

【００５１】
以上説明したように、本実施形態による半導体ＩＣ内蔵モジュール１００の作製においては、位置決め孔１０６ａ，１０６ｂ有する転写用基板１０６を用いていることから、スタッドバンプ１３２とポスト電極１２０の平面方向における相対的な位置関係が実質的に固定される。これにより、領域１７０ａに対応するフォトマスクのパターンと、領域１７１ａに対応するフォトマスクのパターンとの相対的な位置関係が、スタッドバンプ１３２とポスト電極１２０の平面方向における相対的な位置関係と実質的に一致することから、上部基板配線パターン１７０、１７１を形成する際、スタッドバンプ１３２に対して正確に位置合わせを行うことが可能となる。したがって、電極ピッチが１００μｍ以下、例えば６０μｍといった非常に狭い半導体ＩＣ１３０を用いた場合であっても、ランド電極１３１及びスタッドバンプ１３２と上部基板配線パターン１７０との相対的な位置関係のずれを最小限に抑えることができる。

【００５２】
しかも、本実施形態において用いている半導体ＩＣ１３０は、研磨によりその厚さｔが非常に薄く設定されていることから、半導体ＩＣ内蔵モジュール１００全体の厚さを非常に薄く、例えば２００μｍ程度とすることが可能となる。

【００５３】
尚、上述した製造工程においては、樹脂層１５０を形成した後、その表面を研磨又はブラストにより除去することによってポスト電極１２０及びスタッドバンプ１３２を露出させているが（図１８参照）、ポスト電極１２０及びスタッドバンプ１３２の露出をレーザ等を用いた孔開けにより行うことも可能である。以下、その方法について図面を参照しながら説明する。

【００５４】

図２５乃至図３１は、ポスト電極１２０及びスタッドバンプ１３２の露出を孔開けにより行う場合の製造方法を説明するための工程図である。

【００５５】

まず、図１７までの工程が完了した後、ポスト電極１２０及びスタッドバンプ１３２に対応する領域にレーザを照射することにより、樹脂層１５０に孔１５１を形成し、ポスト電極１２０及びスタッドバンプ１３２を露出させる（図２５）。孔１５１の形成は、レーザの照射以外の方法を用いても構わない。

【００５６】

その後の工程は、図１９以降の工程と同様であり、ポスト電極１２０及びスタッドバンプ１３２が露出している側の表面の全面に薄い下地導体層１６０を形成した後（図２６）、積層体の両面に感光性のドライフィルム１０７、１０８を貼り付け（図２７）、図示しないフォトマスクを用いてドライフィルム１０７を露光することによって、領域１７０ａ、１７１ａのドライフィルム１０７を除去する（図２８）。次に、下地導体層１６０を基体とした電解メッキを行って、領域１７０ａ、１７１ａにそれぞれ上部基板配線パターン１７０、１７１を形成する（図２９）。そして、ドライフィルム１０７、１０８を剥離し（図３０）、上部基板配線パターン１７０、１７１が形成されていない部分の不要な下地導体層１６０を除去（ソフトエッチング）する（図３１）。その後は、積層体の両面を感光性の保護層１８０及び１８１で覆い、コンデンサ等の受動部品を搭載すべき領域に対応する部分の保護層１８０及び１８１を除去して下部基板配線パターン１１０及び上部基板配線パターン１７０の一部を露出させた後、受動部品を搭載することにより、半導体ＩＣ内蔵モジュールが完成する。

【００５７】

次に、本発明の好ましい他の実施の形態による半導体ＩＣ内蔵モジュールについて説明する。

【００５８】

図３２は本発明の好ましい他の実施の形態による半導体ＩＣ内蔵モジュール２００の構造を示す略断面図である。

【００５９】

図３２に示すように、本実施形態による半導体ＩＣ内蔵モジュール２００は、積層された樹脂層２４０及び樹脂層２５０と、樹脂層２４０と樹脂層２５０との間に埋め込まれた半導体ＩＣ２３０及び内部基板配線パターン２９０（第３の基板配線パターン）と、樹脂層２４０の表面に設けられた下部基板配線パターン２１０，２１１と、樹脂層２５０の表面に設けられた上部基板配線パターン２７０，２７１と、下部基板配線パターン２１０，２１１の樹脂層２４０側に設けられた下地導体層２６１と、上部基板配線パターン２７０，２７１の樹脂層２５０側に設けられた下地導体層２６０と、樹脂層２４０及び樹脂層２５０内に埋め込まれるよう貫通して設けられ、下部基板配線パターン２１１と上部基板配線パターン２７１とを電気的に接続するポスト電極２２０と、樹脂層２４０の表面及び下部基板配線パターン２１０，２１１を覆う保護層２８０と、樹脂層２５０の表面及び上部基板配線パターン２７０，２７１を覆う保護層２８１とを備えて構成されている。このように、本実施形態による半導体ＩＣ内蔵モジュール２００は、上述した半導体ＩＣ内蔵モジュール１００と比べると、内部基板配線パターン２９０が設けられている点、並びに、下部基板配線パターン２１０，２１１が樹脂層２４０に埋め込まれることなく、その表面上に設けられている点において主に異なっている。

【００６０】

本実施形態による半導体ＩＣ内蔵モジュール２００においても、保護層２８０，２８１の表面にコンデンサ等の受動部品が搭載され、保護層２８０，２８１に設けられたビアホール（ＢＶＨ）を介して下部基板配線パターン２１０，２１１又は上部基板配線パターン２７０，２７１に電気的に接続される。また、内蔵される半導体ＩＣ２３０は、上述した半導体ＩＣ内蔵モジュール１００において用いた半導体ＩＣ１３０と同様のものを用いることができ、図３２に示すように、スタッドバンプ２３２を介して、上部基板配線パター

ン２７０と電気的に接続されている。

【００６１】

次に、図３２に示す半導体ＩＣ内蔵モジュール２００の製造方法について、図面を参照しながら説明する。尚、本実施形態による半導体ＩＣ内蔵モジュール２００の製造方法は、多くの部分において上述した半導体ＩＣ内蔵モジュール１００の製造方法と類似していることから、重複する説明については一部省略することがある。

【００６２】

図３３乃至図４９は、図３２に示す半導体ＩＣ内蔵モジュール２００の製造方法を説明するための工程図である。

【００６３】

まず、転写用基板２０１を用意し、エッチングマスク（図示せず）を用いて所定の領域をエッチング除去することにより、複数の位置決め孔２０１ａ及び複数の位置決め孔２０１ｂを形成する（図３３）。転写用基板２０１としては、上述した転写用基板１０１と同じ材料及び同じ厚さのものを用いればよく、位置決め孔２０１ａ，２０１ｂの形成方法としては、転写用基板１０６に位置決め孔１０６ａ，１０６ｂを形成する方法と同様の方法を用いればよい。

【００６４】

位置決め孔２０１ａは、以下の工程でスタッドバンプ２３２を嵌合させることにより、半導体ＩＣ２３０を転写用基板２０１に位置決めした状態で仮止めするための孔であり、したがって、その径としては、スタッドバンプ２３２の径とほぼ同じか、若干大き目に設定する必要がある。尚、図１２を用いて説明したように、一部のスタッドバンプ２３２に対応する位置決め孔２０１ａを設けるとともに、残りのスタッドバンプ２３２に対応する領域には、スタッドバンプ２３２の径よりも十分に大きな切り欠きを設けることによって、残りのスタッドバンプ２３２と転写用基板２０１との干渉を避けても構わない。一方、位置決め孔２０１ｂは、以下の工程でポスト電極２２０を嵌合させることにより、転写用基板２０１を後述する転写用基板２０６に対して位置決めするための孔である。

【００６５】

次に、転写用基板２０６の両面に感光性のドライフィルム２０２、２０３を貼り付け（図３４）、フォトマスク（図示せず）を用いてドライフィルム２０３を露光することにより、内部基板配線パターン２９０を形成すべき領域２９０ａのドライフィルム２０３を除去する（図３５）。このとき、ドライフィルム２０２の除去は行わない。

【００６６】

このようにして転写用基板２０１の裏面の一部を露出させた後、転写用基板２０１を基体とした電解メッキを行うことにより、領域２９０ａに内部基板配線パターン２９０を形成する（図３６）。その後ドライフィルム２０２、２０３を剥離すれば、転写用基板２０１の裏面に内部基板配線パターン２９０が形成された状態となる（図３７）。

【００６７】

次に、上述した半導体ＩＣ１３０と同様の構造を有する半導体ＩＣ２３０を用意し、転写用基板２０１に設けられた位置決め孔２０１に半導体ＩＣ２３０のスタッドバンプ２３２を挿入することによって仮止めする（図３８）。これにより、半導体ＩＣ２３０は、転写用基板２０１に位置決めされた状態となる。

【００６８】

一方、転写用基板２０１とは別に転写用基板２０６を用意し、転写用基板２０１に内部基板配線パターン２９０を形成した方法と同様の方法を用いて、その表面に複数のポスト電極２２０を形成する。そして、転写用基板２０１に設けられた位置決め孔２０１ｂにポスト電極２２０が挿入されるよう、転写用基板２０１を転写用基板２０６に対して位置決めしながら、転写用基板２０１と転写用基板２０６によってプリプレグ２４０ａをプレスする（図３９）。この状態でプリプレグ２４０ａに熱を加えて硬化させ、樹脂層２４０を形成する（図４０）。これにより、内部基板配線パターン２９０、ポスト電極２２０及び半導体ＩＣ２３０は、樹脂層２４０により一体化される。その後、転写用基板２０１及び

転写用基板２０６を剥離し、一体化された積層体を取り出す（図４１）。ここで、ポスト電極２２０とスタッドバンプ２３２の平面的な位置関係は、転写用基板２０１に設けられた位置決め孔２０１ａと位置決め孔２０１ｂの平面的な位置関係と実質的に一致しているため、両者の位置関係は実質的に固定的となる。

【００６９】

次に、ポスト電極２２０及びスタッドバンプ２３２が突出している表面に、プリプレグ２５０ａを被せ、突出しているポスト電極２２０及びスタッドバンプ２３２を完全に覆う（図４２）。そして、熱を加えることによりプリプレグ２５０ａを硬化させて樹脂層２５０を形成した後、その表面を研磨又はブラストにより除去し、ポスト電極２２０及びスタッドバンプ２３２を露出させる（図４３）。

【００７０】

次に、樹脂層２５０が形成されている側の表面の全面に薄い下地導体層２６０を形成するとともに、樹脂層２４０が形成されている側の表面の全面に薄い下地導体層２６１を形成する（図４４）。つまり、積層体の両面に下地導体層を形成する。次に、積層体の両面、つまり、下地導体層２６０，２６１の表面に感光性のドライフィルム２０７、２０８をそれぞれ貼り付け（図４５）、フォトマスク（図示せず）を用いてドライフィルム２０７，２０８を露光することにより、上部基板配線パターン２７０、２７１を形成すべき領域２７０ａ、２７１ａのドライフィルム２０７、並びに、下部基板配線パターン２１０、２１１を形成すべき領域２１０ａ、２１１ａのドライフィルム２０８を除去する（図４６）。これにより、領域２７０ａ及び領域２７１ａにおいては下地導体層２６０が露出した状態となり、領域２１０ａ及び領域２１１ａにおいては下地導体層２６１が露出した状態となる。

【００７１】

ここでも、上部基板配線パターン２７０を形成すべき領域２７０ａには、図４６に示すように、スタッドバンプ２３２に対応する領域が含まれているが、スタッドバンプ２３２とポスト電極２２０の平面方向における相対的な位置関係が実質的に固定されていることから、下地導体層２６０のうち、スタッドバンプ２３２に対応する領域を正確に露出させることが可能である。

【００７２】

このようにして下地導体層２６０，２６１の一部を露出させた後、下地導体層２６０，２６１を基体とした電解メッキを行う。これにより、下地導体層２６０が露出している領域２７０ａ、２７１ａにはそれぞれ上部基板配線パターン２７０、２７１が形成され、下地導体層２６１が露出している領域２１０ａ、２１１ａにはそれぞれ下部基板配線パターン２１０、２１１が形成される（図４７）。その後ドライフィルム２０７、２０８を剥離すれば、下地導体層２６０の表面に上部基板配線パターン２７０、２７１が形成され、下地導体層２６１の表面に下部基板配線パターン２１０、２１１が形成された状態となる（図４８）。

【００７３】

そして、エッチング液を用いて上部基板配線パターン２７０、２７１が形成されていない部分の不要な下地導体層２６０を除去（ソフトエッチング）するとともに、下部基板配線パターン２１０、２１１が形成されていない部分の不要な下地導体層２６１を除去（ソフトエッチング）した後（図４９）、積層体の両面を感光性の保護層２８０及び２８１で覆い、コンデンサ等の受動部品を搭載すべき領域に対応する部分の保護層２８０及び２８１、さらには樹脂層２５０を除去して下部基板配線パターン２１０、上部基板配線パターン２７０及び内部配線パターン２９０の一部を露出させた後、受動部品を搭載することにより、図３２に示した半導体ＩＣ内蔵モジュール２００が完成する。

【００７４】

以上説明したように、本実施形態による半導体ＩＣ内蔵モジュール２００の作製においては、位置決め孔２０１ａ，２０１ｂ有する転写用基板２０１を用いていることから、スタッドバンプ２３２とポスト電極２２０の平面方向における相対的な位置関係が実質的に

固定される。これにより、上記実施形態と同様、電極ピッチが１００μｍ以下、例えば６０μｍといった非常に狭い半導体ＩＣ２３０を用いた場合であっても、スタッドバンプ２３２と上部基板配線パターン２７０との相対的な位置関係のずれを最小限に抑えることができる。

【００７５】

さらに、本実施形態においては、内部基板配線パターン２９０が形成されることから、より複雑な配線パターンを施すことが可能となる。

【００７６】

尚、上述した製造工程においては、樹脂層２５０を形成した後、その表面を研磨又はブラストにより除去することによってポスト電極２２０及びスタッドバンプ２３２を露出させているが（図４３参照）、図２５乃至図３１を用いて説明したように、ポスト電極２２０及びスタッドバンプ２３２の露出をレーザ等を用いた孔開けにより行っても構わない。このとき、内部基板配線パターン２９０の一部についても孔開けにより露出させれば、内部基板配線パターン２９０と他の配線等との接続を容易に行うことが可能となる。

【００７７】

本発明は、以上説明した実施の形態に限定されることなく、特許請求の範囲に記載された発明の範囲内で種々の変更が可能であり、それらも本発明の範囲内に包含されるものであることはいうまでもない。

【００７８】

例えば、図１に示した半導体ＩＣ内蔵モジュール１００では、下部基板配線パターン１１０，１１１が樹脂層１４０に埋め込まれているが、図１４に示すプレス工程において、転写用基板１０１の代わりに図３９に示す転写用基板２０６を用い、その後、図４４乃至図４９に示す工程を実施することによって、樹脂層１４０の表面に下部基板配線パターン１１０，１１１を形成しても構わない。

【００７９】

逆に、図３２に示した半導体ＩＣ内蔵モジュール２００においても、図３９に示すプレス工程において、転写用基板２０６の代わりに、図１０及び図１４に示す転写用基板１０１を用い、その後、図１９乃至図２４に示す工程を実施することによって、樹脂層２４０の内部に下部基板配線パターン２１０，２１１を埋め込んでも構わない。

【００８０】

さらに、樹脂層１４０（２４０）の内部に埋め込まれた下部基板配線パターン１１０と、樹脂層１４０（２４０）の表面に形成された下部基板配線パターン２１０，２１１の両方を形成しても構わない。この場合、埋め込まれた下部基板配線パターン１１０と、表面に形成された下部基板配線パターン２１０，２１１との絶縁を図るため、樹脂層１５０（２５０）と同様の層をこれらの間に介在させる必要がある。

【００８１】

また、いずれの実施形態においても、最終的に転写用基板を剥離しているが、一方の転写用基板として例えば多数の内部配線が施された多層基板を用い、プレス後、これを剥離することなく半導体ＩＣ内蔵モジュールの一部としてそのまま使用することも可能である。例えば、図３９に示すプレス工程において、ポスト電極２２０が形成された転写用基板２０６の代わりに、ポスト電極２２０が形成された多層基板を用い、これを剥離せず、そのまま基板として使用すればよい。

【００８２】

さらに、いずれの実施形態においても、転写用基板１０６（２０１）に設けられた位置決め孔１０６ｂ（２０１ｂ）にポスト電極１２０（２２０）を挿入することにより、転写用基板１０１（２０６）に対して転写用基板１０６（２０１）を位置決めしているが（図１４、図３９参照）、位置決めの際にポスト電極を位置決め孔に挿入することは必須でない。例えば、ポスト電極の高さをプリプレグ（１４０ａ，２４０ａ）の厚さと同等程度に設定し、位置決め孔を介してポスト電極を画像認識することにより位置決めを行っても構わない。この場合、ポスト電極が位置決め孔に挿入されなくても、正しく位置決めを行う

ことが可能となる。また、ポスト電極を位置決め孔に挿入する場合であっても、画像認識による位置決めを併用すれば、位置決め孔の径をポスト電極の径に対して十分に大きく設定しても正しく位置決めすることが可能となり、作業効率を高めることが可能となる。

【００８３】

以上説明したように、本発明によれば、電極ピッチが非常に狭い半導体ＩＣを用いた薄型の半導体ＩＣ内蔵モジュールを提供することが可能となる。

【図面の簡単な説明】

【００８４】

【図１】本発明の好ましい実施の形態による半導体ＩＣ内蔵モジュール１００の構造を示す略断面図である。

【図２】半導体ＩＣ１３０の構造を示す略斜視図である。

【図３】半導体ＩＣ内蔵モジュール１００の製造工程の一部（ドライフィルム１０２、１０３の形成）を示す図である。

【図４】半導体ＩＣ内蔵モジュール１００の製造工程の一部（ドライフィルム１０２のパターニング）を示す図である。

【図５】半導体ＩＣ内蔵モジュール１００の製造工程の一部（下部基板配線パターン１１０、１１１の形成）を示す図である。

【図６】半導体ＩＣ内蔵モジュール１００の製造工程の一部（ドライフィルム１０２、１０３の剥離）を示す図である。

【図７】半導体ＩＣ内蔵モジュール１００の製造工程の一部（ドライフィルム１０４、１０５の形成）を示す図である。

【図８】半導体ＩＣ内蔵モジュール１００の製造工程の一部（ドライフィルム１０４のパターニング）を示す図である。

【図９】半導体ＩＣ内蔵モジュール１００の製造工程の一部（ポスト電極１２０の形成）を示す図である。

【図１０】半導体ＩＣ内蔵モジュール１００の製造工程の一部（ドライフィルム１０４、１０５の剥離）を示す図である。

【図１１】半導体ＩＣ内蔵モジュール１００の製造工程の一部（位置決め孔１０６ａ，１０６ｂの形成）を示す図である。

【図１２】転写用基板１０６に一部のスタッドバンプ１３２に対応する位置決め孔１０６ａのみを設けた場合の位置決め方法を説明するための図である。

【図１３】半導体ＩＣ内蔵モジュール１００の製造工程の一部（半導体ＩＣ１３０の仮止め）を示す図である。

【図１４】半導体ＩＣ内蔵モジュール１００の製造工程の一部（転写用基板１０１，１０６によるプレス）を示す図である。

【図１５】半導体ＩＣ内蔵モジュール１００の製造工程の一部（樹脂層１４０の形成）を示す図である。

【図１６】半導体ＩＣ内蔵モジュール１００の製造工程の一部（転写用基板１０１，１０６の剥離）を示す図である。

【図１７】半導体ＩＣ内蔵モジュール１００の製造工程の一部（プリプレグ１５０ａの形成）を示す図である。

【図１８】半導体ＩＣ内蔵モジュール１００の製造工程の一部（樹脂層１５０の形成）を示す図である。

【図１９】半導体ＩＣ内蔵モジュール１００の製造工程の一部（下地導体層１６０の形成）を示す図である。

【図２０】半導体ＩＣ内蔵モジュール１００の製造工程の一部（ドライフィルム１０７、１０８の形成）を示す図である。

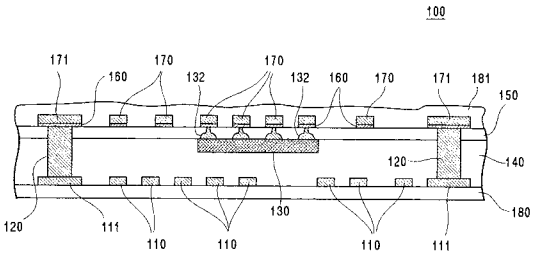
【図２１】半導体ＩＣ内蔵モジュール１００の製造工程の一部（ドライフィルム１０７のパターニング）を示す図である。

【図２２】半導体ＩＣ内蔵モジュール１００の製造工程の一部（上部基板配線パターン１

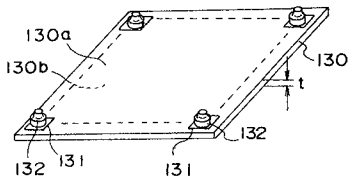
７０、１７１の形成）を示す図である。
【図２３】半導体ＩＣ内蔵モジュール１００の製造工程の一部（ドライフィルム１０７、１０８の剥離）を示す図である。
【図２４】半導体ＩＣ内蔵モジュール１００の製造工程の一部（下地導体層１６０の除去）を示す図である。
【図２５】半導体ＩＣ内蔵モジュール１００の他の製造工程の一部（孔１５１の形成）を示す図である。
【図２６】半導体ＩＣ内蔵モジュール１００の他の製造工程の一部（下地導体層１６０の形成）を示す図である。
【図２７】半導体ＩＣ内蔵モジュール１００の他の製造工程の一部（ドライフィルム１０７、１０８の形成）を示す図である。
【図２８】半導体ＩＣ内蔵モジュール１００の他の製造工程の一部（ドライフィルム１０７のパターニング）を示す図である。
【図２９】半導体ＩＣ内蔵モジュール１００の他の製造工程の一部（上部基板配線パターン１７０、１７１の形成）を示す図である。
【図３０】半導体ＩＣ内蔵モジュール１００の他の製造工程の一部（ドライフィルム１０７、１０８の剥離）を示す図である。
【図３１】半導体ＩＣ内蔵モジュール１００の他の製造工程の一部（下地導体層１６０の除去）を示す図である。
【図３２】本発明の好ましい他の実施の形態による半導体ＩＣ内蔵モジュール２００の構造を示す略断面図である。
【図３３】半導体ＩＣ内蔵モジュール２００の製造工程の一部（位置決め孔２０１ａ，２０１ｂの形成）を示す図である。
【図３４】半導体ＩＣ内蔵モジュール２００の製造工程の一部（ドライフィルム２０２、２０３の形成）を示す図である。
【図３５】半導体ＩＣ内蔵モジュール２００の製造工程の一部（ドライフィルム２０３のパターニング）を示す図である。
【図３６】半導体ＩＣ内蔵モジュール２００の製造工程の一部（内部基板配線パターン２９０の形成）を示す図である。
【図３７】半導体ＩＣ内蔵モジュール２００の製造工程の一部（ドライフィルム２０２、２０３の剥離）を示す図である。
【図３８】半導体ＩＣ内蔵モジュール２００の製造工程の一部（半導体ＩＣ２３０の仮止め）を示す図である。
【図３９】半導体ＩＣ内蔵モジュール２００の製造工程の一部（転写用基板２０１，２０６によるプレス）を示す図である。
【図４０】半導体ＩＣ内蔵モジュール２００の製造工程の一部（樹脂層２４０の形成）を示す図である。
【図４１】半導体ＩＣ内蔵モジュール２００の製造工程の一部（転写用基板２０１，２０６の剥離）を示す図である。
【図４２】半導体ＩＣ内蔵モジュール２００の製造工程の一部（プリプレグ２５０ａの形成）を示す図である。
【図４３】半導体ＩＣ内蔵モジュール２００の製造工程の一部（樹脂層２５０の形成）を示す図である。
【図４４】半導体ＩＣ内蔵モジュール２００の製造工程の一部（下地導体層２６０，２６１の形成）を示す図である。
【図４５】半導体ＩＣ内蔵モジュール２００の製造工程の一部（ドライフィルム２０７、２０８の形成）を示す図である。
【図４６】半導体ＩＣ内蔵モジュール２００の製造工程の一部（ドライフィルム２０７、２０８のパターニング）を示す図である。
【図４７】半導体ＩＣ内蔵モジュール２００の製造工程の一部（上部基板配線パターン２

７０、２７１、並びに、下部基板配線パターン２１０、２１１の形成）を示す図である。
【図４８】半導体ＩＣ内蔵モジュール２００の製造工程の一部（ドライフィルム２０７、２０８の剥離）を示す図である。
【図４９】半導体ＩＣ内蔵モジュール２００の製造工程の一部（下地導体層２６０，２６１の除去）を示す図である。
【符号の説明】
【００８５】
１００，２００　半導体ＩＣ内蔵モジュール
１０１，１０６，２０１，２０６　転写用基板
１０１ａ　表面
１０１ｂ　裏面
１０２～１０５，１０７，１０８、２０２，２０３，２０７，２０８　ドライフィルム
１０６ａ，１０６ｂ，２０１ａ，２０１ｂ　位置決め孔
１１０，１１１，２１０，２１１　下部基板配線パターン
１１０ａ，１１１ａ，１２０ａ，１７０ａ，１７１ａ，２１０ａ，２１１ａ，２７０ａ，２７１ａ，２９０ａ　ドライフィルムが除去された領域
１２０，２２０　ポスト電極
１３０，２３０　半導体ＩＣ
１３０ａ　表面
１３０ｂ　裏面
１３１　ランド電極
１３２，２３２　スタッドバンプ
１４０，１５０，２４０，２５０　樹脂層
１４０ａ，１５０ａ，２４０ａ，２５０ａ　プリプレグ
１５１　孔
１６０，２６０，２６１　下地導体層
１７０，１７１，２７０，２７１　上部基板配線パターン
１８０，１８１，２８０，２８１　保護層
２９０　内部基板配線パターン

【図１】

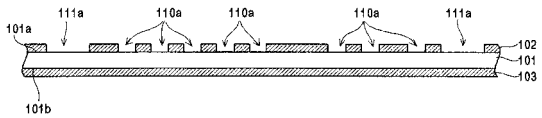


【図２】

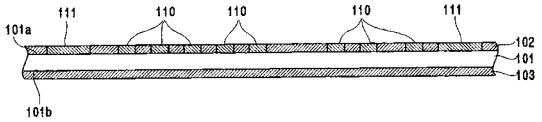


【図３】

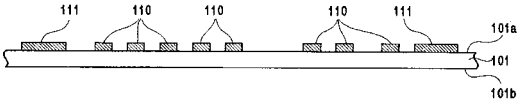
【図４】



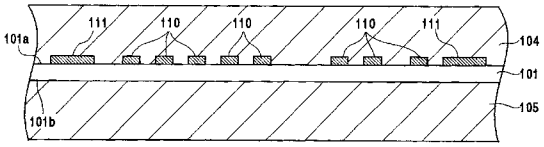
【図５】



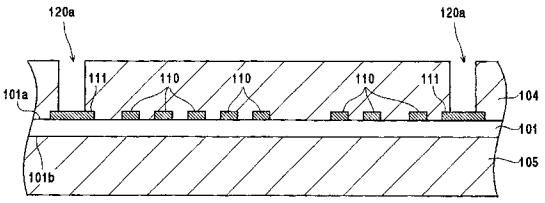
【図６】



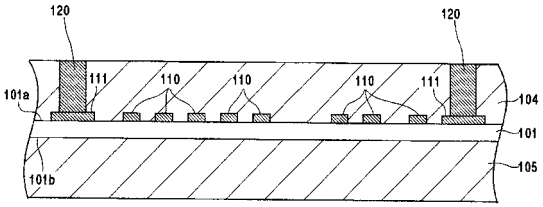
【図７】



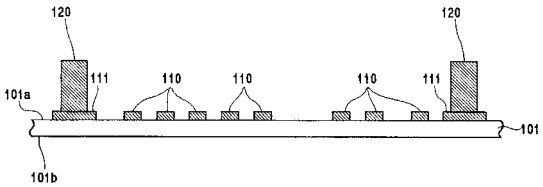
【図８】



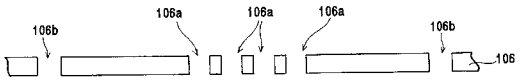
【図９】



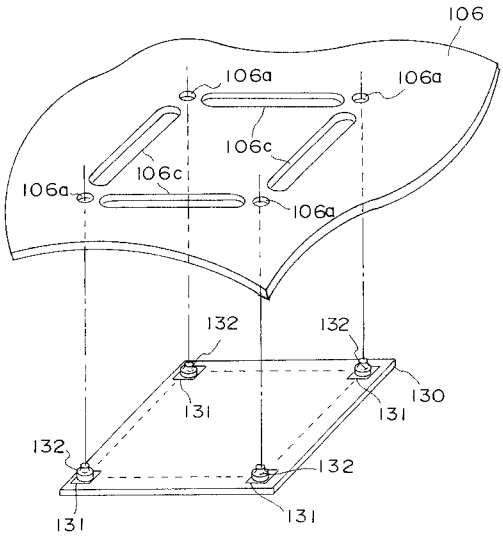
【図１０】



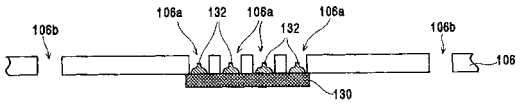
【図１１】



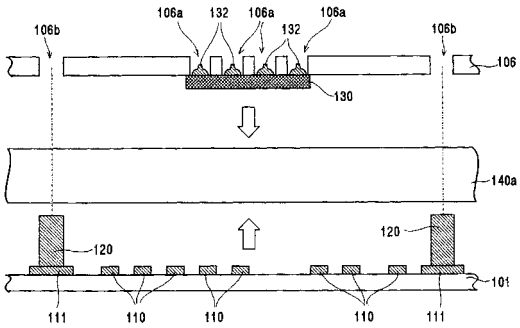
【図１２】



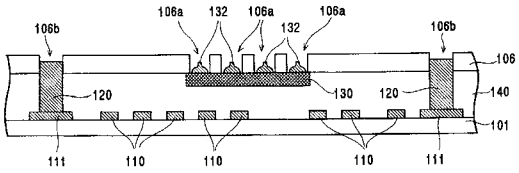
【図１３】



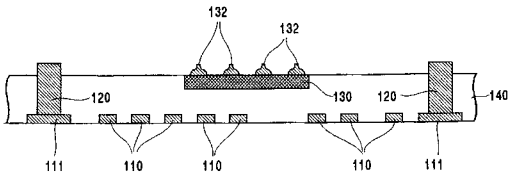
【図１４】



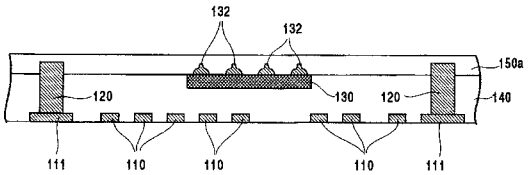
【図１５】



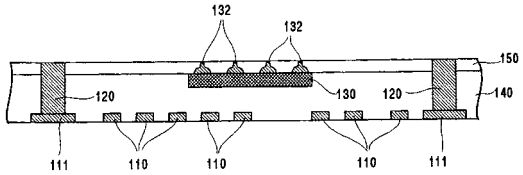
【図１６】



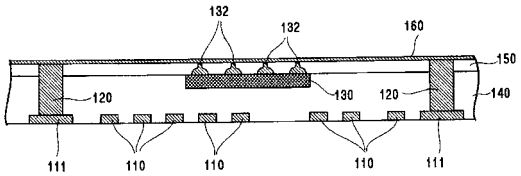
【図１７】



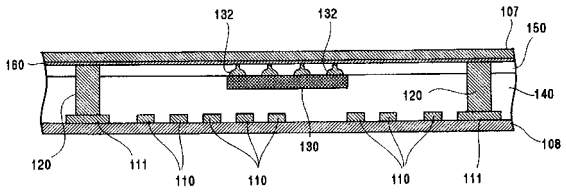
【図１８】



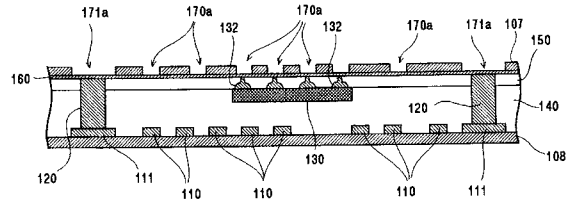
【図１９】



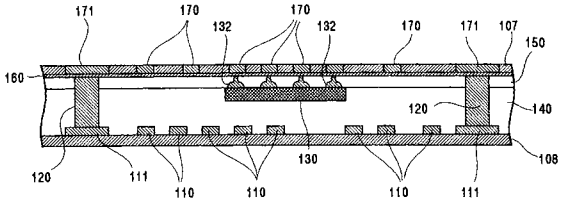
【図２０】



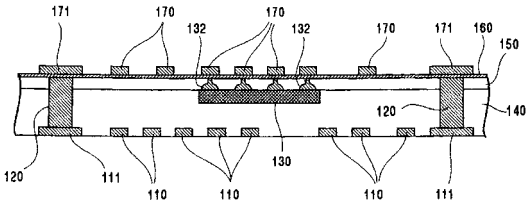
【図２１】



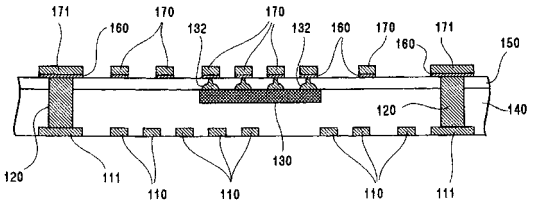
【図２２】



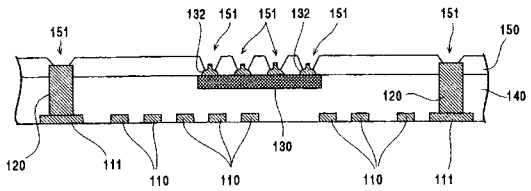
【図２３】



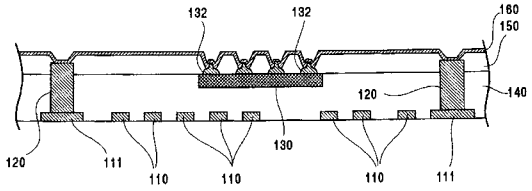
【図２４】



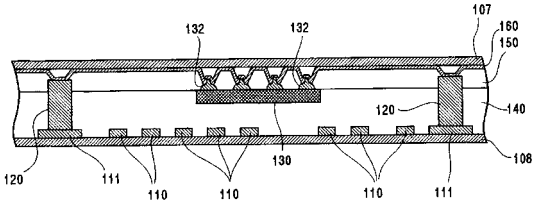
【図２５】



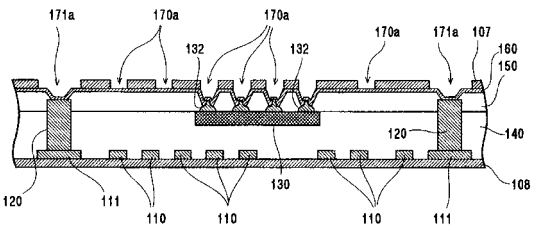
【図２６】



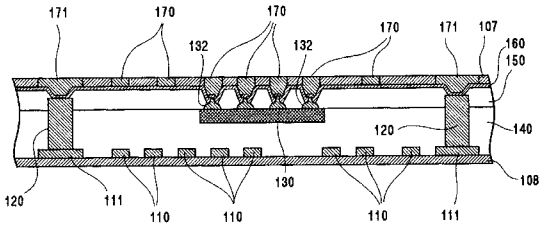
【図２７】



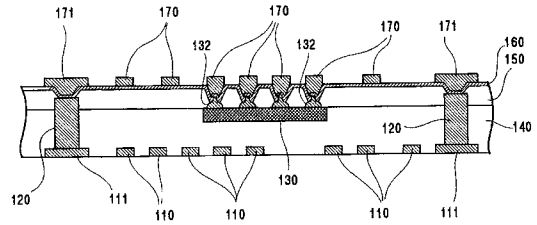
【図２８】



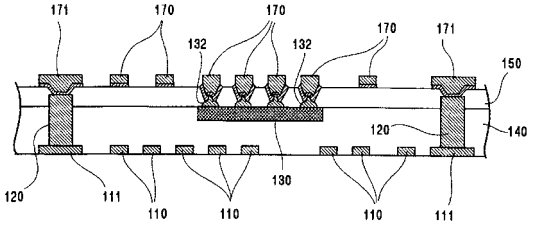
【図２９】



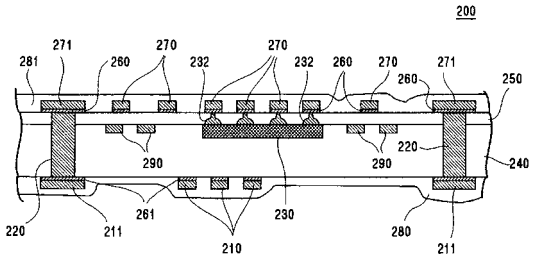
【図３０】



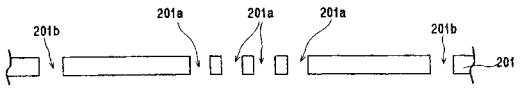
【図３１】



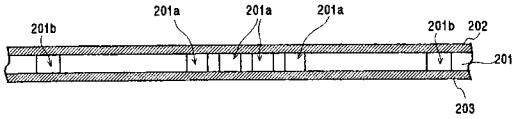
【図３２】



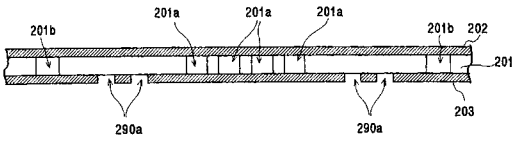
【図３３】



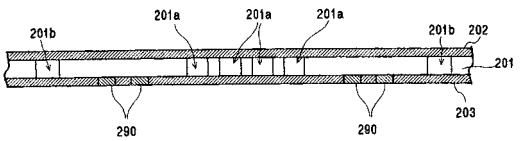
【図３４】



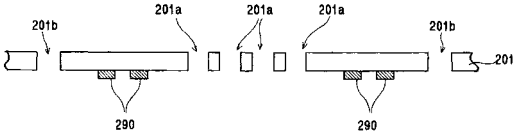
【図３５】



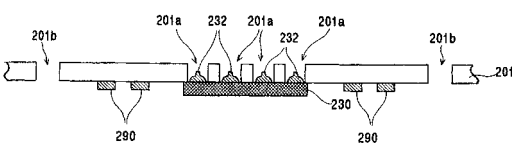
【図３６】



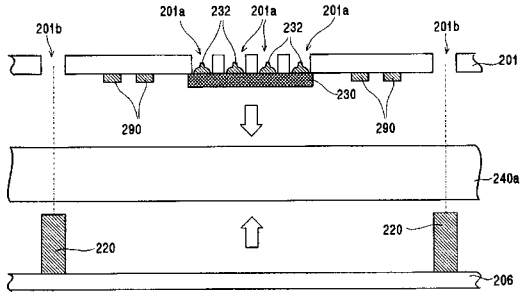
【図３７】



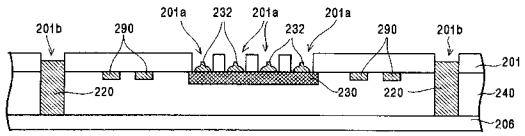
【図３８】



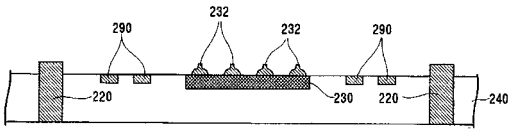
【図３９】



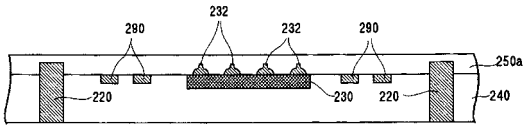
【図４０】



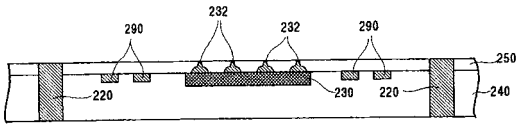
【図４１】



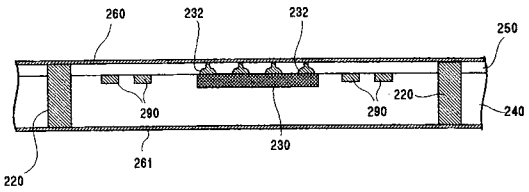
【図４２】



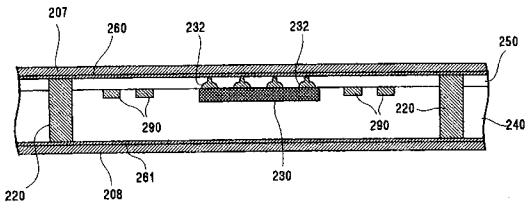
【図４３】



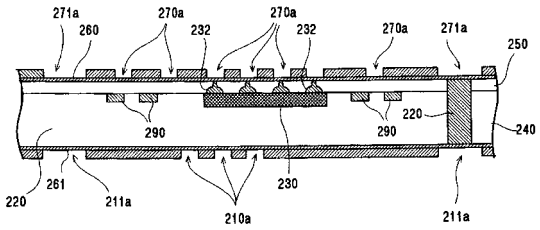
【図４４】



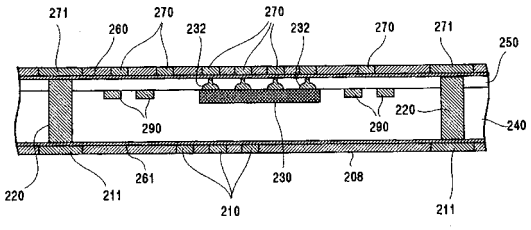
【図４５】



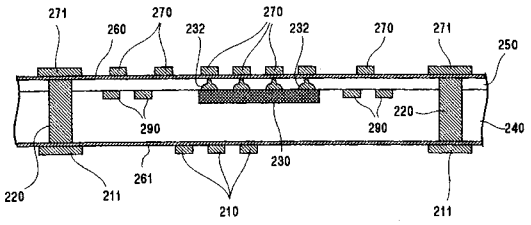
【図４６】



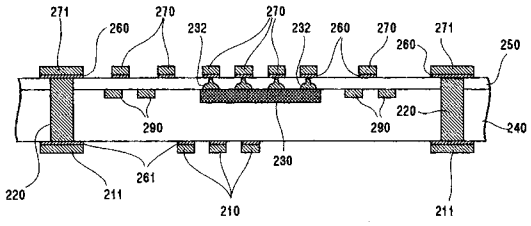
【図４７】



【図４８】


271
260
270
232
270
232
270
271
250
290
290
220
240
230
220
211
261
210
211

【図４９】


271
260
270
232
270
232
260
270
271
260
250
290
290
220
240
230
220
211
261
210
211

フロントページの続き

(72)発明者　鈴木　圭
東京都中央区日本橋一丁目１３番１号ＴＤＫ株式会社内
(72)発明者　高野　弘介
東京都中央区日本橋一丁目１３番１号ＴＤＫ株式会社内

審査官　菅野　智子

(56)参考文献　特開２００２－２９００５１（ＪＰ，Ａ）
特開２００３－０３７２０５（ＪＰ，Ａ）
特開２００２－１３４６５３（ＪＰ，Ａ）
特開昭６３－０４５８２５（ＪＰ，Ａ）
特開２００２－３５９３１９（ＪＰ，Ａ）
特開２００１－３３２８６６（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.，ＤＢ名)
Ｈ０１Ｌ　２３／１２
Ｈ０１Ｌ　２１／６０
Ｈ０５Ｋ　　３／４６