

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5209445号  
(P5209445)

(45) 発行日 平成25年6月12日(2013.6.12)

(24) 登録日 平成25年3月1日(2013.3.1)

(51) Int.Cl. F I  
**H03K 3/356 (2006.01)** H03K 3/356 D  
**H03K 19/185 (2006.01)** H03K 19/185

請求項の数 7 (全 35 頁)

(21) 出願番号 特願2008-296600 (P2008-296600)  
 (22) 出願日 平成20年11月20日(2008.11.20)  
 (65) 公開番号 特開2010-124290 (P2010-124290A)  
 (43) 公開日 平成22年6月3日(2010.6.3)  
 審査請求日 平成23年11月11日(2011.11.11)

(73) 特許権者 000116024  
 ローム株式会社  
 京都府京都市右京区西院溝崎町2 1 番地  
 (74) 代理人 100085501  
 弁理士 佐野 静夫  
 (74) 代理人 100134555  
 弁理士 林田 英樹  
 (72) 発明者 木村 啓明  
 京都市右京区西院溝崎町2 1 番地 ローム  
 株式会社内  
 審査官 石田 勝

最終頁に続く

(54) 【発明の名称】 データ保持装置

(57) 【特許請求の範囲】

【請求項 1】

ループ状に接続された複数の論理ゲートを用いてデータを保持するループ構造部と、強誘電体素子のヒステリシス特性を用いて前記ループ構造部に保持されたデータを不揮発的に記憶する不揮発性記憶部と、前記ループ構造部と前記不揮発性記憶部とを電気的に分離する回路分離部と、を有して成るデータ保持装置であって、

前記ループ構造部と前記不揮発性記憶部は、互いに異なる第 1、第 2 電源電圧の供給を別個に受けて駆動されるものであり、

前記回路分離部は、前記ループ構造部と前記不揮発性記憶部の間でやり取りされるデータの電圧レベルを変換するレベルシフタを有して成ることを特徴とするデータ保持装置。

10

【請求項 2】

前記不揮発性記憶部に供給される第 2 電源電圧は、前記ループ構造部に供給される第 1 電源電圧よりも高いことを特徴とする請求項 1 に記載のデータ保持装置。

【請求項 3】

前記不揮発性記憶部に供給される第 2 電源電圧は、前記ループ構造部に供給される第 1 電源電圧よりも低いことを特徴とする請求項 1 に記載のデータ保持装置。

【請求項 4】

前記回路分離部は、前記データ保持装置の通常動作中には、前記強誘電体素子に対する印加電圧を一定に保ちつつ、前記ループ構造部を電気的に動作させることを特徴とする請求項 2 または請求項 3 に記載のデータ保持装置。

20

## 【請求項 5】

前記回路分離部は、前記データ保持装置の通常動作中には、前記強誘電体素子が有する電圧印加用電極の少なくとも一をフローティング状態に保ちつつ、前記ループ構造部を電氣的に動作させることを特徴とする請求項 2 または請求項 3 に記載のデータ保持装置。

## 【請求項 6】

前記強誘電体素子からデータを読み出す際、非反転状態の強誘電体素子と、反転状態の強誘電体素子との容量結合を用いることを特徴とする請求項 4 または請求項 5 に記載のデータ保持装置。

## 【請求項 7】

前記強誘電体素子からデータを読み出す際、前記強誘電体素子と、その他の容量素子との容量結合を用いることを特徴とする請求項 4 または請求項 5 に記載のデータ保持装置。

10

## 【発明の詳細な説明】

## 【技術分野】

## 【0001】

本発明は、データ保持装置に関するものであり、特に、その不揮発化技術に関するものである。

## 【背景技術】

## 【0002】

ラッチ回路などの順序回路に用いられるデータ保持装置として、例えば、2つのインバータ回路を直列にループ状に接続した回路が知られている。しかし、このようなデータ保持装置は、通常、データを揮発的にしか保持できないため、電源が遮断されるとデータが失われてしまう。つまり、電源を再投入しても、電源遮断前のデータを復元することができない。

20

## 【0003】

従って、このようなデータ保持装置を有するラッチ回路を利用したシーケンス処理を何らかの理由により中断する場合、データを保持しておくためには電源をオンとしたままにしなければならないので、その分電力を消費する。また、停電事故等によりシーケンス処理が中断された場合、最初から処理をやり直さなければならず、時間的ロスが大きい。

## 【0004】

このような問題を解決するために、本願出願人による特許文献 1 では、強誘電体キャパシタを用いて、データを不揮発的に保持するデータ保持装置が開示・提案されている。

30

## 【0005】

図 27 は、データ保持装置の一従来例を示す回路図である。

## 【0006】

本図のデータ保持装置は、インバータ  $INV_x$ 、 $INV_y$  から成るループ構造部（図中の破線で囲まれた部分）を有する記憶素子内の信号線（保持データが電圧信号として現れる図中の太線部分）上に強誘電体素子  $CL$  を接続して成る。

## 【0007】

電源遮断時は、上記信号線上の電圧値を用いて、強誘電体素子  $CL$  の残留分極状態を設定することにより、強誘電体素子  $CL$  にデータの書き込みを行う。このような書き込み動作によって、電源遮断後もデータを不揮発的に保持することが可能となる。

40

## 【0008】

一方、強誘電体素子  $CL$  に書き込まれたデータを読み出す際には、電源投入後にノード  $N$  をフローティングにした状態で、プレートライン  $PL$  から強誘電体素子  $CL$  の一端に電圧パルスを印加し、強誘電体素子  $CL$  の残留分極状態に応じた電圧信号をノード  $N$  に発生させる。ノード  $N$  に発生した電圧信号は、インバータ  $INV_x$  の閾値によって、データの判定（0/1 判定）が行われる。

## 【特許文献 1】特許第 3737472 号明細書

## 【発明の開示】

## 【発明が解決しようとする課題】

50

## 【 0 0 0 9 】

確かに、上記従来のデータ保持装置であれば、電源が遮断されてもデータを保持することができるので、好都合である。

## 【 0 0 1 0 】

しかしながら、上記従来のデータ保持装置では、通常動作時、記憶素子内の強誘電体素子CLが信号線上に存在する巨大な負荷容量となるため、記憶素子の速度低下や消費電力増大を招くおそれがあった。

## 【 0 0 1 1 】

また、上記従来のデータ保持装置では、データ読み出しの際、強誘電体素子CLの残留分極状態に応じた電荷が電源ラインや接地ラインに逃げないように、ノードNをフローティングにする必要（パススイッチSWx、SWyを両オフとする必要）があった。そのため、上記従来のデータ保持装置では、パススイッチSWx、SWyの駆動クロック信号として、4種類のクロック信号（CKA、/CKA、CKB、/CKB）が必要となり、消費電力の増大を招くおそれがあった。

10

## 【 0 0 1 2 】

また、上記従来のデータ保持装置では、図27及び図28に示すように、強誘電体素子CLとインバータINVxを構成するトランジスタのゲート容量との容量結合を用いて、強誘電体素子CLの残留分極状態に応じた電圧信号Voutが読み出されていた。しかしながら、強誘電体素子CLの容量（図28中の右上がりの実線）が大容量（数百[F]）であるのに比べて、インバータINVxを構成するトランジスタのゲート容量（図28中の右下がりの実線）は小容量（数[F]）であるため、ノードNに現れる電圧信号Voutは、10～100[mV]程度と小さく、これに合わせてインバータINVxの閾値を設定し、読み出しデータの0/1判定を行うのは素子バラツキの観点から困難であった。

20

## 【 0 0 1 3 】

また、従来のCMOS回路の場合、0.6[V]まで電源電圧が低くなると、回路ブロックの電源オン/オフに伴って発生する電源電圧の揺れにより、データ保持装置内部のデータが変わってしまうという問題、すなわち、電源電圧の揺れに対するマージンがなくなるといった問題が顕著であった。

## 【 0 0 1 4 】

また、強誘電体素子を組み込んだ不揮発性のデータ保持装置であれば、データ保持動作自体には電源電圧が不要であるため、電源電圧の揺れに伴うデータ化けの問題は解消できるが、強誘電体素子の特性上、0.6[V]の電源電圧を用いて強誘電体素子を駆動し、強誘電体素子にデータの書き込みを行うことは困難であった。すなわち、CMOS回路が0.6[V]の電源電圧で駆動される場合に、同じ電源電圧を用いて強誘電体素子を駆動することは困難であった。

30

## 【 0 0 1 5 】

逆に、CMOS回路が3.3[V]の電源電圧で駆動される場合に、同じ電源電圧を用いて強誘電体素子を駆動すると、不必要に大きな電力が消費される結果となっていた。

## 【 0 0 1 6 】

本発明は、上記の問題点に鑑み、通常動作時の速度低下や消費電力の増大を招くことなく、電源遮断後もデータを不揮発的に保持することが可能であり、かつ、どのような電源電圧を必要とするデバイスにも好適に組み込むことが可能なデータ保持装置を提供することを目的とする。

40

## 【課題を解決するための手段】

## 【 0 0 1 7 】

上記目的を達成するために、本発明に係るデータ保持装置は、ループ状に接続された複数の論理ゲートを用いてデータを保持するループ構造部と、強誘電体素子のヒステリシス特性を用いて前記ループ構造部に保持されたデータを不揮発的に記憶する不揮発性記憶部と、前記ループ構造部と前記不揮発性記憶部とを電気的に分離する回路分離部と、を有して成るデータ保持装置であって、前記ループ構造部と前記不揮発性記憶部は、互いに異な

50

る第1、第2電源電圧の供給を別個に受けて駆動されるものであり、前記回路分離部は、前記ループ構造部と前記不揮発性記憶部の間でやり取りされるデータの電圧レベルを変換するレベルシフタを有して成る構成(第1の構成)とされている。

【0018】

また、上記第1の構成から成るデータ保持装置において、前記不揮発性記憶部に供給される第2電源電圧は、前記ループ構造部に供給される第1電源電圧よりも高い構成(第2の構成)とされている。

【0019】

また、上記第1の構成から成るデータ保持装置において、前記不揮発性記憶部に供給される第2電源電圧は、前記ループ構造部に供給される第1電源電圧よりも低い構成(第3の構成)とされている。

10

【0020】

また、上記第2または第3の構成から成るデータ保持装置において、前記回路分離部は前記データ保持装置の通常動作中には、前記強誘電体素子に対する印加電圧を一定に保ちつつ、前記ループ構造部を電氣的に動作させる構成(第4の構成)にするとよい。

【0021】

また、上記第2または第3の構成から成るデータ保持装置において、前記回路分離部は前記データ保持装置の通常動作中には、前記強誘電体素子が有する電圧印加用電極の少なくとも一をフローティング状態に保ちつつ、前記ループ構造部を電氣的に動作させる構成(第5の構成)にしてもよい。

20

【0022】

また、上記第4または第5の構成から成るデータ保持装置は、前記強誘電体素子からデータを読み出す際、非反転状態の強誘電体素子と、反転状態の強誘電体素子との容量結合を用いる構成(第6の構成)にするとよい。

【0023】

或いは、上記第4または第5の構成から成るデータ保持装置は、前記強誘電体素子からデータを読み出す際、前記強誘電体素子と、その他の容量素子との容量結合を用いる構成(第7の構成)にしてもよい。

【発明の効果】

【0024】

本発明に係るデータ保持装置であれば、通常動作時の速度低下や消費電力の増大を招くことなく、電源遮断後もデータを不揮発的に保持することが可能であり、かつ、どのような電源電圧を必要とするデバイスにも好適に組み込むことが可能となる。

30

【発明を実施するための最良の形態】

【0025】

図1は、本発明に係るデータ保持装置の一実施形態を示す回路図である。

【0026】

本図に示す通り、本実施形態のデータ保持装置は、インバータINV1~INV7と、パススイッチSW1~SW4と、マルチプレクサMUX1、MUX2と、Nチャンネル型電界効果トランジスタQ1a、Q1b、Q2a、Q2bと、強誘電体素子(強誘電体キャパシタ)CL1a、CL1b、CL2a、CL2bと、を有して成るラッチ回路である。

40

【0027】

インバータINV1の入力端は、データ信号(D)の印加端に接続されている。インバータINV1の出力端は、インバータINV2の入力端に接続されている。インバータINV2の出力端は、パススイッチSW1を介して、マルチプレクサMUX1の第1入力端(1)に接続されている。マルチプレクサMUX1の出力端は、インバータINV3の入力端に接続されている。インバータINV3の出力端は、インバータINV5の入力端に接続されている。インバータINV5の出力端は、出力信号(Q)の引出端に接続されている。マルチプレクサMUX2の第1入力端(1)は、インバータINV3の出力端に接続されている。マルチプレクサMUX2の出力端は、インバータINV4の入力端に接続

50

されている。インバータINV4の出力端は、パススイッチSW2を介して、マルチプレクサMUX1の第1入力端(1)に接続されている。

【0028】

このように、本実施形態のデータ保持装置は、ループ状に接続された2つの論理ゲート(図1ではインバータINV3、INV4)を用いて、入力されたデータ信号Dを保持するループ構造部LOOPを有して成る。

【0029】

なお、ループ構造部LOOPは、第1電源電圧VDD1(例えば0.6[V])の供給を受けて駆動されるものである。

【0030】

インバータINV6の入力端は、マルチプレクサMUX1の第1入力端(1)に接続されている。インバータINV6の出力端は、パススイッチSW3を介して、マルチプレクサMUX2の第2入力端(0)に接続されている。インバータINV7の入力端は、マルチプレクサMUX2の第1入力端(1)に接続されている。インバータINV7の出力端は、パススイッチSW4を介して、マルチプレクサMUX1の第2入力端(0)に接続されている。

【0031】

強誘電体素子CL1aの正極端は、第1プレートラインPL1に接続されている。強誘電体素子CL1aの負極端は、マルチプレクサMUX2の第2入力端(0)に接続されている。強誘電体素子CL1aの両端間には、トランジスタQ1aが接続されている。トランジスタQ1aのゲートは、フリセット信号FRSTの印加端に接続されている。

【0032】

強誘電体素子CL1bの正極端は、マルチプレクサMUX2の第2入力端(0)に接続されている。強誘電体素子CL1bの負極端は、第2プレートラインPL2に接続されている。強誘電体素子CL1bの両端間には、トランジスタQ1bが接続されている。トランジスタQ1bのゲートは、フリセット信号FRSTの印加端に接続されている。

【0033】

強誘電体素子CL2aの正極端は、第1プレートラインPL1に接続されている。強誘電体素子CL2aの負極端は、マルチプレクサMUX1の第2入力端(0)に接続されている。強誘電体素子CL2aの両端間には、トランジスタQ2aが接続されている。トランジスタQ2aのゲートは、フリセット信号FRSTの印加端に接続されている。

【0034】

強誘電体素子CL2bの正極端は、マルチプレクサMUX1の第2入力端(0)に接続されている。強誘電体素子CL2bの負極端は、第2プレートラインPL2に接続されている。強誘電体素子CL2bの両端間には、トランジスタQ2bが接続されている。トランジスタQ2bのゲートは、フリセット信号FRSTの印加端に接続されている。

【0035】

このように、本実施形態のデータ保持装置は、強誘電体素子(CL1a、CL1b、CL2a、CL2b)のヒステリシス特性を用いてループ構造部LOOPに保持されたデータDを不揮発的に記憶する不揮発性記憶部NVMを有して成る。

【0036】

なお、不揮発性記憶部NVMは、第1電源電圧VDD1よりも高い第2電源電圧VDD2(例えば1.2[V])の供給を受けて駆動されるものである。

【0037】

また、上記した構成要素のうち、パススイッチSW1は、クロック信号CLKに応じてオン/オフされ、パススイッチSW2は、反転クロック信号CLKB(クロック信号CLKの論理反転信号)に応じてオン/オフされる。すなわち、パススイッチSW1とパススイッチSW2は、互いに排他的(相補的)にオン/オフされる。

【0038】

一方、パススイッチSW3、SW4は、いずれも制御信号E1に応じてオン/オフされ

10

20

30

40

50

る。また、マルチプレクサM U X 1、M U X 2は、いずれも制御信号E 2に応じてその信号経路が切り換えられる。すなわち、本実施形態のデータ保持装置において、マルチプレクサM U X 1、M U X 2と、インバータI N V 6、I N V 7と、パススイッチS W 3、S W 4は、ループ構造部L O O Pと不揮発性記憶部N V Mとを電氣的に分離する回路分離部S E Pとして機能する。

【0039】

なお、回路分離部S E Pを形成する回路要素のうち、ループ構造部L O O Pに含まれるマルチプレクサM U X 1、M U X 2は、第1電源電圧V D D 1の供給を受けて駆動されるものであり、不揮発性記憶部N V Mに含まれるパススイッチS W 3、S W 4は、第2電源電圧V D D 2の供給を受けて駆動されるものである。

10

【0040】

また、インバータI N V 6、I N V 7は、第1電源電圧V D D 1と第2電源電圧V D D 2の双方の供給を受けて駆動されるものであり、ループ構造部L O O Pと不揮発性記憶部N V Mの間でやり取りされるデータDの電圧レベルを変換するレベルシフトとしての機能を備えている。

【0041】

図2は、レベルシフト機能を備えたインバータI N V 6（インバータI N V 7についても同様）の一構成例を示す回路図である。

【0042】

図2に示すように、インバータI N V 6（I N V 7）は、Pチャンネル型M O S電界効果トランジスタP 1～P 3と、Nチャンネル型M O S電界効果トランジスタN 1～N 3と、を有して成る。トランジスタN 1のゲートは、入力端I Nに接続されている。トランジスタN 1のソースは、接地端に接続されている。トランジスタN 1のドレインは、トランジスタP 1のドレインに接続される一方、出力端O U Tにも接続されている。トランジスタP 1、P 2のソースは、いずれも第2電源電圧V D D 2の印加端に接続されている。トランジスタP 1のゲートは、トランジスタP 2のドレインに接続されている。トランジスタP 2のゲートは、トランジスタP 1のドレインに接続されている。トランジスタP 2のドレインは、トランジスタN 2のドレインに接続されている。トランジスタN 2のソースは、接地端に接続されている。トランジスタP 3、N 3のゲートは、いずれも入力端I Nに接続されている。トランジスタP 3のソースは、第1電源電圧V D D 1の印加端に接続されている。トランジスタP 3のドレインは、トランジスタN 3のドレインに接続される一方で、トランジスタN 2のゲートにも接続されている。トランジスタN 3のソースは、接地端に接続されている。

20

30

【0043】

上記構成から成るインバータI N V 6（I N V 7）において、入力端I Nにハイレベル（第1電源電圧V D D 1）の論理信号が入力された場合には、トランジスタN 1、P 2がオンとなり、トランジスタN 2、P 1がオフとなるので、出力端O U Tからはローレベル（接地電圧G N D）の論理信号が出力される。逆に、入力端I Nにローレベル（接地電圧G N D）の論理信号が入力された場合には、トランジスタN 1、P 2がオフとなり、トランジスタN 2、P 1がオンとなるので、出力端O U Tからはハイレベル（第2電源電圧V D D 2）の論理信号が出力される。すなわち、インバータI N V 6（I N V 7）は、入力端I Nに入力された論理信号の論理を反転した上で、さらに、そのハイレベル電位を第1電源電圧V D D 1から第2電源電圧V D D 2まで引き上げて出力する。

40

【0044】

次に、上記構成から成るデータ保持装置の動作について、詳細な説明を行う。なお、以下の説明では、強誘電体素子C L 1 a、C L 1 bの接続ノードに現れる電圧をV 1、強誘電体素子C L 2 a、C L 2 bの接続ノードに現れる電圧をV 2、インバータI N V 4の入力端に現れる電圧をV 3、インバータI N V 4の出力端に現れる電圧をV 4、インバータI N V 3の入力端に現れる電圧をV 5、インバータI N V 3の出力端に現れる電圧をV 6というように、各部のノード電圧に符号を付すことにする。

50

## 【 0 0 4 5 】

図 3 は、本発明に係るデータ保持装置の一動作例を説明するためのタイミングチャートであり、上から順番に、電源電圧 (VDD1、VDD2)、クロック信号CLK、データ信号D、制御信号E1、制御信号E2、リセット信号FRST、第1プレートラインPL1の印加電圧、第2プレートラインPL2の印加電圧、ノード電圧V1、ノード電圧V2、及び出力信号Qの電圧波形を示している。

## 【 0 0 4 6 】

まず、データ保持装置の通常動作について説明する。

## 【 0 0 4 7 】

時点W1までは、リセット信号FRSTが「1 (ハイレベル: VDD2)」とされており、トランジスタQ1a、Q1b、Q2a、Q2bがオンされて、強誘電体素子CL1a、CL1b、CL2a、CL2bの各両端間がいずれも短絡されているので、これらの強誘電体素子CL1a、CL1b、CL2a、CL2bには一切電圧が印加されない状態となっている。なお、第1プレートラインPL1と第2プレートラインPL2は、いずれも「0 (ローレベル: GND)」とされている。

10

## 【 0 0 4 8 】

また、時点W1までは、制御信号E1が「0 (GND)」とされており、パススイッチSW3とパススイッチSW4がオフされているので、データ書き込み用ドライバ (図1の例ではインバータINV6、INV7) はいずれも無効とされている。

## 【 0 0 4 9 】

また、時点W1までは、制御信号E2が「1 (VDD1)」とされており、マルチプレクサMUX1とマルチプレクサMUX2の第1入力端(1)が選択されているので、ループ構造部LOOPにて通常ループが形成されている。

20

## 【 0 0 5 0 】

従って、クロック信号CLKのハイレベル期間には、パススイッチSW1がオンされ、パススイッチSW2がオフされるので、データ信号Dが出力信号Qとしてそのまま通過される形となる。一方、クロック信号CLKのローレベル期間には、パススイッチSW1がオフされ、パススイッチSW2がオンされるので、クロック信号CLKの立下がりエッジで、データ信号Dがラッチされる形となる。

## 【 0 0 5 1 】

なお、図4は、上記した通常動作時の信号経路 (図中では太線として描写) を示す回路図である。

30

## 【 0 0 5 2 】

次に、強誘電体素子へのデータ書き込み動作について説明する。

## 【 0 0 5 3 】

時点W1~W3では、クロック信号CLKが「0 (GND)」とされて、反転クロック信号CLKBが「1 (VDD1)」とされる。従って、第1パススイッチSW1がオフされ、第2パススイッチがオンされる。このように、クロック信号CLK及び反転クロック信号CLKBの論理を予め固定しておくことにより、強誘電体素子に対するデータ書き込み動作の安定性を高めることが可能となる。

40

## 【 0 0 5 4 】

また、時点W1~W3では、リセット信号FRSTが「0 (GND)」とされ、トランジスタQ1a、Q1b、Q2a、Q2bがオフされて、強誘電体素子CL1a、CL1b、CL2a、CL2bに対する電圧印加が可能な状態とされる。

## 【 0 0 5 5 】

また、時点W1~W3では、制御信号E1が「1 (VDD2)」とされ、パススイッチSW3とパススイッチSW4がオンされる。従って、データ書き込み用ドライバ (図1の例ではインバータINV6、INV7) がいずれも有効とされる。

## 【 0 0 5 6 】

なお、時点W1~W3では、それまでと同様、制御信号E2が「1 (VDD1)」とさ

50

れており、マルチプレクサM U X 1とマルチプレクサM U X 2の第1入力端(1)が選択されているので、ループ構造部L O O Pにて通常ループが形成されている。

【0057】

また、時点W1~W2では、第1プレートラインP L 1と第2プレートラインP L 2が「0(GND)」とされ、時点W2~W3では、第1プレートラインP L 1と第2プレートラインP L 2が「1(VDD2)」とされる。すなわち、第1プレートラインP L 1と第2プレートラインP L 2に対して、同一のパルス電圧が印加される。このようなパルス電圧の印加により、強誘電体素子内部の残留分極状態が反転状態/非反転状態のいずれかに設定される。

【0058】

図3の例に即して具体的に述べると、時点W1では、出力信号Qが「1(VDD1)」であるため、ノード電圧V1が「0(GND)」となり、ノード電圧V2が「1(VDD2)」となる。従って、時点W1~W2において、第1プレートラインP L 1と第2プレートラインP L 2が「0(GND)」とされている間、強誘電体素子C L 1 a、C L 1 bの両端間には電圧が印加されない状態となり、強誘電体素子C L 2 aの両端間には負極性の電圧が印加される状態となり、強誘電体素子C L 2 bの両端間には正極性の電圧が印加される状態となる。一方、時点W2~W3において、第1プレートラインP L 1と第2プレートラインP L 2が「1(VDD2)」とされている間、強誘電体素子C L 2 a、C L 2 bの両端間には電圧が印加されない状態となり、強誘電体素子C L 1 aの両端間には正極性の電圧が印加される状態となり、強誘電体素子C L 1 bの両端間には負極性の電圧が印加される状態となる。

【0059】

このように、第1プレートラインP L 1と第2プレートラインP L 2に対して、パルス電圧を印加することにより、強誘電体素子内部の残留分極状態が反転状態/非反転状態のいずれかに設定される。なお、強誘電体素子C L 1 aとC L 1 bとの間、及び、強誘電体素子C L 2 aとC L 2 bとの間では、互いの残留分極状態が逆になる。また、強誘電体素子C L 1 aとC L 2 aとの間、及び、強誘電体素子C L 1 bとC L 2 bとの間でも、互いの残留分極状態が逆になる。

【0060】

時点W3では、リセット信号F R S Tが再び「1(VDD2)」とされることにより、トランジスタQ1 a、Q1 b、Q2 a、Q2 bがオンされ、強誘電体素子C L 1 a、C L 1 b、C L 2 a、C L 2 bの各両端間がいずれも短絡されるので、これらの強誘電体素子C L 1 a、C L 1 b、C L 2 a、C L 2 bには一切電圧が印加されない状態となる。このとき、第1プレートラインP L 1と第2プレートラインP L 2は、いずれも「0(GND)」とされる。

【0061】

また、時点W3では、制御信号E1が再び「0(GND)」とされ、パススイッチS W 3とパススイッチS W 4がオフされるので、データ書き込み用ドライバ(図1の例ではインバータI N V 6、I N V 7)がいずれも無効とされる。なお、制御信号E2については不問であるが、図3の例では「0(GND)」とされている。

【0062】

そして、時点W4では、ループ構造部L O O Pに対する第1電源電圧V D D 1の供給と不揮発性記憶部N V Mに対する第2電源電圧V D D 2の供給がいずれも遮断される。このとき、リセット信号F R S Tは、時点W3から「1(VDD2)」に維持されており、トランジスタQ1 a、Q1 b、Q2 a、Q2 bがオンされ、強誘電体素子C L 1 a、C L 1 b、C L 2 a、C L 2 bの各両端間がいずれも短絡されている。従って、強誘電体素子C L 1 a、C L 1 b、C L 2 a、C L 2 bに一切電圧が印加されない状態となっているので、電源遮断時に電圧変動が生じた場合であっても、強誘電体素子C L 1 a、C L 1 b、C L 2 a、C L 2 bに意図しない電圧が印加されることはなく、データ化けを回避することが可能となる。

10

20

30

40

50

## 【 0 0 6 3 】

なお、図 5 は、上記したデータ書き込み動作時（特に時点 W 1 ~ W 3）の信号経路（図中では太線として描写）を示す回路図である。

## 【 0 0 6 4 】

次に、強誘電体素子からのデータ読み出し動作について説明する。

## 【 0 0 6 5 】

時点 R 1 ~ R 5 では、クロック信号 C L K が「 0 ( G N D ) 」とされており、反転クロック信号 C L K B が「 1 ( V D D 1 ) 」とされている。従って、第 1 パススイッチ S W 1 がオフされており、第 2 パススイッチがオンされている。このように、クロック信号 C L K 及び反転クロック信号 C L K B の論理を予め固定しておくことにより、強誘電体素子からのデータ読み出し動作の安定性を高めることが可能となる。

10

## 【 0 0 6 6 】

時点 R 1 では、最先に F リセット信号 F R S T が「 1 ( V D D 1 ) 」とされており、トランジスタ Q 1 a、Q 1 b、Q 2 a、Q 2 b がオンされて、強誘電体素子 C L 1 a、C L 1 b、C L 2 a、C L 2 b の各両端間がいずれも短絡されている。従って、強誘電体素子 C L 1 a、C L 1 b、C L 2 a、C L 2 b には一切電圧が印加されない状態となっているので、電源投入時に電圧変動が生じた場合でも、強誘電体素子 C L 1 a、C L 1 b、C L 2 a、C L 2 b に意図しない電圧が印加されることはなく、データ化けを回避することが可能となる。

## 【 0 0 6 7 】

なお、時点 R 1 において、第 1 プレートライン P L 1 と第 2 プレートライン P L 2 は、いずれも「 0 ( ローレベル : G N D ) 」とされている。

20

## 【 0 0 6 8 】

時点 R 2 では、制御信号 E 1、E 2 がいずれも「 0 ( G N D ) 」とされた状態（すなわち、データ書き込み用ドライバが無効とされており、かつ、ループ構造部 L O O P で通常ループが無効とされている状態）で、ループ構造部 L O O P に対する第 1 電源電圧 V D D 1 と不揮発性記憶部 N V M に対する第 2 電源電圧 V D D 2 が投入される。このとき、図 6 中の太線で描写された信号ラインは、フローティングとなっている。

## 【 0 0 6 9 】

続く時点 R 3 では、F リセット信号 F R S T が「 0 ( G N D ) 」とされ、トランジスタ Q 1 a、Q 1 b、Q 2 a、Q 2 b がオフされて、強誘電体素子 C L 1 a、C L 1 b、C L 2 a、C L 2 b に対する電圧印加が可能な状態とされる一方、第 2 プレートライン P L 2 が「 0 ( G N D ) 」に維持されたまま、第 1 プレートライン P L 1 が「 1 ( V D D 2 ) 」とされる。このようなパルス電圧の印加により、ノード電圧 V 1 及びノード電圧 V 2 として、強誘電体素子内の残留分極状態に対応した電圧信号が現れる。

30

## 【 0 0 7 0 】

図 3 の例に即して具体的に説明すると、ノード電圧 V 1 としては、比較的低い電圧信号（以下、その論理を W L [ Weak Low ] と呼ぶ）が現れ、ノード電圧 V 2 としては、比較的高い電圧信号（以下、その論理を W H [ Weak Hi ] と呼ぶ）が現れる。すなわち、ノード電圧 V 1 とノード電圧 V 2 との間には、強誘電体素子内の残留分極状態の差に応じた電圧差が生じる形となる。

40

## 【 0 0 7 1 】

このとき、時点 R 3 ~ R 4 では、制御信号 E 2 が「 0 ( V D D 1 ) 」とされ、マルチプレクサ M U X 1 とマルチプレクサ M U X 2 の第 2 入力端 ( 0 ) が選択されるので、ノード電圧 V 3 の論理は W L となり、ノード電圧 V 4 の論理は W H となる。また、ノード電圧 V 5 の論理は W H となり、ノード電圧 V 6 の論理は W L となる。このように、時点 R 3 ~ R 4 では、装置各部のノード電圧 V 1 ~ V 6 が未だに不安定な状態（インバータ I N V 3 及びインバータ I N V 4 での論理反転が完全に行われず、その出力論理が確実に「 0 ( G N D ) 」 / 「 1 ( V D D 1 ) 」となっていない状態）である。

## 【 0 0 7 2 】

50

続く時点R4では、制御信号E2が「1(VDD1)」とされ、マルチプレクサMUX1とマルチプレクサMUX2の第1入力端(1)が選択されるので、ループ構造部LOOPにて通常ループが形成されている。このような信号経路の切り換えに伴い、インバータINV4の出力端(論理:WH)とインバータINV3の入力端(論理:WH)が接続され、インバータINV3の出力端(論理:WL)とインバータINV4の入力端(論理:WL)が接続される。従って、各ノードの信号論理(WH/WL)に不整合は生じず、以降、ループ構造部LOOPにて通常ループが形成されている間、インバータINV3は、論理WLの入力を受けて、その出力論理を「1(VDD1)」に引き上げようとし、インバータINV4は、論理WHの入力を受けて、その出力論理を「0(GND)」に引き下げようとする。その結果、インバータINV3の出力論理は、不安定な論理WLから「0(GND)」に確定され、インバータINV4の出力論理は、不安定な論理WHから「1(VDD1)」に確定される。

10

#### 【0073】

このように、時点R4において、ループ構造部LOOPが通常ループとされたことに伴い、強誘電体素子から読み出された信号(ノード電圧V1とノード電圧V2との電位差)がループ構造部LOOPで増幅される形となり、出力信号Qとして電源遮断前の保持データ(図2の例では「1(VDD1)」)が復帰される。

#### 【0074】

その後、時点R5では、リセット信号FRSTが再び「1(VDD2)」とされ、トランジスタQ1a、Q1b、Q2a、Q2bがオンされて、強誘電体素子CL1a、CL1b、CL2a、CL2bの各両端間がいずれも短絡されるので、これらの強誘電体素子CL1a、CL1b、CL2a、CL2bには一切電圧が印加されない状態となる。このとき、第1プレートラインPL1と第2プレートラインPL2は、いずれも、「0(GND)」とされる。従って、データ保持装置は、時点W1以前と同様の状態、すなわち、通常の動作状態に復帰される。

20

#### 【0075】

なお、図6は、上記したデータ読み出し動作時(特に時点R3~R4)の信号経路(図中では太線として描写)を示す回路図である。

#### 【0076】

上記で説明したように、本実施形態のデータ保持装置は、ループ状に接続された論理ゲート(図1ではインバータINV3、INV4)を用いてデータを保持するループ構造部LOOPと、強誘電体素子のヒステリシス特性を用いてループ構造部LOOPに保持されたデータを不揮発的に記憶する不揮発性記憶部NVM(CL1a、CL1b、CL2a、CL2b、Q1a、Q1b、Q2a、Q2b)と、ループ構造部LOOPと不揮発性記憶部NVMとを電氣的に分離する回路分離部SEP(MUX1、MUX2、INV6、INV7、SW3、SW4)と、を有して成り、回路分離部SEPは、データ保持装置の通常動作中には、強誘電体素子に対する印加電圧を一定に保ちつつ、ループ構造部LOOPを電氣的に動作させる構成とされている。

30

#### 【0077】

このように、ループ構造部LOOPの信号線から強誘電体素子CL1a、CL1b、CL2a、CL2bを直接駆動するのではなく、ループ構造部LOOPの信号線と強誘電体素子CL1a、CL1b、CL2a、CL2bとの間に、バッファとしても機能するデータ書き込み用ドライバ(図1ではインバータINV6、INV7)を設けることにより、強誘電体素子CL1a、CL1b、CL2a、CL2bがループ構造部LOOP内の負荷容量とならないようにすることが可能となる。

40

#### 【0078】

また、データ書き込み用ドライバ(インバータINV6、INV7)の出力端にパススイッチSW3、SW4を接続し、制御信号E1に応じて、データの書き込み時にのみ、パススイッチSW3、SW4をオンさせる構成であれば、通常動作時には、強誘電体素子CL1a、CL1b、CL2a、CL2bが駆動されないようにすることが可能となる。

50

## 【0079】

また、データ読み出しの際には、制御信号E2に応じて、マルチプレクサMUX1、MUX2の入出力経路を切り換えることにより、ループ構造部LOOP内の論理ゲート(図1ではインバータINV3、INV4)と強誘電体素子CL1a、CL1b、CL2a、CL2bとの導通/遮断を制御することができる。従って、特定ノードをフローティングとするために、負荷の大きいクロック線を増設する必要がないため、消費電力の増大を回避することが可能となる。

## 【0080】

なお、本実施形態のデータ保持装置では、制御信号E1、E2が新たに必要となるが、これらの信号は、常時駆動されるクロック信号と異なり、通常時には一切駆動されないの  
10

## 【0081】

また、本実施形態のデータ保持装置では、データ書き込み用ドライバ(インバータINV6、INV7)や、マルチプレクサMUX1、MUX2が新たに必要となるが、CPU[Central Processing Unit]などの演算回路内におけるデータ保持装置の占有面積は、数%に過ぎないことが多く、演算回路全体に与える面積増加の影響は殆どないと言える。

## 【0082】

このように、本実施形態のデータ保持装置であれば、通常動作中には強誘電体素子が無駄に駆動されることがないので、揮発性のデータ保持装置と同レベルの高速化、並びに、  
20

## 【0083】

すなわち、揮発性のデータ保持装置と同等の取り扱いを行うことができるので、タイミング設計や消費電力設計などの再設計を行わずに、既存回路の記憶素子部分を本発明のデータ保持装置に置き換えることが可能となる。従って、既存回路を容易に不揮発化することができるので、例えば、待機時にデータを消さずに電源を遮断したり、電源投入後、即時に動作再開が可能なCPU等を実現することが可能となる。

## 【0084】

また、本実施形態のデータ保持装置において、ループ構造部LOOPと不揮発性記憶部NVMは、互いに異なる第1、第2電源電圧VDD1、VDD2の供給を別個に受けて駆動されるものであり、回路分離部SEPは、ループ構造部LOOPと不揮発性記憶部NVMの間でやり取りされるデータDの電圧レベルを変換するレベルシフタ(図1の例では、  
30

## 【0085】

このような構成とすることにより、第1電源電圧VDD1を用いてループ構造部LOOPを低電圧駆動するとともに、第1電源電圧VDD1よりも高い第2電源電圧VDD2を用いて不揮発性記憶部NVM(より具体的には、これに含まれる強誘電体素子CL1a、CL1b、CL2a、CL2b)を適切に駆動することができるので、低電圧駆動デバイス(超低電圧プロセッサなど)にも好適に組み込むことが可能なデータ保持装置を提供することが可能となる。

## 【0086】

なお、上記の実施形態では、インバータINV6とパススイッチSW3、及び、インバータINV7とパススイッチSW4をそれぞれ組み合わせた構成を例に挙げて説明を行ったが、本発明の構成はこれに限定されるものではなく、図7に示すように、制御信号E1に応じてその出力状態をハイインピーダンスとすることが可能な3ステートのインバータINV6'、INV7'を用いることで、パススイッチSW3、SW4を省略しても構わない。この場合、インバータINV6'(インバータINV7'についても同様)の構成は、図8に示す通りとなる。  
40

## 【0087】

図8は、レベルシフト機能を備えた3ステートのインバータINV6'(インバータINV7'についても同様)の一構成例を示す回路図である。  
50

## 【 0 0 8 8 】

図 8 に示すように、レベルシフト機能を備えた 3 ステートのインバータ  $INV6'$  ( $INV7'$ ) は、先出のインバータ  $INV6$  ( $INV7$ ) に若干の変更を加えることにより容易に実現することが可能である。より具体的に述べると、3 ステートのインバータ  $INV6'$  ( $INV7'$ ) は、図 2 の構成に加えて、P チャネル型 MOS 電界効果トランジスタ  $P4$  及び  $P5$  と、N チャネル型 MOS 電界効果トランジスタ  $N4$  及び  $N5$  と、を有して成る出力段を別途設けるとともに、トランジスタ  $P1$  のドレインから出力信号を引き出す構成に代えて、上記の出力段から出力信号を引き出す構成とすればよい。

## 【 0 0 8 9 】

上記の出力段を形成するトランジスタ  $P4$  のソースは、第 2 電源電圧  $VDD2$  の印加端に接続されている。トランジスタ  $P4$  のゲートは、反転制御信号  $E1$  バーの印加端に接続されている。トランジスタ  $P4$  のドレインは、トランジスタ  $P5$  のソースに接続されている。トランジスタ  $P5$  のドレインは、トランジスタ  $N4$  のドレインに接続される一方、出力端  $OUT$  にも接続されている。トランジスタ  $P5$ 、 $N4$  のゲートは、いずれもトランジスタ  $P2$  のドレインに接続されている。トランジスタ  $N4$  のソースは、トランジスタ  $N5$  のドレインに接続されている。トランジスタ  $N5$  のソースは、接地端に接続されている。トランジスタ  $N5$  のゲートは、制御信号  $E1$  の印加端に接続されている。

## 【 0 0 9 0 】

上記構成から成る 3 ステートのインバータ  $INV6'$  ( $INV7'$ ) において、制御信号  $E1$  がハイレベル (第 2 電源電圧  $VDD2$ ) とされている場合、入力端  $IN$  にハイレベル (第 1 電源電圧  $VDD1$ ) の論理信号が入力されたときには、出力端  $OUT$  からローレベル (接地電圧  $GND$ ) の論理信号が出力され、逆に、入力端  $IN$  にローレベル (接地電圧  $GND$ ) の論理信号が入力されたときには、出力端  $OUT$  からハイレベル (第 2 電源電圧  $VDD2$ ) の論理信号が出力される。すなわち、インバータ  $INV6'$  ( $INV7'$ ) は、制御信号  $E1$  がハイレベルとされているときには、入力端  $IN$  に入力された論理信号の論理を反転した上で、さらに、そのハイレベル電位を第 1 電源電圧  $VDD1$  から第 2 電源電圧  $VDD2$  まで引き上げて出力する。一方、制御信号  $E1$  がローレベル ( $GND$ ) とされている場合、トランジスタ  $P4$ 、 $N5$  がいずれもオフとなるので、出力端  $OUT$  はハイインピーダンス状態となる。すなわち、インバータ  $INV6'$  ( $INV7'$ ) は、制御信号  $E1$  がローレベル ( $GND$ ) とされているときには、入力端  $IN$  に入力される論理信号に依らず、出力端  $OUT$  をハイインピーダンス状態とすることができる。従って、3 ステートのインバータ  $INV6'$ 、 $INV7'$  を用いれば、図 2 に示したパススイッチ  $SW3$ 、 $SW4$  を省略することが可能となる。

## 【 0 0 9 1 】

次に、強誘電体素子からのデータ読み出し動作の変形例について、図 9 を参照しながら詳細な説明を行う。図 9 は、本発明に係るデータ保持装置の別の動作例を説明するためのタイミングチャートであり、上から順に、電源電圧 ( $VDD1$ 、 $VDD2$ )、クロック信号  $CLK$ 、データ信号  $D$ 、制御信号  $E1$ 、制御信号  $E2$ 、リセット信号  $FRST$ 、第 1 プレートライン  $PL1$  の印加電圧、第 2 プレートライン  $PL2$  の印加電圧、ノード電圧  $V1$ 、ノード電圧  $V2$ 、及び、出力信号  $Q$  の電圧波形を示している。

## 【 0 0 9 2 】

時点  $R1 \sim R5$  では、クロック信号  $CLK$  が「0 ( $GND$ )」とされており、反転クロック信号  $CLKB$  が「1 ( $VDD1$ )」とされている。従って、第 1 パススイッチ  $SW1$  がオフされており、第 2 パススイッチがオンされている。このように、クロック信号  $CLK$  及び反転クロック信号  $CLKB$  の論理を予め固定しておくことにより、強誘電体素子からのデータ読み出し動作の安定性を高めることが可能となる。

## 【 0 0 9 3 】

時点  $R1$  では、最先にリセット信号  $FRST$  が「1 ( $VDD2$ )」とされており、トランジスタ  $Q1a$ 、 $Q1b$ 、 $Q2a$ 、 $Q2b$  がオンされて、強誘電体素子  $CL1a$ 、 $CL1b$ 、 $CL2a$ 、 $CL2b$  の各両端間がいずれも短絡されている。従って、強誘電体素子

10

20

30

40

50

C L 1 a、C L 1 b、C L 2 a、C L 2 bには一切電圧が印加されない状態となっているので、電源投入時に電圧変動が生じた場合でも、強誘電体素子C L 1 a、C L 1 b、C L 2 a、C L 2 bに意図しない電圧が印加されることはなく、データ化けを回避することが可能となる。

【 0 0 9 4 】

なお、時点R 1において、第1プレートラインP L 1と第2プレートラインP L 2は、いずれも「0 (ローレベル: G N D)」とされている。

【 0 0 9 5 】

時点R 2では、リセット信号F R S Tが「0 (G N D)」とされて、トランジスタQ 1 a、Q 1 b、Q 2 a、Q 2 bがオフされることにより、強誘電体素子C L 1 a、C L 1 b、C L 2 a、C L 2 bに対する電圧印加が可能な状態とされる一方、第2プレートラインP L 2が「0 (G N D)」に維持されたまま、第1プレートラインP L 1が「1 (V D D 2)」とされる。このようなパルス電圧の印加により、ノード電圧V 1及びノード電圧V 2として、強誘電体素子内の残留分極状態に対応した電圧信号が現れる。

【 0 0 9 6 】

図9の例に即して具体的に説明すると、ノード電圧V 1の論理としてはW Lが現れ、ノード電圧V 2の論理としてはW Hが現れる。すなわち、ノード電圧V 1とノード電圧V 2との間には、強誘電体素子内の残留分極状態の差に応じた電圧差が生じる形となる。

【 0 0 9 7 】

ただし、時点R 2 ~ R 3では、未だ電源電圧V D D が投入されていないため、ループ構造部L O O P各部のノード電圧V 3 ~ V 6はいずれも「0 (G N D)」となっており、延いては、出力信号Qが「0 (G N D)」となっている。

【 0 0 9 8 】

続く時点R 3では、制御信号E 1、E 2がいずれも「0 (G N D)」とされた状態(すなわち、データ書き込み用ドライバが無効とされ、かつ、ループ構造部L O O Pで通常ループが無効とされている状態)で、ループ構造部L O O Pに対する第1電源電圧V D D 1と不揮発性記憶部N V Mに対する第2電源電圧V D D 2が投入される。このとき、図6中の太線で描写された信号ラインは、フローティングとなっている。

【 0 0 9 9 】

なお、時点R 3 ~ R 4では、制御信号E 2が「0 (G N D)」とされて、マルチプレクサM U X 1とマルチプレクサM U X 2の第2入力端(0)が選択されるので、ノード電圧V 3の論理はW Lとなり、ノード電圧V 4の論理はW Hとなる。また、ノード電圧V 5の論理はW Hとなり、ノード電圧V 6の論理はW Lとなる。このように、時点R 3 ~ R 4では、装置各部のノード電圧V 1 ~ V 6が未だ不安定な状態(インバータI N V 3及びインバータI N V 4での論理反転が完全に行われず、その出力論理が確実に「0 (G N D)」/「1 (V D D 1)」となっていない状態)である。

【 0 1 0 0 】

続く時点R 4では、制御信号E 2が「1 (V D D 1)」とされ、マルチプレクサM U X 1とマルチプレクサM U X 2の第1入力端(1)が選択されるので、ループ構造部L O O Pにて通常ループが形成されている。このような信号経路の切り換えに伴い、インバータI N V 4の出力端(論理: W H)とインバータI N V 3の入力端(論理: W H)が接続され、インバータI N V 3の出力端(論理: W L)とインバータI N V 4の入力端(論理: W L)が接続される。従って、各ノードの信号論理(W H / W L)に不整合は生じず、以降、ループ構造部L O O Pにて通常ループが形成されている間、インバータI N V 3は、論理W Lの入力を受けて、その出力論理を「1 (V D D 1)」に引き上げようとし、インバータI N V 4は、論理W Hの入力を受けて、その出力論理を「0 (G N D)」に引き下げようとする。その結果、インバータI N V 3の出力論理は、不安定な論理W Lから「0 (G N D)」に確定され、インバータI N V 4の出力論理は、不安定な論理W Hから「1 (V D D 1)」に確定される。

【 0 1 0 1 】

10

20

30

40

50

このように、時点R4において、ループ構造部LOOPが通常ループとされたことに伴い、強誘電体素子から読み出された信号（ノード電圧V1とノード電圧V2との電位差）がループ構造部LOOPで増幅される形となり、出力信号Qとして電源遮断前の保持データ（図9の例では「1（VDD1）」）が復帰される。

【0102】

その後、時点R5では、リセット信号FRSTが再び「1（VDD2）」とされ、トランジスタQ1a、Q1b、Q2a、Q2bがオンされて、強誘電体素子CL1a、CL1b、CL2a、CL2bの各両端間がいずれも短絡されるので、これらの強誘電体素子CL1a、CL1b、CL2a、CL2bには一切電圧が印加されない状態となる。このとき、第1プレートラインPL1と第2プレートラインPL2は、いずれも、「0（GND）」とされる。従って、データ保持装置は、時点W1以前と同様の状態、すなわち、通常の動作状態に復帰される。

10

【0103】

上記したように、図9のデータ読み出し動作は、図3のデータ読み出し動作と異なり、第1電源電圧VDD1と第2電源電圧VDD2の投入前から、強誘電体素子内の残留分極状態に対応した電圧信号（ノード電圧V1、V2）の引き出し動作を開始する構成とされている。このような構成とすることにより、第1電源電圧VDD1と第2電源電圧VDD2をいずれも投入した後の動作ステップ数を減らして（図3の動作例では3ステップ（時点R3、R4、R5）を要するのに対して、図9の動作例では2ステップ（時点R4、R5）のみ）、通常動作に復帰するまでの所要時間を短縮することが可能となる。

20

【0104】

次に、本実施形態のデータ保持装置で用いられる強誘電体素子の特性について、詳細な説明を行う。

【0105】

図10は、強誘電体素子の特性を説明するための図である。なお、図10の上段には、強誘電体素子Csに電圧Vsを印加する様子が模式的に描写されている。また、図10の下段左側には、強誘電体素子Csのヒステリシス特性が示されており、下段右側には、強誘電体素子Csの容量特性が示されている。

【0106】

本図に示すように、強誘電体素子Csは、その両端間に電圧Vsを印加した際の残留分極状態に応じて容量特性が変化する。具体的に述べると、強誘電体素子Csの両端間に正極性の電圧Vsを印加して、強誘電体素子Csを非反転状態（ $y = 1$ ）とした場合には、その容量値が小さくなる。逆に、強誘電体素子Csの両端間に負極性の電圧Vsを印加して、強誘電体素子Csを反転状態（ $y = 0$ ）とした場合には、その容量値が大きくなる。従って、強誘電体素子Csに記憶されたデータの読み出しに際しては、上記した容量値の違いを電圧値に変換する必要がある。

30

【0107】

そこで、本実施形態データ保持装置は、不揮発性記憶部NVMからデータを読み出す際に、非反転状態（ $y = 1$ ）の強誘電体素子と、反転状態（ $y = 0$ ）の強誘電体素子との容量結合を用いる構成とされている。

40

【0108】

図11は、強誘電体素子間の容量結合を用いたデータ読み出し方式を説明するための図である。なお、図11の上段は、強誘電体素子CL1a（強誘電体素子CL2a）が反転状態（ $y = 0$ ）で、強誘電体素子CL1b（強誘電体素子CL2b）が非反転状態（ $y = 1$ ）であるときの容量特性を示しており、図11の下段は、上記と逆に、強誘電体素子CL1a（強誘電体素子CL2a）が非反転状態（ $y = 1$ ）で、強誘電体素子CL1b（強誘電体素子CL2b）が反転状態（ $y = 0$ ）であるときの容量特性を示している。

【0109】

先にも述べたように、強誘電体素子に対するデータの書き込みに際して、強誘電体素子CL1aとCL1bとの間、及び、強誘電体素子CL2aとCL2bとの間では、互いの

50

残留分極状態が逆になるので、その容量特性としては、一方の容量値が大きいほど、他方の容量値が小さいという関係となる。

【0110】

従って、互いに残留分極状態が逆である2つの強誘電体素子CL1aとCL1b、並びに、強誘電体素子CL2aとCLK2bを直列に接続し、その一端にパルス電圧を加えたとき、両素子間の接続ノードに現れるノード電圧V1、V2（容量値の比で決まる電圧値であり、図11では読み出し電圧Voutと表記）を検出する構成とすれば、読み出し電圧Voutの振幅値を1[V]近辺まで確保して、読み出しマージンを大幅に改善することが可能となる。

【0111】

また、本実施形態のデータ保持装置は、強誘電体素子CL1a、CL1bの容量比に応じたノード電圧V1と、強誘電体素子CL2a、CL2bの容量比に応じたノード電圧Vbを比較することで、不揮発性記憶部NVMから読み出されたデータの0/1判定を行う構成とされているため、インバータの閾値を厳密に設定する必要はない。

【0112】

このように、本実施形態のデータ保持装置では、強誘電体素子間の容量結合を用いたデータ読み出し方式が採用されているが、本発明の構成はこれに限定されるものではなく、図12（第2の変形例）に示すように、強誘電体素子CL1a、CL2aと、インバータINV3、INV4を構成するトランジスタのゲート容量との容量結合を用いることで、不揮発性記憶部NVMからデータを読み出す構成（言い換えれば、図1の構成から、強誘電体素子CL1b、CL2bとトランジスタQ1b、C2bを除いた構成）としても構わないし、若しくは、図13（第3の変形例）に示すように、強誘電体素子CL1a、CL1bと、その他の容量素子C1、C2との容量結合を用いることで、不揮発性記憶部NVMからデータを読み出す構成としても構わない。

【0113】

図14は、セット/リセット機能を備えたDフリップフロップ（レジスタ）への適用例を示す回路図である。

【0114】

本図に示すように、Dフリップフロップを構成する場合には、ラッチ回路が2段組（マスタとスレーブ）に直列接続されるが、マスタとスレーブの両方を不揮発化する必要はなく、スレーブ側のラッチ回路にのみ本発明を適用すれば足りる。

【0115】

また、その通常動作、強誘電体素子へのデータ書き込み動作、及び、強誘電体素子からのデータ読み出し動作は、マスタ側のラッチ回路が接続されている以外、先述と同様であり、各々の動作時における信号経路についても、図15～図17で示すように、特段重複した説明を要するものではない。

【0116】

ただし、本図に示すDフリップフロップでは、セット/リセット機能を実現すべく、ループ構造部を形成する論理ゲートとして、インバータではなく、否定論理積演算器NAND1～NAND4が用いられている。なお、否定論理積演算器NAND1、NAND3に入力されるセット信号RNを「0（GND）」とすれば、出力信号Qが強制的に「1（VDD1）」となり、否定論理積演算器NAND2、NAND4に入力されるリセット信号SNを「0（GND）」とすれば、出力信号Qが強制的に「0（GND）」となる。従って、データの書き込み動作時やデータの読み出し動作時には、セット信号RN及びリセット信号SNを「1（VDD1）」としておく必要がある。

【0117】

次に、本発明に係るデータ保持装置の第4の変形例について、図18を参照しながら、詳細な説明を行う。図18は、本発明に係るデータ保持装置の第4の変形例を示す回路図である。

【0118】

10

20

30

40

50

本図に示したデータ保持装置は、インバータINV1～INV7と、パススイッチSW1～SW4と、マルチプレクサMUX1～MUX4と、デマルチプレクサDeMUX1、DeMUX2と、Nチャンネル型電界効果トランジスタQ11a～Q1ma、Q11b～Q1mb、Q21a～Q2ma、Q21b～Q2mbと、強誘電体素子（強誘電体キャパシタ）CL11a～CL1ma、CL11b～CL1mb、CL21a～CL2ma、CL21b～CL2mbと、を有して成るラッチ回路である。

【0119】

インバータINV1の入力端は、データ信号(D)の印加端に接続されている。インバータINV1の出力端は、インバータINV2の入力端に接続されている。インバータINV2の出力端は、パススイッチSW1を介して、マルチプレクサMUX1の第1入力端(1)に接続されている。マルチプレクサMUX1の出力端は、インバータINV3の入力端に接続されている。インバータINV3の出力端は、インバータINV5の入力端に接続されている。インバータINV5の出力端は、出力信号(Q)の引出端に接続されている。マルチプレクサMUX2の第1入力端(1)は、インバータINV3の出力端に接続されている。マルチプレクサMUX2の出力端は、インバータINV4の入力端に接続されている。インバータINV4の出力端は、パススイッチSW2を介して、マルチプレクサMUX1の第1入力端(1)に接続されている。

10

【0120】

このように、本実施形態のデータ保持装置は、ループ状に接続された2つの論理ゲート（図18ではインバータINV3、INV4）を用いて、入力されたデータ信号Dを保持するループ構造部LOOPを有して成る。

20

【0121】

なお、ループ構造部LOOPは、第1電源電圧VDD1（例えば0.6[V]）の供給を受けて駆動されるものである。

【0122】

インバータINV6の入力端は、マルチプレクサMUX1の第1入力端(1)に接続されている。インバータINV6の出力端は、パススイッチSW3を介して、デマルチプレクサDeMUX1の入力端に接続されている。デマルチプレクサDeMUX1の第1出力端～第m出力端は、それぞれ、マルチプレクサMUX4の第1入力端～第m入力端に接続されている。マルチプレクサMUX4の出力端は、マルチプレクサMUX2の第2入力端(0)に接続されている。

30

【0123】

インバータINV7の入力端は、マルチプレクサMUX2の第1入力端(1)に接続されている。インバータINV7の出力端は、パススイッチSW4を介して、デマルチプレクサDeMUX2の入力端に接続されている。デマルチプレクサDeMUX2の第1出力端～第m出力端は、それぞれ、マルチプレクサMUX3の第1入力端～第m入力端に接続されている。マルチプレクサMUX3の出力端は、マルチプレクサMUX1の第2入力端(0)に接続されている。

【0124】

強誘電体素子CL11a～CL1maの正極端は、それぞれ、プレートラインPL11～PL1mに接続されている。強誘電体素子CL11a～CL1maの負極端は、それぞれ、デマルチプレクサDeMUX1の第1出力端～第m出力端に接続されている。強誘電体素子CL11a～1maの両端間には、それぞれ、トランジスタQ11a～Q1maが接続されている。トランジスタQ11a～Q1maのゲートは、それぞれ、リセット信号FRST1～FRSTmの印加端に接続されている。

40

【0125】

強誘電体素子CL11b～CL1mbの正極端は、それぞれ、デマルチプレクサDeMUX1の第1出力端～第m出力端に接続されている。強誘電体素子CL11b～CL1mbの負極端は、それぞれ、プレートラインPL21～PL2mに接続されている。強誘電体素子CL11b～CL1mbの両端間には、それぞれ、トランジスタQ11b～Q1m

50

bが接続されている。トランジスタ $Q_{11b} \sim Q_{1mb}$ のゲートは、それぞれ、リセット信号 $FRST_1 \sim FRST_m$ の印加端に接続されている。

【0126】

強誘電体素子 $CL_{21a} \sim CL_{2ma}$ の正極端は、それぞれ、プレートライン $PL_{11} \sim PL_{1m}$ に接続されている。強誘電体素子 $CL_{21a} \sim CL_{2ma}$ の負極端は、それぞれ、デマルチプレクサ $DeMUX_2$ の第1出力端～第m出力端に接続されている。強誘電体素子 $CL_{21a} \sim CL_{2ma}$ の両端間には、それぞれ、トランジスタ $Q_{21a} \sim Q_{2ma}$ が接続されている。トランジスタ $Q_{21a} \sim Q_{2ma}$ のゲートは、それぞれ、リセット信号 $FRST_1 \sim FRST_m$ の印加端に接続されている。

【0127】

強誘電体素子 $CL_{21b} \sim CL_{2mb}$ の正極端は、それぞれ、デマルチプレクサ $DeMUX_2$ の第1出力端～第m出力端に接続されている。強誘電体素子 $CL_{21b} \sim CL_{2mb}$ の負極端は、それぞれ、プレートライン $PL_{21} \sim PL_{2m}$ に接続されている。強誘電体素子 $CL_{21b} \sim CL_{2mb}$ の両端間には、それぞれ、トランジスタ $Q_{21b} \sim Q_{2mb}$ が接続されている。トランジスタ $Q_{21b} \sim Q_{2mb}$ のゲートは、それぞれ、リセット信号 $FRST_1 \sim FRST_m$ の印加端に接続されている。

【0128】

上記したように、本実施形態のデータ保持装置は、強誘電体素子( $CL_{11a} \sim CL_{1ma}$ 、 $CL_{11b} \sim CL_{1mb}$ 、 $CL_{21a} \sim CL_{2ma}$ 、 $CL_{21b} \sim CL_{2mb}$ )のヒステリシス特性を用いてループ構造部 $LOOP$ に保持されたデータ $D$ を不揮発的に記憶する不揮発性記憶部 $NVM$ を有して成る。

【0129】

なお、不揮発性記憶部 $NVM$ は、第1電源電圧 $VDD_1$ よりも高い第2電源電圧 $VDD_2$ (例えば $1.2[V]$ )の供給を受けて駆動されるものである。

【0130】

また、上記した構成要素のうち、パススイッチ $SW_1$ は、クロック信号 $CLK$ に応じてオン/オフされ、パススイッチ $SW_2$ は、反転クロック信号 $CLKB$ (クロック信号 $CLK$ の論理反転信号)に応じてオン/オフされる。すなわち、パススイッチ $SW_1$ とパススイッチ $SW_2$ は、互いに排他的(相補的)にオン/オフされる。

【0131】

一方、パススイッチ $SW_3$ 、 $SW_4$ は、いずれも制御信号 $E_1$ に応じてオン/オフされる。また、マルチプレクサ $MUX_1$ 、 $MUX_2$ は、いずれも制御信号 $E_2$ に応じてその信号経路が切り換えられる。また、マルチプレクサ $MUX_3$ 、 $MUX_4$ と、デマルチプレクサ $DeMUX_1$ 、 $DeMUX_2$ は、いずれも制御信号 $SEL_1 \sim SEL_m$ に応じてその信号経路が切り換えられる。すなわち、本実施形態のデータ保持装置において、マルチプレクサ $MUX_1 \sim MUX_4$ と、デマルチプレクサ $DeMUX_1$ 、 $DeMUX_2$ と、インバータ $INV_6$ 、 $INV_7$ と、パススイッチ $SW_3$ 、 $SW_4$ は、ループ構造部 $LOOP$ と不揮発性記憶部 $NVM$ とを電気的に分離する回路分離部 $SEP$ として機能する。

【0132】

なお、回路分離部 $SEP$ を形成する回路要素のうち、ループ構造部 $LOOP$ に含まれるマルチプレクサ $MUX_1 \sim MUX_4$ は、第1電源電圧 $VDD_1$ の供給を受けて駆動されるものであり、不揮発性記憶部 $NVM$ に含まれるデマルチプレクサ $DeMUX_1$ 、 $DeMUX_2$ と、パススイッチ $SW_3$ 、 $SW_4$ は、第2電源電圧 $VDD_2$ の供給を受けて駆動されるものである。

【0133】

また、インバータ $INV_6$ 、 $INV_7$ は、第1電源電圧 $VDD_1$ と第2電源電圧 $VDD_2$ の双方の供給を受けて駆動されるものであり、ループ構造部 $LOOP$ と不揮発性記憶部 $NVM$ の間でやり取りされるデータ $D$ の電圧レベルを変換するレベルシフタとしての機能を備えている。なお、インバータ $INV_6$ 、 $INV_7$ の回路構成については、説明済みであるため、重複した説明は割愛する。また、先出の図7で示したように、インバータ $INV$

10

20

30

40

50

V6とパススイッチSW3、及び、インバータINV7とパススイッチSW4に代えて、3ステートのインバータINV6'、INV7'を用いてもよい。

【0134】

このように、上記構成から成るデータ保持装置は、データDをmビット分(m-2)だけ格納するために、図1の構成をさらに拡張したものであって、制御信号SEL1~SELMに応じて選択可能な第1記憶領域~第m記憶領域を有する構成とされている。なお、図18の例に即して説明すると、第x記憶領域(1<x<m)は、強誘電体素子CL1xa、CL1xb、CL2xa、CL2xbと、トランジスタQ1xa、Q1xb、Q2xa、Q2xbと、によって形成されている。ただし、本発明の構成はこれに限定されるものではなく、先出の図12、図13と同様の変形を行うことも可能である。

10

【0135】

次に、上記構成から成るデータ保持装置の動作について、詳細な説明を行う。なお、以下の説明では、デマルチプレクサDeMUX1の第1出力端~第m出力端(マルチプレクサMUX4の第1入力端~第m入力端)に各々現れる電圧をV11~V1m、デマルチプレクサDeMUX2の第1出力端~第m出力端(マルチプレクサMUX3の第1入力端~第m入力端)に各々現れる電圧をV21~V2m、インバータINV4の入力端に現れる電圧をV3、インバータINV4の出力端に現れる電圧をV4、インバータINV3の入力端に現れる電圧をV5、インバータINV3の出力端に現れる電圧をV6というように各部のノード電圧に符号を付すことにする。

【0136】

20

図19は、本発明に係るデータ保持装置の一動作例(第1記憶領域にデータDを書き込んで、第m記憶領域からデータDを読み出す動作)を説明するためのタイミングチャートであり、上から順に、電源電圧(VDD1、VDD2)、クロック信号CLK、データ信号D、制御信号E1、制御信号E2、制御信号SEL1、リセット信号FRST1、プレートラインPL11の印加電圧、プレートラインPL21の印加電圧、ノード電圧V11、ノード電圧V21、制御信号SELM、リセット信号FRSTM、プレートラインPL1mの印加電圧、プレートラインPL2mの印加電圧、ノード電圧V1m、ノード電圧V2m、及び出力信号Qの電圧波形を示している。

【0137】

なお、データDの書き込み先や読み出し元として選択されていない第y記憶領域(1<y<m)に関連する制御信号SELy、リセット信号FRSTy、プレートラインPL1yの印加電圧、プレートラインPL2yの印加電圧、ノード電圧V1y、ノード電圧V2yは、データDの書き込み動作中には、データDの書き込み先として選択されていない第m記憶領域のそれと同様となり、データDの読み出し動作中には、データDの読み出し元として選択されていない第1記憶領域のそれと同様となるため、その描写並びに説明を適宜省略する。

30

【0138】

まず、データ保持装置の通常動作について説明する。

【0139】

時点W1までは、リセット信号FRST1~FRSTMが全て「1(ハイレベル:VDD2)」とされており、トランジスタQ11a~Q1ma、Q11b~Q1mb、Q21a~Q2ma、Q21b~Q2mbが全てオンされ、強誘電体素子CL11a~CL1ma、CL11b~CL1mb、CL21a~CL2ma、CL21b~CL2mbの各両端間がいずれも短絡されているので、これらの強誘電体素子CL11a~CL1ma、CL11b~CL1mb、CL21a~CL2ma、CL21b~CL2mbには一切電圧が印加されない状態となっている。なお、プレートラインPL11~PL1mとプレートラインPL21~PL2mは、いずれも「0(ローレベル:GND)」とされている。

40

【0140】

また、時点W1までは、制御信号E1が「0(GND)」とされており、パススイッチSW3とパススイッチSW4がオフされているので、データ書き込み用ドライバ(図18

50

の例ではインバータINV6、INV7)はいずれも無効とされている。

【0141】

また、時点W1までは、制御信号E2が「1(VDD1)」とされており、マルチプレクサMUX1とマルチプレクサMUX2の第1入力端(1)が選択されているので、ループ構造部LOOPにて通常ループが形成されている。

【0142】

従って、クロック信号CLKのハイレベル期間には、パススイッチSW1がオンされ、パススイッチSW2がオフされるので、データ信号Dが出力信号Qとしてそのまま通過される形となる。一方、クロック信号CLKのローレベル期間には、パススイッチSW1がオフされ、パススイッチSW2がオンされるので、クロック信号CLKの立下がりエッジで、データ信号Dがラッチされる形となる。

10

【0143】

次に、第1記憶領域へのデータ書き込み動作について説明する。

【0144】

時点W1~W3では、クロック信号CLKが「0(GND)」とされ、反転クロック信号CLKBが「1(VDD1)」とされる。従って、第1パススイッチSW1がオフされて、第2パススイッチがオンされる。このように、クロック信号CLK及び反転クロック信号CLKBの論理を予め固定しておくことにより、強誘電体素子に対するデータ書き込み動作の安定性を高めることが可能となる。

【0145】

また、時点W1~W3では、データDの書き込み先として第1記憶領域を選択すべく、制御信号SEL1が「1(VDD2)」とされ、その余の制御信号SEL2~SELMが「0(GND)」とされる。これにより、デマルチプレクサDeMUX1、DeMUX2は、その入力端と第1出力端を結ぶ信号経路が選択された状態となり、マルチプレクサMUX3、MUX4は、その出力端と第1入力端を結ぶ信号経路が選択された状態となる。

20

【0146】

また、時点W1~W3では、リセット信号FRST1が「0(GND)」とされ、トランジスタQ11a、Q11b、Q21a、Q21bがオフされて、強誘電体素子CL11a、CL11b、CL21a、CL21bに対する電圧印加が可能な状態とされる。

【0147】

一方、リセット信号FRST2~FRSTmは、引き続き「1(VDD2)」に維持されるので、第2記憶領域~第m記憶領域でのデータ化けを回避することが可能となる。

30

【0148】

また、時点W1~W3では、制御信号E1が「1(VDD2)」とされ、パススイッチSW3とパススイッチSW4がオンされる。従って、データ書き込み用ドライバ(図18の例ではインバータINV6、INV7)がいずれも有効とされる。

【0149】

なお、時点W1~W3では、それまでと同様、制御信号E2が「1(VDD1)」とされており、マルチプレクサMUX1とマルチプレクサMUX2の第1入力端(1)が選択されているので、ループ構造部LOOPにて通常ループが形成されている。

40

【0150】

また、時点W1~W2では、プレートラインPL11、PL21が「0(GND)」とされ、時点W2~W3では、プレートラインPL11、PL21が「1(VDD2)」とされる。すなわち、プレートラインPL11、PL21に対して、同一のパルス電圧が印加される。このようなパルス電圧の印加により、強誘電体素子内部の残留分極状態が反転状態/非反転状態のいずれかに設定される。

【0151】

図19の例に即して具体的に述べると、時点W1では出力信号Qが「1(VDD1)」であるため、ノード電圧V11が「0(GND)」となり、ノード電圧V21が「1(VDD1)」となる。従って、時点W1~W2において、プレートラインPL11、PL2

50

1がいずれも「0 (GND)」とされている間、強誘電体素子CL11a、CL11bの両端間には、電圧が印加されない状態となり、強誘電体素子CL21aの両端間には、負極性の電圧が印加される状態となり、強誘電体素子CL21bの両端間には、正極性の電圧が印加される状態となる。一方、時点W2~W3において、プレートラインPL11、PL21がいずれも「1 (VDD2)」とされている間、強誘電体素子CL21a、CL21bの両端間には、電圧が印加されない状態となり、強誘電体素子CL11aの両端間には、正極性の電圧が印加される状態となり、強誘電体素子CL11bの両端間には、負極性の電圧が印加される状態となる。

【0152】

このように、プレートラインPL11、PL21に対して、パルス電圧を印加することにより、強誘電体素子内部の残留分極状態が反転状態/非反転状態のいずれかに設定される。なお、強誘電体素子CL11aとCL11bとの間、及び、強誘電体素子CL21aとCL21bとの間では、互いの残留分極状態が逆になる。また、強誘電体素子CL11aとCL21aとの間、及び、強誘電体素子CL11bとCL21bとの間でも、互いの残留分極状態が逆になる。

10

【0153】

なお、時点W1~W3において、プレートラインPL12~PL1m、PL22~PL2mはいずれも「0 (GND)」に維持される。

【0154】

時点W3では、フリセット信号FRST1が再び「1 (VDD2)」とされて、トランジスタQ11a、Q11b、Q21a、Q21bがオンされ、強誘電体素子CL11a、CL11b、CL21a、CL21bの各両端間がいずれも短絡されるので、これらの強誘電体素子CL11a、CL11b、CL21a、CL21bは一切電圧が印加されない状態となる。このとき、プレートラインPL11、PL21はいずれも「0 (GND)」とされる。また、制御信号SEL1も「0 (GND)」とされる。

20

【0155】

また、時点W3では、制御信号E1が再び「0 (GND)」とされ、パススイッチSW3とパススイッチSW4がオフされるので、データ書き込み用ドライバ(図18の例ではインバータINV6、INV7)がいずれも無効とされる。なお、制御信号E2については不問であるが、図19の例では「0 (GND)」とされている。

30

【0156】

また、時点W3において、フリセット信号FRST2~FRSTMは、いずれも、「1 (VDD2)」に維持され、制御信号SEL2~SELM、プレートラインPL12~PL1m、PL22~PL2mは、いずれも「0 (GND)」に維持される。

【0157】

そして、時点W4では、ループ構造部LOOPに対する第1電源電圧VDD1の供給と不揮発性記憶部NVMに対する第2電源電圧VDD2の供給が遮断される。このとき、フリセット信号FRST1~FRSTMは、いずれも第1電源電圧VDD1と第2電源電圧VDD2の遮断前から「1 (VDD2)」に維持されており、トランジスタQ11a~Q1ma、Q11b~Q1mb、Q21a~Q2ma、Q21b~Q2mbがオンされて、強誘電体素子CL11a~CL1ma、CL11b~CL1mb、CL21a~CL2ma、CL21b~CL2mbの各両端間がいずれも短絡されている。従って、強誘電体素子CL11a~CL1ma、CL11b~CL1mb、CL21a~CL2ma、CL21b~CL2mbには一切電圧が印加されない状態となっているので、電源遮断時に電圧変動が生じた場合であっても、強誘電体素子CL11a~CL1ma、CL11b~CL1mb、CL21a~CL2ma、CL21b~CL2mbに意図しない電圧が印加されることはなく、データ化けを回避することが可能となる。

40

【0158】

次に、第m記憶領域からのデータ読み出し動作について説明する。

【0159】

50

時点R1～R5では、クロック信号CLKが「0(GND)」とされており、反転クロック信号CLKBが「1(VDD1)」とされている。従って、第1パススイッチSW1がオフされており、第2パススイッチがオンされている。このように、クロック信号CLK及び反転クロック信号CLKBの論理を予め固定しておくことにより、強誘電体素子からのデータ読み出し動作の安定性を高めることが可能となる。

【0160】

時点R1においては、最先に全てのフリセット信号FRST1～FRSTmが「1(VDD2)」とされており、トランジスタQ11a～Q1ma、Q11b～Q1mb、Q21a～Q2ma、Q21b～Q2mbがオンされて、強誘電体素子CL11a～CL1ma、CL11b～CL1mb、CL21a～CL2ma、CL21b～CL2mbの各両端間がいずれも短絡されている。従って、強誘電体素子CL11a～CL1ma、CL11b～CL1mb、CL21a～CL2ma、CL21b～CL2mbには一切電圧が印加されない状態となっているので、電源投入時に電圧変動が生じた場合でも、強誘電体素子CL11a～CL1ma、CL11b～CL1mb、CL21a～CL2ma、CL21b～CL2mbに意図しない電圧が印加されることはなく、データ化けを回避することが可能となる。

10

【0161】

なお、時点R1において、プレートラインPL11～PL1mとプレートラインPL21～PL2mは、いずれも「0(ローレベル:GND)」とされている。

【0162】

時点R2では、制御信号E1、E2がいずれも「0(GND)」とされた状態(すなわち、データ書き込み用ドライバが無効とされ、かつ、ループ構造部LOOPで通常ループが無効とされている状態)で、ループ構造部LOOPに対する第1電源電圧VDD1と不揮発性記憶部NVMに対する第2電源電圧VDD2が投入される。

20

【0163】

続く時点R3では、データDの読み出し元として第m記憶領域を選択すべく、制御信号SELmが「1(VDD2)」とされ、その余の制御信号SEL1～SEL(m-1)が「0(GND)」とされる。これにより、デマルチプレクサDeMUX1、DeMUX2は、その入力端と第m出力端を結ぶ信号経路が選択された状態となり、マルチプレクサMUX3、MUX4は、その出力端と第m入力端を結ぶ信号経路が選択された状態となる。

30

【0164】

また、時点R3では、フリセット信号FRSTmが「0(GND)」とされ、トランジスタQ1ma、Q1mb、Q2ma、Q2mbがオフされて、強誘電体素子CL1ma、CL1mb、CL2ma、CL2mbに対する電圧印加が可能な状態とされる一方、プレートラインPL2mが「0(GND)」に維持されたままで、プレートラインPL1mが「1(VDD2)」とされる。このようなパルス電圧の印加により、ノード電圧V1m及びノード電圧V2mとして、強誘電体素子内の残留分極状態に応じた電圧信号が現れる。

【0165】

図19の例(第3記憶領域に論理「1」のデータDが格納されていた場合)に即して具体的に説明すると、ノード電圧V1mの論理としてはWLが現れ、ノード電圧V2mの論理としてはWHが現れる。すなわち、ノード電圧V1mとノード電圧V2mとの間には、強誘電体素子内の残留分極状態の差に応じた電圧差が生じる形となる。

40

【0166】

このとき、時点R3～R4では、制御信号E2が「0(GND)」とされ、マルチプレクサMUX1とマルチプレクサMUX2の第2入力端(0)が選択されるので、ノード電圧V3の論理はWLとなり、ノード電圧V4の論理はWHとなる。また、ノード電圧V5の論理はWHとなり、ノード電圧V6の論理はWLとなる。このように、時点R3～R4では、装置各部のノード電圧V1m、V2m、V3～V6が未だ不安定な状態(インバータINV3及びインバータINV4での論理反転が完全に行われず、その出力論理が確実に「0(GND)」/「1(VDD1)」となっていない状態)である。

50

## 【 0 1 6 7 】

なお、時点R3において、リセット信号FRST1～FRST(m-1)は、いずれも「1(VDD2)」に維持されて、制御信号SEL1～SEL(m-1)、プレートラインPL11～PL1(m-1)、PL21～PL2(m-1)は、いずれも「0(GND)」に維持される。

## 【 0 1 6 8 】

続く時点R4では、制御信号E2が「1(VDD1)」とされ、マルチプレクサMUX1とマルチプレクサMUX2の第1入力端(1)が選択されるので、ループ構造部LOOPにて通常ループが形成されている。このような信号経路の切り換えに伴い、インバータINV4の出力端(論理:WH)とインバータINV3の入力端(論理:WH)が接続され、インバータINV3の出力端(論理:WL)とインバータINV4の入力端(論理:WL)が接続される。従って、各ノードの信号論理(WH/WL)に不整合は生じず、以降、ループ構造部LOOPにて通常ループが形成されている間、インバータINV3は、論理WLの入力を受けて、その出力論理を「1(VDD1)」に引き上げようとし、インバータINV4は、論理WHの入力を受けて、その出力論理を「0(GND)」に引き下げようとする。その結果、インバータINV3の出力論理は、不安定な論理WLから「0(GND)」に確定され、インバータINV4の出力論理は、不安定な論理WHから「1(VDD1)」に確定される。

## 【 0 1 6 9 】

このように、時点R4において、ループ構造部LOOPが通常ループとされたことに伴い、強誘電体素子から読み出された信号(ノード電圧V1mとノード電圧V2mとの電位差)がループ構造部LOOPで増幅される形となり、出力信号Qとして第3記憶領域の保持データ(図19の例では「1(VDD1)」)が復帰される。

## 【 0 1 7 0 】

その後、時点R5では、リセット信号FRSTmが再び「1(VDD2)」とされ、トランジスタQ1ma、Q1mb、Q2ma、Q2mbがオンされて、強誘電体素子CL1ma、CL1mb、CL2ma、CL2mbの各両端間がいずれも短絡されるので、これらの強誘電体素子CL1ma、CL1mb、CL2ma、CL2mbには、一切電圧が印加されない状態となる。このとき、プレートラインPL1mとプレートラインPL2mは、いずれも「0(GND)」とされる。従って、データ保持装置は、時点W1以前と同様の状態、すなわち、通常の動作状態に復帰される。

## 【 0 1 7 1 】

上記で説明したように、第3変形例のデータ保持装置において、強誘電体素子のヒステリシス特性を用いてループ構造部LOOPに保持されたデータDを不揮発的に記憶する不揮発性記憶部NVMは、強誘電体素子を用いたm個の記憶領域を有して成り、所定の制御信号SEL1～SELMに応じて、データDの書き込み先ないしは読み出し元となる記憶領域を選択して用いる構成とされている。このような構成とすることにより、複数のデータDを任意に切り換えて使用することが可能なデータ保持装置を実現することができる。

## 【 0 1 7 2 】

なお、データ保持装置の通常動作時には、強誘電体素子が信号線から分離されるので、強誘電体素子の増加によって、データ保持装置の性能劣化(速度劣化や消費電力の増加など)が招かれることはない。

## 【 0 1 7 3 】

次に、第3記憶領域からのデータ読み出し動作の変形例について、図20を参照しながら詳細な説明を行う。図20は、本発明に係るデータ保持装置の別の動作例を説明するためのタイミングチャートであり、上から順に、電源電圧(VDD1、VDD2)、クロック信号CLK、データ信号D、制御信号E1、制御信号E2、制御信号SEL1、リセット信号FRST1、プレートラインPL11の印加電圧、プレートラインPL21の印加電圧、ノード電圧V11、ノード電圧V21、制御信号SELM、リセット信号FRSTm、プレートラインPL1mの印加電圧、プレートラインPL2mの印加電圧、ノー

10

20

30

40

50

ド電圧  $V_{1m}$ 、ノード電圧  $V_{2m}$ 、及び、出力信号  $Q$  の電圧波形を示している。

【0174】

なお、データ  $D$  の書き込み先や読み出し元として選択されていない第  $y$  記憶領域 ( $1 < y < m$ ) に関連する制御信号  $SEL_y$ 、リセット信号  $FRST_y$ 、プレートライン  $PL_{1y}$  の印加電圧、プレートライン  $PL_{2y}$  の印加電圧、ノード電圧  $V_{1y}$ 、ノード電圧  $V_{2y}$  は、データ  $D$  の書き込み動作中には、データ  $D$  の書き込み先として選択されていない第  $m$  記憶領域のそれと同様となり、データ  $D$  の読み出し動作中には、データ  $D$  の読み出し元として選択されていない第 1 記憶領域のそれと同様となるため、その描写並びに説明を適宜省略する。

【0175】

時点  $R_1 \sim R_5$  では、クロック信号  $CLK$  が「0 (GND)」とされており、反転クロック信号  $CLKB$  が「1 (VDD1)」とされている。従って、第 1 パススイッチ  $SW_1$  がオフされており、第 2 パススイッチがオンされている。このように、クロック信号  $CLK$  及び反転クロック信号  $CLKB$  の論理を予め固定しておくことにより、強誘電体素子からのデータ読み出し動作の安定性を高めることが可能となる。

【0176】

時点  $R_1$  では、最初にリセット信号  $FRST_1 \sim FRST_m$  が「1 (VDD2)」とされており、トランジスタ  $Q_{11a} \sim Q_{1ma}$ 、 $Q_{11b} \sim Q_{1mb}$ 、 $Q_{21a} \sim Q_{2ma}$ 、 $Q_{21b} \sim Q_{2mb}$  がオンされて、強誘電体素子  $CL_{11a} \sim CL_{1ma}$ 、 $CL_{11b} \sim CL_{1mb}$ 、 $CL_{21a} \sim CL_{2ma}$ 、 $CL_{21b} \sim CL_{2mb}$  の各両端間がいずれも短絡されている。従って、強誘電体素子  $CL_{11a} \sim CL_{1ma}$ 、 $CL_{11b} \sim CL_{1mb}$ 、 $CL_{21a} \sim CL_{2ma}$ 、 $CL_{21b} \sim CL_{2mb}$  には一切電圧が印加されない状態となっているので、電源投入時に電圧変動が生じた場合であっても、強誘電体素子  $CL_{11a} \sim CL_{1ma}$ 、 $CL_{11b} \sim CL_{1mb}$ 、 $CL_{21a} \sim CL_{2ma}$ 、 $CL_{21b} \sim CL_{2mb}$  に意図しない電圧が印加されることはなく、データ化けを回避することが可能となる。

【0177】

なお、時点  $R_1$  において、プレートライン  $PL_{11} \sim PL_{1m}$  とプレートライン  $PL_{21} \sim PL_{2m}$  は、いずれも「0 (ローレベル: GND)」とされている。

【0178】

時点  $R_2$  では、リセット信号  $FRST_m$  が「0 (GND)」とされて、トランジスタ  $Q_{1ma}$ 、 $Q_{1mb}$ 、 $Q_{2ma}$ 、 $Q_{2mb}$  がオフされ、強誘電体素子  $CL_{1ma}$ 、 $CL_{1mb}$ 、 $CL_{2ma}$ 、 $CL_{2mb}$  に対する電圧印加が可能な状態とされる一方、プレートライン  $PL_{2m}$  が「0 (GND)」に維持されたまま、プレートライン  $PL_{1m}$  が「1 (VDD2)」とされる。このようなパルス電圧の印加により、ノード電圧  $V_{1m}$  及びノード電圧  $V_{2m}$  として、強誘電体素子内の残留分極状態に対応した電圧信号が現れる。

【0179】

図 20 の例 (第 3 記憶領域に論理「1」のデータ  $D$  が格納されていた場合) に即して具体的に説明すると、ノード電圧  $V_{1m}$  の論理としては  $WL$  が現れ、ノード電圧  $V_{2m}$  の論理としては  $WH$  が現れる。すなわち、ノード電圧  $V_{1m}$  とノード電圧  $V_{2m}$  との間には、強誘電体素子内の残留分極状態の差に応じた電圧差が生じる形となる。

【0180】

ただし、時点  $R_2 \sim R_3$  では、未だ第 1 電源電圧  $VDD_1$  が投入されていないため、ループ構造部  $LOOP$  各部のノード電圧  $V_3 \sim V_6$  はいずれも「0 (GND)」となっており、延いては、出力信号  $Q$  が「0」(GND) となっている。

【0181】

続く時点  $R_3$  では、データ  $D$  の読み出し元として第  $m$  記憶領域を選択すべく、制御信号  $SEL_m$  が「1 (VDD2)」とされ、その余の制御信号  $SEL_1 \sim SEL_{(m-1)}$  が「0 (GND)」とされる。これにより、デマルチプレクサ  $DeMUX_1$ 、 $DeMUX_2$  は、その入力端と第  $m$  出力端を結ぶ信号経路が選択された状態となり、マルチプレクサ  $M$

10

20

30

40

50

U X 3、M U X 4 は、その出力端と第 m 入力端を結ぶ信号経路が選択された状態となる。

【 0 1 8 2 】

また、時点 R 3 では、制御信号 E 1、E 2 が共に「 0 ( G N D ) 」とされた状態（すなわち、データ書き込み用ドライバが無効とされ、かつ、ループ構造部 L O O P で通常ループが無効とされている状態）で、ループ構造部 L O O P に対する第 1 電源電圧 V D D 1 と不揮発性記憶部 N V M に対する第 2 電源電圧 V D D 2 が投入される。

【 0 1 8 3 】

なお、時点 R 3 ~ R 4 では、制御信号 E 2 が「 0 ( G N D ) 」とされて、マルチプレクサ M U X 1 とマルチプレクサ M U X 2 の第 2 入力端 ( 0 ) が選択されるので、ノード電圧 V 3 の論理は W L となり、ノード電圧 V 4 の論理は W H となる。また、ノード電圧 V 5 の論理は W H となり、ノード電圧 V 6 の論理は W L となる。このように、時点 R 3 ~ R 4 では、装置各部のノード電圧 V 1 ~ V 6 が未だ不安定な状態（インバータ I N V 3 及びインバータ I N V 4 での論理反転が完全に行われず、その出力論理が確実に「 0 ( G N D ) 」 / 「 1 ( V D D 1 ) 」となっていない状態）である。

【 0 1 8 4 】

続く時点 R 4 では、制御信号 E 2 が「 1 ( V D D 1 ) 」とされ、マルチプレクサ M U X 1 とマルチプレクサ M U X 2 の第 1 入力端 ( 1 ) が選択されるので、ループ構造部 L O O P にて通常ループが形成されている。このような信号経路の切り換えに伴い、インバータ I N V 4 の出力端（論理：W H）とインバータ I N V 3 の入力端（論理：W H）が接続され、インバータ I N V 3 の出力端（論理：W L）とインバータ I N V 4 の入力端（論理：W L）が接続される。従って、各ノードの信号論理（W H / W L）に不整合は生じず、以降、ループ構造部 L O O P にて通常ループが形成されている間、インバータ I N V 3 は、論理 W L の入力を受けて、その出力論理を「 1 ( V D D 1 ) 」に引き上げようとし、インバータ I N V 4 は、論理 W H の入力を受けて、その出力論理を「 0 ( G N D ) 」に引き下げようとする。その結果、インバータ I N V 3 の出力論理は、不安定な論理 W L から「 0 ( G N D ) 」に確定され、インバータ I N V 4 の出力論理は、不安定な論理 W H から「 1 ( V D D 1 ) 」に確定される。

【 0 1 8 5 】

このように、時点 R 4 において、ループ構造部 L O O P が通常ループとされたことに伴い、強誘電体素子から読み出された信号（ノード電圧 V 1 m とノード電圧 V 2 m との電位差）がループ構造部 L O O P で増幅される形となり、出力信号 Q として第 3 記憶領域の保持データ（図 2 0 の例では「 1 ( V D D 1 ) 」）が復帰される。

【 0 1 8 6 】

その後、時点 R 5 では、リセット信号 F R S T m が再び「 1 ( V D D 2 ) 」とされ、トランジスタ Q 1 m a、Q 1 m b、Q 2 m a、Q 2 m b がオンされて、強誘電体素子 C L 1 m a、C L 1 m b、C L 2 m a、C L 2 m b の各両端間がいずれも短絡されるので、これらの強誘電体素子 C L 1 m a、C L 1 m b、C L 2 m a、C L 2 m b には、一切電圧が印加されない状態となる。このとき、プレートライン P L 1 m とプレートライン P L 2 m は、いずれも「 0 ( G N D ) 」とされる。従って、データ保持装置は、時点 W 1 以前と同様、通常動作状態に復帰される。

【 0 1 8 7 】

上記したように、図 2 0 のデータ読み出し動作は、図 1 9 のデータ読み出し動作と異なり、第 1 電源電圧 V D D 1 と第 2 電源電圧 V D D 2 の投入前から、強誘電体素子内の残留分極状態に対応した電圧信号（ノード電圧 V 1 m、V 2 m）の引き出し動作を開始する構成とされている。このような構成とすることにより、第 1 電源電圧 V D D 1 と第 2 電源電圧 V D D 2 を投入した後の動作ステップ数を減らして（図 1 9 の動作例では、3 ステップ（時点 R 3、R 4、R 5）を要するのに対して、図 2 0 の動作例では、2 ステップ（時点 R 4、R 5）のみ）、通常動作に復帰するまでの所要時間を短縮することが可能となる。

【 0 1 8 8 】

次に、第 4 変形例のデータ保持装置を C P U に適用した場合の処理切替動作について、

10

20

30

40

50

図 2 1 を参照しながら説明する。図 2 1 は、データ入れ替えによる処理切替動作の一例を示す模式図であり、データ保持装置の第 1 記憶領域と第 m 記憶領域を任意に切り替えて用いることにより、処理 A (例えば動画圧縮処理) と処理 B (例えば表計算処理) が交互に切り替えられる様子が模式的に示されている。なお、図 2 1 の左側には、縦軸を時間軸として処理 A と処理 B が交互に切り替えられる様子が示されており、図 2 1 の右側には、CPU 内部で使用されているデータ保持装置の動作状態が模式的に示されている。

【 0 1 8 9 】

処理 A から処理 B に移る場合、データ保持装置は、処理 A に関するデータ D A を第 1 記憶領域 ( C L 1 1 a ~ C L 2 1 b ) に書き込み、処理 B に関するデータ D B を第 m 記憶領域 ( C L 1 m a ~ C L 2 m b ) から読み出すことで、データ保持装置に格納されているデータの入替処理を行う。一方、処理 B から処理 A に移る場合には、上記と逆に、データ保持装置は、処理 B に関するデータ D B を第 m 記憶領域 ( C L 1 m a ~ C L 2 m b ) に書き込み、処理 A に関するデータ D A を第 1 記憶領域 ( C L 1 1 a ~ C L 2 1 b ) から読み出すことで、データ保持装置に格納されているデータの入替処理を行う。このようなデータの入替処理により、CPU で実行される処理を瞬時に切り替えることが可能となる。

【 0 1 9 0 】

なお、データ入れ替えによって CPU の処理切替を行う場合、先出の図 1 9、図 2 0 で示した電源オフ期間は必ずしも必要ではない。

【 0 1 9 1 】

次に、強誘電体素子のセルパターンのレイアウトについて、図 2 2 ~ 図 2 5 を参照しながら詳細に説明する。図 2 2 ~ 図 2 5 は、それぞれ、強誘電体素子のセルパターンの第 1 レイアウト例 ~ 第 4 レイアウト例を示す模式図である。なお、図中の符号 a ~ d は、それぞれ、強誘電体素子を示しており、符号 x、y は、それぞれ、素子間距離を示している。

【 0 1 9 2 】

半導体基板上に複数の強誘電体素子を形成する際、そのレイアウト段階では、いずれの強誘電体素子も同一の形状 (例えば、上面視した場合に正方形や長方形となる形状) に設計されているが、マスキングプロセスやエッチングプロセスを経て半導体基板上に形成される実際の素子形状は、プロセスの特性上、設計通りの形状とはならないことが多い。

【 0 1 9 3 】

例えば、図 2 2 において、強誘電体素子 a、d は、いずれの四辺にも別の素子が近接していないため、素子のコーナー部分がエッチングされやすく、半導体基板上に形成される実際の素子形状は、各々の四隅全てが比較的大きく丸められた形となる。一方、強誘電体素子 b、c は、各々の一辺が互いに対向する形で互いに近接しているため、この一辺を含む素子のコーナー部分がエッチングされにくく、半導体基板上に形成される実際の素子形状は、各々の四隅のうち、互いに対向する二隅が比較的小さく丸められた形となり、その余の二隅が比較的大きく丸められた形となる。図 2 3 ~ 図 2 5 の例についても、上記と同様である。

【 0 1 9 4 】

このように、半導体基板上に形成される実際の素子形状は、素子の疎密に応じて四隅のエッチング度合いが異なるものとなるが、強誘電体素子 C L 1 a と強誘電体素子 C L 1 b とのペア、並びに、強誘電体素子 C L 2 a と強誘電体素子 C L 2 b とのペアについては、それぞれ半導体基板上に形成された実際の形状が等しくなるように配置するとよい。

【 0 1 9 5 】

図 2 2 の例であれば、強誘電体素子 a、d を第 1 ペアとし、強誘電体素子 b、c を第 2 ペアとすればよい。また、図 2 3 の例であれば、強誘電体素子 a、b を第 1 ペアとし、強誘電体素子 c、d を第 2 ペアとしてもよいし ( 図中 ( a ) を参照 )、若しくは、強誘電体素子 a、c を第 1 ペアとし、強誘電体素子 b、d を第 2 ペアとしてもよい ( 図中 ( b ) を参照 )。また、図 2 4 の例であれば、強誘電体素子 a、c を第 1 ペアとし、強誘電体素子 b、d を第 2 ペアとしてもよいし ( 図中 ( a ) を参照 )、強誘電体素子 a、b を第 1 ペアとし、強誘電体素子 c、d を第 2 ペアとしてもよいし ( 図中 ( b ) を参照 )、若しくは、

強誘電体素子 a、d を第 1 ペアとし、強誘電体素子 b、c を第 2 ペアとしてもよい（図中（c）を参照）。また、図 25 の例であれば、強誘電体素子 a、d を第 1 ペアとし、強誘電体素子 b、c を第 2 ペアとすればよい。

【0196】

このようなセルパターンのレイアウトを行うことにより、一対となる強誘電体素子の形状（面積）を揃えて、そのペア性を高めることが可能となり、延いては、データ保持装置のデータ保持特性を向上することが可能となる。

【0197】

また、図 18 で示すように、記憶領域を複数設ける場合についても上記と同様であり、強誘電体素子 CL11a ~ CL1ma と強誘電体素子 CL11b ~ CL1mb とのペア、並びに、強誘電体素子 CL21a ~ CL1ma と強誘電体素子 CL21b ~ CL2mb とのペアについては、互いの形状（面積）を揃えておくことが重要である。

10

【0198】

なお、本発明の構成は、上記実施形態のほか、発明の主旨を逸脱しない範囲で種々の変更を加えることが可能である。

【0199】

例えば、上記実施形態では、ループ構造部 LOOP を形成する論理ゲートとして、インバータや否定論理積演算器を用いた構成を例に挙げて説明を行ったが、本発明の構成はこれに限定されるものではなく、否定論理和演算器など、その他の論理ゲートを用いることも可能である。

20

【0200】

また、上記実施形態では、ループ構造部 LOOP と不揮発性記憶部 NVM とを電氣的に分離する回路分離部 SEP の構成要素として、インバータ INV6、INV7 とパススイッチ SW3、SW4 の組み合わせを用いた構成を例に挙げて説明を行ったが、本発明の構成はこれに限定されるものではなく、先出の図 7 を参照しながら説明したように、上記に代えて 3 ステートのインバータ INV6'、INV7'（出力をフローティングとすることが可能なインバータ）を用いてもよい。

【0201】

また、回路分離部 SEP のポイントは、通常動作時、強誘電体素子に電圧を加えないようにすることができるという点にあり、上記実施形態で例示した構成（すなわち、通常動作時に強誘電体素子に対する印加電圧を一定電圧に保つ構成）の他にも、強誘電体素子が有する電圧印加用電極の少なくとも一をフローティング状態に保つ構成が考えられる。具体的には、図 1 において、通常動作時には、トランジスタ Q1a、Q1b、Q2a、Q2b をオフにしつつ、第 1 プレートライン PL1 及び第 2 プレートライン PL2 をフローティング状態にするなどの方法が考えられる。また、回路構成自体を変更するのであれば、強誘電体素子とノード電圧 V1（V2）の引出端との間、若しくは、強誘電体素子とプレートライン PL1（PL2）との間に、新たにトランジスタを追加し、そのオン/オフ制御を行う構成とすればよい。

30

【0202】

また、通常動作時、ないしは、データの読み出し動作時、強誘電体素子に対する印加電圧を一定に保つ場合には、強誘電体素子の両端間に接続されたトランジスタがオンしていればよく、プレートラインの電圧は必ずしもローレベルでなくともよい。

40

【0203】

また、上記では、ループ構造部 LOOP に供給される第 1 電源電圧 VDD1 よりも不揮発性記憶部 NVM に供給される第 2 電源電圧 VDD2 の方が高い電圧レベルである構成を例に挙げて説明を行ったが、本発明の構成はこれに限定されるものではなく、第 1 電源電圧 VDD1 よりも第 2 電源電圧 VDD2 の方が低い電圧レベルである構成も考えられる。

【0204】

先でも説明したように、不揮発ロジック技術では、電源オフ/オン時などに強誘電体素子を駆動して、レジスタデータの退避/復帰が行われるが、ここで、強誘電体素子の駆動

50

に用いる電圧レベルを極力下げることができれば、強誘電体素子を駆動する際に消費される電力を削減することが可能となる。

【0205】

例えば、ループ構造部LOOPが3.3[V]の第1電源電圧VDD1で駆動される場合に、1.5[V]の第2電源電圧VDD2を用いて不揮発性記憶部NVMを駆動する構成とすれば、強誘電体素子の駆動に際して、不必要に大きな電力を消費せずに済む。

【0206】

なお、上記したように、ループ構造部LOOPを高電圧で駆動し、不揮発性記憶部NVMを低電圧で駆動する場合には、回路分離部SEPを形成するインバータINV6、INV7にレベルシフト機能を備えた構成(図2や図8を参照)とする必要はなく、図26に示すように、第1電源電圧VDD1よりも低い第2電源電圧VDD2で駆動する単純なインバータを用いることが可能となる。

10

【産業上の利用可能性】

【0207】

本発明は、論理演算回路、論理演算装置、CPU、MPU、DSPなどのプロセッサ、携帯機器などに搭載されるデータ保持装置の不揮発化を実現する上で有用な技術である。

【図面の簡単な説明】

【0208】

【図1】は、本発明に係るデータ保持装置の一実施形態を示す回路図である。

【図2】は、レベルシフト機能を備えたインバータINV6(インバータINV7についても同様)の一構成例を示す回路図である。

20

【図3】は、本発明に係るデータ保持装置の一動作例を説明するためのタイミングチャートである。

【図4】は、通常動作時の信号経路を示す回路図である。

【図5】は、データ書き込み動作時の信号経路を示す回路図である。

【図6】は、データ読み出し動作時の信号経路を示す回路図である。

【図7】は、本発明に係るデータ保持装置の第1の変形例を示す回路図である。

【図8】は、レベルシフト機能を備えた3ステートのインバータINV6'(インバータINV7')についても同様)の一構成例を示す回路図である。

【図9】は、本発明に係るデータ保持装置の別の動作例を説明するためのタイミングチャートである。

30

【図10】は、強誘電体素子の特性を説明するための図である。

【図11】は、強誘電体素子間の容量結合を用いたデータ読み出し方式を説明するための図である。

【図12】は、本発明に係るデータ保持装置の第2の変形例を示す回路図である。

【図13】は、本発明に係るデータ保持装置の第3の変形例を示す回路図である。

【図14】は、Dフリップフロップへの適用例を示す回路図である。

【図15】は、通常動作時の信号経路を示す回路図である。

【図16】は、データ書き込み動作時の信号経路を示す回路図である。

【図17】は、データ読み出し動作時の信号経路を示す回路図である。

40

【図18】は、本発明に係るデータ保持装置の第4の変形例を示す回路図である。

【図19】は、本発明に係るデータ保持装置の一動作例を説明するためのタイミングチャートである。

【図20】は、本発明に係るデータ保持装置の別の動作例を説明するためのタイミングチャートである。

【図21】は、データ入れ替えによる処理切替動作の一例を示す模式図である。

【図22】は、セルパターンの第1レイアウト例を示す模式図である。

【図23】は、セルパターンの第2レイアウト例を示す模式図である。

【図24】は、セルパターンの第3レイアウト例を示す模式図である。

【図25】は、セルパターンの第4レイアウト例を示す模式図である。

50

【図26】は、第1電源電圧VDD1よりも第2電源電圧VDD2が低電圧である場合に用いられるインバータINV6、INV7の一例を示す図である。

【図27】は、データ保持装置の一従来例を示す回路図である。

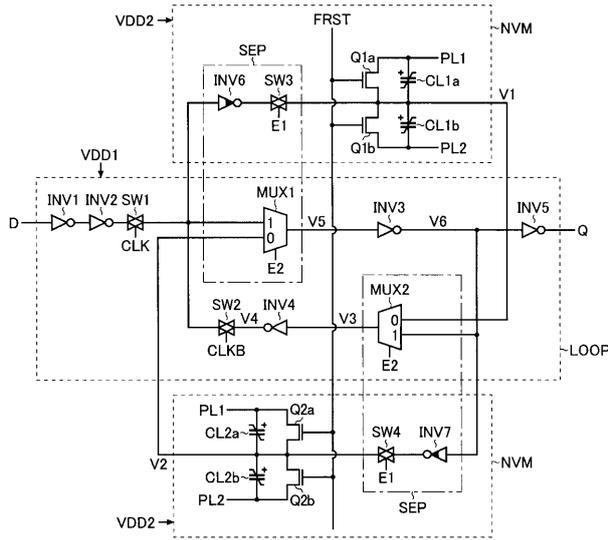
【図28】は、従来のデータ読み出し方式を説明するための図である。

【符号の説明】

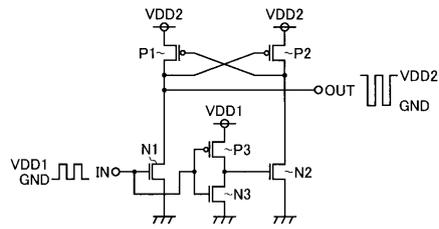
【0209】

|                       |                         |    |
|-----------------------|-------------------------|----|
| INV1 ~ INV5           | インバータ                   |    |
| INV6、INV7             | インバータ(レベルシフト機能あり)       |    |
| INV6'、INV7'           | インバータ(レベルシフト機能あり、3ステート) |    |
| INV8                  | インバータ(3ステート)            | 10 |
| SW1 ~ SW5             | パススイッチ                  |    |
| MUX1、MUX2、MUX3、MUX4   | マルチプレクサ                 |    |
| DeMUX1、DeMUX2         | デマルチプレクサ                |    |
| Q1a、Q1b、Q2a、Q2b       | Nチャンネル型電界効果トランジスタ       |    |
| Q11a、Q12a、...、Q1ma    | Nチャンネル型電界効果トランジスタ       |    |
| Q11b、Q12b、...、Q1mb    | Nチャンネル型電界効果トランジスタ       |    |
| Q21a、Q22a、...、Q2ma    | Nチャンネル型電界効果トランジスタ       |    |
| Q21b、Q22b、...、Q2mb    | Nチャンネル型電界効果トランジスタ       |    |
| CL1a、CL1b、CL2a、CL2b   | 強誘電体素子                  |    |
| CL11a、CL12a、...、CL1ma | 強誘電体素子                  | 20 |
| CL11b、CL12b、...、CL1mb | 強誘電体素子                  |    |
| CL21a、CL22a、...、CL2ma | 強誘電体素子                  |    |
| CL21b、CL22b、...、CL2mb | 強誘電体素子                  |    |
| C1、C2                 | 容量素子                    |    |
| NAND1 ~ NAND4         | 否定論理積演算器                |    |
| LOOP                  | ループ構造部                  |    |
| NVM                   | 不揮発性記憶部                 |    |
| SEP                   | 回路分離部                   |    |
| P1 ~ P3               | Pチャンネル型MOS電界効果トランジスタ    |    |
| N1 ~ N3               | Nチャンネル型MOS電界効果トランジスタ    | 30 |

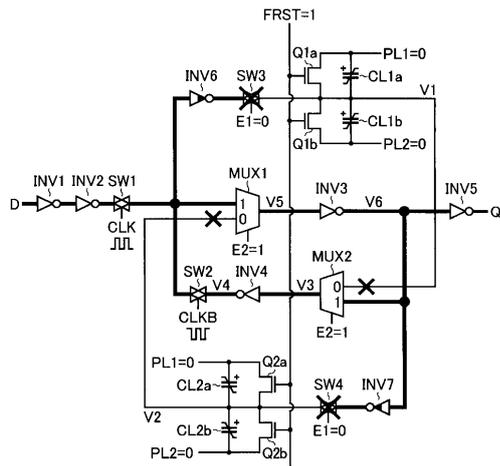
【図1】



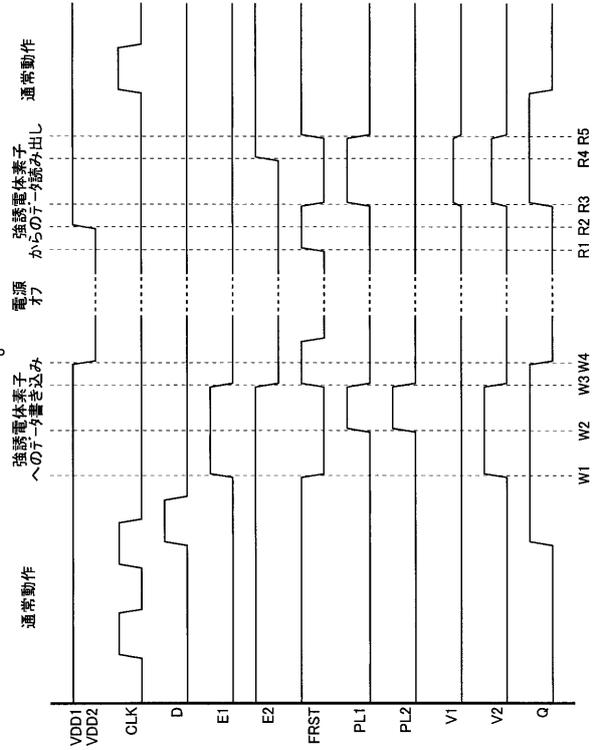
【図2】



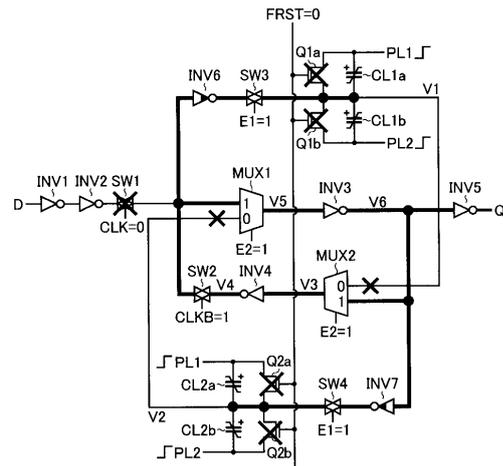
【図4】



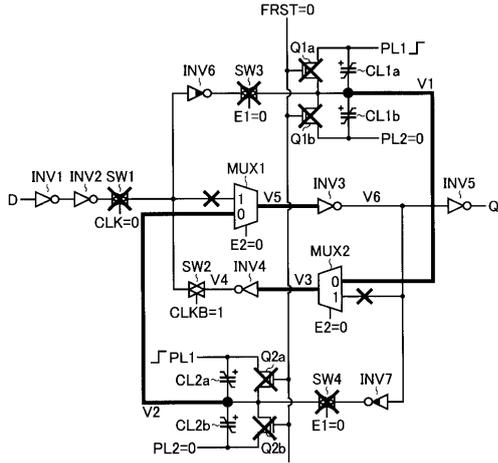
【図3】



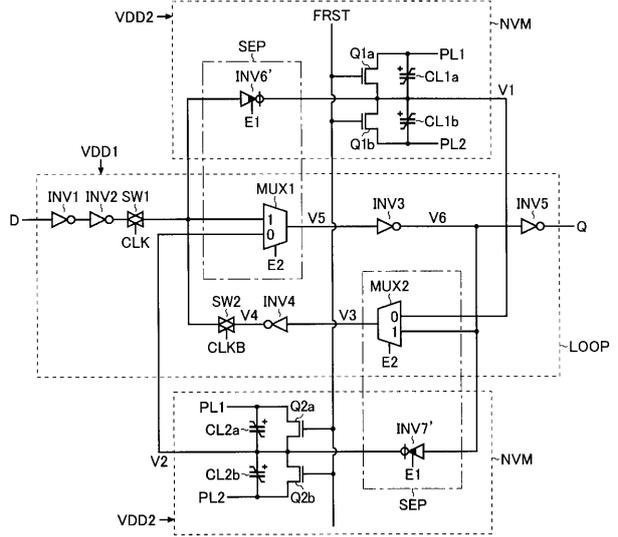
【図5】



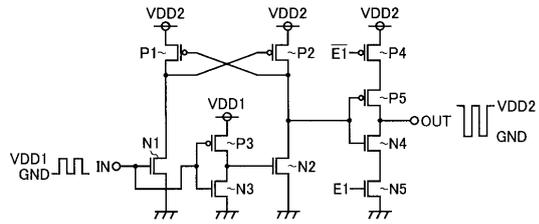
【図 6】



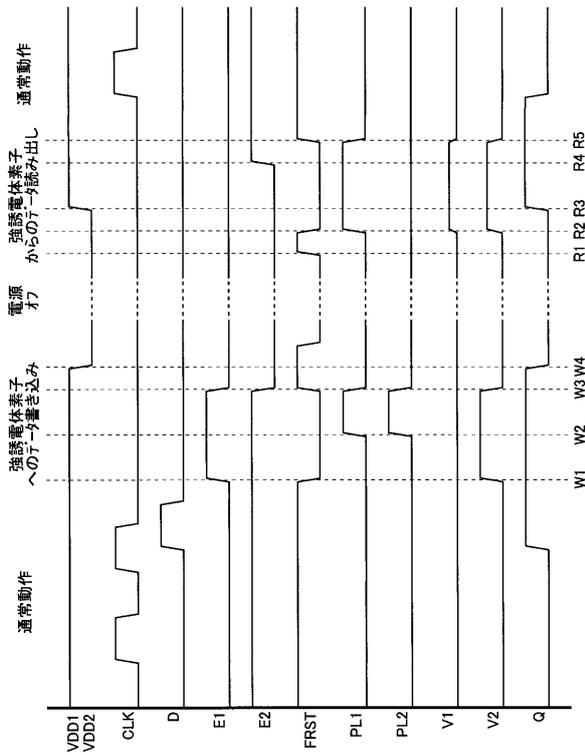
【図 7】



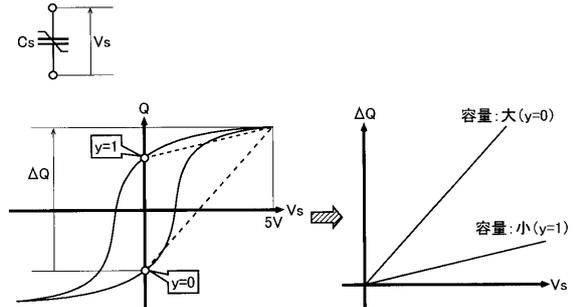
【図 8】



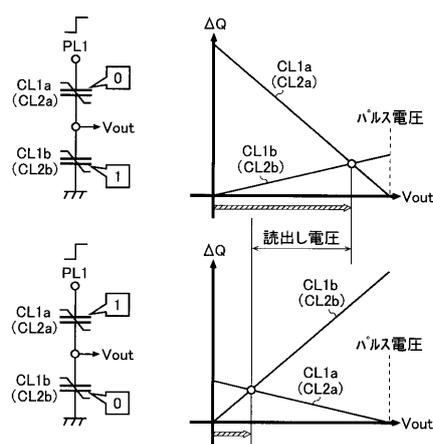
【図 9】



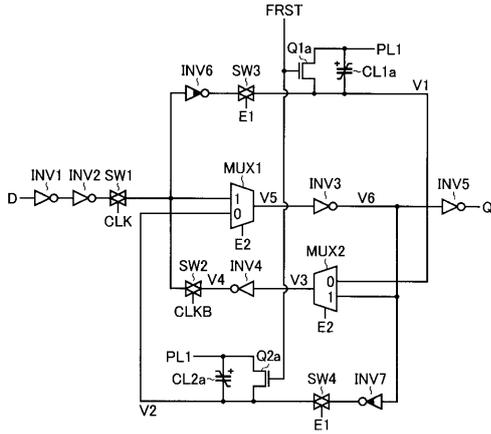
【図 10】



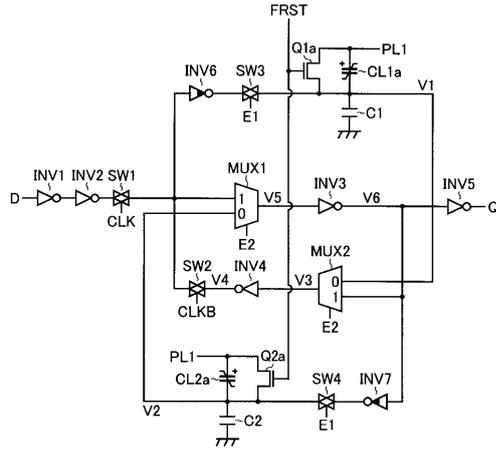
【図 11】



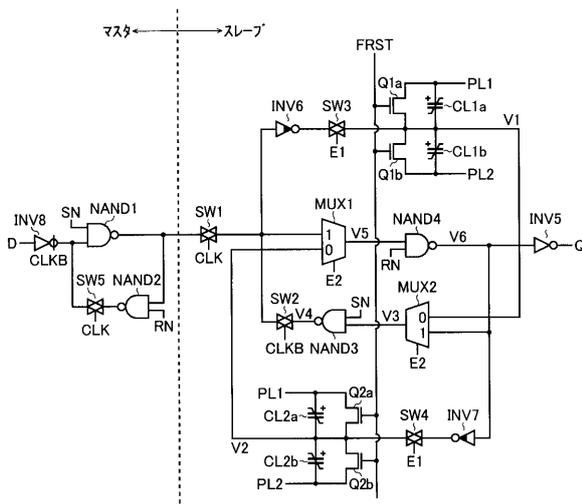
【図12】



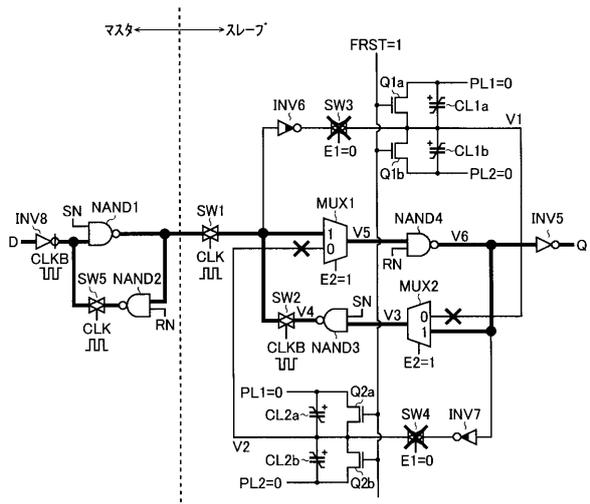
【図13】



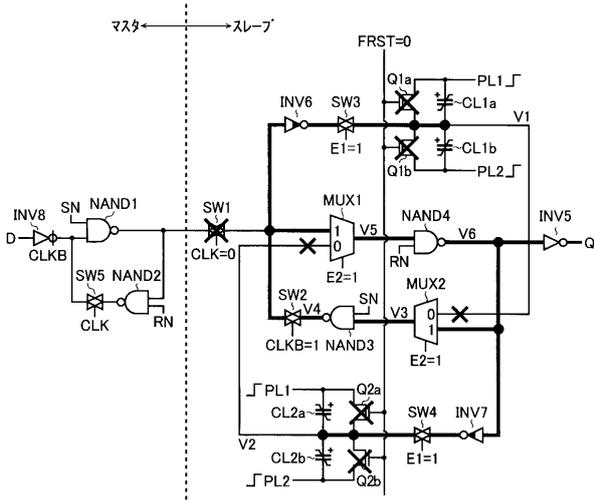
【図14】



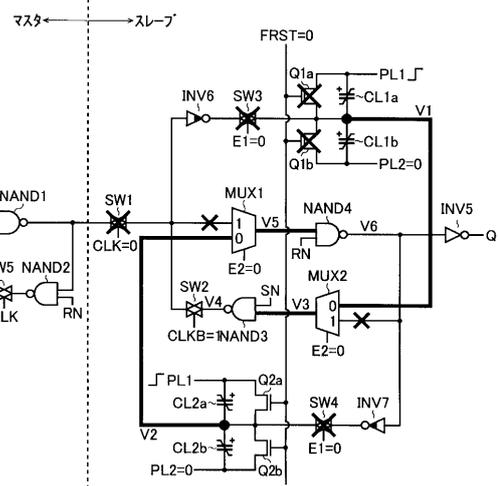
【図15】



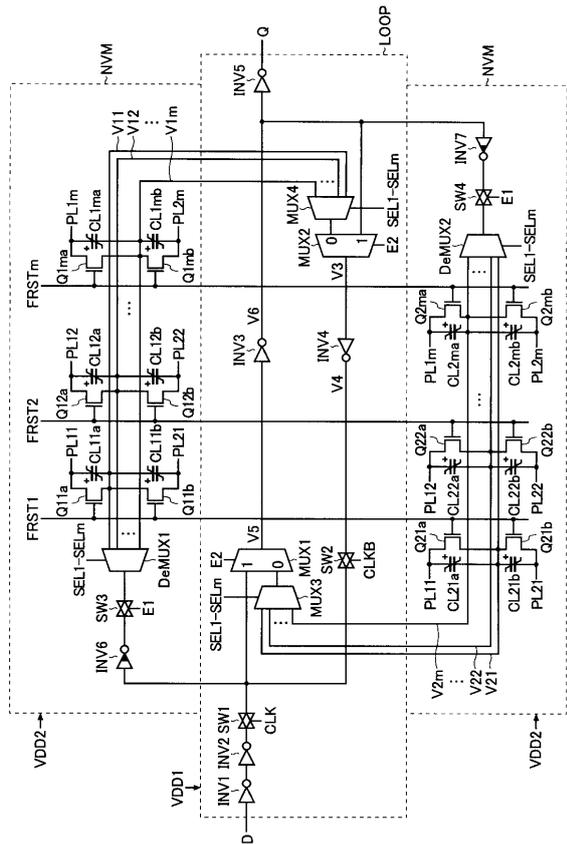
【図16】



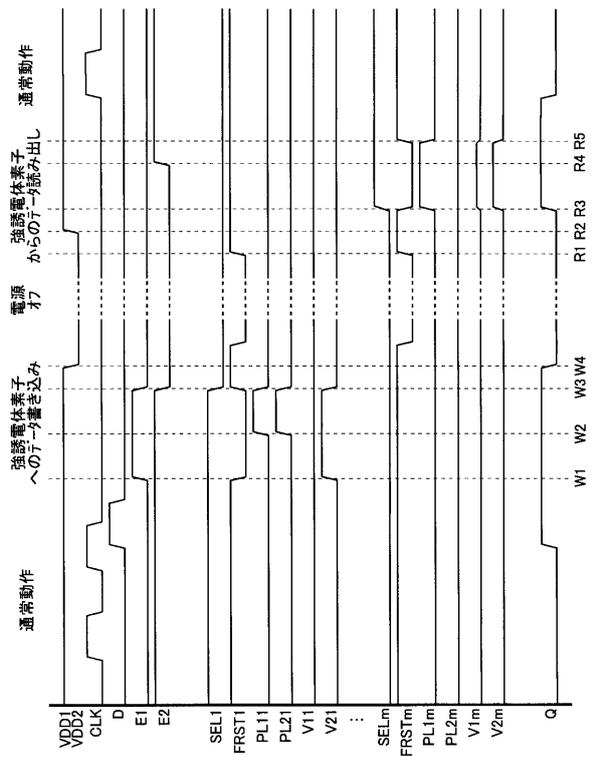
【図17】



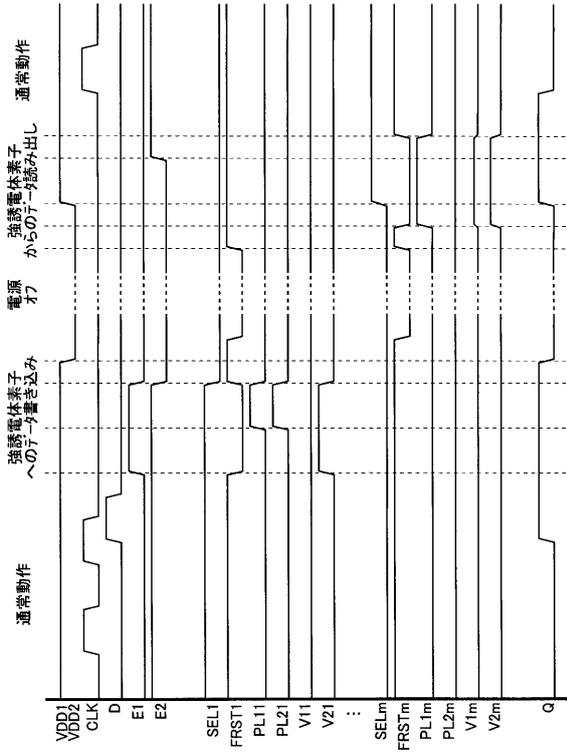
【図18】



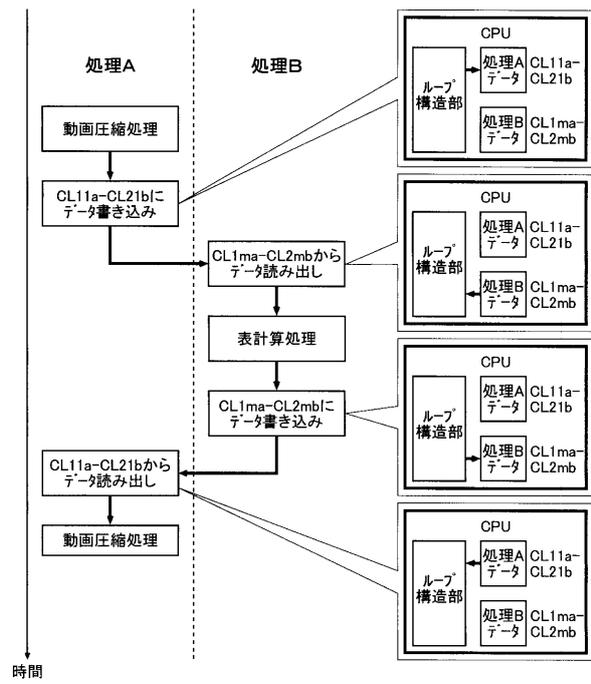
【図19】



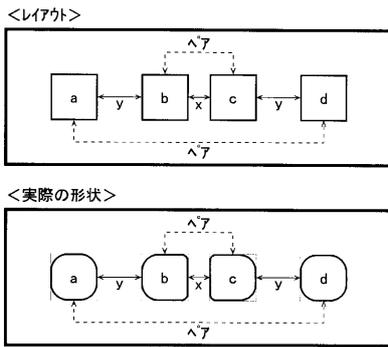
【図20】



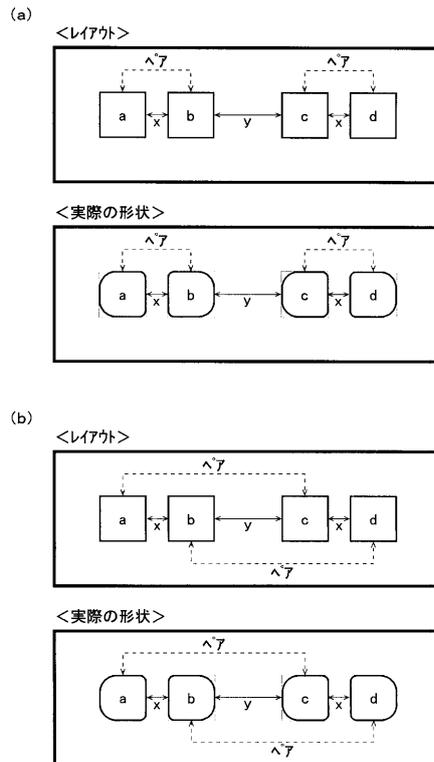
【図21】



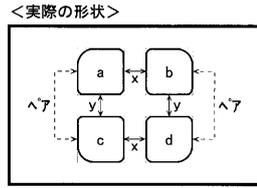
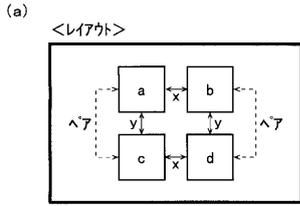
【図22】



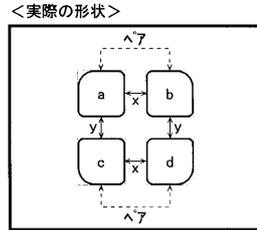
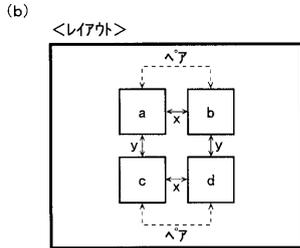
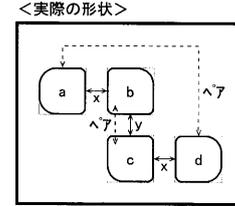
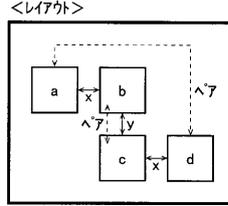
【図23】



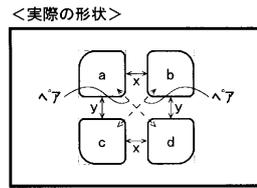
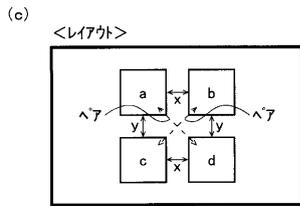
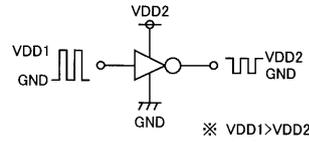
【図 2 4】



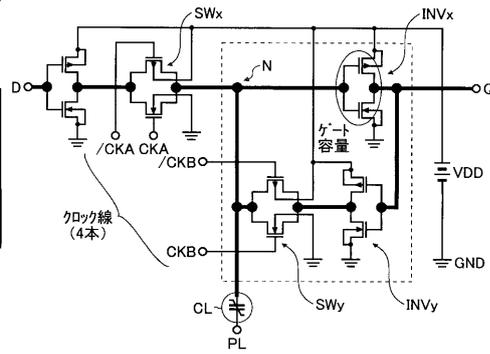
【図 2 5】



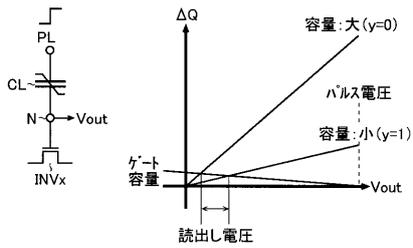
【図 2 6】



【図 2 7】



【図 2 8】



---

フロントページの続き

- (56)参考文献 特開2003-263886(JP,A)  
特開平10-255482(JP,A)  
特開平10-112191(JP,A)  
特開2003-296681(JP,A)  
特開2007-310207(JP,A)  
特開2006-086892(JP,A)

(58)調査した分野(Int.Cl., DB名)

H03K 3/356  
H03K 19/185