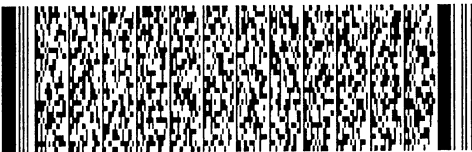


公告本 申請日期：901-3 類別：HCIL 33/00 案號：90100124	
---	--

(以上各欄由本局填註)

發明專利說明書		474037
一、 發明名稱	中 文	使用自掃描型發光元件陣列之光寫頭
	英 文	
二、 發明人	姓 名 (中文)	1. 大野誠治
	姓 名 (英文)	1.
	國 籍	1. 日本
	住、居所	1. 日本國大阪府大阪市中央區道修町3丁目5番11號 日本板硝子株式會社內
三、 申請人	姓 名 (名稱) (中文)	1. 日本板硝子股份有限公司
	姓 名 (名稱) (英文)	1. 日本板硝子株式會社
	國 籍	1. 日本
	住、居所 (事務所)	1. 日本國大阪府大阪市中央區道修町3丁目5番11號
	代表人 姓 名 (中文)	1. 出原洋三
	代表人 姓 名 (英文)	1.
		

本案已向

國(地區)申請專利

申請日期

案號

主張優先權

日本 JP

2000/01/07 2000-001445

有

日本 JP

2000/05/24 2000-152913

有

有關微生物已寄存於

寄存日期

寄存號碼

無



五、發明說明 (1)

技術領域

本發明係有關光寫頭，尤有關使用自掃描型發光元件陣列之光寫頭。

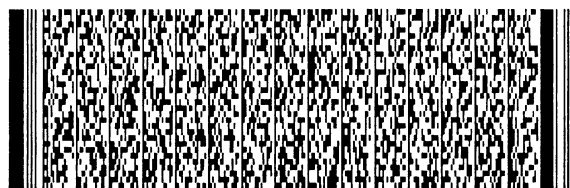
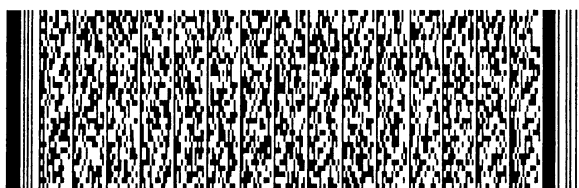
背景技術

光列印頭，亦即光寫頭，具備發光元件排成一行構成之發光元件陣列。在使用例如發光二極體(LED)陣列作為發光元件陣列以構成光列印頭情形下，於A3大小格式用紙上列印600dpi(每英吋點數)之光寫頭將約7200個LED排成一行。此種光寫頭自一個個LED拉出電極與驅動IC之電極電連接。通常使用絲焊法於連接。通常，驅動 n 個LED之IC將 n 個串聯資料串一並聯轉換成 n 個並聯資料，根據此並聯資料，控制 n 個LED之閃爍。

因此，自光寫頭拉出之信號線數除去電源、定時關係之脈衝用信號線，與驅動IC數相等。惟在其信號線數過多情形下，可藉由設置分配(串並聯轉換)資料於 m 個驅動IC之特定驅動IC，將拉出之信號線數減少為 $1/m$ 。

如此，由於使用LED陣列之習知光寫頭有數目僅為LED個數之配線，故接近特定驅動IC數，配置成，若不藉由串-並聯轉換減少拉出之信號線數，即無法獲得與外部間之介面之構造。因此，有特定驅動IC與LED陣列同樣配置於基板上，光寫頭之寬度(LED之排列方向和直角方向之寬度)變大之問題點。又，必須將串-並聯轉換專用之特定驅動IC內裝於光寫頭內，成本增高之問題點。

另一方面，本發明人等注意到發光元件陣列之構成元件



五、發明說明 (2)

上具有PNPN構造之發光閘流體，曾就可實現發光點之自掃描特點提出專利申請(特開平1-238962號公報、特開平2-14584號公報、特開平2-92650號公報、特開平2-92651號公報)，其顯示作為光列印用光源安裝上簡便，可窄化發光元件間距，可製作小型發光元件陣列。

本發明人等復提議以發光閘流體構成之傳輸元件陣列作為移位暫存器，與發光元件陣列分離之構造之自掃描型發光元件陣列(特開平2-263668號公報)。

發明概要

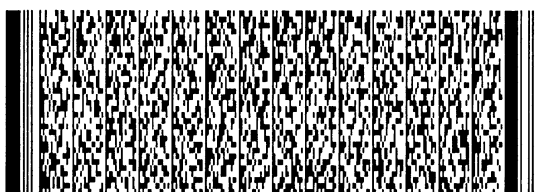
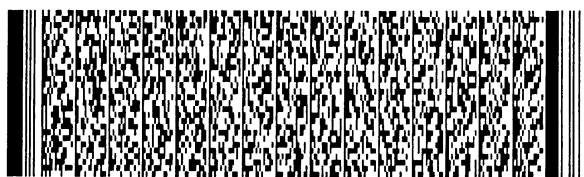
本發明目的在於提供一種藉由使用自掃描型發光元件陣列，可減少拉出之信號匯流排線數之光寫頭。

本發明光寫頭所用1點點燈型自掃描型發光元件陣列晶片具有如次基本構造。

亦即，1點點燈型自掃描型發光元件陣列晶片具備：

傳輸元件陣列，其一次元排列多數個具有控制臨限電壓或臨限電流之控制電極之3端子傳輸元件，藉具有單向性之元件將鄰接之傳輸元件之控制電極相互電連接，經由各負載電阻器連接電源線於傳輸元件之各控制電極，於各傳輸元件之剩餘2端子之一，分別按 n 傳輸元件順序，一一連接 n 相(n 為2以上整數)而形成；以及

發光元件陣列，其一次元排列多數個具有控制臨限電壓或臨限電流之控制電極之3端子發光元件，將傳輸元件之各控制電極連接於發光元件之對應控制電極，於各發光元件之剩餘2端子之一連接施加寫入信號之配線而形成。根



五、發明說明 (3)

據本發明光寫頭之第1態樣，一次元排列複數個上述配置之1點點燈型自掃描型發光元件陣列晶片，共用啟動脈衝，匯流排線連接於各晶片，共用之2相之時鐘脈衝。匯流排線連接於各晶片，個別寫入信號匯流排線分別連接於各晶片。

又，根據本發明光寫頭之第2態樣，於第1態樣中，連接於啟動脈衝・匯流排線・ n 相之時鐘脈衝・匯流排線、寫入信號匯流排線之電流限制用電阻器內裝於晶片內。

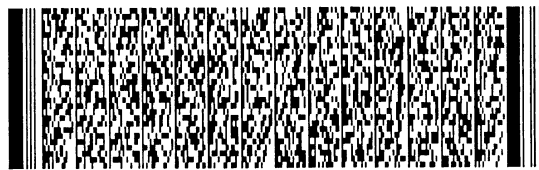
又，根據本發明光寫頭之第4態樣，於第3態樣中，緩衝IC插入 n 相之各個時鐘脈衝、匯流排線。

又，根據本發明光寫頭之第5態樣，使用2點點燈型之自掃描型發光元件晶片。於此態樣中，共用啟動脈衝、匯流排線連接於各晶片，共用 n 相之時鐘脈衝・匯流排線連接於各晶片，個別之2條寫入信號匯流排線分別連接於各晶片，藉各晶片，每隔一個與前述發光元件連接。

又，根據本發明第6態樣，使用複數點燈型之自掃描型發光元件陣列晶片。

此複數點燈型之自掃描型發光元件陣列晶片具備：

傳輸元件陣列，其一次元排列多數個具有控制臨限電壓或臨限電流之控制電極之3端子傳輸元件，藉具有單向性之元件將鄰接之傳輸元件之控制電極相互電連接，經由各負載電阻器，連接電源線於傳輸元件之各控制電極，於各傳輸元件之剩餘2端子之一，經由電流限制用電阻器，分別按 n 傳輸元件順序，一一連接 n 相(n 為2以上整數)之時鐘



五、發明說明 (4)

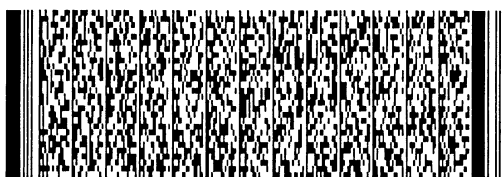
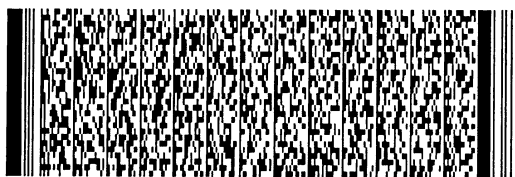
脈衝配線而形成；以及

發光元件陣列，其一次元排列多數個具有控制臨限電壓或臨限電流之控制電極之3端子發光元件，將發光元件之各控制電極連接於 n 個中每一個傳輸元件之對應控制電極，於各發光元件之剩餘2端子之一，經由電流限制用電阻器，連接施加寫入信號之配線而形成。

於一次元排列此自掃描型發光元件晶片之光寫頭中，個別啟動脈衝・匯流排線分別連接於各晶片，共用 n 相時鐘脈衝・匯流排線連接於各晶片，共用電流施加匯流排線連接於各晶片。

又，本發明第7形態於使用1點點燈型之自掃描型發光元件陣列晶片之光寫頭中，將 m 條(m 為2以上之整數)啟動脈衝・匯流排線依序連接於各晶片，共用 n 相之時鐘脈衝・匯流排線連接於各晶片，個別寫入信號匯流排線分別連接於鄰接之 m 個晶片的每一個，將與啟動脈衝・匯流排線・時鐘脈衝・匯流排線・寫入信號匯流排線連接之電阻器內裝於晶片內。

又，本發明第8形態於使用1點點燈型之自掃描型發光元件陣列晶片之光寫頭中，將複數個晶片分成相互鄰接之 m 個(m 為2以上之整數)晶片組，於一組內之晶片中，將某晶片之最終打線焊墊與次一晶片之啟動脈衝・打線焊墊連接，共用啟動脈衝・匯流排線連接於各組內之最初晶片，共用 n 相之時鐘脈衝・匯流排線連接於各晶片，個別寫入信號匯流排線分別連接於各組內之全部晶片。



五、發明說明 (5)

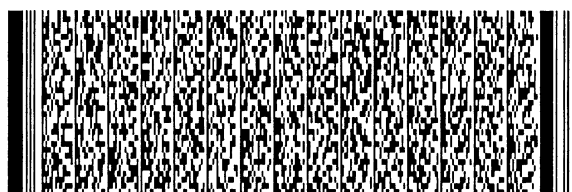
又，本發明第9態樣於使用多點點燈型之自掃描型發光元件陣列晶片之光寫頭中，將個別啟動脈衝・匯流排線連接於鄰接之 m 個(m 為2以上整數)中每一個晶片，依序連接某相之 m 條時鐘脈衝・匯流排線於鄰接之 m 個晶片，共用之其他相之時鐘脈衝・匯流排線連接於各晶片，寫入信號匯流排線分別連接於各晶片。

用以實施發明之最佳形態

首先，就使用本發明光寫頭之自掃描型發光元件陣列簡單說明。自掃描型發光元件陣列使用3端子發光閘流體。圖1顯示3端子發光閘流體之基本構造。其一例子係在P型GaAs基板10上形成PNPN構造12者。此3端子發光閘流體之閘極14具有控制接通電壓之作用，施加於陰極16之接通電壓成為閘壓加上PN結之擴散電位和閘壓之電壓。又，接通後，閘壓大致與陽極電壓一致。因此，若陽極18接地，閘壓即變成零伏特。

圖2顯示使用此種3端子發光閘流體之前述特開平2-263668號公報所揭露之自掃描型發光元件陣列之等效電路。此自掃描型發光元件陣列具備傳輸元件之 T_1 、 T_2 、 T_3 、 $\dots$ 之陣列，以及寫入用發光元件 L_1 、 L_2 、 L_3 、 $\dots$ 之陣列。此等傳輸元件和發光元件由3端子發光閘流體構成。鄰接之傳輸元件之閘電極間使用二極體 D_1 、 D_2 、 D_3 、 D_4 ...來連接。

傳輸元件之各陰極電極交替供有時鐘脈衝 $\Phi 1$ 、 $\Phi 2$ 。 V_{GA} 係電源(通常-5V)，經由負載電阻 R_L 與各傳輸元件之閘電



五、發明說明 (6)

極 G_1 、 G_2 、 $G_3 \cdots$ 連接。移位暫存器8由此等傳輸元件 T_1 、 T_2 、 $T_3 \cdots$ 、二極體 D_1 、 D_2 、 $D_3 \cdots$ 以及複數負載電極 R_L 構成。傳輸元件之閘電極亦與對應之閘電極連接。啟動脈衝 Φ_S 施加於第1行之傳輸元件 T_1 之閘電極。寫入信號 Φ_1 施加於寫入用發光元件之陰極電極。

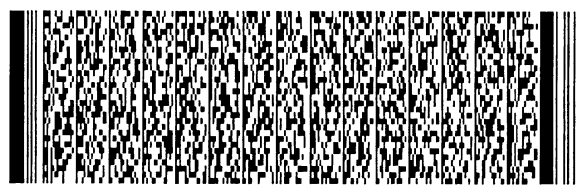
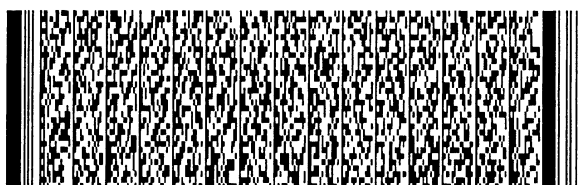
於簡單說明此自掃描型發光元件陣列之動作。

此時，若傳輸元件 T_2 處於導通狀態，閘電極 G_2 之電壓即由電源電壓 V_{GA} (-5伏特)上昇，達到大致零伏特。因此，若寫入信號 Φ_1 之電壓在PN結之擴散電位(約1伏特)以下，即可使發光元件 L_0 成發光狀態。

相對於此，閘電極 G_1 約為-5伏特，閘電極 G_3 約為-1伏特。因此，發光元件 L_1 之寫入電壓約為-6伏特，發光元件 L_3 之寫入電壓約為-1伏特。因此，僅發光元件 L_2 寫入之寫入信號 Φ_1 之電壓於-1~-2伏特範圍。由於若發光元件 L_2 導通，亦即成發光狀態，寫入信號 Φ 線之電壓即固定為約-1伏特，故無選擇其他發光元件發光之虞。

發光元件之發光強度由流至寫入信號 Φ_1 之電流量來決定，其可使用任意強度來視頻寫入。又，為了使發光狀態傳輸至次一發光元件，須將寫入信號 Φ_1 之電壓一次降至零伏特，一次切斷發生之發光元件。

於應用此種自掃描型發光元件陣列於光列印機等情形下，作成集積某一定數目之傳輸元件和發光元件之一半導體晶片形成，構成自掃描型發光元件陣列晶片，例如排列一行此種自掃描型發光元件陣列晶片，形成預定大小之自



五、發明說明 (7)

掃描型發光元件陣列。

以下根據圖式對使用此種線狀光源之光寫頭實施例詳加說明。

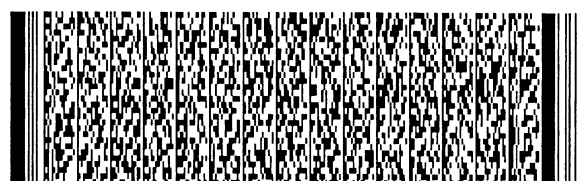
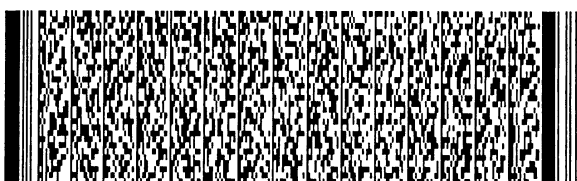
實施例1

如圖3所示，排列56個600dpi/128發光點/1點點光型(1個發光元件同時點燈)之自掃描型發光元件陣列(略稱為SLED)晶片，構成A3大小用光寫頭。圖4A、圖4B顯示此實施例所用1點點燈型之SLED晶片。

圖4B所示SLED晶片由128個傳輸元件 $T_1 \sim T_{128}$ 、128個寫入用發光元件 $L_1 \sim L_{128}$ 構成。移位暫存器部份之配置使用二極體連接於鄰接之傳輸元件之閘極間。 V_{GA} 係電源，其經由負載電阻 R_L 連接於各傳輸元件之閘電極。又，傳輸元件之閘電極亦與對應之發光元件之閘電極連接。啟動脈衝 Φ_S 施加於傳輸元件 T_1 之閘電極，傳輸用時鐘脈衝 Φ_1 、 Φ_2 交替施加於傳輸元件之陰極電極，寫入信號 Φ_I 施加於寫入用發光元件之陰極電極。

如圖4A所示，於此種SLED晶片具有 Φ_1 、 Φ_2 、 V_{GA} 、 Φ_S 、 Φ_I 用之打線焊墊30、32、34、36、38。

茲回到圖3，就排列56個具有上述打線焊墊30、32、34、36、38之SLED晶片之自掃描型發光元件陣列之信號配線加以說明。自連接器20之 V_{GA} 端子、 Φ_2 端子、 Φ_1 端子、 Φ_S 端子分別連接一條匯流排線22、24、26、28。各SLED晶片之 Φ_1 打線焊墊30經由外裝之電流限制用電阻器R1連接於 Φ_1 匯流排線26， Φ_2 打線焊墊32經由外裝之電流限制



五、發明說明 (8)

用電阻器R2連接於 $\Phi 2$ 匯流排線24。又， Φ_S 打線焊墊36經由外裝之電流限制用電阻器 R_S 連接於 Φ_S 匯流排線28， V_{GA} 打線焊墊34連接於 V_{GA} 匯流排線22。復回，各SLED晶片之 Φ_I 打線焊墊38透過外裝之電流限制用電阻器 R_I ，經由寫入信號 $\Phi_I(1) \sim \Phi_I(56)$ 用匯流排線，連接於連接器20之對應 $\Phi_I(1) \sim \Phi_I(56)$ 端子。

於此種光寫頭中，由於各SLED晶片供有相同啟動脈衝 Φ_S ，故同時開始傳輸動作。各SLED晶片點亮之1個發光元件之發光強度由分別供至各SLED晶片之寫入信號 $\Phi_I(1) \sim \Phi_I(56)$ 來決定。

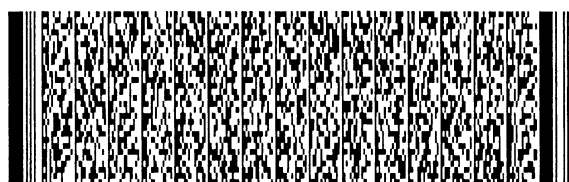
如以上配置之光寫頭之自晶片推出之配線數在 Φ_S 、 $\Phi 1$ 、 $\Phi 2$ 、 V_{GA} 、 $\Phi_I(1) \sim \Phi_I(56)$ 用打線焊墊之配線上加上接地用配線(未圖示)，合計61條)。其與使用LED陣列之習知光寫頭之配線相較，配線數少很多。又，所用電阻器 $R1$ 、 $R2$ 、 R_S 、 R_I 之總數為 $56 \times 4 = 224$ 個。

且，上述實施例固然說明以傳輸用時鐘脈衝 $\Phi 1$ 、 $\Phi 2$ 驅動之二相驅動之SLED晶片，惟亦可為以三相以上時鐘脈衝驅動之SLED晶片。

實施例2a

本實施例係將圖3之光寫頭之外裝電流限制用電阻器 $R1$ 、 $R2$ 、 R_S 、 R_I 內裝於SLED晶片內之光寫頭。

如圖5所示，並排56個內裝電阻器之600dpi/128發光點/1點點燈型之SLED晶片，構成A3大小用光寫頭。圖6A、圖6B顯示此實施例所用SLED晶片。



五、發明說明 (9)

如圖6B所示，SLED晶片內裝電流限制用電阻器 R_1 、 R_2 、 R_3 、 R_4 。此等電阻器分別插入 $\Phi 1$ 線路40、 $\Phi 2$ 線路42、 $\Phi 3$ 線路46、 Φ_1 線路48。如圖6A所示，一個晶片之打線焊墊數與實施例1相同。

由比較圖5之光寫頭與圖3之光寫頭可知，就電氣部件而言，可實現僅有SLED晶片之光寫頭，復實現窄幅之光寫頭。

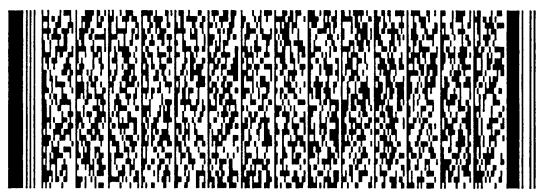
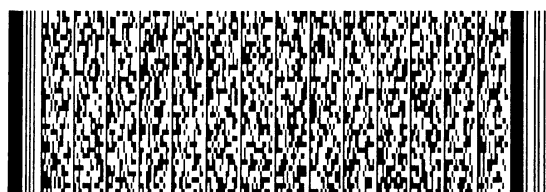
實施例2b

本實施例使用僅內裝電流限制用電阻器 R_1 、 R_2 之SLED晶片來替代實施例2a之SLED晶片。圖7A、圖7B顯示本實施例所用SLED晶片。於此SLED晶片中，電阻器 R_1 、 R_2 分別插入到 $\Phi 1$ 線路、 $\Phi 2$ 線路。電流限制用電阻器不插入 $\Phi 3$ 線路46、 Φ_1 線路。如此，由於電阻器不插入 Φ_1 線路48，故以電流源驅動連接器20之 $\Phi_1(1) \sim \Phi_1(56)$ 端子。且，導通狀態之閘流體之天陽極—陰極間電壓與電流無關，其保持與PN結之順接方向電壓大致相等。亦可使用利用此性質，組合電壓源和電阻器作為電流源之配置。如此，由於電阻不插入 Φ_1 線路48，故無如圖6將電阻器 R_1 內裝於晶片或光寫頭情形下發生之發熱，相較於圖6之晶片，可防止晶片溫度之上昇。

實施例2c

圖8顯示本實施例之光寫頭。本實施例將緩衝IC61、62插入實施例26之光寫頭之 $\Phi 1$ 、 $\Phi 2$ 匯流排線。

插入緩衝IC之理由如下。亦即，SLED晶片之 $\Phi 1$ 線路、



五、發明說明 (10)

$\Phi 2$ 線路分別有約5mA電流流過時，60晶片之 $\Phi 1$ 匯流排線26、 $\Phi 2$ 匯流排線24亦分別流過300mA電流。若大電流斷斷續續，即會發生不希望的輻射，而有產生電磁波障礙之虞。藉由將緩衝IC插入匯流排線，可阻止因大電流斷斷續續而發生不希望的輻射。

復可藉由插入緩衝IC，與較緩衝IC之臨限電壓高或低之電壓供至連接器20之 $\Phi 1$ 、 $\Phi 2$ 端子。具有二極體結之傳輸元件之SLED晶片在動作原理上固然難以藉3V電源作動，惟由插入緩衝IC另需5V電源，故可藉3V系統之信號來驅動SLED晶片。藉由如此降低電源電壓，可減少耗電。

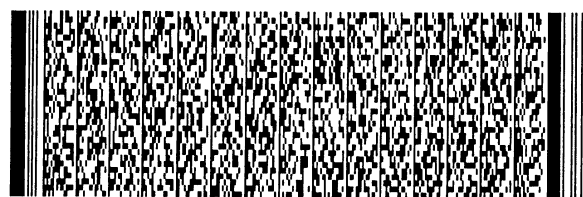
實施例3

本實施例係排列56個內裝電阻器之600dpi/128發光點/2點點燈型(2個發光元件同時點燈)之自掃描型發光元件陣列晶片構成之A3大小用光寫頭。

圖9顯示光寫頭之配置，圖10A、圖10B顯示用於此實施例之SLED晶片。

圖10A、圖10B所示SLED晶片除圖6之SLED晶片之寫入信號 Φ_1 外，進一步具有寫入信號 Φ_J 。電流限制用電阻 R_J 插入 Φ_J 線路49。寫入信號 Φ_1 、 Φ_J 交替接至發光元件。藉此，可同時點亮1晶片內之2個發光元件，復且，寫入信號之工作比，增加有效光量。

由於如圖9所示，本實施例之光寫頭於每一晶片設有二條寫入信號匯流排線 $\Phi_1(1) \sim \Phi_1(56)$ 、 $\Phi_J(1) \sim \Phi_J(56)$ ，故相較於實施例1，增加56條匯流排線，自晶片拉出之匯流



五、發明說明 (11)

排線數為117條。

且，各晶片中傳輸時鐘・匯流排線可在3相以下，寫入信號匯流排線亦可在3條以上。

實施例4

本實施例係排列56個600dpi/128發光點/複數點燈型(複數個發光元件同時點燈)之自掃描型發光元件晶片構成之A3大小用寫頭。

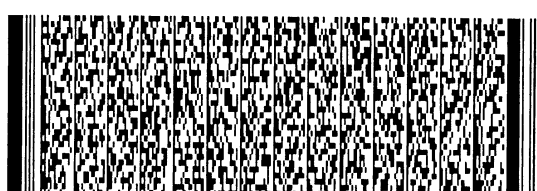
圖11顯示寫頭之配置，圖12顯示本實施例所用之SLED晶片。於複數點燈型SLED晶片中，傳輸元件T之各陰極電極經由電流限制用電阻器70、72連接於 Φ_1 、 Φ_2 線路40、42，發光元件L之各陰極電極經由電流限制用電阻器74連接於 Φ_1 線路48。此等電流限制用電阻器71、72、73積體化於晶片內。並且，發光元件L之各閘極電極連接於輸入時鐘脈衝 Φ_1 之傳輸元件T之閘極電極。

排列此種SLED晶片之圖11所示光寫頭準備56個啟動脈衝 $\Phi_s(1) \sim \Phi_s(56)$ ，其分別連接於各SLED晶片。藉啟動脈將每一晶片待導通之複數傳輸元件之資料預先寫入暫存器，藉寫入脈 Φ_1 同時將複數發光元件點亮。由於在複數點燈型SLED晶片中，電流限制用電阻器全部內裝於晶片，故就電氣部件而言，只要SLED晶片即可實現寫頭。

且，於以上實施例中，傳輸時鐘・匯流排線為3相以上，又， Φ_s 匯流排線亦可為3條以上。

實施例5

圖13顯示本實施例之光寫頭。相較於圖5所示實施例2a



五、發明說明 (12)

之光寫頭，本實施形態如圖13所示，將啟動脈衝・匯流排線設有2條之 $\Phi_s(1)$ 匯流排線28(1)和 $\Phi_s(2)$ 匯流排線28(2)、 $\Phi_s(1)$ 匯流排線28(1)連接於SLED1，SLED3、SLED5，將 $\Phi_s(2)$ 匯流排線連接於SLED2、SLED4、...

進一步將圖5之光寫頭之寫入信號 Φ_1 之數目減半，亦即減成 $\Phi_1(1) \sim \Phi_1(28)$ ，將相同寫入信號供至每二鄰接晶片。

根據本構造之寫頭，匯流排線之抽出數於 $\Phi_s(1)$ 、 $\Phi_s(2)$ 、 Φ_1 、 Φ_2 、 V_{GA} 、 $\Phi_1(1) \sim \Phi_1(28)$ 之匯流排線上，加上接地用匯流排線(未圖示)，分計34條。

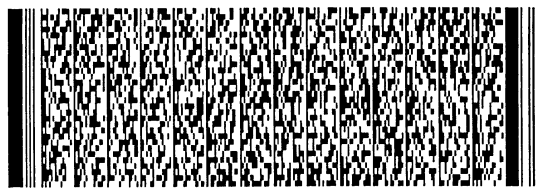
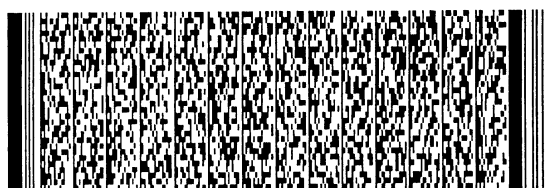
圖14顯示圖13之寫頭之信號波形例。由其當知啟動脈衝 $\Phi_s(1)$ 供至奇數號碼之SLED晶片，啟動脈衝 $\Phi_s(2)$ 供至偶數號碼之SLED晶片，寫入信號 $\Phi_1(1)$ 、 $\Phi_1(2)$ 、 $\Phi_1(3) \dots$ 供至每2個鄰接之SLED晶片。

且，傳輸時鐘・脈衝匯流排線可為3相以上， Φ_s 匯流排線亦可設成3條以上。

實施例6

圖15顯示本實施例之光寫頭。如圖15所示，本實施例使用取出實施例2a之SLED晶片(圖5)之最終結二極體 D_{128} 之陰極作為最終打線焊墊(Φ_{end})37之晶片，將第(2N-1)晶片之 Φ_{end} 打線焊墊37與第2N晶片之 Φ_s 打線焊墊36連接。並且，啟動脈衝 Φ_s 與第(2N-1)SLED晶片連接。

藉由如此可將2晶片當作1晶片。因此，取出之數目於 Φ_s 、 Φ_1 、 Φ_2 、 V_{GA} 、 $\Phi_1(1) \sim \Phi_1(28)$ 之匯流排線上加上接



五、發明說明 (13)

地用匯流排線(未圖示)合計33條。

圖16A、圖16B顯示此種SLED晶片之打線焊墊和電路。其顯示取出最終結二極體D之陰極作為 Φ_{end} 打線焊墊37之狀態。

圖17顯示圖15之光寫頭之信號波形例。相較於圖14之信號波形，可知發光元件之發光動作與實施例5相同。

傳輸時鐘・匯流排線可為3相以上，又，連接 Φ_{end} 打線焊墊37與 Φ_s 打線焊墊36之晶片亦可3個晶片以上為1組。

實施例7

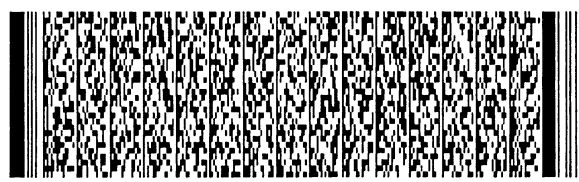
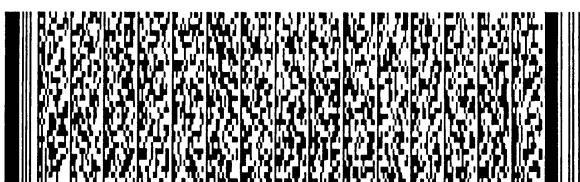
藉由實施例4(圖11)之 $\Phi 1$ 匯流排線為L條，可使啟動脈衝匯流排線(資料輸入線)之數目成為 $1/L$ 。圖18顯示 $L=2$ 情形下本實施例之光寫頭。 $\Phi 1$ 匯流排線增大為 $\Phi 1(1)$ 匯流排線、 $\Phi 1(2)$ 匯流排線二條，啟動脈衝匯流排線減少為 $\Phi_s(1)$ 匯流排線~ $\Phi_s(28)$ 匯流排線之28條。因此，自SLED晶片拉出之匯流排線於 $\Phi 1(1)$ 、 $\Phi 1(2)$ 、 $\Phi 2$ 、 V_{GA} 、 Φ_1 、 $\Phi_s(1)$ ~ $\Phi_s(28)$ 之匯流排線上加上接地用之匯流排線合計34條。

又，於本實施例中，傳輸時鐘・匯流排線可為3相以上， $\Phi 1$ 匯流排線亦可為3條以上。

根據本實施例之光寫頭，將表示待同時點燈之發光元件之資料預先寫入移位暫存器，藉寫入信號 Φ_1 同時點燈。

產業上可利用性

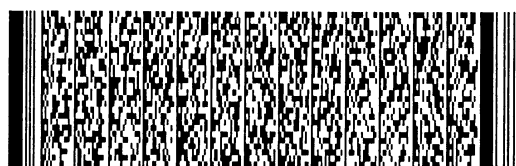
根據本發明，藉由使用自掃描型發光元件陣列，可提供能減少自SLED拉出之信號線數之光寫頭。



五、發明說明 (14)

元 件 編 號 之 說 明

8	移 位 暫 存 器
10	P 型GaAs 基 板
12	PNPN 構 造
14	閘 極
16	陰 極
18	陽 極
20	連 接 器
22 、 24 、 26 、 28	匯 流 排 線
30 、 32 、 34 、 36 、 38	打 線 焊 墊
37	
40 、 42 、 46 、 48	線 路
49	Φ_J 線 路
61 、 62	緩 衝 IC
70 、 71 、 72 、 73 、 74	電 流 限 制 用 電 阻 器



圖式簡單說明

圖1係顯示3端子發光開流體之基本構造之圖式。

圖2係自掃描型發光元件陣列之等效電路圖。

圖3係顯示本發明實施例1之光寫頭之圖式。

圖4A、圖4B係顯示實施例1所用1點點燈型SLED晶片之圖式。

圖5係顯示本發明實施例2a之光寫頭之圖式。

圖6A、圖6B係顯示實施例2a所用電阻器內裝型SLED晶片之圖式。

圖7A、圖7B係顯示實施例2b所用電阻器內裝型SLED晶片之圖式。

圖8係顯示本發明實施例2c之光寫頭之圖式。

圖9係顯示本發明實施例3之光寫頭之圖式。

圖10A、圖10B係顯示實施例3所用2點點燈型SLED晶片之圖式。

圖11係顯示本發明實施例4之光寫頭。

圖12係顯示實施例4所用複數點燈型SLED晶片之圖式。

圖13係顯示本發明實施例5之光寫頭之圖式。

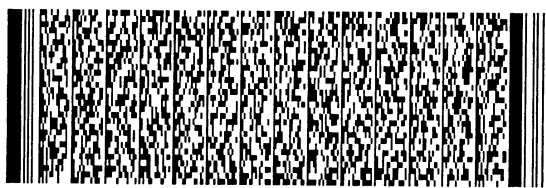
圖14係顯示實施例5之驅動波形例之圖式。

圖15係顯示本發明實施例6之光寫頭之圖式。

圖16A、圖16B係顯示實施例6所用1點點燈型SLED晶片之圖式。

圖17係顯示實施例6之驅動波形例之圖式。

圖18係顯示本發明實施例7之光寫頭之圖式。



四、中文發明摘要 (發明之名稱：使用自掃描型發光元件陣列之光寫頭)

本發明之目的在於提供一種使用自掃描型發光元件陣列，減少拉出之信號線數的光寫頭。各SLED晶片之 $\Phi 1$ 打線焊墊經由電阻器 R_1 連接於 Φ_1 匯流排線， $\Phi 2$ 打線焊墊經由電阻器 R_2 連接於 $\Phi 2$ 匯流排線。又， Φ_S 打線焊墊經由電阻器 R_S 連接於 Φ_S 匯流排線， V_{GA} 打線焊墊連接於 V_{GA} 匯流排線。各SLED晶片之 Φ_1 打線焊墊進一步經由電阻器 R_1 連接於連接器之對應端子 $\Phi_1(1) \sim \Phi_1(56)$ 。

英文發明摘要 (發明之名稱：)



六、申請專利範圍

1. 一種光寫頭，其係一次元排列複數個自掃描型發光元件陣列晶片者，該自掃描型發光元件陣列晶片具備：

傳輸元件陣列，其一次元排列多數個具有控制臨限電壓或臨限電流之控制電極之3端子傳輸元件，藉具有單向性之元件使鄰接之傳輸元件之控制電極相互電連接，經由各負載電阻器，將電源線連接於前述傳輸元件之各控制電極，於前述各傳輸元件之剩餘2端子中之一方分別按每 n 個傳輸元件順序一一連接 n 相(n 為2以上整數)之時鐘脈衝配線而形成；以及

發光元件陣列，其一次元排列多數個具有控制臨限電壓或臨限電流之控制電極之3端子發光元件，將前述傳輸元件之各控制電極連接於前述發光元件之對應控制電極，於前述各發光元件之剩餘2端子中之一方，連接施加寫入信號之配線而形成，其特徵在於：

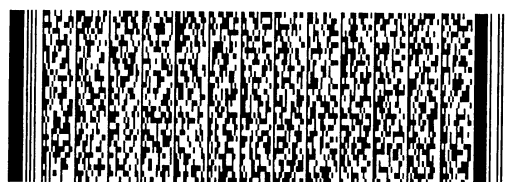
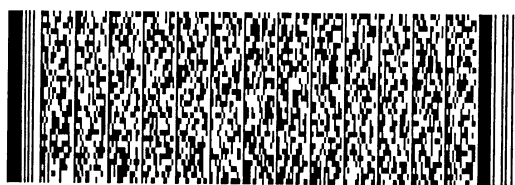
共用啟動脈衝・匯流排線連接於各晶片；

共用 n 相時鐘脈衝・匯流排線連接於各晶片；個別寫入信號匯流排線分別連接於各晶片。

2. 如申請專利範圍第1項之光寫頭，其中連接於前述啟動脈衝・匯流排線、 n 相時鐘脈衝・匯流排線、寫入信號匯流排線之電流限制用電阻器內裝於晶片內。

3. 如申請專利範圍第1項之光寫頭，其中連接於前述 n 相時鐘脈衝・匯流排線之電流限制電阻器內裝於晶片內。

4. 如申請專利範圍第3項之光寫頭，其中緩衝IC分別插入前述 n 相之時鐘脈衝・匯流排線。



六、申請專利範圍

5. 一種光寫頭，其係一次元排列複數個自掃描型發光元件陣列晶片者，該自掃描型發光元件陣列晶片具備：

傳輸元件陣列，其一次元排列多數個具有控制臨限電壓或臨限電流之控制電極之3端子傳輸元件，藉具有單向性之元素使鄰接之傳輸元件之控制電極相互電連接，經由各負載電阻器連接電源線路於前述傳輸元件之各控制電極，於前述各傳輸元件之剩餘2端子中之一方分別按每 n 個傳輸元件順序一一連接 n 相(n 為2以上之整數)之時鐘脈衝配線而形成；以及

發光元件陣列，其一次元排列多數個具有控制臨限電壓或臨限電流之控制電極之3端子發光元件，將前述傳輸元件之各控制電極連接於前述發光元件之對應控制電極，於前述各發光元件之剩餘2端子中之一方連接施加寫入信號之配線而形成，其特徵在於：

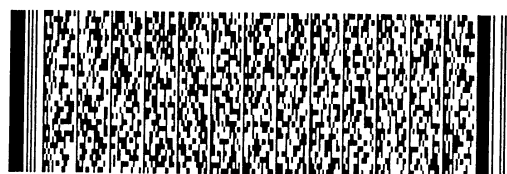
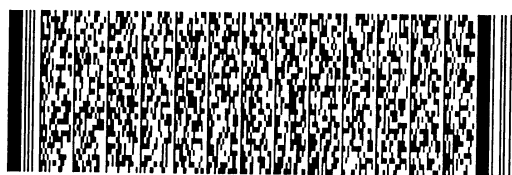
共用啟動脈衝・匯流排線連接於各晶片；

共用 n 相時鐘脈衝・匯流排線連接於各晶片；

個別2條寫入信號匯流排線分別連接於各晶片，前述2條寫入信號匯流排線藉各晶片每隔一個與前述發光元件連接。

6. 一種光寫頭，其係一次元排列複數個自掃描型發光元件陣列晶片者，該自掃描型發光元件陣列晶片具備：

傳輸元件陣列，其一次元排列多數個具有控制臨限電壓或臨限電流之控制電極之3端子傳輸元件，藉具有單向性之元件相互電連接鄰接之傳輸元件之控制電極，經由各負



六、申請專利範圍

載電阻器連接電源線於前述傳輸元件之各控制電極，於前述各傳輸元件之剩餘2端子中之一方，經由電流限制用電阻器，分別按每 n 個傳輸元件順序一一連接 n 相(n 為2以上之整數)時鐘脈衝配線而形成；以及

發光元件陣列，其一次元排列多數個具有控制臨限電壓或臨限電流之控制電極之3端子發光元件，將前述發光元件之各控制電極連接於 n 個中每一個前述傳輸元件之對應控制電極，經由電流限制用電阻器，連接施加寫入信號之配線於前述各發光元件之剩餘2端子之一而形成，其特徵在於：

個別啟動脈衝・匯流排線分別連接於各晶片；

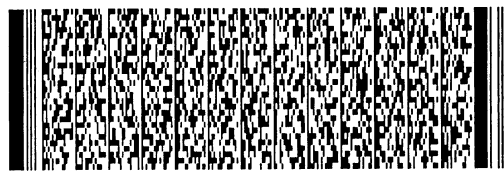
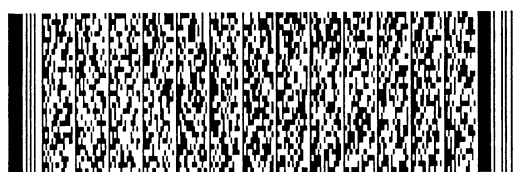
共用 n 相時鐘脈衝・匯流排線連接於各晶片；

共用電流施加匯流排線連接於各晶片。

7. 一種光寫頭，其係一次元排列複數個自掃描型發光元件陣列晶片者，該自掃描型發光元件陣列晶片具備：

傳輸元件陣列，其一次元排列多數個具有控制臨限電壓或臨限電流之控制電極之3端子傳輸元件，藉具有單向性之元件將鄰接之傳輸元件之控制電極相互電連接，經由各負載電阻器連接電源線於前述傳輸元件之各控制電極，於前述各傳輸元件剩餘的2端子中之一方，按每 n 個傳輸元件順序，一一連接 n 相(n 為2以上整數)之時鐘脈衝配線而形成；以及

發光元件陣列，其一次元排列多數個具有控制臨限電壓或電流之控制電極之3端子發光元件，將前述傳輸元件之



六、申請專利範圍

各控制電極連接於前述發光元件之對應控制電極，於前述各發光元件之剩餘2端子中之一方連接施加寫入信號之配線而形成，其特徵在於：

m 條(m 為2以上之整數)啟動脈衝・匯流排線連接於各晶片；

個別寫入信號匯流排線分別連接相鄰接之 m 個晶片之每一個，

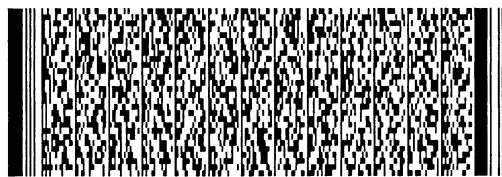
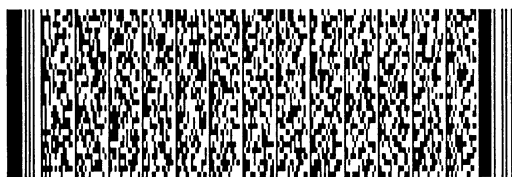
與前述啟動脈衝・匯流排線、 n 相時鐘脈衝・匯流排線、寫入信號匯流排線連接之電阻器內裝於晶片內。

8. 一種光寫頭，其係一次元排列複數個自掃描型發光元件陣列晶片者，該自掃描型發光元件陣列晶片具備：

傳輸元件陣列，其一次元排列多數個具有控制臨限電壓或臨限電流之控制電極之3端子傳輸元件，藉具有單向性之元件將鄰接之傳輸元件之控制電極相互電連接，經由各負載電阻器連接電源線於前述傳輸元件之各控制電極，於前述各傳輸元件之剩餘2端子中之一方，按每 n 個傳輸元件順序，一一連接 n 相(n 為2以上之整數)之時鐘脈衝配線而形成；以及

發光元件陣列，其一次元排列多數個具有控制臨限電壓或臨限電流之控制電極之3端子發光元件，連接前述傳輸元件之各控制電極於前述發光元件之對應控制電極，於前述各發光元件之剩餘2端子之一連接施加寫入信號之配線而形成，其特徵在於：

前述複數個晶片分成相互鄰接之 m 個(m 為2以上之整數)



六、申請專利範圍

晶片組；

於一組內之晶片中，將某一晶片之最終打線焊墊與次一晶片之啟動脈衝・打線焊墊連接；

共用啟動脈衝・匯流排線與各組內之最初晶片連接；

共用 n 相時鐘脈衝・匯流排線與各晶片連接；

個別寫入信號匯流排線分別與各組內之全部晶片連接。

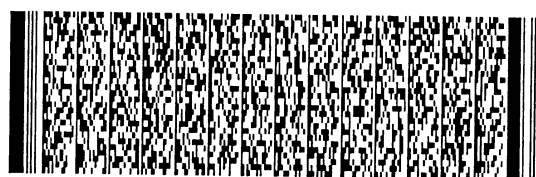
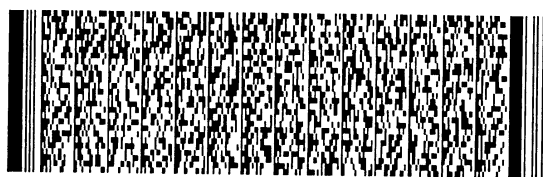
9. 一種光寫頭，其係一次元排列複數個自掃描型發光元件陣列晶片者，該自掃描型發光元件陣列晶片具備：

傳輸元件陣列，其一次元排列多數個具有臨限電壓或臨限電流之控制電極之3端子傳輸元件，藉具有單向性之元件將鄰接之傳輸元件之控制電極相互電連接，經由各負載電阻器連接電源線於前述傳輸元件之各控制電極，於前述各傳輸元件之剩餘2端子中之一方，經由電流限制用電阻器，按每 n 個傳輸元件順序，一一連接 n 個(n 為2以上整數)之時鐘脈衝配線而形成；以及

發光元件陣列，其一次元排列多數個具有控制臨限電壓或臨限電流之控制電極之3端子發光元件，將前述發光元件之各控制電極連接於 n 個中每一個前述傳輸元件之對應控制電極，於前述各發光元件之剩餘2端子中之一方，經由電流限制用電阻器，連接施加寫入信號之配線而形成，其特徵在於：

個別啟動脈衝・匯流排線連接於鄰接之 m 個(m 為2以上整數)晶片中之每一個；

某相之 m 條時鐘脈衝・匯流排線依序連接於前述鄰接之 m



六、申請專利範圍

個晶片；

共用之其他相之時鐘脈衝・匯流排線連接於各晶片；

共用寫入信號匯流排線分別連接於各晶片。



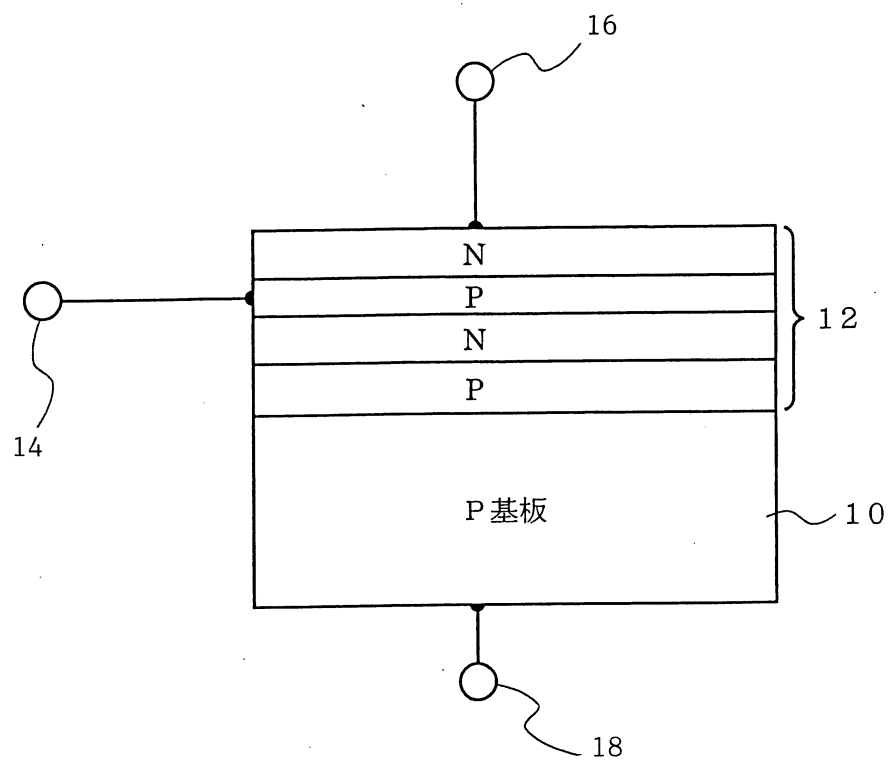


圖 1

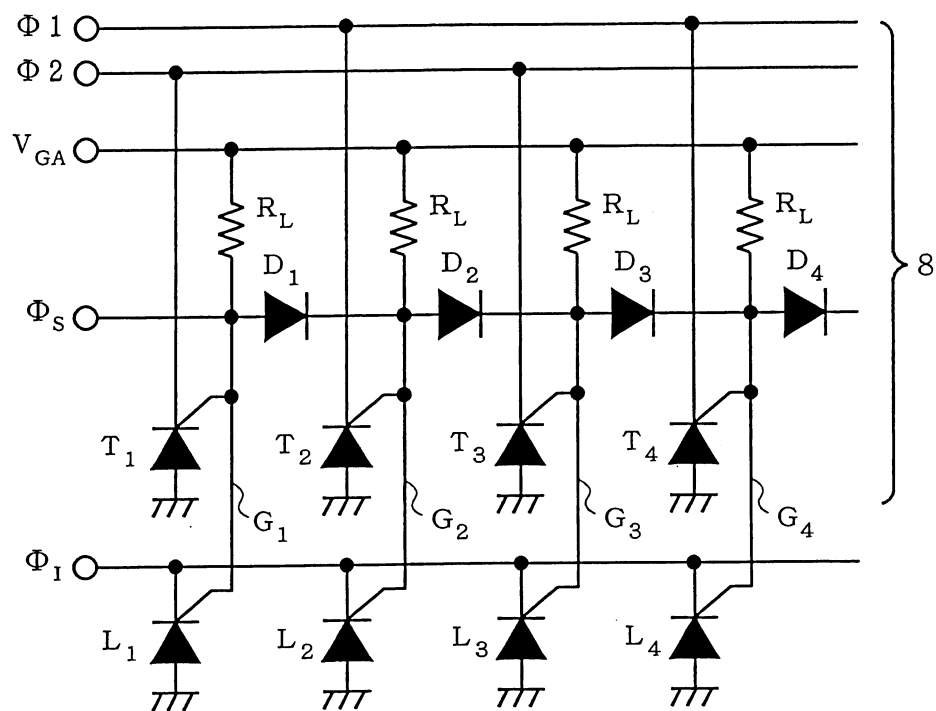


圖 2

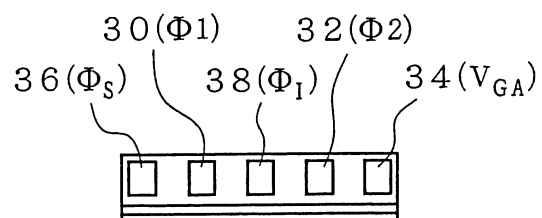


圖 4 A

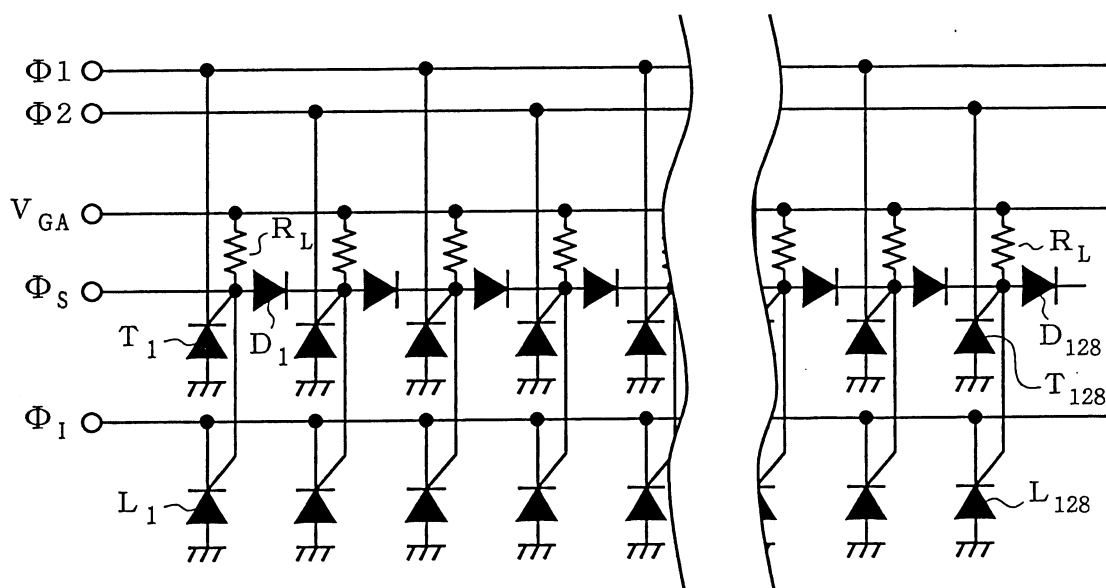
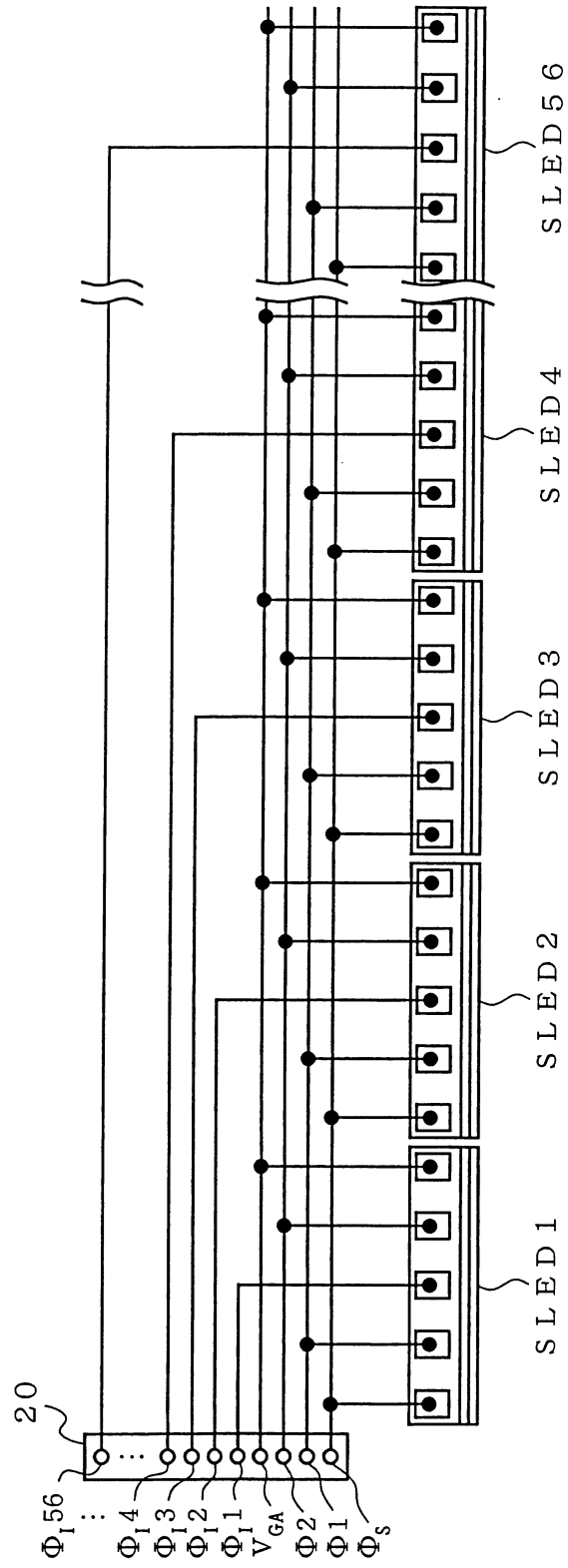


圖 4 B



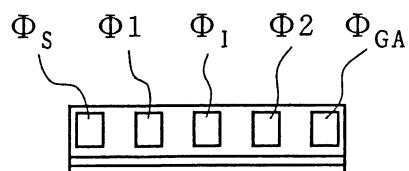


圖 6 A

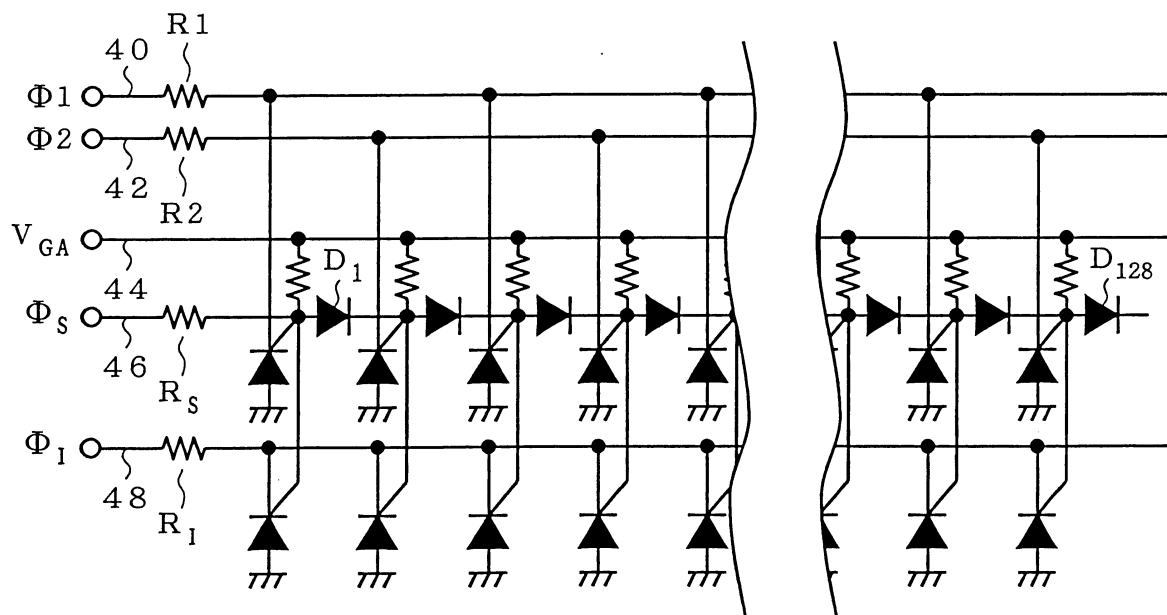


圖 6 B

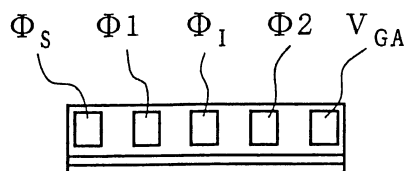


圖 7 A

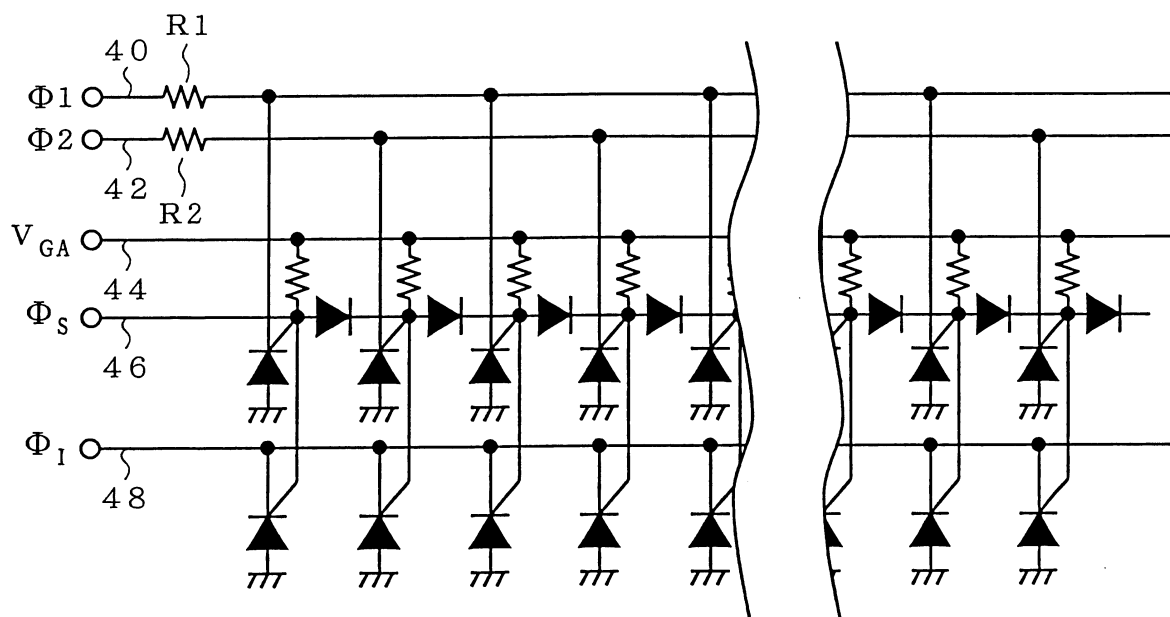
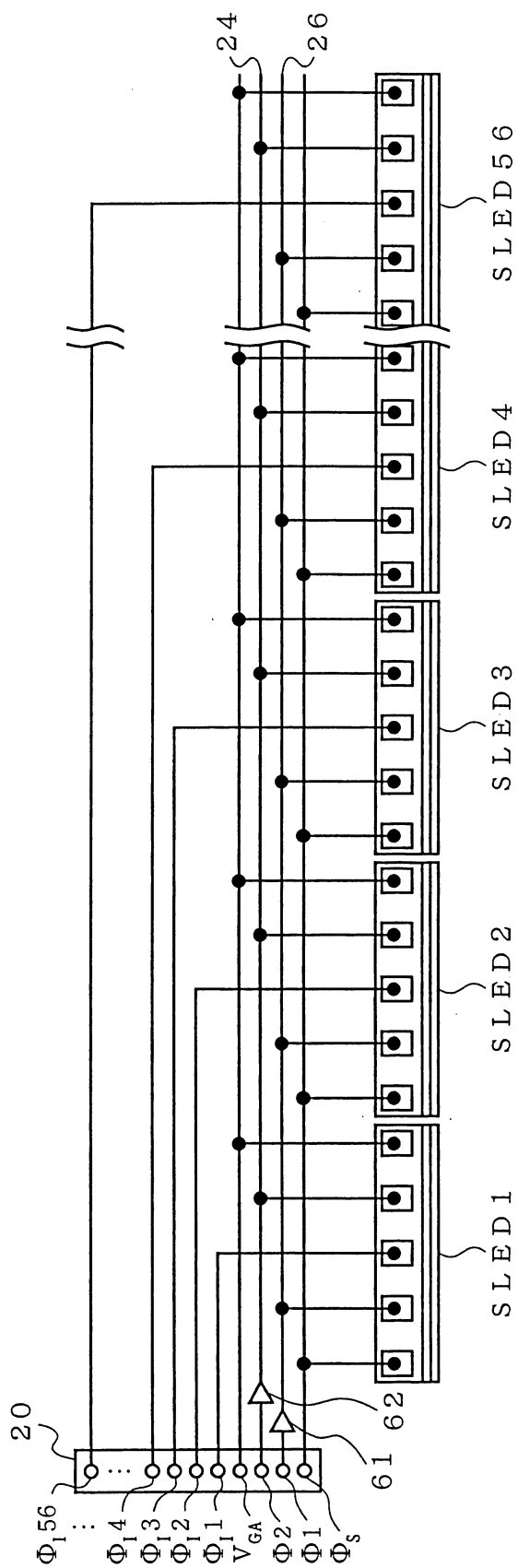
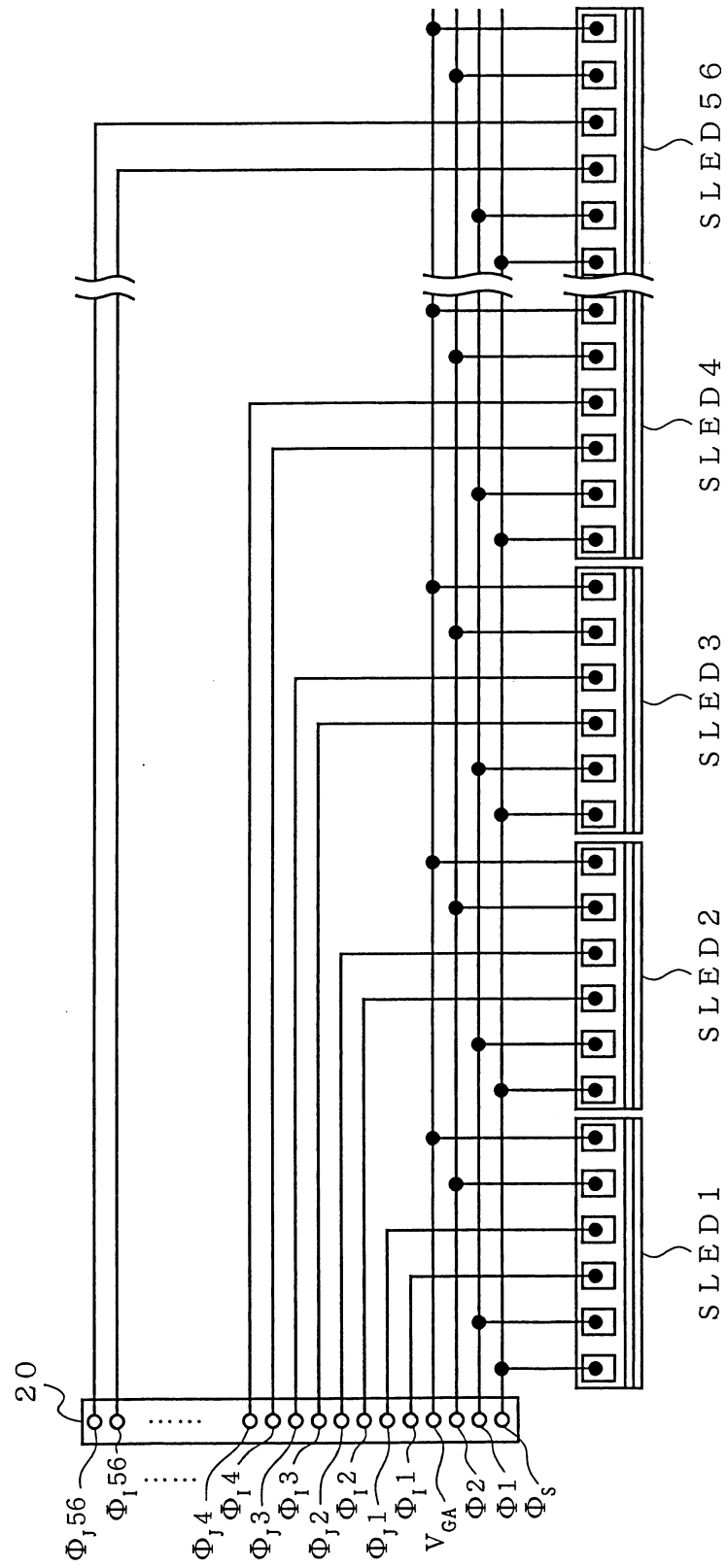


圖 7 B





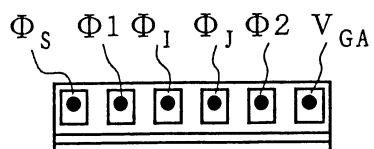


圖 10 A

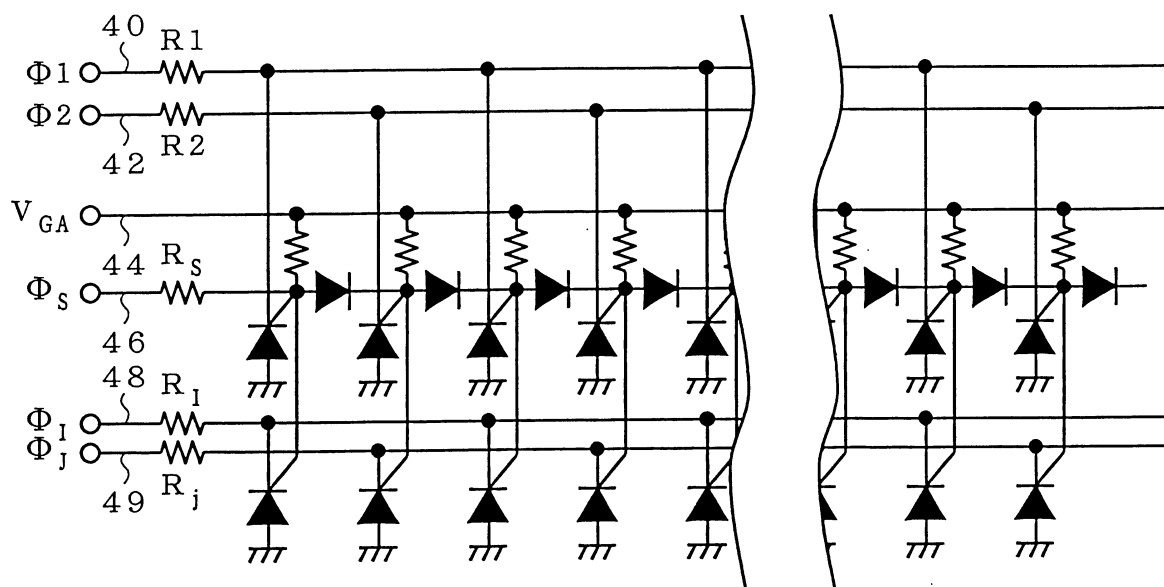


圖 10 B

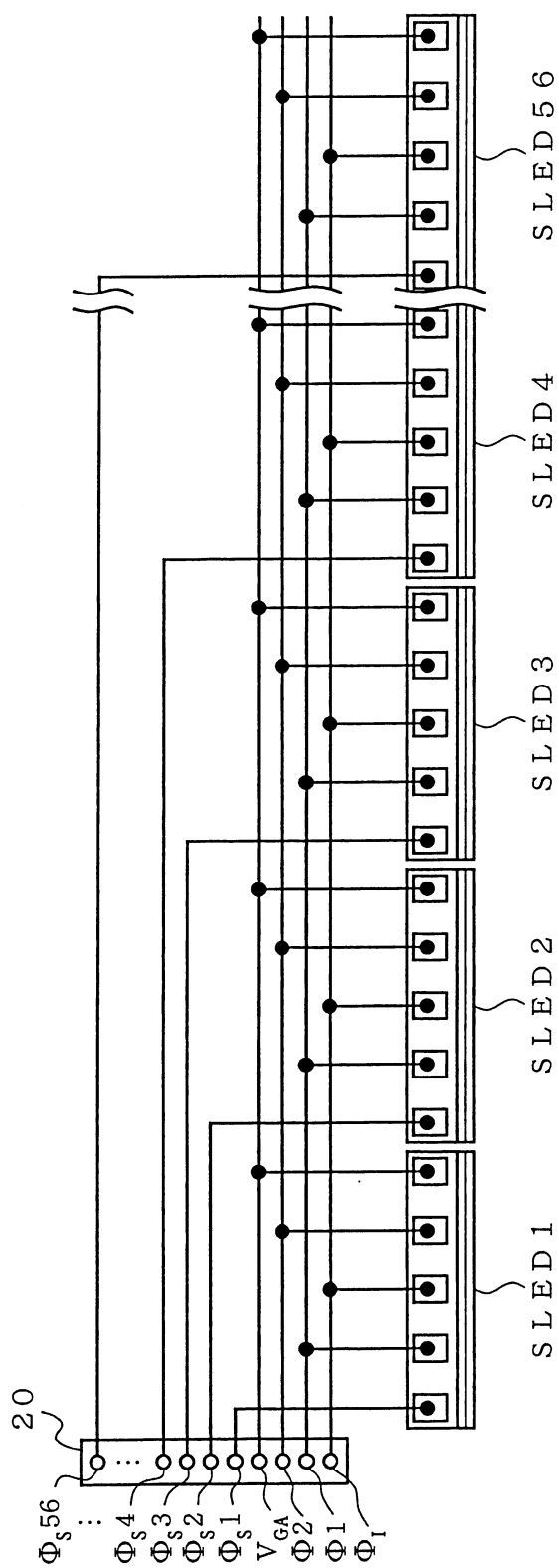


图 11

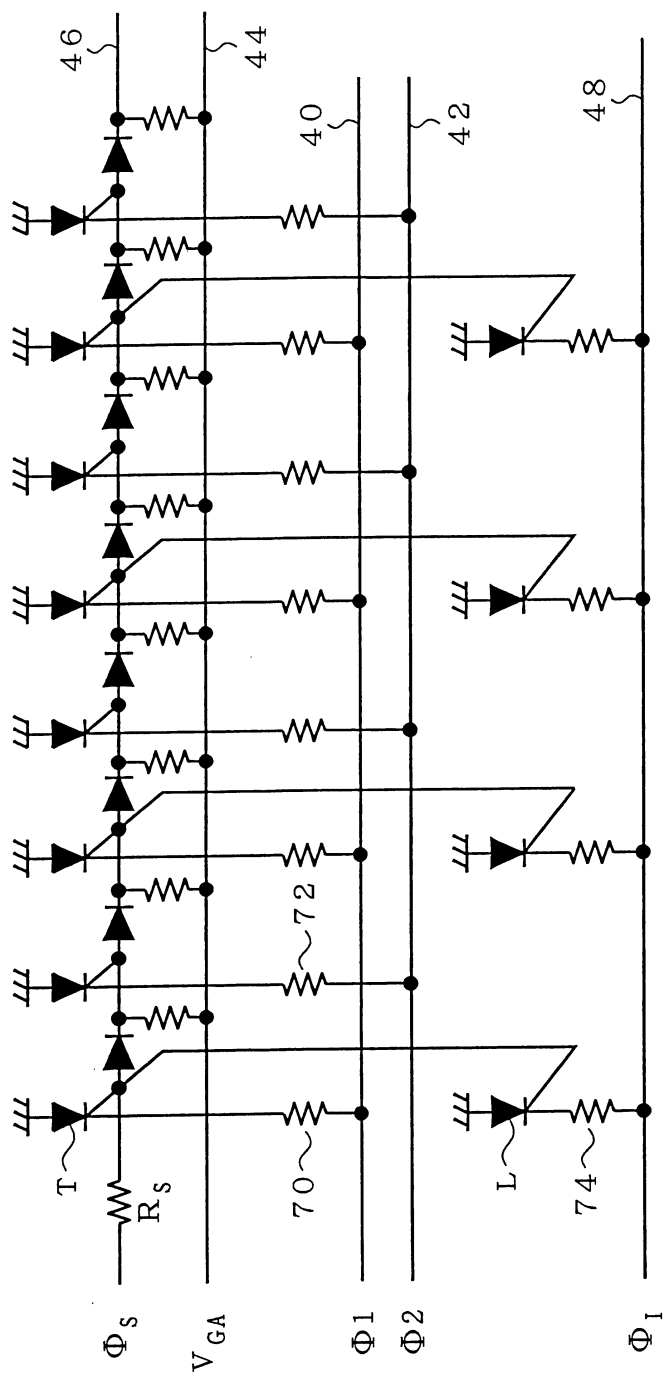


圖 1 2

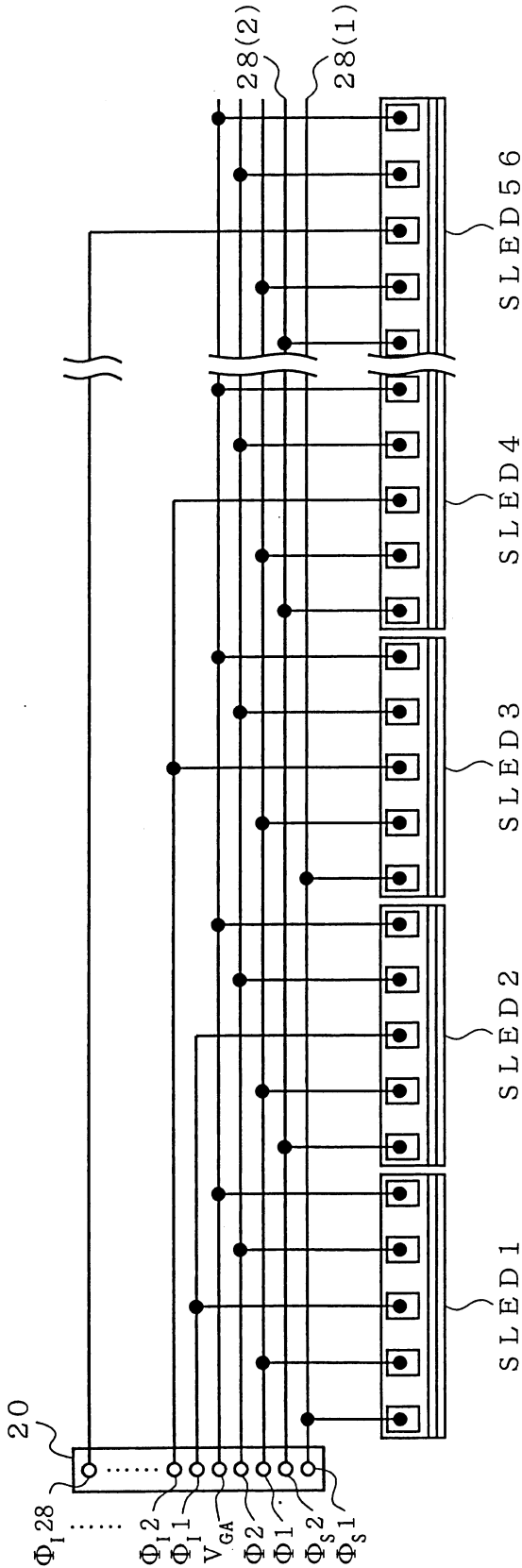
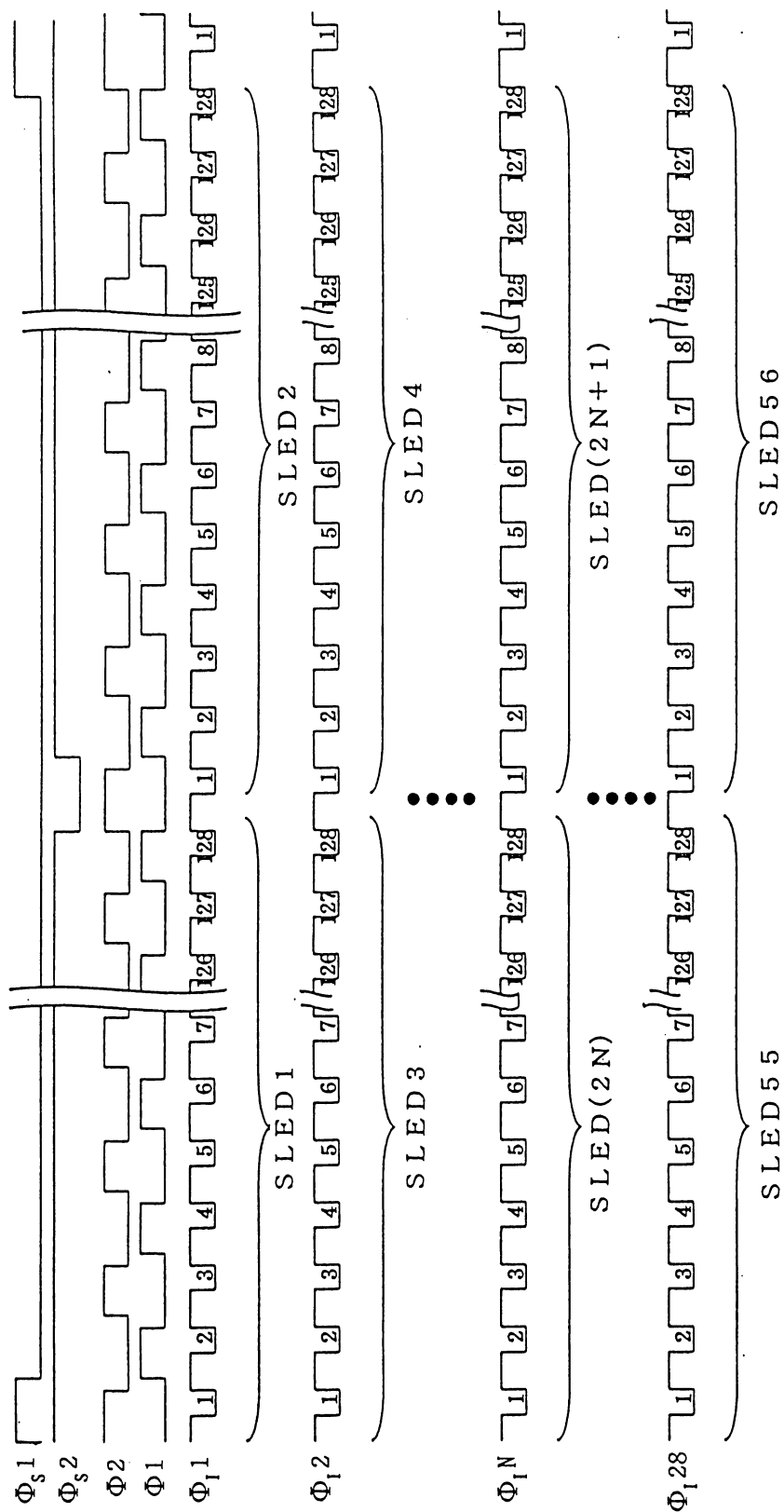
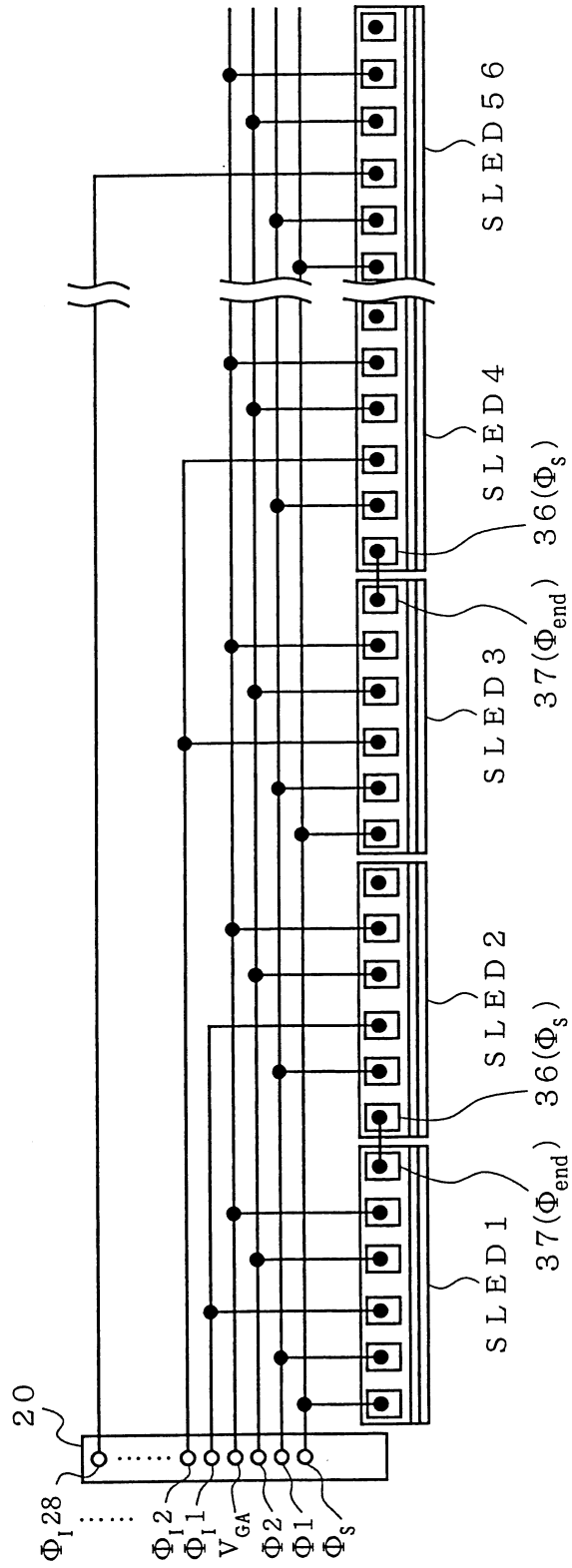


圖 13





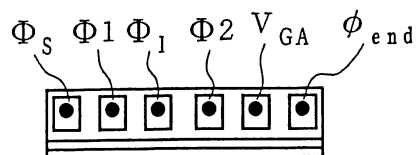


圖 16 A

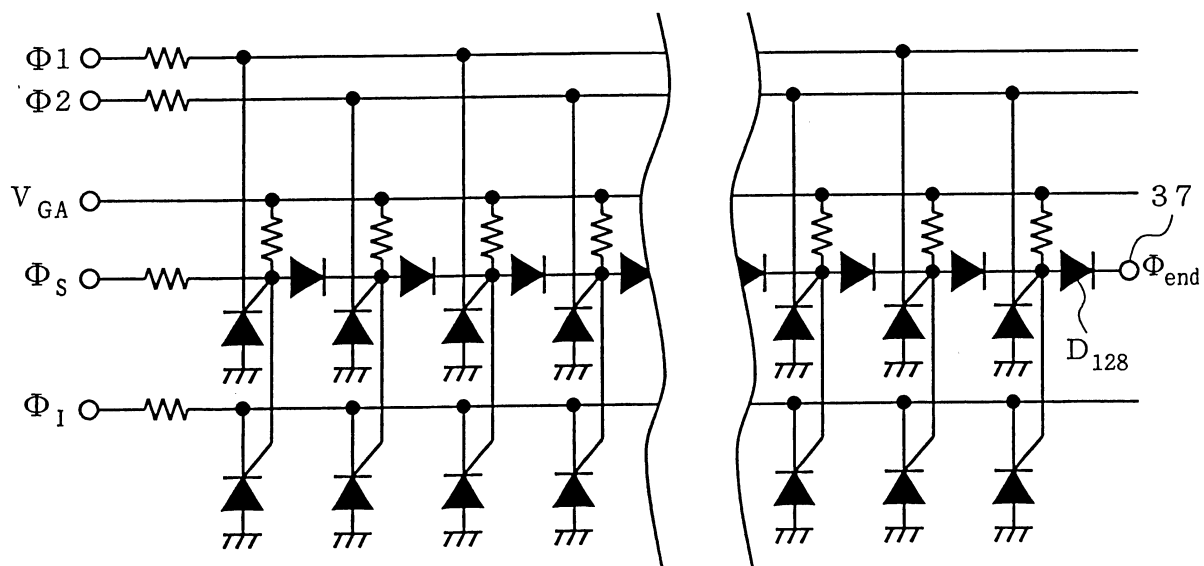


圖 16 B

