

(12) 특허협력조약에 의하여 공개된 국제출원

(19) 세계지식재산권기구
국제사무국



(10) 국제공개번호

(43) 국제공개일

2018 년 11 월 1 일 (01.11.2018)

WIPO | PCT

WO 2018/199525 A1

(51) 국제특허분류:

H03M 1/18 (2006.01)

H03M 3/00 (2006.01)

(21) 국제출원번호:

PCT/KR2018/004384

(22) 국제출원일:

2018 년 4 월 16 일 (16.04.2018)

(25) 출원언어:

한국어

(26) 공개언어:

한국어

(30) 우선권정보:

10-2017-0052887 2017 년 4 월 25 일 (25.04.2017) KR

공개:

— 국제조사보고서와 함께 (조약 제21조(3))

(71) 출원인: 서울대학교산학협력단 (SEOUL NATIONAL UNIVERSITY R&DB FOUNDATION) [KR/KR]; 08826 서울시 관악구 관악로 1 940-311, Seoul (KR).

(72) 발명자: 김수환 (KIM, Suhwan); 05502 서울시 송파구 올림픽로 135 262-1102, Seoul (KR). 양영태 (YANG, Youngtae); 08793 서울시 관악구 남부순환로244가길 7 304, Seoul (KR). 조준수 (CHO, Junsoo); 03301 서울시 은평구 진관3로 77 924-203, Seoul (KR).

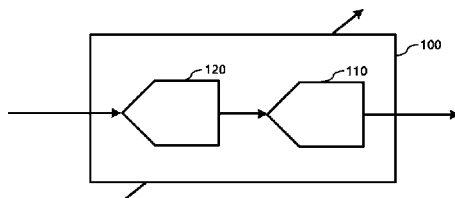
(74) 대리인: 김선종 (KIM, Sunjong); 06620 서울시 서초구 강남대로 375 1002, Seoul (KR).

(81) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 국내 권리의 보호를 위하여): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 역내 권리의 보호를 위하여): ARIPO (BW, GH, GM, KE,

(54) Title: ANALOG/DIGITAL CONVERSION DEVICE AND SYSTEM COMPRISING SAME

(54) 발명의 명칭: 아날로그 디지털 변환 장치 및 이를 포함하는 시스템



(57) Abstract: An analog/digital converter according to the present technology comprises: a first comparator for comparing an input voltage and a reference voltage; a second comparator for comparing a voltage of a first node and a common voltage; a capacitor array comprising a plurality of capacitors of which one end is connected to the first node; a switch array comprising a plurality of switches for controlling the other end of the plurality of capacitors; a control unit for controlling the switch array in accordance with the outputs of the first comparator and the second comparator; and a sampling switch for providing the input voltage to the first node in accordance with a sampling signal.

(57) 요약서: 본 기술에 의한 아날로그 디지털 변환기는 입력 전압을 기준 전압과 비교하는 제 1 비교기; 제 1 노드의 전압을 공통 전압과 비교하는 제 2 비교기; 제 1 노드에 일단이 연결된 다수의 커패시터를 포함하는 커패시터 어레이; 다수의 커패시터의 타단을 제어하는 다수의 스위치를 포함하는 스위치 어레이; 제 1 비교기와 제 2 비교기의 출력에 따라 스위치 어레이를 제어하는 제어부; 및 샘플링 신호에 따라 입력 전압을 제 1 노드에 제공하는 샘플링 스위치를 포함한다.

WO 2018/199525 A1

명세서

발명의 명칭: 아날로그 디지털 변환 장치 및 이를 포함하는 시스템 기술분야

- [1] 본 발명은 아날로그 디지털 변환 장치 및 이를 포함하는 시스템에 관한 것으로 보다 구체적으로는 입력 신호의 이득을 제어할 수 있는 아날로그 디지털 변환 장치 및 이를 포함하는 시스템에 관한 것이다.

배경기술

- [2] 도 1은 종래의 아날로그 디지털 변환 장치와 이를 포함하는 시스템을 나타내는 블록도이다.
- [3] 아날로그 디지털 변환 장치(10)는 아날로그 신호를 디지털 신호로 변환하는 장치로서 널리 사용된다.
- [4] 종래의 아날로그 디지털 변환 장치는 내부에 이득을 조절하는 기능이 없으며 외부에서 아날로그 디지털 변환기의 입력 범위에 따라 신호의 크기를 조절하여 입력한다.
- [5] 가변 이득 증폭기(20, PGA: Programmable Gain Amplifier)는 아날로그 신호의 이득을 증폭하는 장치로서 센서 등으로부터 인가되는 미세한 신호를 증폭하여 아날로그 디지털 변환 장치(10)에 제공하기 위하여 사용된다.
- [6] 일반적으로 신호가 미세할수록 이득이 높은 증폭기가 필요한데 이러한 증폭기는 설계가 어렵고 전력 소모량도 증가한다.
- [7] 또한 종래에는 아날로그 디지털 변환 장치(10)와 가변 이득 증폭기(20)가 별개의 장치로 시스템에 포함되므로 시스템 전체의 면적을 증가시킬 수 있다.

발명의 상세한 설명

기술적 과제

- [8] 본 발명은 입력 신호의 이득을 증폭할 수 있는 아날로그 디지털 변환 장치를 제공한다.
- [9] 본 발명은 신호의 왜곡을 방지하면서 이득을 조정할 수 있는 아날로그 디지털 변환 장치를 제공한다.
- [10] 본 발명은 증폭기와 이득을 조절할 수 있는 아날로그 디지털 변환 장치를 모두 포함하는 시스템을 제공하되, 이득의 조정 폭에 따라 증폭기를 선택적으로 동작시키는 시스템을 제공한다.

과제 해결 수단

- [11] 본 발명의 일 실시예에 의한 아날로그 디지털 변환 장치는 입력 신호를 증폭하여 출력하는 제 1 증폭부; 입력 신호를 증폭하여 출력하는 제 2 증폭부; 및 제 1 증폭부 및 제 2 증폭부의 출력에 따라 입력 신호를 증폭한 신호에 대응하는 디지털 신호를 출력하는 제 1 아날로그 디지털 변환기를 포함한다.
- [12] 본 발명의 일 실시예에 의한 아날로그 디지털 변환 장치는 입력 신호를

증폭하여 출력하는 제 1 증폭부; 입력 신호를 증폭하여 출력하는 제 3 증폭부; 제 3 증폭부의 출력을 디지털 값으로 변환하는 제 2 아날로그 디지털 변환기; 제 1 증폭부 및 상기 제 2 아날로그 디지털 변환기의 출력에 따라 상기 입력 신호를 증폭한 신호에 대응하는 디지털 신호를 출력하는 제 1 아날로그 디지털 변환기를 포함한다.

- [13] 본 발명의 일 실시예에 의한 아날로그 디지털 변환 장치는 입력 신호를 증폭하여 출력하는 제 1 증폭부; 입력 신호를 증폭하여 출력하는 제 2 증폭부; 입력 신호를 증폭하여 출력하는 제 3 증폭부; 및 제 3 증폭부의 출력을 디지털 값으로 변환하는 제 2 아날로그 디지털 변환기; 제 1 증폭부의 출력, 제 2 증폭부의 출력 및 상기 제 2 아날로그 디지털 변환기의 출력에 따라 상기 입력 신호를 증폭한 신호에 대응하는 디지털 신호를 출력하는 제 1 아날로그 디지털 변환기를 포함한다.
- [14] 본 발명의 일 실시예에 의한 시스템은 제어 신호에 따라 입력 신호를 증폭하여 출력하거나 입력 신호를 바이패스하여 출력하는 증폭기; 및 증폭기의 출력을 디지털 신호로 변환하는 아날로그 디지털 변환 장치를 포함하되, 아날로그 디지털 변환 장치는 증폭기의 출력을 증폭한 신호에 대응하는 상기 디지털 신호를 출력한다.

발명의 효과

- [15] 본 기술에 의한 아날로그 디지털 변환 장치는 입력 신호의 이득 조절 기능을 내장하여 자체적으로 이득을 조절할 수 있다.
- [16] 본 기술에 의한 아날로그 디지털 변환 장치는 신호의 이득을 조절하면서 고주파 신호의 왜곡을 방지할 수 있다.
- [17] 본 기술에 의한 장치는 가변 이득 증폭기와 이득을 조절할 수 있는 아날로그 디지털 변환 장치를 모두 포함하되, 신호의 크기에 따라 증폭기를 선택적으로 동작시켜 소비 전력을 줄일 수 있다.

도면의 간단한 설명

- [18] 도 1은 종래의 아날로그 디지털 변환 장치를 포함하는 시스템의 블록도.
- [19] 도 2는 본 발명의 일 실시예에 의한 아날로그 디지털 변환 장치의 블록도.
- [20] 도 3은 본 발명의 일 실시예에 의한 아날로그 디지털 변환 장치를 포함하는 시스템의 블록도.
- [21] 도 4는 본 발명의 일 실시예에 의한 아날로그 디지털 변환 장치의 블록도.
- [22] 도 5는 도 4의 제 3 연산부의 동작을 설명하는 파형도.
- [23] 도 6은 도 4의 아날로그 디지털 변환기의 선형 모델.
- [24] 도 7은 본 발명의 일 실시예에 의한 아날로그 디지털 변환 장치의 동작을 나타낸 그래프.
- [25] 도 8은 본 발명의 다른 실시예에 의한 아날로그 디지털 변환 장치의 회로도.
- [26] 도 9는 본 발명의 또 다른 실시예에 의한 아날로그 디지털 변환 장치의 회로도.

발명의 실시를 위한 형태

- [27] 이하에서는 첨부한 도면을 참조하여 본 발명의 실시예를 개시한다.
- [28] 도 2는 본 발명의 일 실시예에 의한 아날로그 디지털 변환 장치(100)의 블록도이다.
- [29] 본 실시예에서 아날로그 디지털 변환 장치(100)는 제 1 아날로그 디지털 변환기(110)와 제 2 아날로그 디지털 변환기(120)를 포함한다.
- [30] 제 2 아날로그 디지털 변환기(120)는 증폭된 입력 신호를 중간 디지털 신호로 변환하고 제 1 아날로그 디지털 변환기(110)는 증폭된 입력 신호와 제 1 아날로그 디지털 변환기(120)에서 출력되는 중간 디지털 신호를 이용하여 최종 디지털 신호를 출력한다.
- [31] 본 실시예에서 제 2 아날로그 디지털 변환기(120)는 선택적으로 제거될 수 있다. 이 경우 제 1 아날로그 디지털 변환기(110)는 증폭된 입력 신호를 이용하여 최종 디지털 신호를 출력한다.
- [32] 본 실시예에 의한 아날로그 디지털 변환 장치(100)는 가변 이득 증폭 기능을 수행한다.
- [33] 아날로그 디지털 변환 장치(100)의 구체적인 구성에 대해서는 도 4를 참조하여 아래에서 보다 구체적으로 설명한다.
- [34] 도 3은 본 발명의 일 실시예에 의한 아날로그 디지털 변환 장치를 포함하는 장치의 블록도이다.
- [35] 본 발명의 일 실시예에 의한 장치(1000)는 이득 조절 기능을 포함하는 아날로그 디지털 변환 장치(100)와 가변 이득 증폭기(200)를 포함한다.
- [36] 가변 이득 증폭기(200)는 제어 신호(CON)에 따라 선택적으로 동작한다.
- [37] 예를 들어 제어 신호(CON)가 비활성화되는 경우 입력 신호를 바이패스하여 아날로그 디지털 변환 장치(100)의 입력으로 제공하고, 활성화되는 경우 입력 신호를 증폭하여 아날로그 디지털 변환 장치(100)에 제공한다.
- [38] 아날로그 디지털 변환 장치(100)의 기본적인 구성과 기능은 도 3에서 설명한 것과 실질적으로 동일하며 이하에서 도 4를 참조하여 구체적으로 설명한다.
- [39] 입력 신호가 매우 작은 경우 아날로그 디지털 변환 장치(100)와 가변 이득 증폭기(200)가 분담하여 입력 신호를 증폭할 수 있다.
- [40] 전술한 바와 같이 종래에는 증폭기에서만 증폭을 수행하므로 증폭기의 증폭비 증가로 인해 설계가 어려워지나 본 발명에서는 아날로그 디지털 변환 장치(100)에서 증폭을 분담하므로 상대적으로 증폭기(200)의 증폭비를 줄일 수 있다.
- [41] 이에 따라 본 발명은 증폭기(200)의 설계 부담이 상대적으로 완화될 수 있다.
- [42] 도 4는 본 발명의 일 실시예에 의한 아날로그 디지털 변환 장치(100)의 상세 블록도이다.
- [43] 본 발명의 일 실시예에 의한 아날로그 디지털 변환 장치(100)는 제 1 아날로그

- 디지털 변환기(120), 제 2 아날로그 디지털 변환기(110), 증폭부(130)를 포함한다.
- [44] 본 실시예에서 증폭부(130)는 제 1 증폭부(131), 제 2 증폭부(132), 제 3 증폭부(133)를 포함하며 각각의 증폭비는 α, β, γ 이다.
- [45] 제 1 증폭부(131) 내지 제 3 증폭부(133)는 각각 입력 신호를 증폭하여 출력한다.
- [46] 증폭비는 임의의 값을 가질 수 있으나 증폭비 사이에는 후술하는 바와 같이 일정한 관계가 성립될 수 있다.
- [47] 제 1 내지 제 3 증폭부 중에서 증폭비가 1인 증폭부는 입력 신호를 그대로 출력하는 구성이므로 단순한 라인으로 대체될 수 있다.
- [48] 제 2 아날로그 디지털 변환기(120)는 제 3 증폭부(133)의 출력 신호를 N 비트의 디지털 신호로 변환한다.
- [49] 이때 제 2 아날로그 디지털 변환기(120)는 N 비트 중 상위 비트들을 결정할 수 있다.
- [50] 본 실시예에서 제 2 아날로그 디지털 변환기(120)는 종래에 알려진 다양한 방식의 아날로그 디지털 변환기를 사용할 수 있다.
- [51] 본 실시예에서 제 1 아날로그 디지털 변환기(110)는 델타-시그마 변조 방식의 아날로그 디지털 변환기이다.
- [52] 제 1 아날로그 디지털 변환기(110)는 제 1 연산부(111), 루프 필터(112), 제 2 연산부(113), 디지털 변환부(114), 제 3 연산부(115), 디지털 아날로그 변환기(116) 및 데시메이터(117)를 포함한다.
- [53] 제 1 연산부(111)는 제 1 증폭부(131)의 출력에서 디지털 아날로그 변환기(116)의 출력을 뺀 신호를 출력한다.
- [54] 루프 필터(112)는 제 1 연산부(111)의 출력을 필터링한다.
- [55] 루프 필터(112)는 델타 시그마 변조에서 수행되는 노이즈 셰이핑 기능을 수행하며 이에 따라 노이즈 성분은 신호 대역의 외곽으로 이동한다.
- [56] 제 2 연산부(113)는 루프 필터(112)의 출력과 제 2 증폭부(132)의 출력을 더하여 출력한다.
- [57] 디지털 변환부(114)는 제 2 연산부(113)의 출력을 디지털 신호로 변환한다.
- [58] 본 실시예에서 디지털 변환부(114)는 제 2 연산부(113)의 출력을 일정한 기준 전압과 비교하여 비교 결과를 1 또는 0으로 출력하는 비교기일 수 있다.
- [59] 다른 실시예에서 디지털 변환부(114)는 종래에 알려진 아날로그 디지털 변환기로 구현될 수도 있으며 이 경우 디지털 변환부(114)는 멀티 비트 디지털 신호를 출력할 수 있다.
- [60] 제 3 연산부(115)는 제 1 아날로그 디지털 변환기(120)의 출력과 디지털 변환부(114)에서 출력되는 디지털 비트 스트림을 합성하여 N 비트의 디지털 신호를 출력한다.
- [61] 도 5는 제 3 연산부(115)의 동작을 설명하는 파형도이다.
- [62] 도 5의 실시예에서 (A)는 제 2 아날로그 디지털 변환기(120)에서 출력되는

신호의 파형을 나타낸다.

- [63] 제 2 아날로그 디지털 변환기(120)는 3비트 신호를 출력한다.
- [64] (B)는 디지털 변환부(114)에서 출력되는 비트 스트림을 나타낸다. 디지털 변환부(114)는 0 또는 1의 신호를 출력한다.
- [65] (C)는 제 3 연산부(115)에서 출력되는 디지털 신호를 나타낸다.
- [66] 본 실시예에서 제 3 연산부(115)는 디지털 변환부(114)에서 출력된 비트 값이 1인 경우 제 2 아날로그 디지털 변환기(120)에서 출력된 값의 최하위 비트에 1을 더하고, 디지털 변환부(114)에서 출력된 비트 값이 0인 경우 제 2 아날로그 디지털 변환기(120)에서 출력된 값의 최하위 비트에서 1을 뺀다.
- [67] 연산 결과가 최대값 이상인 경우 제 3 연산부(115)는 최대값을 출력하고, 연산 결과가 최소값 이하인 경우 제 3 연산부(115)는 최소값을 출력한다.
- [68] 예를 들어 제 2 아날로그 디지털 변환기(120)에서 출력된 신호가 "000"인 경우 디지털 변환부(114)의 출력에 따라 제 3 연산부(115)의 출력은 "000" 또는 "001"이 된다.
- [69] 예를 들어 제 2 아날로그 디지털 변환기(120)에서 출력된 신호가 "010"인 경우 디지털 변환부(114)의 출력에 따라 제 3 연산부(115)의 출력은 "011" 또는 "001"이 된다.
- [70] 예를 들어 제 2 아날로그 디지털 변환기(120)에서 출력된 신호가 "100"인 경우 디지털 변환부(114)의 출력에 따라 제 3 연산부(115)의 출력은 "101" 또는 "011"이 된다.
- [71] 디지털 아날로그 변환기(116)는 제 3 연산부(115)에서 출력된 디지털 신호를 아날로그 신호로 변환하여 제 1 연산부(111)에 제공한다.
- [72] 데시메이터(117)는 제 3 연산부(115)에서 출력되는 디지털 신호에서 신호 밴드 외곽에 위치하는 노이즈 성분을 제거하고 입력 신호에 대응하는 최종적인 디지털 신호를 출력한다.
- [73] 본 실시예에서는 제 1 증폭부(131) 내지 제 3 증폭부(133)의 증폭비를 조절하여 아날로그 디지털 변환 장치(100)의 증폭비를 조절할 수 있다.
- [74] 제 1 증폭부(131) 내지 제 3 증폭부(133)를 실제 회로로 구현하는 경우 저항, 커패시터 등의 수동 소자의 크기를 변경함으로써 증폭비를 변경할 수 있다.
- [75] 도 6은 도 4의 아날로그 디지털 변환 장치의 선형 모델이다.
- [76] 도 4의 제 1 아날로그 디지털 변환기(120)는 입력된 신호에 양자화 에러에 대응하는 제 1 에러 신호(E1)를 더하여 출력하는 덧셈기로 대체된다.
- [77] 도 4의 디지털 변환부(114)는 입력된 신호에 양자화 에러에 대응하는 제 2 에러 신호(E2)를 더하여 출력하는 덧셈기로 대체된다.
- [78] 도 4의 제 3 연산부(115), 디지털 아날로그 변환기(116)는 제 1 아날로그 디지털 변환기(120)와 디지털 변환부(114)의 출력을 더하여 출력하는 덧셈기로 대체된다.
- [79] 도 5의 선형 모델에서 다음 수학식 1과 같은 전달 함수가 얻어진다.

[80] [수식1]

$$Y(s) = \frac{\gamma + \beta + \alpha H(s)}{1 + H(s)} X(s) + \frac{1}{1 + H(s)} (E_1(s) + E_2(s))$$

[81] 도 4에서 루프 필터(112)는 적분기로 구현될 수 있는데 이에 따라 수학식 1에서 루프 필터의 전달 함수(H(s))는 저주파 영역에서는 큰 값을 가지고 고주파 영역에서는 작은 값을 가진다.

[82] 이에 따라 본 발명의 일 실시예에 의한 아날로그 디지털 변환 장치(100)는 저주파 영역에서는 입력 신호를 α 배 증폭하고, 고주파 영역에서는 입력 신호를 $\gamma + \beta$ 배 증폭하는 것으로 근사될 수 있다.

[83] 이는 아날로그 디지털 변환 장치(100)의 증폭비가 주파수에 따라 가변하며 고주파 영역에서 왜곡이 발생하는 것으로 이해할 수 있다.

[84] 이에 따라 제 1 증폭부(131)와 제 2 증폭부(132)의 증폭비를 다음 수학식 2와 같이 선택할 수 있다.

[85] 이 경우 수학식 1의 전달 함수는 수학식 3과 같이 수정될 수 있다.

[86] [수식2]

$$\alpha = \beta + \gamma$$

[87] [수식3]

$$Y(s) = \alpha X(s) + \frac{1}{1 + H(s)} (E_1(s) + E_2(s))$$

[88] 수학식 3에서 양자화 에러 성분은 데시메이터(117)의 동작에 의해 제거되어 결과적으로 아날로그 디지털 변환 장치(100)는 입력 신호를 α 배 증폭한 신호에 대응하는 디지털 신호를 출력하게 된다.

[89] 도 7은 본 발명의 일 실시예에 의한 아날로그 디지털 변환 장치의 동작을 나타낸 그래프이다.

[90] 도 7의 그래프는 0.01V, 1 KHz의 사인 파형이 입력되는 경우 증폭비(α)를 1 또는 2로 설정한 경우 데시메이터(117)에서 출력된 신호의 파형을 나타낸 것이다.

[91] 도시된 바와 같이 출력 신호는 증폭비에 따라 진폭에 2배의 차이를 가진다.

[92] 수학식 1, 2에서 β 와 γ 둘 중 하나는 0이어도 수학식 3을 만족하는데 문제가 없다.

[93] 도 8은 γ 가 0인 경우 본 발명의 일 실시예에 의한 아날로그 디지털 변환 장치(100-1)를 나타낸다.

[94] γ 가 0인 경우는 도 4에서 제 3 증폭부(133)와 제 3 증폭부(133)와 연결된 제 2

- 아날로그 디지털 변환기(120)가 생략된 경우에 대응한다.
- [95] 또한 본 실시예에서 도 4의 제 3 연산부(115)는 생략된다.
- [96] 이에 따라 디지털 변환부(114)에서 출력되는 비트 스트림이 디지털 아날로그 변환기(116)와 데시메이터(117)에 입력된다.
- [97] 다른 구성요소들의 동작은 도 4에서 설명한 바와 실질적으로 동일하다.
- [98] 도 8에서 제 2 아날로그 디지털 변환기(120)가 생략됨으로 인하여 제 1 아날로그 디지털 변환기(110)에서 수행할 연산량이 증가할 수 있다.
- [99] 이에 따라 도 8의 아날로그 디지털 변환 장치(100-1)는 도 4의 아날로그 디지털 변환 장치(100)에 비하여 소비 전력이 증가할 수 있다.
- [100] 도 9는 β 가 0인 경우 본 발명의 일 실시예에 의한 아날로그 디지털 변환 장치(100-2)를 나타낸다.
- [101] β 가 0인 경우는 도 4에서 제 2 증폭부(132)와 제 2 증폭부(132)와 연결된 제 2 연산부(113)가 생략된 경우에 대응한다.
- [102] 이에 따라 디지털 변환부(114)는 루프 필터(112)에 따라 디지털 신호를 출력한다.
- [103] 다른 구성요소들의 동작은 도 4에서 설명한 바와 실질적으로 동일하다.
- [104] 도 9에서 제 2 증폭부(132)가 포함된 루프가 생략됨으로 인하여 제 1 아날로그 디지털 변환기(110)에서 수행할 연산량이 증가할 수 있다.
- [105] 이에 따라 도 9의 아날로그 디지털 변환 장치(100-2)는 도 4의 아날로그 디지털 변환 장치(100)에 비하여 소비 전력이 증가할 수 있다.
- [106] 이상에서 도면을 참조하여 본 발명의 실시예를 개시하였으나 이상의 개시가 본 발명의 권리범위를 한정하는 것은 아니다. 본 발명의 권리범위는 아래의 특허청구범위에 문언적으로 기재된 범위와 그 균등 범위로 정해질 수 있다.

청구범위

- [청구항 1] 입력 신호를 증폭하여 출력하는 제 1 증폭부;
 상기 입력 신호를 증폭하여 출력하는 제 2 증폭부; 및
 상기 제 1 증폭부의 출력 및 상기 제 2 증폭부의 출력을 입력받아 디지털
 신호를 출력하는 제 1 아날로그 디지털 변환기
 를 포함하되,
 상기 디지털 신호는 상기 입력 신호를 증폭비에 따라 증폭한 신호에
 대응하고, 상기 증폭비는 상기 제 1 증폭부의 제 1 증폭비와 상기 제 2
 증폭부의 제 2 증폭비의 조합으로 결정되는 아날로그 디지털 변환 장치.
- [청구항 2] 청구항 1에 있어서, 상기 제 1 증폭비는 상기 제 2 증폭비와 동일하며 상기
 증폭비는 상기 제 1 증폭비와 동일한 아날로그 디지털 변환 장치.
- [청구항 3] 청구항 1에 있어서,
 상기 입력 신호를 증폭하는 제 3 증폭부; 및
 상기 제 3 증폭부의 출력을 디지털 값으로 변환하는 제 2 아날로그 디지털
 변환기
 를 더 포함하되,
 상기 제 1 아날로그 디지털 변환기는 상기 제 1 증폭부의 출력, 상기 제 2
 증폭부의 출력 및 상기 제 2 아날로그 디지털 변환기의 출력을 입력받아
 상기 디지털 신호를 출력하고, 상기 증폭비는 상기 제 1 증폭비와 상기 제
 2 증폭비와 상기 제 3 증폭부의 제 3 증폭비의 조합으로 결정되는
 아날로그 디지털 변환 장치.
- [청구항 4] 청구항 3에 있어서, 상기 제 1 증폭비는 상기 제 2 증폭비와 상기 제 3
 증폭비의 합과 동일하며 상기 증폭비는 상기 제 1 증폭비와 동일한
 아날로그 디지털 변환 장치.
- [청구항 5] 청구항 1에 있어서, 상기 제 1 아날로그 디지털 변환기는 델타 시그마
 변조 방식의 아날로그 디지털 변환기인 아날로그 디지털 변환 장치.
- [청구항 6] 청구항 1에 있어서, 상기 제 1 아날로그 디지털 변환기는
 제 1 연산부;
 상기 제 1 연산부의 출력을 필터링하는 루프 필터;
 상기 루프 필터의 출력과 상기 제 2 증폭부의 출력을 연산하는 제 2
 연산부;
 상기 제 2 연산부의 출력을 디지털 값으로 변환하는 디지털 변환부;
 상기 디지털 변환부의 출력을 아날로그 값으로 변환하는 디지털
 아날로그 변환기; 및
 상기 디지털 변환부의 출력에서 상기 디지털 신호를 생성하는
 데시메이터
 를 포함하되, 상기 제 1 연산부는

상기 제 1 증폭부의 출력과 상기 디지털 아날로그 변환기의 출력을 연산하는 아날로그 디지털 변환 장치.

[청구항 7] 청구항 3에 있어서, 상기 제 1 아날로그 디지털 변환기는 제 1 연산부;
상기 제 1 연산부의 출력을 필터링하는 루프 필터;
상기 루프 필터의 출력과 상기 제 2 증폭부의 출력을 연산하는 제 2 연산부;
상기 제 2 연산부의 출력을 디지털 값으로 변환하는 디지털 변환부;
상기 제 3 증폭부의 출력과 상기 디지털 변환부의 출력을 연산하여 디지털 값으로 변환하는 제 3 연산부;
상기 제 3 연산부의 출력을 아날로그 값으로 변환하는 디지털 아날로그 변환기; 및

상기 제 3 연산부의 출력에서 상기 디지털 신호를 생성하는 데시메이터를 포함하되, 상기 제 1 연산부는

상기 제 1 증폭부의 출력과 상기 디지털 아날로그 변환기의 출력을 연산하는 아날로그 디지털 변환 장치.

[청구항 8] 입력 신호를 증폭하여 출력하는 제 1 증폭부;
상기 입력 신호를 증폭하여 출력하는 제 3 증폭부;
상기 제 3 증폭부의 출력을 디지털 값으로 변환하는 제 2 아날로그 디지털 변환기; 및
상기 제 1 증폭부의 출력 및 상기 제 2 아날로그 디지털 변환기의 출력을 입력받아 디지털 신호를 출력하는 제 1 아날로그 디지털 변환기를 포함하되,

상기 디지털 신호는 상기 입력 신호를 증폭비에 따라 증폭한 신호에 대응하고, 상기 증폭비는 상기 제 1 증폭부의 제 1 증폭비와 상기 제 3 증폭부의 제 3 증폭비의 조합으로 결정되는 아날로그 디지털 변환 장치.

[청구항 9] 청구항 8에 있어서, 상기 제 1 증폭비는 상기 제 3 증폭비와 동일하며 상기 증폭비는 상기 제 1 증폭비와 동일한 아날로그 디지털 변환 장치.

[청구항 10] 청구항 8에 있어서, 상기 제 1 아날로그 디지털 변환기는 제 1 연산부;
상기 제 1 연산부의 출력을 필터링하는 루프 필터;
상기 루프 필터의 출력을 디지털 값으로 변환하는 디지털 변환부;
상기 제 3 증폭부의 출력과 상기 디지털 변환부의 출력을 연산하여 디지털 값으로 변환하는 제 3 연산부;
상기 제 3 연산부의 출력을 아날로그 값으로 변환하는 디지털 아날로그 변환기; 및
상기 제 3 연산부의 출력에서 상기 디지털 신호를 생성하는 데시메이터를 포함하되, 상기 제 1 연산부는

- 상기 제 1 증폭부의 출력과 상기 디지털 아날로그 변환기의 출력을 연산하는 아날로그 디지털 변환 장치.
- [청구항 11] 제어 신호에 따라 입력 신호를 증폭하여 출력하거나 상기 입력 신호를 바이패스하여 출력하는 증폭기; 및
상기 증폭기의 출력을 입력받아 디지털 신호를 출력하는 아날로그 디지털 변환 장치를 포함하되,
상기 아날로그 디지털 변환 장치는
상기 증폭기의 출력을 증폭하여 출력하는 제 1 증폭부;
상기 증폭기의 출력을 증폭하여 출력하는 제 2 증폭부; 및
상기 제 1 증폭부의 출력 및 상기 제 2 증폭부의 출력을 입력받아 상기 디지털 신호를 출력하는 제 1 아날로그 디지털 변환기를 포함하고,
상기 디지털 신호는 상기 증폭기의 출력을 증폭비에 따라 증폭한 신호에 대응하고, 상기 증폭비는 상기 제 1 증폭부의 제 1 증폭비와 상기 제 2 증폭부의 제 2 증폭비의 조합으로 결정되는 시스템.
- [청구항 12] 청구항 11에 있어서, 상기 제 1 증폭비는 상기 제 2 증폭비와 동일하며
상기 증폭비는 상기 제 1 증폭비와 동일한 시스템.
- [청구항 13] 청구항 11에 있어서,
상기 증폭기의 출력을 증폭하는 제 3 증폭부; 및
상기 제 3 증폭부의 출력을 디지털 값으로 변환하는 제 2 아날로그 디지털 변환기를 더 포함하되,
상기 제 1 아날로그 디지털 변환기는 상기 제 1 증폭부의 출력, 상기 제 2 증폭부의 출력 및 상기 제 2 아날로그 디지털 변환기의 출력을 입력받아
상기 디지털 신호를 출력하고, 상기 증폭비는 상기 제 1 증폭비와 상기 제 2 증폭비와 상기 제 3 증폭부의 제 3 증폭비의 조합으로 결정되는 시스템.
- [청구항 14] 청구항 13에 있어서, 상기 제 1 증폭비는 상기 제 2 증폭비와 상기 제 3 증폭비의 합과 동일하며
상기 증폭비는 상기 제 1 증폭비와 동일한 시스템.
- [청구항 15] 청구항 11에 있어서, 상기 제 1 아날로그 디지털 변환기는
제 1 연산부;
상기 제 1 연산부의 출력을 필터링하는 루프 필터;
상기 루프 필터의 출력과 상기 제 2 증폭부의 출력을 연산하는 제 2 연산부;
상기 제 2 연산부의 출력을 디지털 값으로 변환하는 디지털 변환부;
상기 디지털 변환부의 출력을 아날로그 값으로 변환하는 디지털 아날로그 변환기; 및
상기 디지털 변환부의 출력에서 상기 디지털 신호를 생성하는

데시메이터

를 포함하되, 상기 제 1 연산부는

상기 제 1 증폭부의 출력과 상기 디지털 아날로그 변환기의 출력을 연산하는 시스템.

[청구항 16] 청구항 13에 있어서, 상기 제 1 아날로그 디지털 변환기는 제 1 연산부;

상기 제 1 연산부의 출력을 필터링하는 루프 필터;

상기 루프 필터의 출력과 상기 제 2 증폭부의 출력을 연산하는 제 2 연산부;

상기 제 2 연산부의 출력을 디지털 값으로 변환하는 디지털 변환부;

상기 제 3 증폭부의 출력과 상기 디지털 변환부의 출력을 연산하여 디지털 값으로 변환하는 제 3 연산부;

상기 제 3 연산부의 출력을 아날로그 값으로 변환하는 디지털 아날로그 변환기; 및

상기 제 3 연산부의 출력에서 상기 디지털 신호를 생성하는 데시메이터를 포함하되, 상기 제 1 연산부는

상기 제 1 증폭부의 출력과 상기 디지털 아날로그 변환기의 출력을 연산하는 시스템.

[청구항 17] 제어 신호에 따라 입력 신호를 증폭하여 출력하거나 상기 입력 신호를 바이패스하여 출력하는 증폭기; 및

상기 증폭기의 출력을 입력받아 디지털 신호를 출력하는 아날로그 디지털 변환 장치를 포함하되,

상기 아날로그 디지털 변환 장치는

상기 증폭기의 출력을 증폭하여 출력하는 제 1 증폭부;

상기 증폭기의 출력을 증폭하여 출력하는 제 3 증폭부; 및

상기 제 3 증폭부의 출력을 디지털 값으로 변환하는 제 2 아날로그 디지털 변환기; 및

상기 제 1 증폭부의 출력 및 상기 제 2 아날로그 디지털 변환기의 출력을 입력받아 상기 디지털 신호를 출력하는 제 1 아날로그 디지털 변환기를 포함하고,

상기 디지털 신호는 상기 증폭기의 출력을 증폭비에 따라 증폭한 신호에 대응하고, 상기 증폭비는 상기 제 1 증폭부의 제 1 증폭비와 상기 제 3 증폭부의 제 3 증폭비의 조합으로 결정되는 시스템.

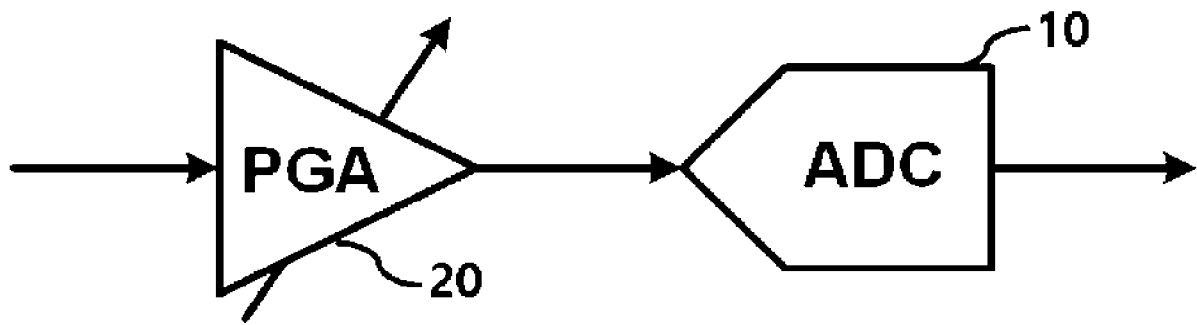
[청구항 18] 청구항 17에 있어서, 상기 제 1 증폭비는 상기 제 3 증폭비와 동일하며 상기 증폭비는 상기 제 1 증폭비와 동일한 시스템.

[청구항 19] 청구항 17에 있어서, 상기 제 1 아날로그 디지털 변환기는 제 1 연산부;

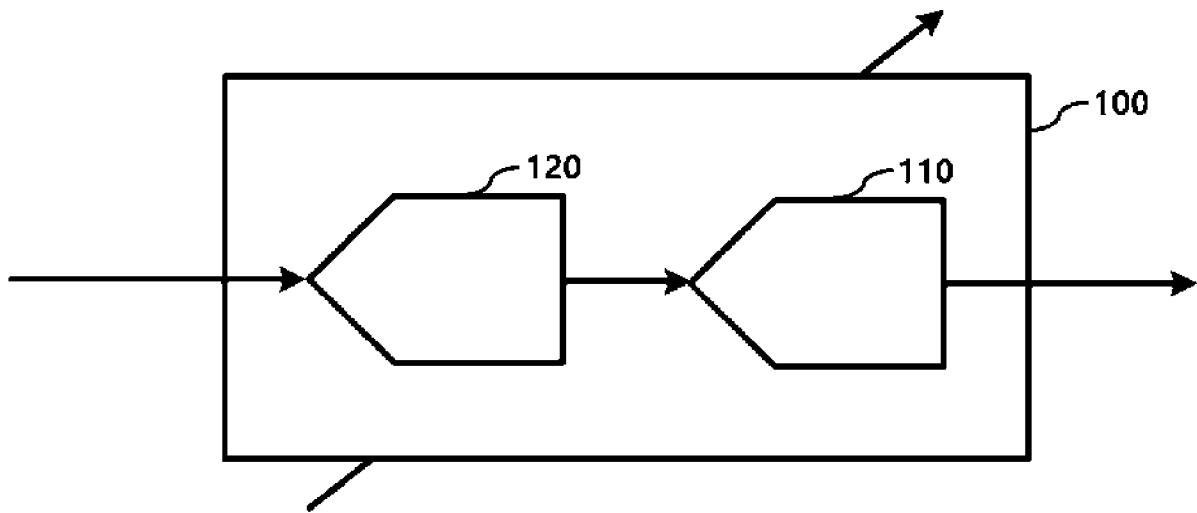
상기 제 1 연산부의 출력을 필터링하는 루프 필터;

상기 루프 필터의 출력을 디지털 값으로 변환하는 디지털 변환부;
상기 제 3 증폭부의 출력과 상기 디지털 변환부의 출력을 연산하여
디지털 값으로 변환하는 제 3 연산부;
상기 제 3 연산부의 출력을 아날로그 값으로 변환하는 디지털 아날로그
변환기; 및
상기 제 3 연산부의 출력에서 상기 디지털 신호를 생성하는 데시메이터
를 포함하되, 상기 제 1 연산부는
상기 제 1 증폭부의 출력과 상기 디지털 아날로그 변환기의 출력을
연산하는 시스템.

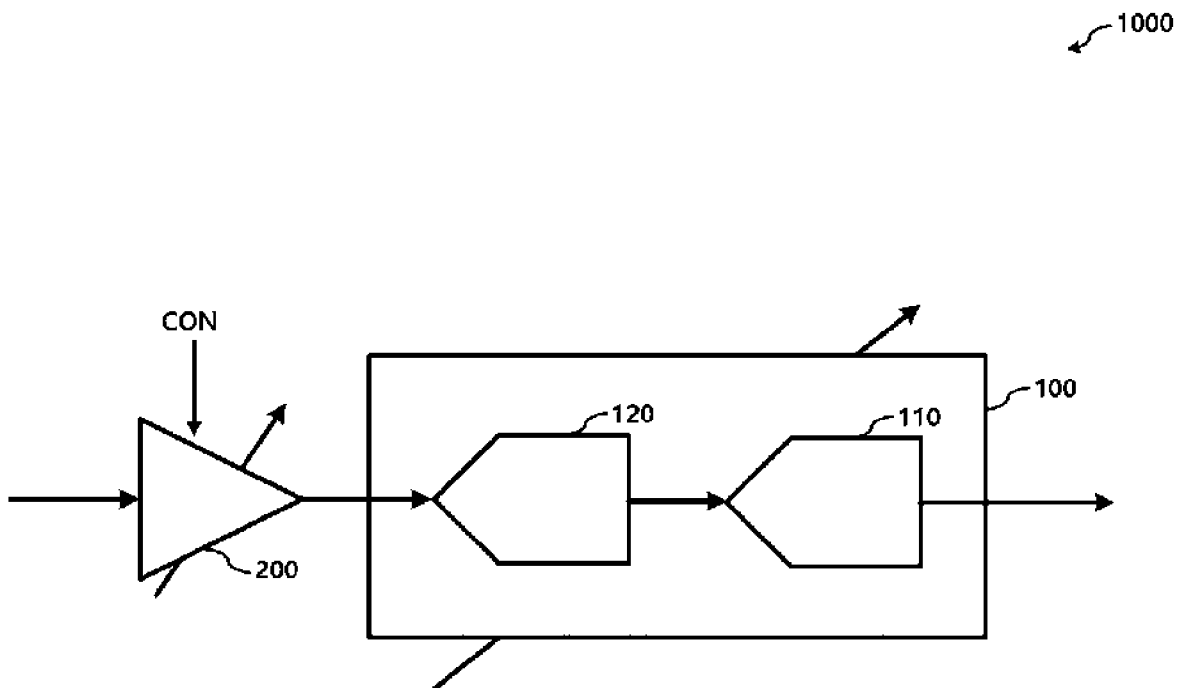
[도1]



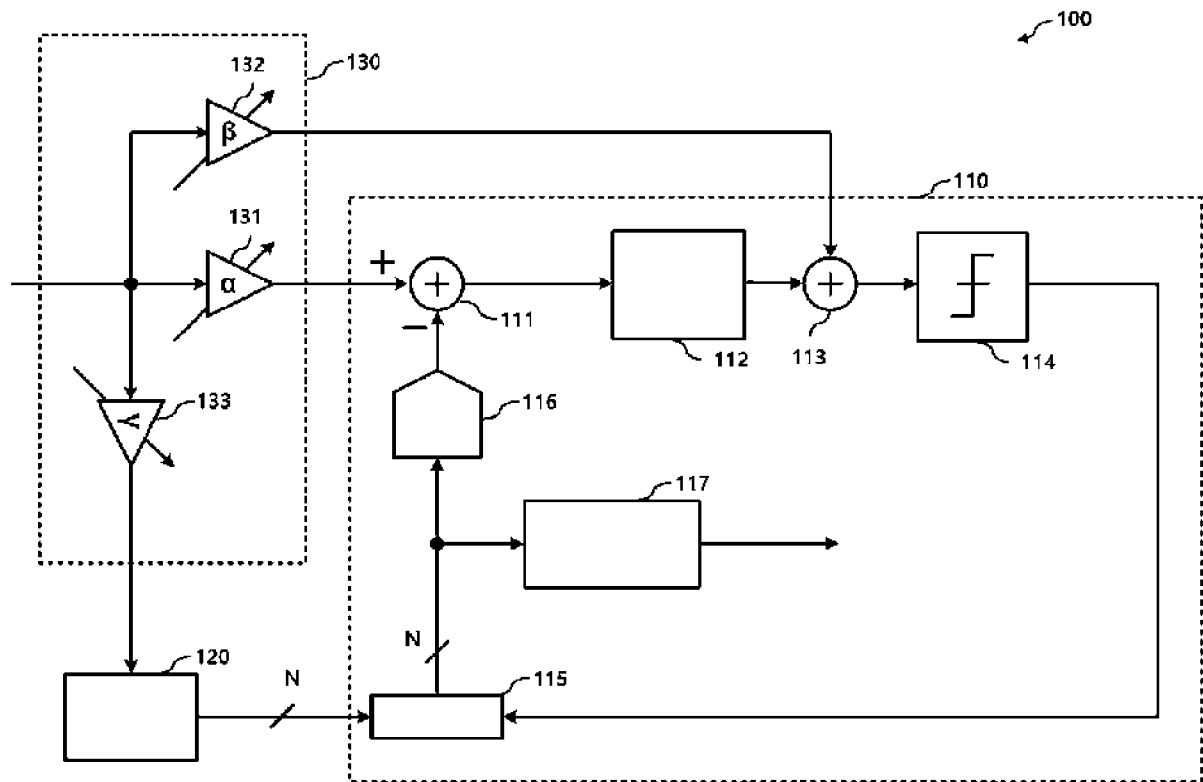
[도2]



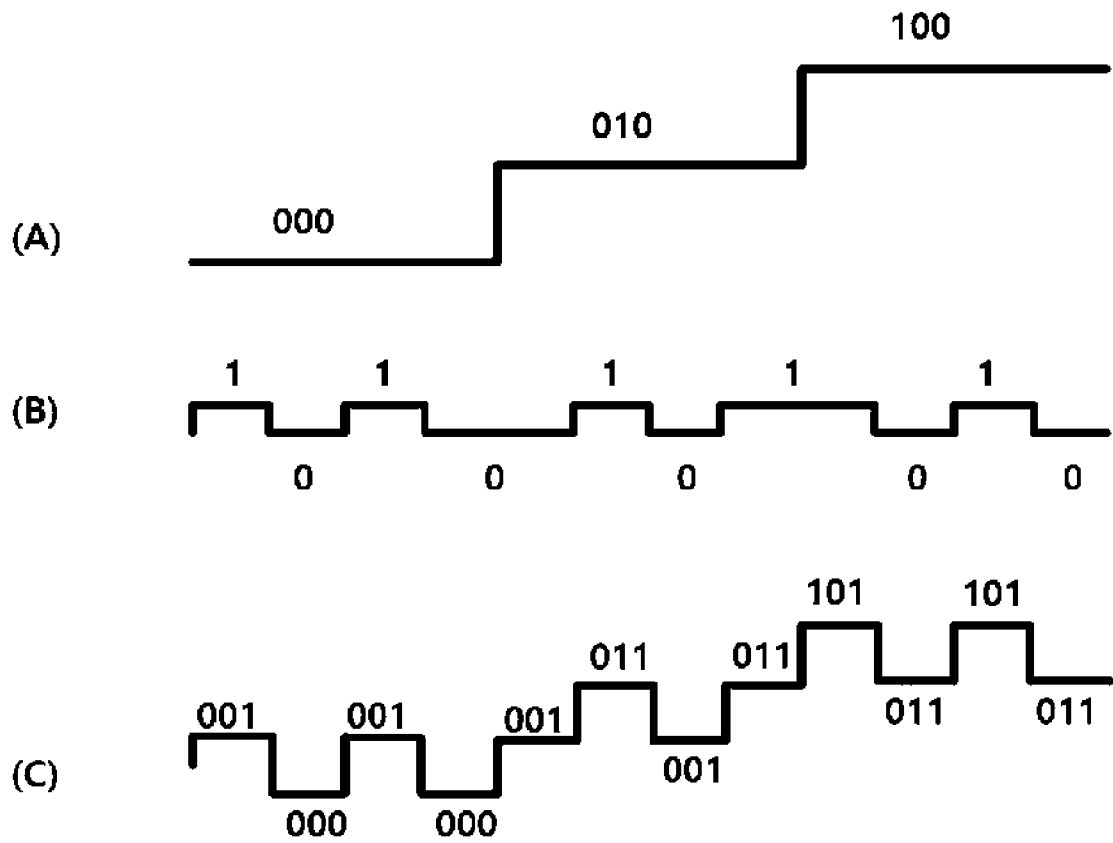
[도3]



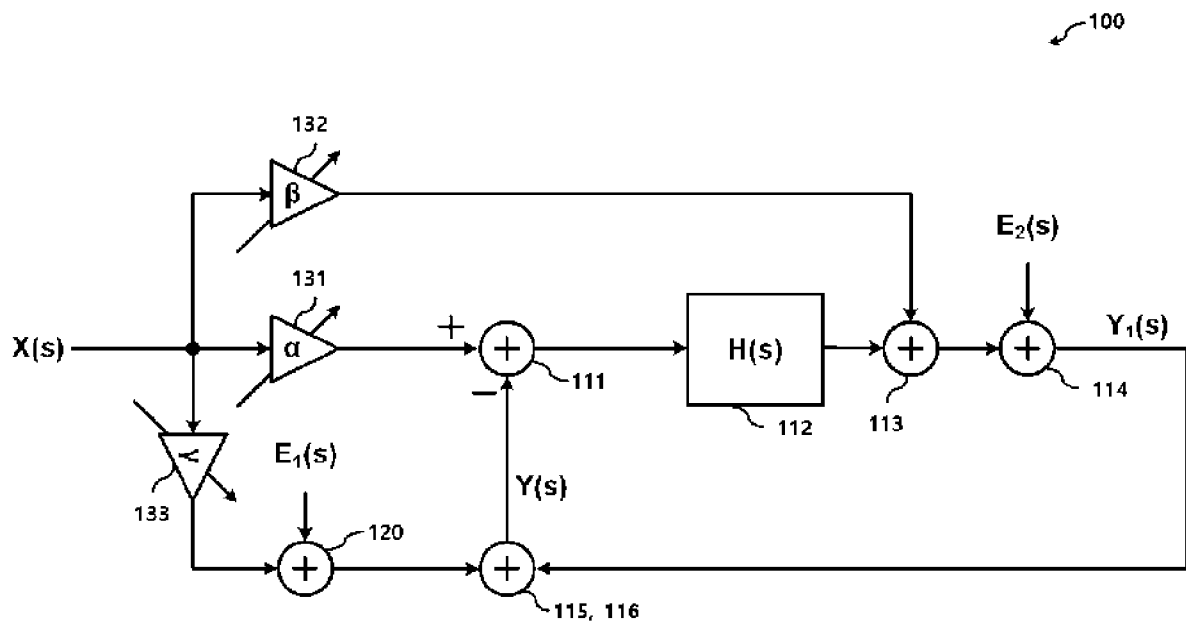
[도4]



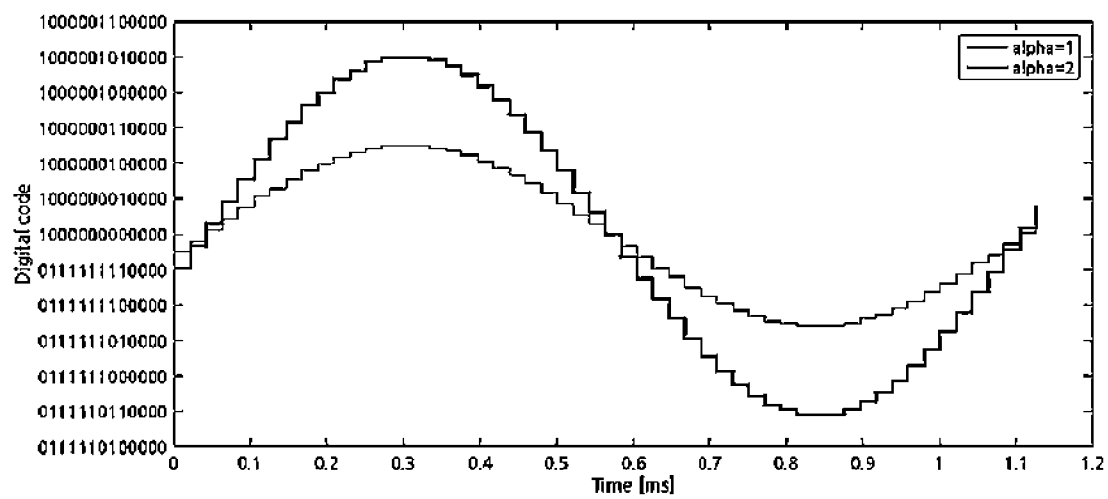
[도5]



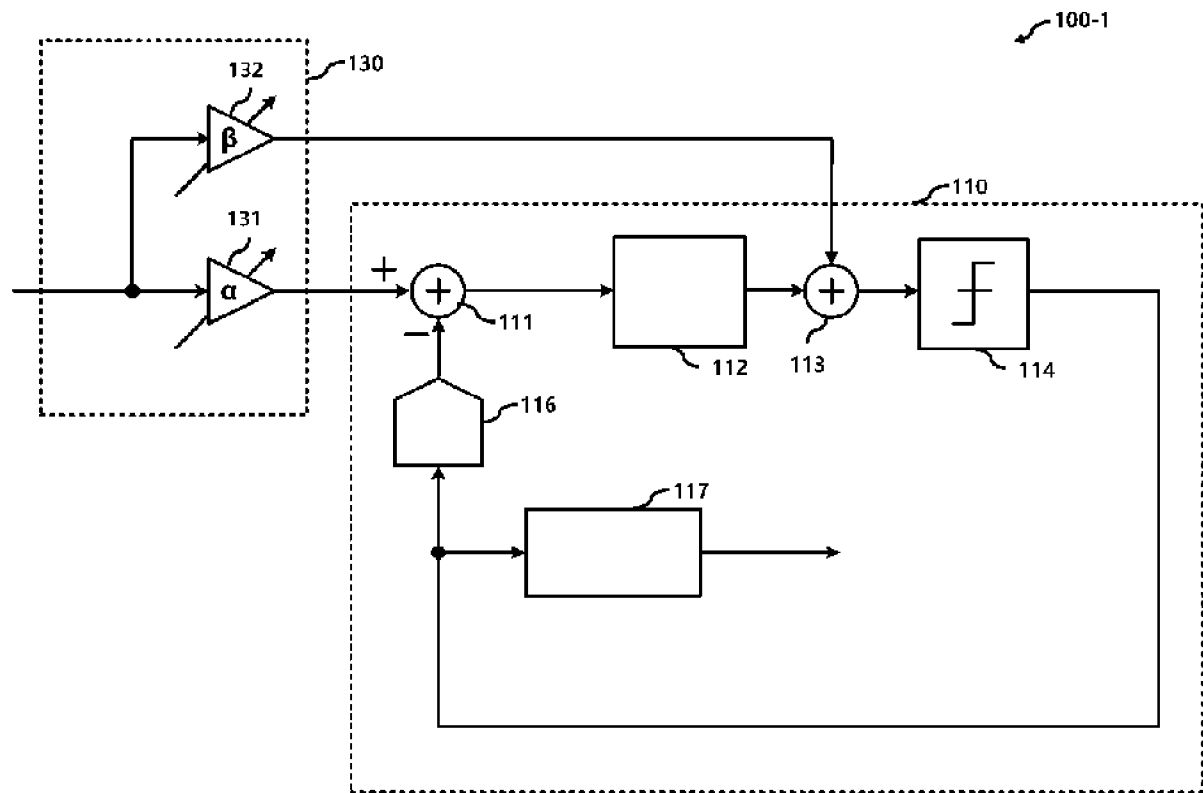
[도6]



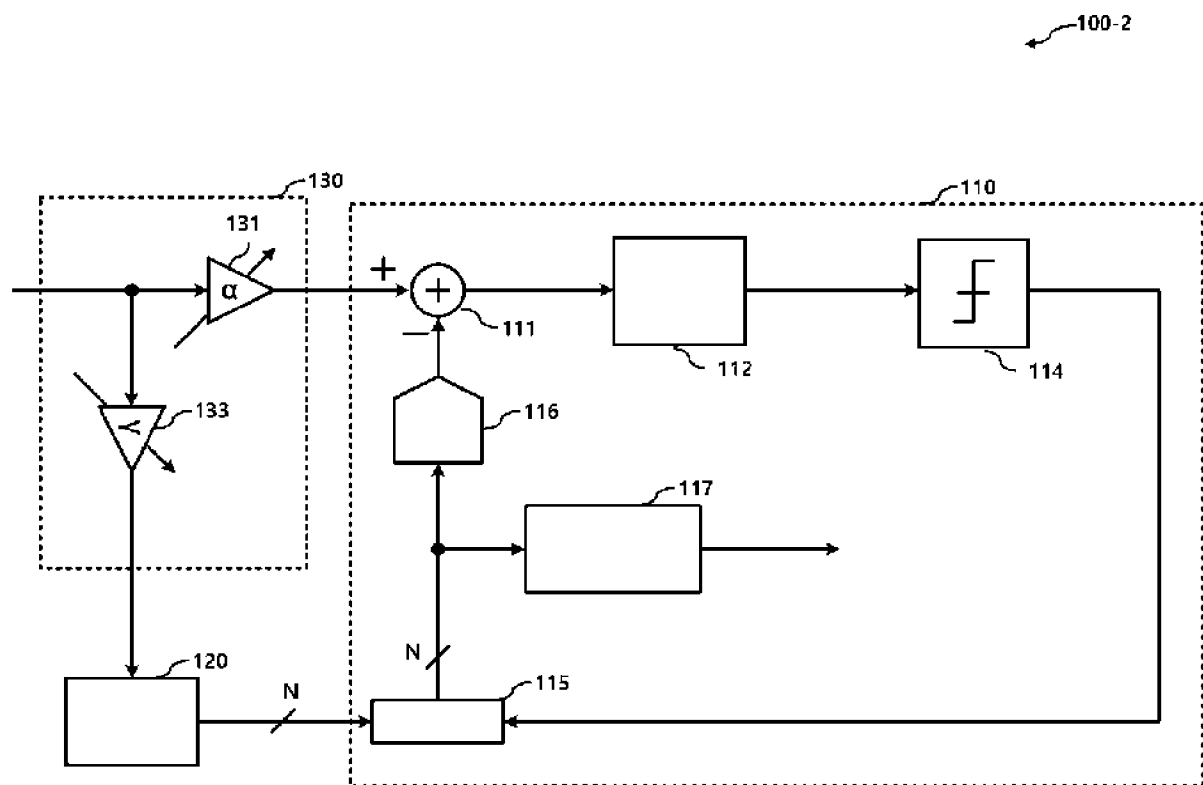
[도7]



[도8]



[도9]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/KR2018/004384

A. CLASSIFICATION OF SUBJECT MATTER

H03M 1/18(2006.01)i, H03M 3/00(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H03M 1/18; H03M 1/34; H04N 5/335; H03M 7/32; H03M 1/12; H04R 19/04; H03M 3/00

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Korean Utility models and applications for Utility models: IPC as above

Japanese Utility models and applications for Utility models: IPC as above

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

eKOMPASS (KIPO internal) & Keywords: amplification, analogue digital converter, amplification ratio, combination

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	KR 10-1200942 B1 (DONGGUK UNIVERSITY INDUSTRY-ACADEMIC COOPERATION FOUNDATION) 13 November 2012 See paragraphs [0014]-[0018]; claim 1; and figure 1.	1-19
A	KR 10-2004-0036027 A (BSE CO., LTD.) 30 April 2004 See page 3; claim 1; and figure 3.	1-19
A	KR 10-2012-0063468 A (STELLAMAR LLC.) 15 June 2012 See paragraphs [0056]-[0085]; and figures 13-17.	1-19
A	US 2005-0110669 A1 (MISHRA, Vineet et al.) 26 May 2005 See paragraphs [0053]-[0074]; and figures 3-6.	1-19
A	US 2007-0257999 A1 (CHOU, Kuo-Yu) 08 November 2007 See paragraphs [0035]-[0048]; and figures 2-4.	1-19



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

01 AUGUST 2018 (01.08.2018)

Date of mailing of the international search report

01 AUGUST 2018 (01.08.2018)

Name and mailing address of the ISA/KR

Korean Intellectual Property Office
Government Complex-Daejeon, 189 Sconsa-ro, Daejeon 302-701,
Republic of Korea

Facsimile No. +82-42-481-8578

Authorized officer

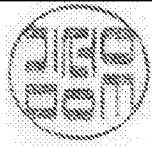
Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/KR2018/004384

Patent document cited in search report	Publication date	Patent family member	Publication date
KR 10-1200942 B1	13/11/2012	NONE	
KR 10-2004-0036027 A	30/04/2004	NONE	
KR 10-2012-0063468 A	15/06/2012	EP 2452438 A2	16/05/2012
		US 2011-0006937 A1	13/01/2011
		US 8212700 B2	03/07/2012
		WO 2011-006037 A2	13/01/2011
		WO 2011-006037 A3	31/03/2011
US 2005-0110669 A1	26/05/2005	US 7042383 B2	09/05/2006
US 2007-0257999 A1	08/11/2007	TW 200743301 A	16/11/2007
		TW 1318498 B	11/12/2009
		US 7733395 B2	08/06/2010

A. 발명이 속하는 기술분류(국제특허분류(IPC)) H03M 1/18(2006.01)i, H03M 3/00(2006.01)i																				
B. 조사된 분야 조사된 최소문헌(국제특허분류를 기재) H03M 1/18; H03M 1/34; H04N 5/335; H03M 7/32; H03M 1/12; H04R 19/04; H03M 3/00 조사된 기술분야에 속하는 최소문헌 이외의 문헌 한국등록실용신안공보 및 한국공개실용신안공보: 조사된 최소문헌란에 기재된 IPC 일본등록실용신안공보 및 일본공개실용신안공보: 조사된 최소문헌란에 기재된 IPC 국제조사에 이용된 전산 데이터베이스(데이터베이스의 명칭 및 검색어(해당하는 경우)) eKOMPASS(특허청 내부 검색시스템) & 키워드: 증폭, 아날로그 디지털 변환기, 증폭비, 조합																				
C. 관련 문헌 <table border="1"> <thead> <tr> <th>카테고리*</th> <th>인용문헌명 및 관련 구절(해당하는 경우)의 기재</th> <th>관련 청구항</th> </tr> </thead> <tbody> <tr> <td>A</td> <td>KR 10-1200942 B1 (동국대학교 산학협력단) 2012.11.13 단락 [0014]-[0018]; 청구항 1; 및 도면 1 참조.</td> <td>1-19</td> </tr> <tr> <td>A</td> <td>KR 10-2004-0036027 A (주식회사 비에스이) 2004.04.30 페이지 3; 청구항 1; 및 도면 3 참조.</td> <td>1-19</td> </tr> <tr> <td>A</td> <td>KR 10-2012-0063468 A (스텔라마르 엘엘씨) 2012.06.15 단락 [0056]-[0085]; 및 도면 13-17 참조.</td> <td>1-19</td> </tr> <tr> <td>A</td> <td>US 2005-0110669 A1 (VINEET MISHRA 등) 2005.05.26 단락 [0053]-[0074]; 및 도면 3-6 참조.</td> <td>1-19</td> </tr> <tr> <td>A</td> <td>US 2007-0257999 A1 (KUO-YU CHOU) 2007.11.08 단락 [0035]-[0048]; 및 도면 2-4 참조.</td> <td>1-19</td> </tr> </tbody> </table>			카테고리*	인용문헌명 및 관련 구절(해당하는 경우)의 기재	관련 청구항	A	KR 10-1200942 B1 (동국대학교 산학협력단) 2012.11.13 단락 [0014]-[0018]; 청구항 1; 및 도면 1 참조.	1-19	A	KR 10-2004-0036027 A (주식회사 비에스이) 2004.04.30 페이지 3; 청구항 1; 및 도면 3 참조.	1-19	A	KR 10-2012-0063468 A (스텔라마르 엘엘씨) 2012.06.15 단락 [0056]-[0085]; 및 도면 13-17 참조.	1-19	A	US 2005-0110669 A1 (VINEET MISHRA 등) 2005.05.26 단락 [0053]-[0074]; 및 도면 3-6 참조.	1-19	A	US 2007-0257999 A1 (KUO-YU CHOU) 2007.11.08 단락 [0035]-[0048]; 및 도면 2-4 참조.	1-19
카테고리*	인용문헌명 및 관련 구절(해당하는 경우)의 기재	관련 청구항																		
A	KR 10-1200942 B1 (동국대학교 산학협력단) 2012.11.13 단락 [0014]-[0018]; 청구항 1; 및 도면 1 참조.	1-19																		
A	KR 10-2004-0036027 A (주식회사 비에스이) 2004.04.30 페이지 3; 청구항 1; 및 도면 3 참조.	1-19																		
A	KR 10-2012-0063468 A (스텔라마르 엘엘씨) 2012.06.15 단락 [0056]-[0085]; 및 도면 13-17 참조.	1-19																		
A	US 2005-0110669 A1 (VINEET MISHRA 등) 2005.05.26 단락 [0053]-[0074]; 및 도면 3-6 참조.	1-19																		
A	US 2007-0257999 A1 (KUO-YU CHOU) 2007.11.08 단락 [0035]-[0048]; 및 도면 2-4 참조.	1-19																		
☐ 추가 문헌이 C(계속)에 기재되어 있습니다. ☒ 대응특허에 관한 별지를 참조하십시오.																				
* 인용된 문헌의 특별 카테고리: “A” 특별히 관련이 없는 것으로 보이는 일반적인 기술수준을 정의한 문헌 “E” 국제출원일보다 빠른 출원일 또는 우선일을 가지나 국제출원일 이후에 공개된 선출원 또는 특허 문헌 “L” 우선권 주장에 의문을 제기하는 문헌 또는 다른 인용문헌의 공개일 또는 다른 특별한 이유(이유를 명시)를 밝히기 위하여 인용된 문헌 “O” 구두 개시, 사용, 전시 또는 기타 수단을 언급하고 있는 문헌 “P” 우선일 이후에 공개되었으나 국제출원일 이전에 공개된 문헌 “T” 국제출원일 또는 우선일 후에 공개된 문헌으로, 출원과 상충하지 않으며 발명의 기초가 되는 원리나 이론을 이해하기 위해 인용된 문헌 “X” 특별한 관련이 있는 문헌. 해당 문헌 하나만으로 청구된 발명의 신구성 또는 진보성이 없는 것으로 본다. “Y” 특별한 관련이 있는 문헌. 해당 문헌이 하나 이상의 다른 문헌과 조합하는 경우로 그 조합이 당업자에게 자명한 경우 청구된 발명은 진보성이 없는 것으로 본다. “&” 동일한 대응특허문헌에 속하는 문헌																				
국제조사의 실제 완료일 2018년 08월 01일 (01.08.2018)		국제조사보고서 발송일 2018년 08월 01일 (01.08.2018)																		
ISA/KR의 명칭 및 우편주소  대한민국 특허청 (35208) 대전광역시 서구 청사로 189, 4동 (둔산동, 정부대전청사) 팩스 번호 +82-42-481-8578		심사관 김성우 전화번호 +82-42-481-3348 																		

국제조사보고서
대응특허에 관한 정보

국제출원번호

PCT/KR2018/004384

국제조사보고서에서 인용된 특허문헌	공개일	대응특허문헌	공개일
KR 10-1200942 B1	2012/11/13	없음	
KR 10-2004-0036027 A	2004/04/30	없음	
KR 10-2012-0063468 A	2012/06/15	EP 2452438 A2 US 2011-0006937 A1 US 8212700 B2 WO 2011-006037 A2 WO 2011-006037 A3	2012/05/16 2011/01/13 2012/07/03 2011/01/13 2011/03/31
US 2005-0110669 A1	2005/05/26	US 7042383 B2	2006/05/09
US 2007-0257999 A1	2007/11/08	TW 200743301 A TW I318498 B US 7733395 B2	2007/11/16 2009/12/11 2010/06/08