



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I662628 B

(45)公告日：中華民國 108 (2019) 年 06 月 11 日

(21)申請案號：107111341

(22)申請日：中華民國 99 (2010) 年 06 月 29 日

(51)Int. Cl. : **H01L21/336 (2006.01)**

(30)優先權：2009/06/30 日本

2009-156411

(71)申請人：日商半導體能源研究所股份有限公司 (日本) SEMICONDUCTOR ENERGY
LABORATORY CO., LTD. (JP)

日本

(72)發明人：佐佐木俊成 SASAKI, TOSHINARI (JP)；坂田淳一郎 SAKATA, JUNICHIRO (JP)；
大原宏樹 OHARA, HIROKI (JP)；山崎舜平 YAMAZAKI, SHUNPEI (JP)

(74)代理人：林志剛

(56)參考文獻：

TW 200915577

JP 2008-53326A

JP 2008-243928A

JP 2008-281988A

審查人員：王安邦

申請專利範圍項數：10 項 圖式數：34 共 134 頁

(54)名稱

半導體裝置之製造方法

METHOD FOR MANUFACTURING SEMICONDUCTOR DEVICE

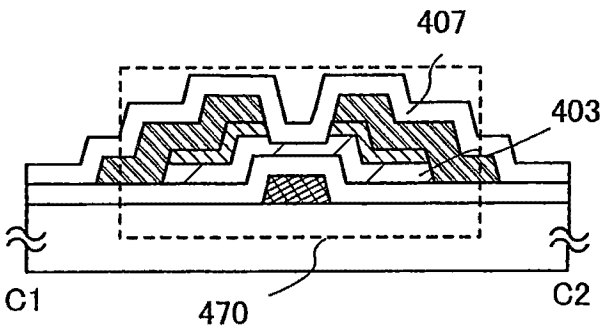
(57)摘要

本發明的目的之一是提供一種包括具有穩定的電特性的薄膜電晶體的高可靠性的半導體裝置。另外，本發明的目的之一是以低成本且以高良率提供一種高可靠性的半導體裝置。說明一種半導體裝置的製造方法，該半導體裝置包括薄膜電晶體，在該薄膜電晶體中作為包括通道形成區的半導體層、源極區及汲極區使用氧化物半導體層。在上述半導體裝置的製造方法中，提高氧化物半導體層的純度並進行減少作為雜質的水分等的加熱處理(用於脫水化或脫氫化的加熱處理)。

It is an object to provide a highly reliable semiconductor device which includes a thin film transistor having stable electric characteristics. It is another object to manufacture a highly reliable semiconductor device at lower cost with high productivity. In a method for manufacturing a semiconductor device which includes a thin film transistor where a semiconductor layer including a channel formation region using an oxide semiconductor layer, a source region, and a drain region are formed using an oxide semiconductor layer, heat treatment for reducing impurities such as moisture (heat treatment for dehydration or dehydrogenation) is performed so as to improve the purity of the oxide semiconductor layer.

指定代表圖：

圖 2B



符號簡單說明：

- 403 . . . 半導體層
- 407 . . . 氧化物絕緣膜
- 470 . . . 薄膜電晶體

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】(中文/英文)

半導體裝置之製造方法

Method for manufacturing semiconductor device

【技術領域】

本發明關於一種使用氧化物半導體的半導體裝置的製造方法。

【先前技術】

近年來，使用形成在具有絕緣表面的基板上的半導體薄膜（厚度是幾nm至幾百nm左右）來構成薄膜電晶體（TFT）的技術受到注目。薄膜電晶體被廣泛地應用於如IC或電光裝置那樣的電子裝置，尤其是對作為影像顯示裝置的切換元件的薄膜電晶體的研究開發日益火熱。

金屬氧化物的種類繁多且用途廣泛。氧化銦為較普遍的材料，其被用作液晶顯示器等所需要的透明電極材料。

在金屬氧化物中存在呈現半導體特性的金屬氧化物。作為呈現半導體特性的金屬氧化物，例如有氧化鎢、氧化錫、氧化銦、氧化鋅等，並且將這些呈現半導體特性的金屬氧化物用作通道形成區的薄膜電晶體已經是眾所周知的（參照專利文獻1至4、非專利文獻1）。

另外，已知金屬氧化物不僅有一元氧化物還有多元氧

化物。例如，作為包含In、Ga及Zn的多元氧化物，具有同系物（homologous series）的 $\text{InGaO}_3(\text{ZnO})_m$ （ m ：自然數）是周知的（參照非專利文獻2至4）。

並且，已經確認到可以將上述那樣的由In-Ga-Zn類氧化物構成的氧化物半導體用作薄膜電晶體的通道層（參照專利文獻5、非專利文獻5及6）。

[專利文獻1] 日本專利申請公開昭第60-198861號公報

[專利文獻2] 日本專利申請公開平第8-264794號公報

[專利文獻3] PCT國際申請日本公表平第11-505377號公報

[專利文獻4] 日本專利申請公開第2000-150900號公報

[專利文獻5] 日本專利申請公開第2004-103957號公報

[非專利文獻1] M. W. Prins, K. O. Grosse-Holz, G. Muller, J. F. M. Cillessen, J. B. Giesbers, R. P. Weening, and R. M. Wolf, "A ferroelectric transparent thin-film transistor"（透明鐵電薄膜電晶體），*Appl. Phys. Lett.*, 17 June 1996, Vol. 68 p. 3650-3652

[非專利文獻2] M. Nakamura, N. Kimizuka, and T. Mohri, "The Phase Relations in the In_2O_3 - Ga_2ZnO_4 -ZnO System at 1350°C"（ In_2O_3 - Ga_2ZnO_4 -ZnO類在1350°C時的相位關係），*J. Solid State Chem.*, 1991, Vol. 93, p. 298-315

[非專利文獻3] N. Kimizuka, M. Isobe, and M. Nakamura, "Syntheses and Single-Crystal Data of Homologous Compounds, $\text{In}_2\text{O}_3(\text{ZnO})_m$ ($m=3, 4$, and 5), $\text{InGaO}_3(\text{ZnO})_3$, and $\text{Ga}_2\text{O}_3(\text{ZnO})_m$ ($m=7, 8, 9$, and 16) in the In_2O_3 - ZnGa_2O_4 - ZnO System" (同系物的合成和單晶資料, In_2O_3 - ZnGa_2O_4 - ZnO 類的 $\text{In}_2\text{O}_3(\text{ZnO})_m$ ($m=3, 4$, and 5), $\text{InGaO}_3(\text{ZnO})_3$, and $\text{Ga}_2\text{O}_3(\text{ZnO})_m$ ($m=7, 8, 9$, and 16)), *J. Solid State Chem.*, 1995, Vol. 116, p. 170-178

[非專利文獻4] 中村真佐樹、君塚昇、毛利尚彥、磯部光正, "Syntheses and crystal structures of new homologous compounds, indium iron zinc oxides ($\text{InFeO}_3(\text{ZnO})_m$ (m :natural number) and related compounds" (同系物、銦鐵鋅氧化物($\text{InFeO}_3(\text{ZnO})_m$) (m 爲自然數)及其同型化合物的合成以及晶體結構), *固體物理(SOLID STATE PHYSICS)*, 1993, Vol. 28, No. 5, p. 317-327

[非專利文獻5] K. Nomura, H. Ohta, K. Ueda, T. Kamiya, M. Hirano, and H. Hosono, "Thin-film transistor fabricated in single-crystalline transparent oxide semiconductor" (由單晶透明氧化物半導體製造的薄膜電晶體), *SCIENCE*, 2003, Vol. 300, p. 1269-1272

[非專利文獻6] K. Nomura, H. Ohta, A. Takagi, T. Kamiya, M. Hirano, and H. Hosono, "Room-temperature fabrication of transparent flexible thin-film transistors using amorphous oxide semiconductors" (在室溫下製造使

用非晶氧化物半導體的透明撓性薄膜電晶體），*NATURE*, 2004, Vol. 432 p. 488-492

【發明內容】

本發明的目的之一是製造包括具有穩定的電特性的薄膜電晶體的高可靠性的半導體裝置而提供。

在如下半導體裝置的製造方法中，提高氧化物半導體層的純度並進行減少作為雜質的水分等的加熱處理（用於脫水化或脫氫化的加熱處理），該半導體裝置包括將氧化物半導體層分別用作包括通道形成區的半導體層、包括源極區及汲極區的半導體層的薄膜電晶體。另外，不僅減少存在於半導體層中的水分等雜質，而且減少存在於閘極絕緣層內的水分等雜質，並且還減少存在於氧化物半導體層與接觸於其上下的膜的介面的水分等雜質。

在本說明書中，將用於包括通道形成區的半導體層的氧化物半導體膜稱為第一氧化物半導體膜（第一氧化物半導體層），而將用於源極區及汲極區的氧化物半導體膜稱為第二氧化物半導體膜（第二氧化物半導體層）。

為了減少水分等雜質，在形成第一氧化物半導體膜以及第二氧化物半導體膜之後，在氮或稀有氣體（氬、氦等）的惰性氛圍下或在減壓下以第一氧化物半導體膜以及第二氧化物半導體膜露出的狀態進行200℃或更高，最好是高於或等於400℃且低於或等於600℃的加熱處理，以減少第一氧化物半導體膜以及第二氧化物半導體膜所包含的

水分。在加熱之後在惰性氛圍下進行冷卻直到高於或等於室溫且低於 100°C 的範圍。

使用藉由氮或氬等惰性氛圍下或減壓下的加熱處理來減少包含在膜中的水分的第一氧化物半導體膜以及第二氧化物半導體膜，以提高薄膜電晶體的電特性並實現具備大量生產性和高功能的兩者的薄膜電晶體。

圖29示出設定加熱溫度的條件並藉由使用熱脫附裝置的熱脫附法（TDS：Thermal Desorption Spectroscopy）來測定受到加熱處理的多個樣本的結果。

熱脫附裝置是使用四極質譜計檢測出當在高真空中對樣本進行加熱/升溫時從樣本脫離、產生的氣體成分的裝置，可以觀察到從樣本表面、內部脫離的氣體及分子。使用電子科學株式會社製造的熱脫附裝置（產本名稱：EMD-WA1），測定條件是升溫大約 $10^{\circ}\text{C}/\text{分}$ ，以 1×10^{-8} （Pa）開始測定，並且測定中的真空度是大約 1×10^{-7} （Pa）。另外，將SEM電壓設定為1500V，將停留時間（Dwell Time）設定為0.2[sec]，將所使用的通道數設定為23個。另外，將 H_2O 的電離係數設定為1.0，將 H_2O 的破碎係數（fragmentation coefficient）設定為0.805，將 H_2O 的傳達係數（pass-through coefficient）設定為1.56，將 H_2O 的抽運速率（pumping rate）設定為1.0。

在圖29中對如下樣本進行比較而示出對 H_2O 的TDS測定結果，上述樣本是：在玻璃基板上形成厚度是50nm的In-Ga-Zn-O類非單晶膜的樣本（樣本1）；在氮氛圍下將

加熱溫度設定為 250°C 並進行1小時的加熱處理的樣本（樣本3）；在氮氛圍下將加熱溫度設定為 350°C 並進行1小時的加熱處理的樣本（樣本2）；在氮氛圍下將加熱溫度設定為 450°C 並進行1小時的加熱處理的樣本（樣本4）；在氮氛圍下將加熱溫度設定為 350°C 並進行10小時的加熱處理的樣本（樣本5）。根據圖29的結果，可知：氮氛圍中的加熱處理的溫度越高，從In-Ga-Zn-O類非單晶膜中脫離的水分（ H_2O ）等雜質越減少。

另外，根據圖29的圖表確認到 200°C 至 250°C 附近的示出水分（ H_2O ）等雜質脫離的第一峰值以及 300°C 或更高的示出水分（ H_2O ）等雜質脫離的第二峰值。

另外，然後在室溫的大氣中放置在氮氛圍下進行 450°C 的加熱處理的樣本1周左右也觀察不到以 200°C 或更高的溫度脫離的水分，以可知藉由加熱處理In-Ga-Zn-O類非單晶膜穩定化。

另外，當藉由TDS測定除了對 H_2O 進行測定以外還對H、O、OH、 H_2 、 O_2 、N、 N_2 及Ar分別進行測定時，可以清楚地觀察到 H_2O 、H、O以及OH的峰值，但是觀察不到 H_2 、 O_2 、N、 N_2 及Ar的峰值。樣本使用在玻璃基板上以50nm形成的In-Ga-Zn-O類非單晶膜，加熱條件是在氮氛圍下以 250°C 1小時、在氮氛圍下以 350°C 1小時、在氮氛圍下以 350°C 10小時、在氮氛圍下以 450°C 1小時，並且作為比較例分別對不受到加熱處理的In-Ga-Zn-O類非單晶膜和玻璃基板進行比較。圖30示出H的TDS結果，圖31示出O

的 TDS 結果，圖 32 示出 OH 的 TDS 結果，並且圖 33 示出 H₂ 的 TDS 結果。另外，上述加熱條件下的氮氛圍的氧濃度是 20ppm 或更低。

根據上述結果可知：藉由進行對 In-Ga-Zn-O 類非單晶膜的加熱處理，主要放出水分。換言之，藉由加熱處理水分（H₂O）主要從 In-Ga-Zn-O 類非單晶膜脫離，並且水分子分解而產生的物質影響到圖 30 所示的 H、圖 31 所示的 O 以及圖 32 所示的 OH 的 TDS 測定值。另外，因為可以認為在 In-Ga-Zn-O 類非單晶膜中也包含氫、OH，所以藉由熱處理也放出氫、OH。

在本說明書中，將氮、或稀有氣體（氫、氦等）的惰性氛圍下或減壓下的加熱處理稱為用於脫水化或脫氫化的加熱處理。在本說明書中，不只將藉由該加熱處理使 H₂ 脫離的狀態稱為脫氫化，而為了方便起見將使 H、OH 等脫離的狀態也稱為脫水化或脫氫化。

藉由在惰性氣體氛圍下進行加熱處理來減少包含在氧化物半導體層中的雜質（H₂O、H、OH 等）而提高載子濃度，然後進行冷卻。在冷卻之後，接觸於氧化物半導體層地形成氧化物絕緣膜等來降低氧化物半導體層的載子濃度，以提高可靠性。

藉由氮氛圍下的加熱處理實現第一氧化物半導體膜以及第二氧化物半導體膜的低電阻化（載子濃度提高，最好是 $1 \times 10^{18}/\text{cm}^3$ 或更高），以可以形成被低電阻化的第一氧化物半導體膜以及第二氧化物半導體膜。藉由蝕刻製程加

工被低電阻化的第一氧化物半導體膜以及第二氧化物半導體膜來形成第一氧化物半導體層以及第二氧化物半導體層，並且藉由蝕刻製程進行加工而形成半導體層、源極區及汲極區。

然後，當接觸於被低電阻化的第一氧化物半導體層地形成氧化物絕緣膜時，可以實現被低電阻化的第一氧化物半導體層中的至少接觸於氧化物絕緣膜的區域的高電阻化（載子密度降低，最好是低於 $1 \times 10^{18}/\text{cm}^3$ ），以形成高電阻氧化物半導體區域。在半導體裝置的製造工藝中，藉由惰性氛圍下（或者減壓下）的加熱、冷卻以及氧化物絕緣膜的形成等提高或降低第一氧化物半導體膜以及第二氧化物半導體膜的載子濃度是重要的。另外，也可以說：藉由對第一氧化物半導體膜以及第二氧化物半導體膜進行脫水化或脫氫化的加熱處理，使第一氧化物半導體膜以及第二氧化物半導體膜成為氧缺乏型而使其N型化（ N^- 、 N^+ 等），然後藉由形成氧化物絕緣膜來使第一氧化物半導體層處於過氧狀態而使其I型化。如上所述那樣，可以製造包括高電特性且高可靠性的薄膜電晶體的半導體裝置而提供。

另外，接觸於被低電阻化的第一氧化物半導體層地形成的氧化物絕緣膜使用阻擋水分、氫離子、 OH^- 等雜質的無機絕緣膜，具體地使用氧化矽膜或氮氧化矽膜。

另外，還可以在半導體層、源極區及汲極區上形成成為保護膜的氧化物絕緣膜，然後進行第二次的加熱。當在

半導體層、源極區及汲極區上形成成為保護膜的氧化物絕緣膜，然後進行第二次的加熱時，可以降低薄膜電晶體的電特性的不均勻性。

在本說明書所揭露的發明的結構的一個方式中：形成閘極電極層；在閘極電極層上形成閘極絕緣層；在閘極絕緣層上形成第一氧化物半導體膜；在第一氧化物半導體膜上形成第二氧化物半導體膜；加熱第一氧化物半導體膜以及第二氧化物半導體膜來進行脫水化或脫氫化；然後對被脫水化或脫氫化的第一氧化物半導體膜以及第二氧化物半導體膜選擇性地進行蝕刻來形成第一氧化物半導體層以及第二氧化物半導體層；在第一氧化物半導體層以及第二氧化物半導體層上形成導電膜；對第一氧化物半導體層、第二氧化物半導體層、導電膜選擇性地進行蝕刻來形成半導體層、源極區、汲極區、源極電極層及汲極電極層；在閘極絕緣層、半導體層、源極區、汲極區、源極電極層及汲極電極層上形成接觸於半導體層的一部分的氧化物絕緣膜，以降低載子濃度。

在本說明書所揭露的發明的結構的一個方式中：形成閘極電極層；在閘極電極層上形成閘極絕緣層；在閘極絕緣層上形成第一氧化物半導體膜；在第一氧化物半導體膜上形成第二氧化物半導體膜；在惰性氛圍下加熱第一氧化物半導體膜以及第二氧化物半導體膜來提高載子濃度；然後對提高了載子濃度的第一氧化物半導體膜以及第二氧化物半導體膜選擇性地進行蝕刻來形成第一氧化物半導體層

以及第二氧化物半導體層；在第一氧化物半導體層以及第二氧化物半導體層上形成導電膜；對第一氧化物半導體層、第二氧化物半導體層、導電膜選擇性地進行蝕刻來形成半導體層、源極區、汲極區、源極電極層及汲極電極層；在閘極絕緣層、半導體層、源極區、汲極區、源極電極層及汲極電極層上形成接觸於半導體層的一部分的氧化物絕緣膜，以降低載子濃度。

在本說明書所揭露的發明的結構的一個方式中：形成閘極電極層；在閘極電極層上形成閘極絕緣層；在閘極絕緣層上形成第一氧化物半導體膜；在第一氧化物半導體膜上形成第二氧化物半導體膜；在減壓下加熱第一氧化物半導體膜以及第二氧化物半導體膜來提高載子濃度；然後對提高了載子濃度的第一氧化物半導體膜以及第二氧化物半導體膜選擇性地進行蝕刻來形成第一氧化物半導體層以及第二氧化物半導體層；在第一氧化物半導體層以及第二氧化物半導體層上形成導電膜；對第一氧化物半導體層、第二氧化物半導體層、導電膜選擇性地進行蝕刻來形成半導體層、源極區、汲極區、源極電極層及汲極電極層；在閘極絕緣層、半導體層、源極區、汲極區、源極電極層及汲極電極層上形成接觸於半導體層的一部分的氧化物絕緣膜，以降低載子濃度。

作為可以用作半導體層、源極區及汲極區的氧化物半導體層，例如使用具有半導體特性的氧化物材料即可。例如，可以使用形成表示為 $\text{InMO}_3(\text{ZnO})_m$ ($m > 0$) 的薄膜，

並且製造將該薄膜用作半導體層、源極區及汲極區的薄膜電晶體。另外，M表示選自Ga、Fe、Ni、Mn及Co中的其中之一者金屬元素或多種金屬元素。例如，作為M，除了有包含Ga的情況之外，還有包含Ga和Ni或Ga和Fe等的Ga以外的上述金屬元素的情況。此外，在上述氧化物半導體中，有不僅包含作為M的金屬元素，而且還包含作為雜質元素的Fe、Ni等其他過渡金屬元素或該過渡金屬的氧化物的氧化物半導體。在本說明書中，在具有表示為 $\text{InMO}_3(\text{ZnO})_m$ ($m>0$) 的結構的氧化物半導體中，將具有作為M至少包含Ga的結構的氧化物半導體稱為In-Ga-Zn-O類氧化物半導體，並且將該薄膜也稱為In-Ga-Zn-O類非單晶膜。

另外，作為應用於氧化物半導體層的氧化物半導體，除了可以使用上述材料之外，還可以使用In-Sn-Zn-O類、In-Al-Zn-O類、Sn-Ga-Zn-O類、Al-Ga-Zn-O類、Sn-Al-Zn-O類、In-Zn-O類、Sn-Zn-O類、Al-Zn-O類、In-O類、Sn-O類、Zn-O類的氧化物半導體。另外，還可以使上述氧化物半導體層包含氧化矽。藉由使氧化物半導體層包含阻礙晶化的氧化矽 (SiO_x ($x>0$))，當在製造工藝中形成氧化物半導體層之後進行加熱處理時，可以防止晶化。另外，氧化物半導體層最好是非晶狀態，但是氧化物半導體層也可以部分晶化。

氧化物半導體最好是含有In的氧化物半導體，更佳是含有In及Ga的氧化物半導體。當形成I型（本質）氧化物

半導體層時，經過脫水化或脫氫化製程是有效的。

用作薄膜電晶體的源極區及汲極區（也稱為 n^+ 層、緩衝層）的氧化物半導體層最好具有比用作通道形成區的氧化物半導體層高的導電率。

另外，因為靜電等容易損壞薄膜電晶體，所以最好在與閘極線或源極電極線相同的基板上設置用來保護驅動電路的保護電路。保護電路最好採用使用氧化物半導體的非線性元件構成。

另外，也可以以不使閘極絕緣層、第一氧化物半導體膜以及第二氧化物半導體膜接觸於大氣的方式對閘極絕緣層、第一氧化物半導體膜以及第二氧化物半導體膜連續地進行處理（也稱為連續處理、原位（*insitu*）處理、連續成膜）。藉由不使接觸於大氣地進行連續處理，可以以不被水或烴等大氣成分或懸浮在大氣中的雜質元素污染閘極絕緣層、第一氧化物半導體膜以及第二氧化物半導體膜的介面的方式形成各疊層介面，從而可以降低薄膜電晶體的特性的不均勻性。

注意，在本說明書中，“連續處理”是指如下狀態，該狀態是：在從藉由PCVD法或濺射法進行的第一處理製程至藉由PCVD法或濺射法進行的第二處理製程的一系列的工藝中，配置有被處理基板的氛圍不接觸於大氣等污染氛圍而一直被真空中或惰性氣體氛圍（氮氛圍或稀有氣體氛圍）控制的狀態。藉由進行連續處理，可以進行成膜等的處理而避免水分等再附著到被清洗化的被處理基板。

本說明書中的連續處理的範圍還包括：在同一處理室內進行從第一處理步驟至第二處理步驟的一系列的工藝的情況。

另外，本說明書中的連續處理的範圍還包括：當在不同處理室中進行從第一處理步驟至第二處理步驟的一系列的工藝時，在結束第一處理步驟之後在處理室之間不接觸於大氣地搬運基板而進行第二處理的情況。

另外，本說明書中的連續處理的範圍還包括：在第一處理步驟和第二處理步驟之間具有基板搬運步驟、對準步驟、冷卻步驟或者爲了設定第二步驟所需要的溫度加熱或冷卻基板的步驟等的情況。

但是，本說明書所述的連續處理的範圍不包括：在第一處理步驟和第二處理步驟之間具有清洗步驟、濕蝕刻、抗蝕劑形成等使用液體的步驟的情況。

注意，爲方便起見而使用諸如“第一”、“第二”之類的序數，該序數不表示步驟的順序或層疊的順序。另外，其在本說明書中不表示特定發明的事項的固有名稱。

另外，作爲包括驅動電路的顯示裝置，除了可以舉出液晶顯示裝置之外，還可以舉出使用發光元件的發光顯示裝置、使用電泳顯示元件的也稱爲電子紙的顯示裝置。

在使用發光元件的發光顯示裝置中，在像素部中包括多個薄膜電晶體，而且在像素部中也有連接某個薄膜電晶體的閘極電極與另一個電晶體的源極電極佈線或汲極電極佈線的部分。此外，在使用發光元件的發光顯示裝置的驅

動電路中包括連接薄膜電晶體的閘極電極與該薄膜電晶體的源極電極佈線或汲極電極佈線的部分。

另外，在本說明書中，半導體裝置是指藉由利用半導體特性而能夠發揮其功能的所有裝置，因此光電裝置、半導體電路及電子設備都是半導體裝置。

可以製造具有穩定的電特性的薄膜電晶體而提供。因此，可以提供包括電特性良好且可靠性高的薄膜電晶體的二半導體裝置。

【圖式簡單說明】

在附圖中：

圖1A至1C是說明半導體裝置的製造方法的圖；

圖2A和2B是說明半導體裝置的製造方法的圖；

圖3A和3B是說明半導體裝置的圖；

圖4A至4C是說明半導體裝置的製造方法的圖；

圖5A至5C是說明半導體裝置的製造方法的圖；

圖6A和6B是說明半導體裝置的製造方法的圖；

圖7是說明半導體裝置的圖；

圖8A1、8A2、8B1、及8B2是說明半導體裝置的圖；

圖9是說明半導體裝置的圖；

圖10A1、10A2及10B是說明半導體裝置的圖；

圖11A和11B是說明半導體裝置的圖；

圖12是說明半導體裝置的像素等效電路的圖；

圖13A至13C是說明半導體裝置的圖；

圖 14A 和 14B 是說明半導體裝置的方塊圖的圖；

圖 15 是說明信號線驅動電路的結構的圖；

圖 16 是說明信號線驅動電路的工作的時序圖；

圖 17 是說明信號線驅動電路的工作的時序圖；

圖 18 是說明移位暫存器的結構的圖；

圖 19 是說明圖 18 所示的正反器的連接結構的圖；

圖 20 是說明半導體裝置的圖；

圖 21 是說明氧化物半導體層的氧密度的模擬結果的圖；

圖 22 是示出電子書閱讀器的一例的外觀圖；

圖 23A 和 23B 是說明電視裝置及數位相框的例子的外觀圖；

圖 24A 和 24B 是示出遊戲機的例子的外觀圖；

圖 25A 和 25B 是分別示出可攜式電腦以及行動電話的一例的透視圖；

圖 26 是說明半導體裝置的圖；

圖 27 是說明半導體裝置的圖；

圖 28 是說明電爐的截面圖；

圖 29 是示出 TDS 測定結果的圖表；

圖 30 是示出 H 的 TDS 結果的圖表；

圖 31 是示出 O 的 TDS 結果的圖表；

圖 32 是示出 OH 的 TDS 結果的圖表；

圖 33 是示出 H₂ 的 TDS 結果的圖表；

圖 34 是說明用於模擬的氧化物半導體層的結構的圖。

【實施方式】

使用附圖詳細地說明實施例。但是，本發明不侷限於以下的說明，本領域的技術人員能夠容易地理解，其方式和細節可以在不脫離本發明的宗旨及其範圍的條件下作各種各樣的變換。因此，本發明不應該被解釋為僅限於以下所示的實施例的記載內容。在以下說明的結構中，在不同附圖中使用相同的附圖標記來表示相同的部分或具有相同功能的部分，而省略重複說明。

[實施例1]

參照圖1A至1C、圖2A與2B及圖3A與3B說明半導體裝置及半導體裝置的製造方法。

圖3A是半導體裝置所具有的薄膜電晶體470的平面圖，而圖3B是沿著圖3A的線C1-C2的截面圖。薄膜電晶體470是反交錯型薄膜電晶體，並在具有絕緣表面的基板400上包括閘極電極層401、閘極絕緣層402、半導體層403、源極區或汲極區404a、404b以及源極電極層或汲極電極層405a、405b。另外，設置有覆蓋薄膜電晶體470且接觸於半導體層403的氧化物絕緣膜407。

至少在形成成為半導體層403以及源極區或汲極區404a、404b的第一氧化物半導體膜以及第二氧化物半導體膜之後對該第一氧化物半導體膜以及第二氧化物半導體膜進行減少水分等雜質的加熱處理（用於脫水化或脫氫化的

加熱處理），以進行低電阻化（載子濃度提高，最好是 $1 \times 10^{18}/\text{cm}^3$ 或更高），然後接觸於由第一氧化物半導體膜構成的第一氧化物半導體層地形成氧化物絕緣膜407，從而可以將被高電阻化（載子濃度降低，最好是低於 $1 \times 10^{18}/\text{cm}^3$ ，更佳是低於或等於 $1 \times 10^{14}/\text{cm}^3$ ）的第一氧化物半導體層用作通道形成區。

並且，最好在經過藉由用於脫水化或脫氫化的加熱處理使水分（ H_2O ）等雜質脫離的過程之後，在惰性氛圍下進行冷卻。藉由在用於脫水化或脫氫化的加熱處理以及冷卻之後接觸於第一氧化物半導體層地形成氧化物絕緣膜等來降低第一氧化物半導體層的載子濃度，提高薄膜電晶體470的可靠性。

另外，不僅減少存在於半導體層403以及源極區或汲極區404a、404b內的水分等雜質，而且還減少存在於閘極絕緣層402內以及作為氧化物半導體層的半導體層403與接觸於其上下的膜的介面的水分等雜質，明確而言，減少存在於閘極絕緣層402與半導體層403的介面以及氧化物絕緣膜407與半導體層403的介面的水分等雜質。

另外，作為氧化物半導體層的半導體層403、接觸於源極區及汲極區404a、404b的源極電極層或汲極電極層405a、405b使用選自鈦、鋁、錳、鎂、鋯、和鈹中的任一種或多種的材料。另外，也可以層疊組合上述元素的合金膜等。

作為包括通道形成區的半導體層403以及源極區或汲

極區 404a、404b，使用具有半導體特性的氧化物材料即可。例如，可以使用具有表示為 $\text{InMO}_3(\text{ZnO})_m$ ($m>0$) 的結構的氧化物半導體，特別最好使用 In-Ga-Zn-O 類氧化物半導體。另外，M 表示選自鎵 (Ga)、鐵 (Fe)、鎳 (Ni)、錳 (Mn) 和鈷 (Co) 中的其中之一者金屬元素或多種金屬元素。例如，作為 M，除了有包含 Ga 的情況之外，還有包含 Ga 和 Ni 或 Ga 和 Fe 等的 Ga 以外的上述金屬元素的情況。此外，在上述氧化物半導體中，有除了包含作為 M 的金屬元素的情況之外，還有包含諸如 Fe 或 Ni 等的其他過渡金屬元素或者該過渡金屬的氧化物作為雜質元素的情況。在本說明書中，將在具有表示為 $\text{InMO}_3(\text{ZnO})_m$ ($m>0$) 的結構的氧化物半導體中的具有作為 M 至少包含 Ga 的結構的氧化物半導體稱為 In-Ga-Zn-O 類氧化物半導體，並且將該薄膜也稱為 In-Ga-Zn-O 類非單晶膜。

另外，作為用於氧化物半導體層的氧化物半導體，除了可以使用上述材料之外，還可以使用 In-Sn-Zn-O 類、In-Al-Zn-O 類、Sn-Ga-Zn-O 類、Al-Ga-Zn-O 類、Sn-Al-Zn-O 類、In-Zn-O 類、In-Ga-O 類、Sn-Zn-O 類、Al-Zn-O 類、In-O 類、Sn-O 類、Zn-O 類的氧化物半導體。另外，還可以使上述氧化物半導體包含氧化矽。

在半導體層（也稱為第一氧化物半導體層）與源極電極層之間具有源極區，並且在半導體層與汲極電極層之間具有汲極區。可以將呈現 n 型導電型的氧化物半導體層（也稱為第二氧化物半導體層）用於源極區及汲極區。

另外，用作薄膜電晶體的源極區或汲極區404a、404b的第二氧化物半導體層的厚度最好薄於用作通道形成區的第一氧化物半導體層的厚度，並且第二氧化物半導體層的導電率最好高於第一氧化物半導體層的導電率。

另外，用作通道形成區的第一氧化物半導體層具有非晶結構，並且用作源極區及汲極區的第二氧化物半導體層有時在非晶結構中具有晶粒（奈米晶）。該用作源極區及汲極區的第二氧化物半導體層中的晶粒（奈米晶）的直徑是1nm至10nm，典型是2nm至4nm左右。

在本實施例中，作為包括通道形成區的半導體層403以及源極區或汲極區（也稱為 n^+ 層、緩衝層）404a、404b，使用In-Ga-Zn-O類非單晶膜。

圖1A至1C及圖2A與2B示出薄膜電晶體470的製造製程的截面圖。

在具有絕緣表面的基板400上設置閘極電極層401。也可以在基板400和閘極電極層401之間設置成為基底膜的絕緣膜。基底膜具有防止雜質元素從基板400擴散的功能，並且其可以使用選自氮化矽膜、氧化矽膜、氮氧化矽膜和氧氮化矽膜中的其中之一或多種膜的疊層結構形成。閘極電極層401的材料可以藉由使用鉬、鈦、鉻、鉭、鎢、鋁、銅、鈦、鈳等的金屬材料或以這些材料為主要成分的合金材料的單層或疊層來形成。

例如，作為閘極電極層401的雙層的疊層結構，最好採用：在鋁層上層疊有鉬層的雙層結構；在銅層上層疊有

鉬層的雙層結構；在銅層上層疊有氮化鈦層或氮化鉬層的雙層結構；或者層疊有氮化鈦層和鉬層的雙層結構。作為三層的疊層結構，最好採用層疊如下層的結構：鎢層或氮化鎢層；鋁和矽的合金層或鋁和鈦的合金層；以及氮化鈦層或鈦層。

在閘極電極層401之上形成閘極絕緣層402。

藉由利用電漿CVD法或濺射法等並使用氧化矽層、氮化矽層、氧氮化矽層或氮氧化矽層的單層或疊層，可以形成閘極絕緣層402。例如，作為成膜氣體使用 SiH_4 、氧及氮並藉由電漿CVD法來形成氧氮化矽層，即可。另外，作為閘極絕緣層402，還可以藉由使用有機矽烷氣體的CVD法而形成氧化矽層。作為有機矽烷氣體，可以使用正矽酸乙酯（TEOS：化學式為 $\text{Si}(\text{OC}_2\text{H}_5)_4$ ）、四甲基矽烷（TMS：化學式為 $\text{Si}(\text{CH}_3)_4$ ）、四甲基環四矽氧烷（TMCTS）、八甲基環四矽氧烷（OMCTS）、六甲基二矽氮烷（HMDS）、三乙氧基矽烷（ $\text{SiH}(\text{OC}_2\text{H}_5)_3$ ）、三(二甲氨基)矽烷（ $\text{SiH}(\text{N}(\text{CH}_3)_2)_3$ ）等含有矽的化合物。

在閘極絕緣層402之上層疊形成第一氧化物半導體膜430以及第二氧化物半導體膜433（參照圖1A）。第一氧化物半導體膜430成為用作通道形成區的半導體層，而第二氧化物半導體膜433成為源極區以及汲極區。

另外，最好在藉由濺射法形成氧化物半導體膜之前，進行藉由導入氬氣體來產生電漿的反濺射，而去除附著於閘極絕緣層402的表面的塵屑。反濺射是指一種方法，其

中不對靶材一側施加電壓而在氬氛圍下使用RF電源對基板一側施加電壓來在基板近旁形成電漿，以對表面進行改性。另外，也可以使用氮、氦等代替氬氛圍。另外，也可以在對氬氛圍加入氧、 N_2O 等的氛圍下進行反濺射。另外，也可以在對氬氛圍中加入 Cl_2 、 CF_4 等的氛圍下進行反濺射。

作為氧化物半導體膜，使用In-Ga-Zn-O類非單晶膜。氧化物半導體膜使用In-Ga-Zn-O類氧化物半導體靶材並藉由濺射法形成。另外，氧化物半導體膜可以在稀有氣體（典型地是氬）氛圍下、氧氛圍下或者稀有氣體（典型地是氬）與氧氛圍下藉由濺射法形成。

也可以不接觸於大氣地連續形成閘極絕緣層402、第一氧化物半導體膜430以及第二氧化物半導體膜433。藉由不接觸於大氣地連續形成，可以不被如水或烴等的大氣成分或懸浮在大氣中的雜質元素污染地形成各疊層介面，因此可以降低薄膜電晶體特性的不均勻性。

在惰性氣體氛圍（氮或氦、氖、氬等）下或在減壓下對第一氧化物半導體膜430以及第二氧化物半導體膜433進行加熱處理，然後在惰性氣體氛圍下進行冷卻（參照圖1B）。藉由在上述氛圍下對第一氧化物半導體膜430以及第二氧化物半導體膜433進行加熱處理，可以去除包含在第一氧化物半導體膜430以及第二氧化物半導體膜433中的氫及水等的雜質。

另外，在加熱處理中，最好氮或氦、氖、氬等的稀有

氣體不包含水、氫等。或者，最好將導入加熱處理裝置中的氮或氦、氖、氬等的稀有氣體的純度設定為6N（99.9999%）或更高，最好設定為7N（99.99999%）或更高（即，將雜質濃度設定為1ppm或更低，最好設定為0.1ppm或更低）。

另外，作為加熱處理，可以使用利用電爐的加熱方法、利用被加熱的氣體的GRTA（Gas Rapid Thermal Anneal：氣體快速熱退火）法或者利用燈光的LRTA（Lamp Rapid Thermal Anneal：燈快速熱退火）法等瞬間加熱方法等。

在此，參照圖28說明作為對第一氧化物半導體膜430以及第二氧化物半導體膜433的加熱處理的一個方式利用電爐601的加熱方法。

圖28是電爐601的示意圖。在處理室602的外側設置有加熱器603，以加熱處理室602。另外，在處理室602內設置有裝載基板604的基座（susceptor）605，該基座605將基板604搬入到處理室602內或者將基板604搬出。另外，處理室602設置有氣體供給單元606以及排氣單元607。利用氣體供給單元606將氣體導入處理室602。另外，利用排氣單元607對處理室602內進行排氣或者使處理室602內處於減壓狀態。另外，最好將電爐601的升溫特性設定為高於或等於 $0.1^{\circ}\text{C}/\text{min}$ 且低於或等於 $20^{\circ}\text{C}/\text{min}$ 。最好將電爐601的降溫特性設定為高於或等於 $0.1^{\circ}\text{C}/\text{min}$ 且低於或等於 $15^{\circ}\text{C}/\text{min}$ 。

氣體供給單元606具有氣體供給源611、壓力調節閥612、精製器613、質量流量控制器614、停止閥615。在本實施例中，最好在氣體供給源611與處理室602之間設置精製器613。藉由設置精製器613，可以利用精製器613去除從氣體供給源611導入處理室602內的氣體的水、氫等雜質，從而可以抑制水、氫等侵入到處理室602內。

在本實施例中，從氣體供給源611將氮或稀有氣體導入處理室602內，以使處理室內處於氮或稀有氣體氛圍，並且在加熱為高於或等於200℃且低於或等於600℃，最好加熱為高於或等於400℃且低於或等於450℃的處理室602中加熱形成在基板604上的第一氧化物半導體膜430以及第二氧化物半導體膜433，從而可以進行第一氧化物半導體膜430以及第二氧化物半導體膜433的脫水化或脫氫化。

另外，藉由在利用排氣單元的減壓下在加熱為高於或等於200℃且600℃，最好加熱為高於或等於400℃且低於或等於450℃的處理室602中加熱形成在基板604上的第一氧化物半導體膜430以及第二氧化物半導體膜433，可以進行第一氧化物半導體膜430以及第二氧化物半導體膜433的脫水化或脫氫化。

接著，使加熱器處於截止狀態，對加熱裝置的處理室602進行冷卻。藉由惰性氣體下或減壓下的加熱處理以及冷卻，實現氧化物半導體膜的低電阻化（載子濃度提高，最好是 $1 \times 10^{18}/\text{cm}^3$ 或更高），從而可以形成被低電阻化的第一氧化物半導體膜434以及第二氧化物半導體膜435。

其結果是，可以提高然後形成的薄膜電晶體的可靠性。

另外，當在減壓下進行加熱處理時，在加熱之後流過惰性氣體來恢復到大氣壓，以進行冷卻即可。

另外，也可以將加熱裝置的處理室602內的基板604冷卻到300℃，然後將基板604移動到室溫的氛圍。其結果是，可以縮短基板604的冷卻時間。

另外，當加熱處理是多室型時，可以在不同處理室內進行加熱處理和冷卻處理。典型地，在充滿有氮或稀有氣體且加熱為高於或等於200℃且低於或等於600℃，最好加熱為高於或等於400℃且低於或等於450℃的第一處理室中加熱基板上的氧化物半導體膜。接著，經過導入有氮或稀有氣體的搬送室，將上述受到加熱處理的基板移動到充滿有氮或稀有氣體且低於或等於100℃，最好是室溫的第二處理室內，以進行冷卻處理。藉由上述製程，可以提高處理能力。

在惰性氣體氛圍下或在減壓下進行加熱處理，然後進行冷卻直到室溫以上且低於100℃，從加熱裝置拿出設置有第一氧化物半導體膜434以及第二氧化物半導體膜435的基板，並且進行光刻製程。

另外，進行惰性氣體下或減壓下的加熱處理之後的第一氧化物半導體膜434以及第二氧化物半導體膜435的狀態最好是非晶狀態，但是也可以將第一氧化物半導體膜434以及第二氧化物半導體膜435的一部分晶化。

藉由光刻處理將第一氧化物半導體膜434以及第二氧化物半導體膜435加工為作為島狀氧化物半導體層的第一氧化物半導體層431以及第二氧化物半導體層436（參照圖1C）。

在閘極絕緣層402、第一氧化物半導體層431以及第二氧化物半導體層436上形成導電膜。

作為導電膜的材料，可以舉出：選自Al、Cr、Ta、Ti、Mo、W中的元素；以上述元素為成分的合金；組合上述元素的合金等。

另外，當在形成導電膜之後進行加熱處理時，最好使導電膜具有承受該加熱處理的耐熱性。因為當使用Al單體時有低耐熱性且容易腐蝕等問題，所以組合Al與耐熱導電材料而形成導電膜。作為與Al組合的耐熱導電材料，使用：選自鈦（Ti）、鉭（Ta）、鎢（W）、鉬（Mo）、鉻（Cr）、釹（Nd）、釷（Sc）中的元素；以上述元素為成分的合金；組合上述元素的合金；或者以上述元素為成分的氮化物。

藉由蝕刻製程對第一氧化物半導體層431、第二氧化物半導體層436、導電膜進行蝕刻，形成第一氧化物半導體層432、源極區或汲極區404a、404b以及源極電極層或汲極電極層405a、405b（參照圖2A）。另外，第一氧化物半導體層431僅有一部分被蝕刻，以成為具有槽部（凹部）的第一氧化物半導體層432。

藉由濺射法並接觸於第一氧化物半導體層432地形成

氧化矽膜作為氧化物絕緣膜407。接觸於被低電阻化的氧化物半導體層地形成的氧化物半導體膜407使用不包含水分、氫離子、 OH^- 等的雜質且防止上述雜質從外部侵入的無機絕緣膜，明確而言使用氧化矽膜或者氮氧化矽膜。

在本實施例中，形成厚度是300nm的氧化矽膜作為氧化物絕緣膜407。將形成膜時的基板溫度設定為室溫以上且低於或等於300℃即可，在本實施例中將該基板溫度設定為100℃。可以在稀有氣體（典型地是氬）氛圍下、氧氛圍下或者稀有氣體（典型地是氬）和氧氛圍下藉由濺射法形成氧化矽膜。另外，作為靶材，可以使用氧化矽靶材或矽靶材。例如，可以在氧及氮氛圍下使用矽靶材並藉由濺射法來形成氧化矽膜。

當藉由濺射法或PCVD法等接觸於被低電阻化的第一氧化物半導體層432地形成氧化物絕緣膜407時，可以實現被低電阻化的第一氧化物半導體層432中的至少接觸於氧化物絕緣膜407的區域的高電阻化（載子濃度降低，最好是低於 $1 \times 10^{18}/\text{cm}^3$ ，更佳是低於或等於 $1 \times 10^{14}/\text{cm}^3$ ），從而可以形成高電阻氧化物半導體區域。在半導體裝置的製造工藝中，藉由在惰性氣體下（或在減壓下）加熱、冷卻並且形成氧化物絕緣膜等來提高氧化物半導體層的載子濃度是很重要的。第一氧化物半導體層432成為具有高電阻氧化物半導體區域的半導體層403，以可以製造薄膜電晶體470（參照圖2B）。

藉由進行上述用於脫水處理或脫氫處理的加熱處理來

降低包含在第一氧化物半導體膜和第二氧化物半導體膜中的雜質（ H_2O 、 H 、 OH 等）而提高載子濃度，然後進行冷卻。在冷卻之後，將第一氧化物半導體膜加工為島狀第一氧化物半導體層，接觸於第一氧化物半導體層地形成氧化物絕緣膜等來降低第一氧化物半導體層的載子濃度，並且將該第一氧化物半導體層用作半導體層，從而可以提高薄膜電晶體470的可靠性。

另外，也可以在形成氧化物絕緣膜407之後，在氮氛圍下或大氣氛圍（大氣中）對薄膜電晶體470進行加熱處理（最好是高於或等於 150°C 且低於 350°C ）。例如，在氮氛圍下進行 250°C 且1小時的加熱處理。藉由進行該加熱處理，在半導體層403與氧化物絕緣膜407接觸的狀態下進行加熱，從而可以降低薄膜電晶體470的電特性的不均勻性。該加熱處理（最好是高於或等於 150°C 且低於 350°C ）只要進行在形成氧化物絕緣膜407之後進行就沒有特別的限制，藉由兼作該加熱處理與其他製程，例如形成樹脂膜時的加熱處理或用於實現透明導電膜的低電阻化的加熱處理，可以不增加製程數地進行該加熱處理。

[實施例2]

使用圖26說明半導體裝置以及半導體裝置的製造方法。可以與實施例1同樣地進行與實施例1同樣的部分或具有同樣的功能的部分以及製程，因此省略重複說明。

圖26所示的薄膜電晶體471是以隔著絕緣膜重疊於源

極電極層401以及半導體層403的通道區的方式設置導電層408的例子。

圖26是半導體裝置所具有的薄膜電晶體471的截面圖。薄膜電晶體471是底閘型薄膜電晶體，在具有絕緣表面的基板400上包括閘極電極層401、閘極絕緣層402、半導體層403、源極區或汲極區404a、404b以及源極電極層或汲極電極層405a、405b、導電層408。導電層408重疊於閘極電極層401地設置在氧化物半導體膜407上。

導電層408可以使用與閘極電極層401、源極電極層或汲極電極層405a、405b相同的材料、方法形成。當設置像素電極層時，也可以使用像素電極層相同的材料、方法形成導電層408。在本實施例中，作為導電層408，使用鈦膜、鋁膜以及鈦膜的疊層。

導電層408的電位可以與閘極電極層401的電位相同，也可以與閘極電極層401的電位不同，並且可以將導電層408用作第二閘極電極層。另外，導電層408也可以處於浮動狀態。

藉由將導電層408設置在與半導體層403不同的位置，在用來調查薄膜電晶體的可靠性的偏壓-溫度測試（以下，稱為BT測試）中可以減少BT測試前後的薄膜電晶體471的臨界值電壓的變化量。尤其是，在將基板溫度上升到150℃之後對閘極施加-20V的電壓的-BT測試中可以抑制臨界值電壓的變動。

本實施例可以與實施例1適當地組合而實施。

[實施例3]

使用圖27說明半導體裝置以及半導體裝置的製造方法。可以與實施例1同樣地進行與實施例1同樣的部分或具有同樣的功能的部分以及製程，因此省略重複說明。

圖27所示的薄膜電晶體472是以隔著氧化物絕緣膜407以及絕緣層410重疊於源極電極層401以及半導體層403的通道區的方式設置導電層409的例子。

圖27是半導體裝置所具有的薄膜電晶體472的截面圖。薄膜電晶體472是底閘型薄膜電晶體，在具有絕緣表面的基板400上包括閘極電極層401、閘極絕緣層402、半導體層403、源極區或汲極區404a、404b以及源極電極層或汲極電極層405a、405b、導電層409。導電層409重疊於閘極電極層401地設置在氧化物半導體膜407以及絕緣層410上。

在本實施例中，在氧化物絕緣膜407上層疊用作平坦化膜的絕緣層410，並且在氧化物絕緣膜407以及絕緣層410中形成到達源極電極層或汲極電極層405b的開口。在形成於氧化物絕緣膜407以及絕緣層410中的開口以及絕緣層410上形成導電膜，並且將它蝕刻為所希望的形狀而形成導電層409以及像素電極層411。在上述形成像素電極層411的製程中可以使用同樣的材料及方法形成導電層409。在本實施例中，作為像素電極層411、導電層409，使用包含氧化矽的氧化銦氧化錫合金（包含氧化矽的In-Sn-O類

氧化物)。

另外，導電層409可以使用與閘極電極層401、源極電極層或汲極電極層405a、405b相同的材料、方法形成。

導電層409的電位可以與閘極電極層401的電位相同，也可以與閘極電極層401的電位不同，並且可以將導電層409用作第二閘極電極層。另外，導電層409也可以處於浮動狀態。

藉由將導電層409設置在與半導體層403不同的位置，在用來調查薄膜電晶體的可靠性的偏壓-溫度測試(以下，稱為BT測試)中可以減少BT測試前後的薄膜電晶體472的臨界值電壓的變化量。

本實施例可以與其他實施例所記載的結構適當地組合而實施。

[實施例4]

使用圖4A至圖8B2說明包括薄膜電晶體的半導體裝置的製造製程。

在圖4A中，作為具有透光性的基板100，可以使用鋁硼矽酸鹽玻璃、鋁硼矽酸鹽玻璃等玻璃基板。

接著，在基板100的整個表面上形成導電層之後，進行第一光刻製程來形成抗蝕劑掩模。藉由蝕刻去除不需要的部分，而形成佈線及電極(包括閘極電極層101的閘極佈線、電容佈線108及第一端子121)。此時，進行蝕刻以至少將閘極電極層101的端部形成為錐形。

最好使用耐熱導電材料形成包括閘極電極層101的閘極佈線、電容佈線108以及端子部的第一端子121，所述耐熱導電材料為：選自鈦（Ti）、鉭（Ta）、鎢（W）、鉬（Mo）、鉻（Cr）、釹（Nd）、釷（Sc）中的元素；以上述元素為成分的合金；組合了上述元素的合金；或以上述元素為成分的氮化物。在使用諸如鋁（Al）或銅（Cu）等的低電阻導電材料形成的情況下，因為Al或Cu單體具有低耐熱性、易受腐蝕等問題，所以將該低電阻導電材料與上述耐熱導電材料組合來使用。

接著，在閘極電極層101的整個表面上形成閘極絕緣層102（參照圖4A）。藉由濺射法、PCVD法等形成其厚度為50nm至250nm的閘極絕緣層102。

例如，藉由濺射法並使用氧化矽膜形成厚度為100nm的閘極絕緣層102。不言而喻，閘極絕緣層102不限於這樣的氧化矽膜，而可以使用諸如氧氮化矽膜、氮化矽膜、氧化鋁膜、氧化鉭膜等的其他絕緣膜的單層結構或疊層結構形成閘極絕緣層102。

接著，在閘極絕緣層102上形成第一氧化物半導體膜131（第一In-Ga-Zn-O類非單晶膜）。在電漿處理之後不暴露於大氣地形成第一氧化物半導體膜131是有效的，因為塵屑、水分不附著到閘極絕緣層與半導體膜的介面。在此，在以下條件下進行成膜：使用直徑為8英寸的包含In、Ga及Zn的氧化物半導體靶材（ In_2O_3 ： Ga_2O_3 ： ZnO =1：1：1）；基板與靶材之間的距離是170mm；壓力

是 0.4Pa；直流（DC）電源是 500W；並且在氬、氧的氛圍下形成。最好使用脈衝直流（DC）電源，因為可以減少塵屑，而且膜厚分佈也變得均勻。第一氧化物半導體膜 131 的厚度為 5nm 至 200nm。使用 In-Ga-Zn-O 類氧化物半導體靶材並藉由濺射法而形成厚度為 50nm 的 In-Ga-Zn-O 類非單晶膜作為第一氧化物半導體膜 131。

接著，藉由濺射法不暴露於大氣地形成第二氧化物半導體膜 136（第二 In-Ga-Zn-O 類非單晶膜）（參照圖 4B）。在此，使用 $\text{In}_2\text{O}_3 : \text{Ga}_2\text{O}_3 : \text{ZnO} = 1 : 1 : 1$ 的靶材且在如下成膜條件下進行濺射成膜，該成膜條件是：壓力為 0.4Pa；電力為 500W；成膜溫度為室溫；並且導入流量 40sccm 的氬氣體。雖然使用 $\text{In}_2\text{O}_3 : \text{Ga}_2\text{O}_3 : \text{ZnO} = 1 : 1 : 1$ 的靶材，但是有時在剛形成膜之後形成包括尺寸為 1nm 至 10nm 的晶粒的 In-Ga-Zn-O 類非單晶膜。另外，可以說藉由適當地調整靶材的成分比、成膜壓力（0.1Pa 至 2.0Pa）、電力（250W 至 3000W：8 英寸 ϕ ）、溫度（室溫至 100℃）、反應濺射的成膜條件等，可以調整晶粒的有無及晶粒的密度，還可以將直徑尺寸調整為 1nm 至 10nm 的範圍內。將第二 In-Ga-Zn-O 類非單晶膜的膜厚度設定為 5nm 至 20nm。當然，當在膜中包括晶粒時，所包括的晶粒的尺寸不超過膜厚度。將第二 In-Ga-Zn-O 類非單晶膜的膜厚度設定為 5nm。

使第一 In-Ga-Zn-O 類非單晶膜的成膜條件與第二 In-Ga-Zn-O 類非單晶膜的成膜條件不同。例如，採用如下條

件：第一In-Ga-Zn-O類非單晶膜的成膜條件中的對於氬氣體流量的氧氣體流量的比率高於第二In-Ga-Zn-O類非單晶膜的成膜條件中的對於氬氣體流量的氧氣體流量的比率。明確而言，第二In-Ga-Zn-O類非單晶膜的成膜條件是在稀有氣體（氬或氦等）氛圍下（或將氧氣體設定為小於或等於10%，將氬氣體設定為大於或等於90%），而第一In-Ga-Zn-O類非單晶膜的成膜條件是在氧混合氛圍下（氧氣體流量多於稀有氣體流量）。

可以使用與預先進行反濺射的處理室相同的處理室形成第二In-Ga-Zn-O類非單晶膜，也可以使用與預先進行反濺射的處理室不同的處理室形成第二In-Ga-Zn-O類非單晶膜。

在濺射法中，有作為濺射電源使用高頻電源的RF濺射法、DC濺射法，並且還有以脈衝方式施加偏壓的脈衝DC濺射法。RF濺射法主要用於絕緣膜的形成，而DC濺射法主要用於金屬膜的形成。

此外，還有可以設置多個材料不同的靶材的多元濺射裝置。多元濺射裝置既可以在同一處理室中層疊形成不同材料的膜，又可以在同一處理室中使多種材料同時放電而進行成膜。

此外，有利用如下濺射法的濺射裝置，該濺射法是：在處理室內具備磁體機構的磁控管濺射法；以及不使用輝光放電而利用使用微波來產生的電漿的ECR濺射法。

此外，作為使用濺射法的成膜方法，還有在膜形成期

間中使靶材物質與濺射氣體成分產生化學反應而形成它們的化合物薄膜的反應濺射法以及在膜形成期間中對基板也施加電壓的偏壓濺射法。

接著，對第一氧化物半導體膜131以及第二氧化物半導體膜136進行用於脫水化或脫氫化的加熱處理。在惰性氣體氛圍（氮或氮、氬、氫等）下或在減壓下進行加熱處理，然後在惰性氣體下進行冷卻。

最好以200℃或更高的溫度進行加熱處理。例如，在氮氛圍下進行450℃且1小時的熱處理。藉由該氮氛圍下的加熱處理，實現第一氧化物半導體膜131以及第二氧化物半導體膜136的低電阻化（載子濃度提高，最好是 $1 \times 10^{18}/\text{cm}^3$ 或更高），而導電率提高。如此形成被低電阻化的第一氧化物半導體膜133以及第二氧化物半導體膜137（參照圖4C）。第一氧化物半導體膜133以及第二氧化物半導體膜137的導電率最好為高於或等於 $1 \times 10^{-1} \text{S/cm}$ 且低於或等於 $1 \times 10^2 \text{S/cm}$ 。

接著，進行第二光刻製程來形成抗蝕劑掩模，對第一氧化物半導體膜133以及第二氧化物半導體膜137進行蝕刻。例如，藉由使用混合了磷酸、醋酸以及硝酸的溶液的濕蝕刻，去除不需要的部分，從而形成第一氧化物半導體層134以及第二氧化物半導體層138。注意，在此的蝕刻不限於濕蝕刻，而也可以利用乾蝕刻。

作為用於乾蝕刻的蝕刻氣體，最好採用含有氯的氣體（氯類氣體，例如氯（ Cl_2 ）、氯化硼（ BCl_3 ）、氯化矽

(SiCl_4)、四氯化碳(CCl_4)等)。

另外，還可以使用含有氟的氣體(氟類氣體，例如四氟化碳(CF_4)、六氟化硫(SF_6)、三氟化氮(NF_3)、三氟甲烷(CHF_3)等)、溴化氫(HBr)、氧(O_2)、或對上述氣體添加了氦(He)或氬(Ar)等的稀有氣體的氣體等。

作為乾蝕刻法，可以使用平行平板型RIE(Reactive Ion Etching：反應性離子蝕刻)法或ICP(Inductively Coupled Plasma：感應耦合電漿)蝕刻法。適當地調節蝕刻條件(施加到線圈形電極的電力量、施加到基板一側的電極的電力量、基板一側的電極溫度等)，以便將膜蝕刻為所希望加工的形狀。

作為用於濕蝕刻的蝕刻劑，可以使用將磷酸、醋酸以及硝酸混合的溶液等。此外，還可以使用ITO-07N(關東化學株式會社製造)。

藉由清洗去除濕蝕刻後的蝕刻劑以及被蝕刻掉的材料。也可以提純包括該被蝕刻掉的材料蝕刻劑的廢液，來重複使用所含的材料。藉由從該蝕刻後的廢液收集包含在氧化物半導體層中的銦等的材料並將其重複使用，可以高效地使用資源且實現低成本化。

根據材料適當地調節蝕刻條件(蝕刻劑、蝕刻時間、溫度等)，以便可以將材料蝕刻為所希望的形狀。

接著，藉由濺射法或真空蒸鍍法在第一氧化物半導體層134以及第二氧化物半導體層138上形成由金屬材料構成

的導電膜132（參照圖5B）。

作為導電膜132的材料，可以舉出：選自Al、Cr、Ta、Ti、Mo、W中的元素；以上述元素為成分的合金；組合上述元素的合金等。

當在形成導電膜132之後進行加熱處理時，最好使導電膜具有承受該加熱處理的耐熱性。

接著，進行第三光刻製程來形成抗蝕劑掩模，藉由蝕刻去除不需要的部分，從而形成源極電極層或汲極電極層105a、105b、第一氧化物半導體層135、源極區或汲極區104a、104b及第二端子122（參照圖5C）。作為此時的蝕刻方法，使用濕蝕刻或乾蝕刻。例如，在作為導電膜132使用鋁膜或鋁合金膜的情況下，可以進行使用將磷酸、醋酸以及硝酸混合的溶液的濕蝕刻。另外，也可以藉由使用氨水-過氧化氫混合液（過氧化氫：氨：水=5：2：2）的濕蝕刻，對導電膜132進行蝕刻，以形成源極電極層或汲極電極層105a、105b。在該蝕刻製程中，第一氧化物半導體層134的露出區域的一部分也被蝕刻，以成為第一氧化物半導體層135。因此，源極電極層或汲極電極層105a、105b之間的第一氧化物半導體層135成為膜厚度薄的區域。在圖5C中，因為藉由乾蝕刻一同進行用來形成源極電極層或汲極電極層105a、105b、第一氧化物半導體層135、源極區或汲極區104a、104b的蝕刻，所以源極電極層或汲極電極層105a、105b、第一氧化物半導體層135以及源極區或汲極區104a、104b的端部對準，以成為連續的

結構。

另外，在該第三光刻製程中，使與源極電極層或汲極電極層 105a、105b 相同的材料的第二端子 122 殘留在端子部中。另外，第二端子 122 與源極電極佈線（包括源極電極層或汲極電極層 105a、105b 的源極電極佈線）電連接。

另外，由於藉由使用利用多色調掩模形成的具有多個（典型的是兩個）厚度的區域的抗蝕劑掩模，可以減少抗蝕劑掩模數，從而可以實現製程的簡化、低成本化。

接著，去除抗蝕劑掩模，形成覆蓋閘極絕緣層 102、第一氧化物半導體層 135、源極區或汲極區 104a、104b、源極電極層或汲極電極層 105a、105b 的保護絕緣層 107。保護絕緣層 107 使用藉由 PCVD 法形成的氧氮化矽膜。藉由彼此接觸地提供設置在源極電極層、汲極電極層 105a、105b 之間的第一氧化物半導體層 135 的露出區域與作為保護絕緣層 107 的氧氮化矽膜，實現接觸於保護絕緣層 107 的第一氧化物半導體層 135 的區域的高電阻化（載子濃度降低，最好是低於 $1 \times 10^{18} / \text{cm}^3$ ，更佳是低於或等於 $1 \times 10^{14} / \text{cm}^3$ ），以可以形成具有被高電阻化的通道形成區的半導體層 103。

藉由上述製程可以製造薄膜電晶體 170。

接著，進行第四光刻製程來形成抗蝕劑掩模，藉由對保護絕緣層 107 以及閘極絕緣層 102 的蝕刻來形成到達源極電極層或汲極電極層 105b 的接觸孔 125。另外，藉由在此的蝕刻還形成到達第二端子 122 的接觸孔 127 以及到達第一

端子121的接觸孔126。圖6B示出該步驟的截面圖。

接著，在去除抗蝕劑掩模之後形成透明導電膜。作為透明導電膜的材料，藉由濺射法或真空蒸鍍法等形成氧化銦（ In_2O_3 ）、氧化銦氧化錫合金（ $\text{In}_2\text{O}_3\text{-SnO}_2$ 、縮寫為ITO）等。使用鹽酸類的溶液對這些材料進行蝕刻處理。然而，由於對ITO的蝕刻特別容易產生殘渣，因此也可以使用氧化銦氧化鋅合金（ $\text{In}_2\text{O}_3\text{-ZnO}$ ），以便改善蝕刻加工性。另外，也可以使用包含氧化矽的氧化銦氧化錫合金（包含氧化矽的In-Sn-O類氧化物）。

另外，當作為像素電極層使用具有反射性的電極層時，可以使用：選自鎢（W）、鉬（Mo）、鋯（Zr）、鈦（Hf）、釩（V）、鈮（Nb）、鉭（Ta）、鉻（Cr）、鈷（Co）、鎳（Ni）、鈦（Ti）、鉑（Pt）、鋁（Al）、銅（Cu）、銀（Ag）等的金屬；上述金屬的合金；或者上述金屬的氮化物中的其中一者或多種。

接著，進行第五光刻製程來形成抗蝕劑掩模，藉由蝕刻去除不需要的部分，以形成像素電極層110。

此外，在該第五光刻製程中，以電容部中的閘極絕緣層102及保護絕緣層107為電介質並使用電容佈線108和像素電極層110形成儲存電容器（storage capacitor）。另外，該步驟的平面圖相當於圖7。

另外，在該第五光刻製程中，使用抗蝕劑掩模覆蓋第一端子121及第二端子122並使形成在端子部中的透明導電膜128、129殘留。透明導電膜128、129成為用來與FPC連

接的電極或佈線。形成在第一端子121上的透明導電膜128成爲用作閘極佈線的輸入端子的用來連接的端子電極。形成在第二端子122上的透明導電膜129是用作源極電極佈線的輸入端子的用來連接的端子電極。

接著，去除抗蝕劑掩模，圖6B示出該步驟的截面圖。

也可以在形成保護絕緣層107或像素電極層110之後進行加熱處理。加熱處理在大氣氛圍下或在氮氛圍下以150℃以上且低於350℃進行，即可。當進行該加熱處理時，以半導體層103與保護絕緣層107接觸的狀態進行加熱，以實現半導體層103的高電阻化來提高電晶體的電特性並降低電特性的不均勻性。該加熱處理只要進行在形成保護絕緣層107之後就沒有特別的限制，藉由兼作該加熱處理與其他製程，例如形成樹脂膜時的加熱處理或用於實現透明導電膜的低電阻化的加熱處理，可以不增加製程數地進行該加熱處理。

此外，圖8A1和8A2分別示出該步驟的閘極佈線端子部的截面圖及平面圖。圖8A1相當於沿著圖8A2中的線E1-E2的截面圖。在圖8A1中，形成在保護絕緣膜154上的透明導電膜155是用作輸入端子的用來連接的端子電極。另外，在圖8A1中，在端子部中，使用與閘極佈線相同的材料形成的第一端子151和使用與源極電極佈線相同的材料形成的連接電極層153隔著閘極絕緣層152互相重疊，並以透明導電膜155實現導通。另外，圖6B所示的透明導電膜128與第一端子121接觸的部分對應於圖8A1的透明導電膜

155與第一端子151接觸的部分。

另外，圖8B1及8B2分別示出與圖6B所示的源極電極佈線端子部不同的源極電極佈線端子部的截面圖及平面圖。此外，圖8B1相當於沿著圖8B2中的線F1-F2的截面圖。在圖8B1中，形成在保護絕緣膜154上的透明導電膜155是用作輸入端子的用來連接的端子電極。另外，在圖8B1中，在端子部中，在與源極電極佈線電連接的第二端子150的下方隔著閘極絕緣層152使用與閘極佈線相同的材料形成的電極層156重疊於與源極電極佈線電連接的第二端子150。電極層156不與第二端子150電連接，藉由將電極層156設定為與第二端子150不同的電位，例如浮置電位、GND、0V等，可以形成用於對雜波的措施的電容或用於對靜電的措施的電容。此外，第二端子150隔著保護絕緣膜154與透明導電膜155電連接。

根據像素密度設置多個閘極佈線、多個源極電極佈線及多個電容佈線。此外，在端子部排列地配置多個具有與閘極佈線相同的電位的第一端子、多個具有與源極電極佈線相同的電位的第二端子、多個具有與電容佈線相同的電位的第三端子等。各端子的數量可以是任意的，實施者適當地決定各端子的數量即可。

像這樣，藉由五次的光刻製程，使用五個光掩模，可以完成包括底閘型的交錯結構的薄膜電晶體170的像素薄膜電晶體部、儲存電容。而且，藉由對應於每個像素將該像素薄膜電晶體部、儲存電容配置為矩陣狀來構成像素

部，可以將其用作用來製造主動矩陣型顯示裝置的一方的基板。在本說明書中，為方便起見將這種基板稱為主動矩陣基板。

當製造主動矩陣型液晶顯示裝置時，在主動矩陣基板和設置有對置電極的對置基板之間設置液晶層，以固定主動矩陣基板和對置基板。另外，在主動矩陣基板上設置與設置在對置基板上的對置電極電連接的共同電極，並且在端子部中設置與共同電極電連接的第四端子。該第四端子是用來將共同電極設定為固定電位，例如GND、0V等的端子。

此外，也可以不設置電容佈線，而隔著保護絕緣膜及閘極絕緣層重疊像素電極與相鄰的像素的閘極佈線來形成儲存電容。

在主動矩陣型液晶顯示裝置中，藉由驅動配置為矩陣狀的像素電極，在畫面上形成顯示圖案。詳細地說，藉由在被選擇的像素電極和對應於該像素電極的對置電極之間施加電壓，進行配置在像素電極和對置電極之間的液晶層的光學調變，該光學調變被觀察者識別為顯示圖案。

當液晶顯示裝置顯示動態影像時，由於液晶分子本身的響應慢，所以有產生餘象或動態影像的模糊的問題。有一種被稱為黑插入的驅動技術，在該驅動技術中為了改善液晶顯示裝置的動態影像特性，每隔一框地進行整個畫面的黑顯示。

此外，還有被稱為倍速驅動的驅動技術，其中藉由將

垂直同步頻率設定為通常的1.5倍以上，最好設定為通常的2倍以上來改善動態影像特性。

另外，還有如下驅動技術：為了改善液晶顯示裝置的動態影像特性，作為背光燈使用多個LED（發光二極體）光源或多個EL光源等來構成面光源，並使構成面光源的各光源獨立地在一個框期間內進行間歇點亮驅動。作為面光源，可以使用三種以上的LED或白色發光的LED。由於可以獨立地控制多個LED，因此也可以按照液晶層的光學調變的切換時序使LED的發光時序同步。因為在該驅動技術中可以部分地關斷LED，所以尤其是在進行一個畫面中的黑色顯示區所占的比率高的影像顯示的情況下，可以得到耗電量減少的效果。

藉由組合這些驅動技術，與現有的液晶顯示裝置相比，可以進一步改善液晶顯示裝置的動態影像特性等的顯示特性。

由於在本說明書所揭露的n通道型電晶體中將氧化物半導體膜用於通道形成區並具有良好的動態影像特性，因此可以組合這些驅動技術。

此外，當製造發光顯示裝置時，因為將有機發光元件的一方電極（也稱為陰極）設定為低電源電位，例如GND、0V等，所以在端子部中設置用來將陰極設定為低電源電位，例如GND、0V等的第四端子。此外，當製造發光顯示裝置時，除了源極電極佈線及閘極佈線之外還設置電源供給線。由此，在端子部中設置與電源供給線電連接的

第五端子。

另外，當製造發光顯示裝置時，有時在各有機發光元件之間設置使用有機樹脂層的隔壁。此時，由於對有機樹脂層進行加熱處理，因此可以兼作該加熱處理與用來提高電晶體的電特性並用來降低電特性的不均勻的熱處理。

藉由利用使用氧化物半導體的薄膜電晶體來形成，可以降低製造成本。尤其是，因為藉由用於脫水化或脫氫化的加熱處理來減少作為雜質的水分等而提高氧化物半導體膜的純度，所以即使不使用降低了成膜處理室內的露點的特殊的濺射裝置或超高純度的氧化物半導體靶材也可以製造包括電特性良好且可靠性高的薄膜電晶體的半導體裝置。

因為通道形成區的半導體層為高電阻區域，所以薄膜電晶體的電特性穩定化，而可以防止截止電流的增加等。因此，可以製造包括電特性良好且可靠性高的薄膜電晶體的半導體裝置。

本實施例可以與其他的實施例所記載的結構適當地組合而實施。

[實施例5]

以下說明在作為半導體裝置的一例的顯示裝置中在同一基板上至少製造驅動電路的一部分和配置於像素部的薄膜電晶體的例子。

配置於像素部的薄膜電晶體根據實施例1至實施例4形

成。此外，因為實施例1至實施例4所示的薄膜電晶體是n通道型TFT，所以將驅動電路中可以由n通道型TFT構成的驅動電路的一部分與像素部的薄膜電晶體形成在同一基板上。

圖14A示出半導體裝置的一例的主動矩陣型液晶顯示裝置的方塊圖的一例。圖14A所示的顯示裝置在基板5300上包括：具有多個具備顯示元件的像素的像素部5301；選擇各像素的掃描線驅動電路5302；控制對被選擇的像素的視頻信號輸入的信號線驅動電路5303。

像素部5301藉由從信號線驅動電路5303在行方向上延伸地配置的多個信號線S1至Sm（未圖示）與信號線驅動電路5303連接，並藉由從掃描線驅動電路5302在行方向上延伸地配置的多個掃描線G1至Gn（未圖示）與掃描線驅動電路5302連接，並且像素部5301具有對應於信號線S1至Sm以及掃描線G1至Gn而配置為矩陣狀的多個像素（未圖示）。並且，各像素與信號線Sj（信號線S1至Sm中的任一個）、掃描線Gi（掃描線G1至Gn中的任一個）連接。

另外，實施例1至實施例4所示的薄膜電晶體是n通道型TFT，使用圖15說明由n通道型TFT構成的信號線驅動電路。

圖15所示的信號線驅動電路包括驅動器IC 5601、開關組5602_1至5602_M、第一佈線5611、第二佈線5612、第三佈線5613以及佈線5621_1至5621_M。開關組5602_1至5602_M分別具有第一薄膜電晶體5603a、第二薄膜電晶

體 5603b 以及第三薄膜電晶體 5603c。

驅動器 IC 5601 與第一佈線 5611、第二佈線 5612、第三佈線 5613 及佈線 5621_1 至 5621_M 連接。而且，開關組 5602_1 至 5602_M 分別與第一佈線 5611、第二佈線 5612、第三佈線 5613 及分別與開關組 5602_1 至 5602_M 的對應的佈線 5621_1 至 5621_M 連接。而且，佈線 5621_1 至 5621_M 分別藉由第一薄膜電晶體 5603a、第二薄膜電晶體 5603b 及第三薄膜電晶體 5603c 與三個信號線連接。例如，第 J 行的佈線 5621_J（佈線 5621_1 至佈線 5621_M 中的任一個）藉由開關組 5602_J 所具有的第一薄膜電晶體 5603a、第二薄膜電晶體 5603b 及第三薄膜電晶體 5603c 與信號線 Sj-1、信號線 Sj、信號線 Sj+1 連接。

另外，對第一佈線 5611、第二佈線 5612、第三佈線 5613 分別輸入信號。

另外，驅動器 IC 5601 最好形成在單晶基板上。另外，開關組 5602_1 至 5602_M 最好形成在與像素部同一基板上。因此，驅動器 IC 5601 和開關組 5602_1 至 5602_M 最好藉由 FPC 等連接。

接著，參照圖 16 的時序圖說明圖 15 所示的信號線驅動電路的工作。另外，圖 16 的時序圖示出選擇第 i 列掃描線 Gi 時的時序圖。另外，第 i 列掃描線 Gi 的選擇期間被分割為第一子選擇期間 T1、第二子選擇期間 T2 及第三子選擇期間 T3。而且，圖 15 的信號線驅動電路在其他行的掃描線被選擇的情況下也進行與圖 16 相同的工作。

另外，圖 16 的時序圖示出第 J 行的佈線 5621_J 藉由第一薄膜電晶體 5603a、第二薄膜電晶體 5603b 及第三薄膜電晶體 5603c 與信號線 Sj-1、信號線 Sj、信號線 Sj+1 連接的情況。

另外，圖 16 的時序圖示出第 i 列掃描線 Gi 被選擇的時序、第一薄膜電晶體 5603a 的導通/截止的時序 5703a、第二薄膜電晶體 5603b 的導通/截止的時序 5703b、第三薄膜電晶體 5603c 的導通/截止的時序 5703c 及輸入到第 J 行佈線 5621_J 的信號 5721_J。

另外，在第一子選擇期間 T1、第二子選擇期間 T2 及第三子選擇期間 T3 中，分別對佈線 5621_1 至佈線 5621_M 輸入不同的視頻信號。例如，在第一子選擇期間 T1 中輸入到佈線 5621_J 的視頻信號輸入到信號線 Sj-1，在第二子選擇期間 T2 中輸入到佈線 5621_J 的視頻信號輸入到信號線 Sj，在第三子選擇期間 T3 中輸入到佈線 5621_J 的視頻信號輸入到信號線 Sj+1。另外，將在第一子選擇期間 T1、第二子選擇期間 T2 及第三子選擇期間 T3 中輸入到佈線 5621_J 的視頻信號依次分別記作 Data_j-1、Data_j、Data_j+1。

如圖 16 所示，在第一子選擇期間 T1 中，第一薄膜電晶體 5603a 導通，第二薄膜電晶體 5603b 及第三薄膜電晶體 5603c 截止。此時，輸入到佈線 5621_J 的 Data_j-1 藉由第一薄膜電晶體 5603a 輸入到信號線 Sj-1。在第二子選擇期間 T2 中，第二薄膜電晶體 5603b 導通，第一薄膜電晶體 5603a 及第三薄膜電晶體 5603c 截止。此時，輸入到佈線 5621_J

的 Data_j藉由第二薄膜電晶體 5603b 輸入到信號線 S_j。在第三子選擇期間 T₃ 中，第三薄膜電晶體 5603c 導通，第一薄膜電晶體 5603a 及第二薄膜電晶體 5603b 截止。此時，輸入到佈線 5621_J 的 Data_{j+1} 藉由第三薄膜電晶體 5603c 輸入到信號線 S_{j+1}。

據此，圖 15 的信號線驅動電路藉由將一個閘極選擇期間分割為三個部分，可以在一個閘極選擇期間中從一個佈線 5621 將視頻信號輸入到三個信號線。因此，圖 15 的信號線驅動電路可以將形成有驅動器 IC 5601 的基板和形成有像素部的基板的連接數設定為信號線數的 1/3 左右。由於連接數變為 1/3 左右，可以提高圖 15 的信號線驅動電路的可靠性、良率等。

另外，只要能夠如圖 15 所示那樣將一個閘極選擇期間分割為多個子選擇期間並在多個子選擇期間的每一個中從某一個佈線向多個信號線分別輸入視頻信號即可，對於薄膜電晶體的配置、數量及驅動方法等沒有限制。

例如，當在三個以上的子選擇期間的每一個中分別從一個佈線將視頻信號輸入到三個以上的信號線時，追加薄膜電晶體及用來控制薄膜電晶體的佈線即可。但是，如果將一個閘極選擇期間分割為四個以上的子選擇期間，則每個子選擇期間變短。因此，最好將一個閘極選擇期間分割為兩個或三個子選擇期間。

作為另一例，也可以如圖 17 的時序圖所示那樣，將一閘極選擇期間分割為預充電期間 T_p、第一子選擇期間 T₁、

第二子選擇期間T2、第三子選擇期間T3。另外，圖17的時序圖示出第i列掃描線Gi被選擇的時序、第一薄膜電晶體5603a的導通/截止的時序5803a、第二薄膜電晶體5603b的導通/截止的時序5803b、第三薄膜電晶體5603c的導通/截止的時序5803c以及輸入到第J行佈線5621_J的信號5821_J。如圖17所示，在預充電期間Tp中，第一薄膜電晶體5603a、第二薄膜電晶體5603b及第三薄膜電晶體5603c導通。此時，輸入到佈線5621_J的預充電電壓Vp藉由第一薄膜電晶體5603a、第二薄膜電晶體5603b及第三薄膜電晶體5603c分別輸入到信號線Sj-1、信號線Sj、信號線Sj+1。在第二子選擇期間T2中，第一薄膜電晶體5603a導通，第二薄膜電晶體5603b及第三薄膜電晶體5603c截止。此時，輸入到佈線5621_J的Data_j-1藉由第一薄膜電晶體5603a輸入到信號線Sj-1。在第三子選擇期間T3中，第二薄膜電晶體5603b導通，第一薄膜電晶體5603a及第三薄膜電晶體5603c截止。此時，輸入到佈線5621_J的Data_j藉由第二薄膜電晶體5603b輸入到信號線Sj。在第四子選擇期間T4中，第三薄膜電晶體5603c導通，第一薄膜電晶體5603a及第二薄膜電晶體5603b截止。此時，輸入到佈線5621_J的Data_j+1藉由第三薄膜電晶體5603c輸入到信號線Sj+1。

據此，應用圖17的時序圖的圖15的信號線驅動電路藉由在子選擇期間之前設置預充電期間，可以對信號線進行預充電，從而可以高速地進行對像素的視頻信號的寫入。另外，在圖17中，對與圖16相同的部分使用共通的符號表

示，省略對於同一部分或具有相同的功能的部分的詳細說明。

此外，說明掃描線驅動電路的構成。掃描線驅動電路包括移位暫存器。此外，根據情況，還可以包括電平位移器、緩衝器。在掃描線驅動電路中，藉由對移位暫存器輸入時鐘信號（CLK）及起始脈衝信號（SP），生成選擇信號。所生成的選擇信號在緩衝器中被緩衝放大，並供給到對應的掃描線。掃描線與一行的像素的電晶體的閘極電極連接。而且，由於必須將一行的像素的電晶體同時導通，因此使用能夠流過大電流的緩衝器。

使用圖18和圖19說明用於掃描線驅動電路的一部分的移位暫存器的一個方式。

圖18示出移位暫存器的電路結構。圖18所示的移位暫存器由正反器5701_1至5701_n這多個正反器構成。此外，輸入第一時鐘信號、第二時鐘信號、起始脈衝信號、重設信號來進行工作。

說明圖18的移位暫存器的連接關係。在圖18所示的移位暫存器中，至於第i級正反器5701_i（正反器5701_1至5701_n中的任一個），圖19所示的第一佈線5501連接到第七佈線5717_{i-1}，圖19所示的第二佈線5502連接到第七佈線5717_{i+1}，圖19所示的第三佈線5503連接到第七佈線5717_i，圖19所示的第六佈線5506連接到第五佈線5715。

此外，在奇數級的正反器中圖19所示的第四佈線5504連接到第二佈線5712，在偶數級的正反器中圖19所示的第

四佈線5504連接到第三佈線5713，並且圖19所示的第五佈線5505連接到第四佈線5714。

但是，第一級正反器5701₁的圖19所示的第一佈線5501連接到第一佈線5711，而第n級正反器5701_n的圖19所示的第二佈線5502連接到第六佈線5716。

另外，第一佈線5711、第二佈線5712、第三佈線5713、第六佈線5716也可以分別稱為第一信號線、第二信號線、第三信號線、第四信號線。另外，第四佈線5714、第五佈線5715也可以分別稱為第一電源線、第二電源線。

接著，使用圖19示出圖18所示的正反器的詳細結構。圖19所示的正反器包括第一薄膜電晶體5571、第二薄膜電晶體5572、第三薄膜電晶體5573、第四薄膜電晶體5574、第五薄膜電晶體5575、第六薄膜電晶體5576、第七薄膜電晶體5577以及第八薄膜電晶體5578。另外，第一薄膜電晶體5571、第二薄膜電晶體5572、第三薄膜電晶體5573、第四薄膜電晶體5574、第五薄膜電晶體5575、第六薄膜電晶體5576、第七薄膜電晶體5577以及第八薄膜電晶體5578是n通道型電晶體，當柵源間電壓（ V_{gs} ）高於臨界值電壓（ V_{th} ）時處於導通狀態。

接著，下面示出圖19所示的正反器的連接結構。

第一薄膜電晶體5571的第一電極（源極電極或汲極電極的一者）與第四佈線5504連接，第一薄膜電晶體5571的第二電極（源極電極或汲極電極的另一者）與第三佈線5503連接。

第二薄膜電晶體 5572 的第一電極與第六佈線 5506 連接，第二薄膜電晶體 5572 的第二電極與第三佈線 5503 連接。

第三薄膜電晶體 5573 的第一電極與第五佈線 5505 連接，第三薄膜電晶體 5573 的第二電極與第二薄膜電晶體 5572 的閘極電極連接，第三薄膜電晶體 5573 的閘極電極與第五佈線 5505 連接。

第四薄膜電晶體 5574 的第一電極與第六佈線 5506 連接，第四薄膜電晶體 5574 的第二電極與第二薄膜電晶體 5572 的閘極電極連接，第四薄膜電晶體 5574 的閘極電極與第一薄膜電晶體 5571 的閘極電極連接。

第五薄膜電晶體 5575 的第一電極與第五佈線 5505 連接，第五薄膜電晶體 5575 的第二電極與第一薄膜電晶體 5571 的閘極電極連接，第五薄膜電晶體 5575 的閘極電極與第一佈線 5501 連接。

第六薄膜電晶體 5576 的第一電極與第六佈線 5506 連接，第六薄膜電晶體 5576 的第二電極與第一薄膜電晶體 5571 的閘極電極連接，第六薄膜電晶體 5576 的閘極電極與第二薄膜電晶體 5572 的閘極電極連接。

第七薄膜電晶體 5577 的第一電極與第六佈線 5506 連接，第七薄膜電晶體 5577 的第二電極與第一薄膜電晶體 5571 的閘極電極連接，第七薄膜電晶體 5577 的閘極電極與第二佈線 5502 連接。第八薄膜電晶體 5578 的第一電極與第六佈線 5506 連接，第八薄膜電晶體 5578 的第二電極與第二

薄膜電晶體5572的閘極電極連接，第八薄膜電晶體5578的閘極電極與第一佈線5501連接。

另外，將第一薄膜電晶體5571的閘極電極、第四薄膜電晶體5574的閘極電極、第五薄膜電晶體5575的第二電極、第六薄膜電晶體5576的第二電極以及第七薄膜電晶體5577的第二電極的連接處記作節點5543。另外，將第二薄膜電晶體5572的閘極電極、第三薄膜電晶體5573的第二電極、第四薄膜電晶體5574的第二電極、第六薄膜電晶體5576的閘極電極以及第八薄膜電晶體5578的第二電極的連接處記作節點5544。

另外，第一佈線5501、第二佈線5502、第三佈線5503以及第四佈線5504也可以分別稱為第一信號線、第二信號線、第三信號線、第四信號線。另外，第五佈線5505也可以稱為第一電源線，第六佈線5506也可以稱為第二電源線。

此外，也可以僅使用實施例1至實施例4所示的n通道型TFT來製造信號線驅動電路及掃描線驅動電路。因為實施例1至實施例4所示的n通道型TFT的電晶體遷移率大，所以可以提高驅動電路的驅動頻率。另外，因為實施例1至實施例4所示的n通道型TFT的寄生電容降低，因此頻率特性（被稱為f特性）高。例如，由於使用實施例1至實施例4所示的n通道型TFT的掃描線驅動電路可以進行高速工作，因此可以實現框頻率的提高或黑影像插入等。

另外，藉由增大掃描線驅動電路的電晶體的通道寬度

或配置多個掃描線驅動電路等，可以實現更高的框頻率。在配置多個掃描線驅動電路的情況下，藉由將用來驅動偶數行的掃描線的掃描線驅動電路配置在一側，將用來驅動奇數行的掃描線的掃描線驅動電路配置在其相反一側，可以實現框頻率的提高。此外，如果藉由多個掃描線驅動電路對同一掃描線輸出信號，有利於顯示裝置的大型化。

此外，在製造作為半導體裝置的一例的主動矩陣型發光顯示裝置的情況下，因為至少在一個像素中配置多個薄膜電晶體，因此最好配置多個掃描線驅動電路。圖 14B 示出主動矩陣型發光顯示裝置的方塊圖的一例。

圖 14B 所示的發光顯示裝置在基板 5400 上包括：具有多個具備顯示元件的像素的像素部 5401；選擇各像素的第一掃描線驅動電路 5402 及第二掃描線驅動電路 5404；控制對被選擇的像素的視頻信號輸入的信號線驅動電路 5403。

在輸入到圖 14B 所示的發光顯示裝置的像素的視頻信號為數位方式的情況下，藉由切換電晶體的導通和截止，像素呈現發光或非發光的狀態。因此，可以採用面積灰階法或時間灰階法進行灰階的顯示。面積灰階法是藉由將一個像素分割為多個子像素並根據視頻信號獨立地驅動各子像素來進行灰階顯示的驅動方法。此外，時間灰階法是藉由控制像素發光的時間來進行灰階顯示的驅動方法。

因為發光元件的回應速度比液晶元件等的回應速度快，所以發光元件比液晶元件更適合時間灰階法。明確而言，在採用時間灰階法進行顯示的情況下，將一框期間分

割為多個子框期間。然後，根據視頻信號，在各子框期間中使像素的發光元件處於發光或非發光的狀態。藉由分割為多個子框期間，可以藉由視頻信號控制在一框期間中像素實際上發光的時間的總長度，可以進行灰階顯示。

另外，圖14B所示的發光顯示裝置示出如下例子：即當在一個像素中配置兩個開關TFT時，使用第一掃描線驅動電路5402生成輸入到一者的開關TFT的作為閘極佈線的第一掃描線的信號，使用第二掃描線驅動電路5404生成輸入到另一者的開關TFT的作為閘極佈線的第二掃描線的信號，但是，也可以使用一個掃描線驅動電路生成輸入到第一掃描線的信號和輸入到第二掃描線的信號。此外，例如也可以根據一個像素所具有的開關TFT的數量在各像素中設置多個用來控制切換元件的工作的掃描線。在此情況下，既可以使用一個掃描線驅動電路生成輸入到多個掃描線的所有信號，又可以使用多個掃描線驅動電路生成輸入到多個掃描線的信號。

此外，在發光顯示裝置中，也可以將驅動電路中能夠由n通道型TFT構成的驅動電路的一部分形成在與像素部的薄膜電晶體同一基板上。另外，也可以僅使用實施例1至實施例4所示的n通道型TFT來製造信號線驅動電路及掃描線驅動電路。

藉由上述製程，可以製造作為半導體裝置的可靠性高的顯示裝置。

另外，本實施例可以與其他實施例所示的構成適當地

組合而實施。

[實施例6]

藉由製造薄膜電晶體並將該薄膜電晶體用於像素部及驅動電路，可以製造具有顯示功能的半導體裝置（也稱為顯示裝置）。此外，可以使用薄膜電晶體在與像素部同一基板上一體地形成驅動電路的一部分或整體，而形成系統型面板（system-on-panel）。

顯示裝置包括顯示元件。作為顯示元件，可以使用液晶元件（也稱為液晶顯示元件）、發光元件（也稱為發光顯示元件）。在發光元件的範疇內包括利用電流或電壓控制亮度的元件，明確而言，包括無機EL（Electro Luminescence；電致發光）元件、有機EL元件等。此外，也可以使用電子墨水等的其對比度因電作用而變化的顯示媒體。

此外，顯示裝置包括密封有顯示元件的面板和在該面板中安裝有包括控制器的IC等的模組。再者，本發明的一個方式關於相當於製造該顯示裝置的過程中的顯示元件完成之前的一個方式的元件基板，並且該元件基板在多個各像素中分別具備用來將電流供給到顯示元件的單元。明確而言，元件基板既可以處於只形成有顯示元件的像素電極的狀態，又可以處於形成成為像素電極的導電膜之後且藉由蝕刻形成像素電極之前的狀態，可以是任意的狀態。

注意，本說明書中的顯示裝置是指影像顯示裝置、顯

示裝置或光源（包括照明裝置）。另外，顯示裝置還包括：安裝有連接器諸如FPC（Flexible Printed Circuit：撓性印刷電路）、TAB（Tape Automated Bonding：載帶自動接合）帶或TCP（Tape Carrier Package：載帶封裝）的模組；在TAB帶或TCP的端部上設置有印刷線路板的模組；藉由COG（Chip On Glass：玻璃上晶片）方式將IC（積體電路）直接安裝到設置在顯示元件上的基板上的模組。

參照圖10A1、10A2以及10B說明相當於半導體裝置的一個方式的液晶顯示面板的外觀及截面。圖10A1、10A2是一種面板的平面圖，其中利用密封材料4005將包括形成在第一基板4001上的實施例4所示的氧化物半導體層的可靠性高的薄膜電晶體4010、4011及液晶元件4013密封在第一基板4001和第二基板4006之間。圖10B相當於沿著圖10A1、10A2的M-N的截面圖。

以圍繞設置在第一基板4001上的像素部4002和掃描線驅動電路4004的方式設置有密封材料4005。此外，在像素部4002和掃描線驅動電路4004上設置有第二基板4006。因此，像素部4002和掃描線驅動電路4004與液晶層4008一起由第一基板4001、密封材料4005和第二基板4006密封。此外，在第一基板4001上的與由密封材料4005圍繞的區域不同的區域中安裝有信號線驅動電路4003，該信號線驅動電路4003使用單晶半導體膜或多晶半導體膜形成在另行準備的基板上。

注意，對於另行形成的驅動電路的連接方法沒有特別的限制，而可以採用COG方法、引線接合方法或TAB方法等。圖10A1是藉由COG方法安裝信號線驅動電路4003的例子，而圖10A2是藉由TAB方法安裝信號線驅動電路4003的例子。

此外，設置在第一基板4001上的像素部4002和掃描線驅動電路4004包括多個薄膜電晶體。在圖10B中例示像素部4002所包括的薄膜電晶體4010和掃描線驅動電路4004所包括的薄膜電晶體4011。在薄膜電晶體4010、4011上設置有絕緣層4020、4021。

可以將實施例4所示的包括氧化物半導體層的可靠性高的薄膜電晶體用於薄膜電晶體4010、4011。此外，也可以使用實施例1至實施例3所示的薄膜電晶體。在本實施例中，薄膜電晶體4010、4011是n通道型薄膜電晶體。

此外，液晶元件4013所具有的像素電極層4030與薄膜電晶體4010電連接。而且，液晶元件4013的對置電極層4031形成在第二基板4006上。像素電極層4030、對置電極層4031和液晶層4008重疊的部分相當於液晶元件4013。注意，像素電極層4030、對置電極層4031分別設置有用作取向膜的絕緣層4032、4033，並隔著絕緣層4032、4033夾有液晶層4008。

另外，作為第一基板4001、第二基板4006，可以使用玻璃、金屬（典型的是不鏽鋼）、陶瓷、塑膠。作為塑膠，可以使用FRP（Fiberglass-Reinforced Plastics；纖維

增強塑膠)板、PVF(聚氟乙烯)薄膜、聚酯薄膜或丙烯酸樹脂薄膜。此外，還可以使用具有將鋁箔夾在PVF薄膜或聚酯薄膜之間的結構的薄片。

此外，附圖標記4035表示藉由對絕緣膜選擇性地進行蝕刻而得到的柱狀間隔物，並且它是為控制像素電極層4030和對置電極層4031之間的距離(盒間隙(cell gap))而設置的。另外，還可以使用球狀間隔物。另外，對置電極層4031電連接到設置在與薄膜電晶體4010同一基板上的公共電位線。可以使用公共連接部並藉由配置在一對基板之間的導電粒子電連接對置電極層4031和公共電位線。此外，將導電粒子包含在密封材料4005中。

另外，還可以使用不使用取向膜的呈現藍相的液晶。藍相是液晶相的一種，是指當使膽固醇相液晶的溫度上升時即將從膽固醇相轉變到均質相之前出現的相。由於藍相只出現在較窄的溫度範圍內，所以為了改善溫度範圍而將混合有5 wt%或更高的手性試劑的液晶組成物用於液晶層4008。由於包含呈現藍相的液晶和手性試劑的液晶組成物的回應速度短，即為1 msec或更低，並且其具有光學各向同性，所以不需要取向處理，從而視角依賴性低。

另外，除了可以應用於透射型液晶顯示裝置之外，還可以應用於反射型液晶顯示裝置或半透射型液晶顯示裝置。

另外，雖然示出在液晶顯示裝置中在基板的外側(可見一側)設置偏光板，並在內側依次設置著色層、用於顯

示元件的電極層的例子，但是也可以在基板的內側設置偏光板。另外，偏光板和著色層的疊層結構也不侷限於本實施例的結構，根據偏光板和著色層的材料或製造製程條件適當地設定偏光板和著色層的疊層結構即可。另外，還可以設置用作黑矩陣（black matrix）的遮光膜。

在薄膜電晶體4010、4011中，接觸於包括通道形成區的半導體層地形成有絕緣層4020作為保護絕緣膜。絕緣層4020使用實施例1所示的與氧化物絕緣膜407相同的材料及方法形成，即可。另外，採用使用用作平坦化絕緣膜的絕緣層4021進行覆蓋的結構，以便減少表面凹凸。

在此，形成疊層結構的絕緣層4020作為保護膜。在此，利用濺射法形成氧化矽膜作為絕緣層4020的第一層。當作為保護膜使用氧化矽膜時，有防止用作源極電極層及汲極電極層的鋁膜的小丘的效果。

另外，形成絕緣層作為保護膜的第二層。在此，利用濺射法形成氮化矽膜作為絕緣層4020的第二層。當使用氮化矽膜作為保護膜時，可以抑制鈉等的可動離子侵入到半導體區域中而使TFT的電特性變化。

另外，也可以在形成保護膜之後在氮氛圍下或在大氣氛圍下進行加熱處理（300℃或更低）。

另外，形成絕緣層4021作為平坦化絕緣膜。作為絕緣層4021，可以使用具有耐熱性的有機材料如聚醯亞胺、丙烯酸樹脂、苯並環丁烯、聚醯胺、環氧樹脂等。另外，除了上述有機材料之外，還可以使用低介電常數材料（low-

k材料)、矽氧烷類樹脂、PSG(磷矽玻璃)、BPSG(硼磷矽玻璃)等。另外,也可以藉由層疊多個由這些材料形成的絕緣膜來形成絕緣層4021。

另外,矽氧烷類樹脂相當於以矽氧烷類材料為起始材料而形成的包含Si-O-Si鍵的樹脂。作為矽氧烷類樹脂的取代基,也可以使用有機基(例如烷基、芳基)、氟基團。另外,有機基也可以具有氟基團。

對絕緣層4021的形成方法沒有特別的限制,可以根據其材料利用濺射法、SOG法、旋塗、浸漬、噴塗、液滴噴射法(噴墨法、絲網印刷、膠版印刷等)等的方法、刮片、輥塗機、幕塗機、刮刀塗佈機等。藉由兼作絕緣層4021的焙燒製程和對半導體層的退火,可以有效地製造半導體裝置。

作為像素電極層4030、對置電極層4031,可以使用具有透光性的導電材料諸如包含氧化鎢的氧化銦、包含氧化鎢的氧化銦鋅、包含氧化鈦的氧化銦、包含氧化鈦的氧化銦錫、氧化銦錫(下面表示為ITO)、氧化銦鋅、添加有氧化矽的氧化銦錫等。

此外,可以使用包含導電高分子(也稱為導電聚合物)的導電組成物形成像素電極層4030、對置電極層4031。使用導電組成物形成的像素電極的薄層電阻最好為 $10000\Omega/\square$ (ohm per square)或更低,並且其波長為550nm時的透光率最好為70%或更高。另外,導電組成物所包含的導電聚合物的電阻率最好為 $0.1\Omega\cdot\text{cm}$ 或更低。

作為導電聚合物，可以使用所謂的 π 電子共軛類導電聚合物。例如，可以舉出聚苯胺或其衍生物、聚吡咯或其衍生物、聚噻吩或其衍生物、或者上述材料中的兩種以上的共聚物等。

另外，供給到另行形成的信號線驅動電路4003、掃描線驅動電路4004或像素部4002的各種信號及電位是從FPC 4018供給的。

連接端子電極4015由與液晶元件4013所具有的像素電極層4030相同的導電膜形成，並且端子電極4016由與薄膜電晶體4010、4011的源極電極層及汲極電極層相同的導電膜形成。

連接端子電極4015藉由各向異性導電膜4019電連接到FPC 4018所具有的端子。

此外，雖然在圖10A1、10A2以及10B中示出另行形成信號線驅動電路4003並將它安裝在第一基板4001上的例子，但是不侷限於該結構。既可以另行形成掃描線驅動電路而安裝，又可以另行僅形成信號線驅動電路的一部分或掃描線驅動電路的一部分而安裝。

圖20示出使用藉由本說明書所揭露的製造方法製造的TFT基板來構成液晶顯示模組作為半導體裝置的一例。

圖20是液晶顯示模組的一例，利用密封材料2602固定基板2600和對置基板2601，並在其間設置包括TFT等的像素部2603、包括液晶層的顯示元件2604、著色層2605來形成顯示區。在進行彩色顯示時需要著色層2605，並且當採

用RGB方式時，對應於各像素地設置有分別對應於紅色、綠色、藍色的各顏色的著色層。在基板2600和對置基板2601的外側配置有偏光板2606、偏光板2607、擴散板2613。光源由冷陰極管2610和反射板2611構成，電路基板2612利用撓性線路板2609與基板2600的佈線電路部2608連接，並且其中組裝有控制電路及電源電路等的外部電路。此外，也可以以在偏光板和液晶層之間具有相位差板的狀態層疊。

作為液晶顯示模組，可以採用TN（扭曲向列；Twisted Nematic）模式、IPS（平面內轉換；In-Plane-Switching）模式、FFS（邊緣電場轉換；Fringe Field Switching）模式、MVA（多疇垂直取向；Multi-domain Vertical Alignment）模式、PVA（垂直取向構型；Patterned Vertical Alignment）模式、ASM（軸對稱排列微胞；Axially Symmetric Aligned Micro-cell）模式、OCB（光學補償彎曲；Optical Compensated Birefringence）模式、FLC（鐵電性液晶；Ferroelectric Liquid Crystal）模式、AFLC（反鐵電性液晶；AntiFerroelectric Liquid Crystal）模式等。

藉由上述製程，可以製造作為半導體裝置的可靠性高的液晶顯示面板。

本實施例可以與其他實施例所記載的結構適當地組合而實施。

[實施例7]

作為半導體裝置，示出電子紙的例子。

也可以將半導體裝置用於電子紙。電子紙也稱為電泳顯示裝置（電泳顯示器），並具有如下優點：與紙相同的易讀性；耗電量比其他的顯示裝置小；可以形成為薄且輕的形狀。

電泳顯示器有各種方式。在電泳顯示器中，有如下電泳顯示器，即在溶劑或溶質中分散有多個包含具有正電荷的第一粒子和具有負電荷的第二粒子的微囊，並且藉由對微囊施加電場來使微囊中的粒子向彼此相反的方向移動，以僅顯示集合在一側的粒子的顏色。另外，第一粒子和/或第二粒子包含染料，並且在沒有電場時不移動。此外，第一粒子和第二粒子的顏色不同（包含無色）。

像這樣，電泳顯示器是利用所謂的介電電泳效應的顯示器，在該介電電泳效應中，介電常數高的物質移動到高電場區。電泳顯示器不需要液晶顯示裝置所需的偏光板。

在溶劑中分散有上述微囊的溶液稱為電子墨水，該電子墨水可以印刷到玻璃、塑膠、布、紙等的表面上。另外，還可以藉由使用彩色濾光片或具有色素的粒子來進行彩色顯示。

此外，藉由在主動矩陣基板上適當地設置多個上述微囊以使微囊夾在兩個電極之間，而完成主動矩陣型顯示裝置，並且藉由對微囊施加電場可以進行顯示。例如，可以使用根據實施例1至實施例4的薄膜電晶體而得到的主動矩

陣基板。

此外，作為微囊中的第一粒子及第二粒子，使用選自導電材料、絕緣材料、半導體材料、磁性材料、液晶材料、鐵電性材料、電致發光材料、電致變色材料、磁泳材料中的其中之一者或這些材料的組合材料即可。

在圖9中，作為半導體裝置的例子示出主動矩陣型電子紙。用於半導體裝置的薄膜電晶體581可以與實施例1所示的薄膜電晶體同樣地製造，並且該薄膜電晶體581是包括氧化物半導體層的可靠性高的薄膜電晶體。此外，也可以將實施例2至實施例4所示的薄膜電晶體用於本實施例的薄膜電晶體581。

圖9的電子紙是採用旋轉球顯示（twisting ball display）方式的顯示裝置的例子。旋轉球顯示方式是指一種方法，其中將分別著色為白色和黑色的球形粒子配置在用於顯示元件的電極層的第一電極層及第二電極層之間，並在第一電極層和第二電極層之間產生電位差來控制球形粒子的方向，以進行顯示。

密封在基板580和基板596之間的薄膜電晶體581是底柵結構的薄膜電晶體，並且由與半導體層接觸的絕緣膜583覆蓋。薄膜電晶體581的源極電極層或汲極電極層在形成於絕緣膜583以及絕緣層585中的開口中接觸於第一電極層587並與其電連接。在第一電極層587和第二電極層588之間設置有球形粒子589，該球形粒子589具有黑色區590a、白色區590b，並且黑色區590a、白色區590b的周圍

包括充滿了液體的空洞594，並且球形粒子589的周圍充滿有樹脂等的填料595（參照圖9）。第一電極層587相當於像素電極，第二電極層588相當於公共電極。第二電極層588電連接到設置在與薄膜電晶體581同一基板上的公共電位線。可以使用公共連接部來藉由配置在基板580和基板596之間的導電粒子電連接第二電極層588和公共電位線。

此外，還可以使用電泳元件代替旋轉球。使用直徑為大約 $10\mu\text{m}$ 至 $200\mu\text{m}$ 的微囊，該微囊中封入有透明液體、帶正電的白色微粒和帶負電的黑色微粒。在設置在第一電極層和第二電極層之間的微囊中，當由第一電極層和第二電極層施加電場時，白色微粒和黑色微粒向相反方向移動，從而可以顯示白色或黑色。應用該原理的顯示元件就是電泳顯示元件，一般地稱為電子紙。電泳顯示元件具有比液晶顯示元件高的反射率，因而不需要輔助燈。此外，耗電量低，並且在昏暗的地方也能夠辨認顯示部。另外，即使不向顯示部供應電源，也能夠保持顯示過一次的影像。因此，即使具有顯示功能的半導體裝置（簡單地稱為顯示裝置，或稱為具備顯示裝置的半導體裝置）從電波發射源離開，也能夠保存顯示過的影像。

藉由上述製程，可以製造作為半導體裝置的可靠性高的電子紙。

本實施例可以與其他實施例所記載的結構適當地組合而實施。

[實施例 8]

作為半導體裝置，示出發光顯示裝置的例子。在此，示出利用電致發光的發光元件作為顯示裝置所具有的顯示元件。根據其發光材料是有機化合物還是無機化合物對利用電致發光的發光元件進行區別，一般前者稱為有機EL元件，而後者稱為無機EL元件。

在有機EL元件中，藉由對發光元件施加電壓，電子和電洞從一對電極分別植入到包含發光有機化合物的層，以電流流過。而且，藉由這些載子（電子和電洞）重新結合，發光有機化合物形成激發態，並且當該激發態恢復到基態時獲得發光。根據該機理，這種發光元件稱為電流激發型的發光元件。

無機EL元件根據其元件結構分類為分散型無機EL元件和薄膜型無機EL元件。分散型無機EL元件包括在黏合劑中分散有發光材料的粒子的發光層，並且其發光機理是利用施主能級和受主能級的施主-受主重新結合型發光。薄膜型無機EL元件具有利用電介質層夾持發光層並還利用電極夾持該夾有發光層的電介質層的結構，並且其發光機理是利用金屬離子的內層電子躍遷的定域型發光。另外，在此，使用有機EL元件作為發光元件而進行說明。

圖12是示出可以使用數位時間灰階級驅動的像素結構的一例作為半導體裝置的例子的圖。

說明可以使用數位時間灰階級驅動的像素的結構以及像素的工作。在此示出在一個像素中使用兩個n通道型電

晶體的例子，在該n通道型電晶體中將氧化物半導體層用於通道形成區。

像素6400包括開關電晶體6401、驅動電晶體6402、發光元件6404以及電容元件6403。在開關電晶體6401中，閘極與掃描線6406連接，第一電極（源極電極和汲極電極中的一者）與信號線6405連接，並且第二電極（源極電極和汲極電極中的另一者）與驅動電晶體6402的閘極連接。在驅動電晶體6402中，閘極藉由電容元件6403與電源線6407連接，第一電極與電源線6407連接，第二電極與發光元件6404的第一電極（像素電極）連接。發光元件6404的第二電極相當於共同電極6408。共同電極6408與形成在同一基板上的共同電位線電連接。

另外，將發光元件6404的第二電極（共同電極6408）設定為低電源電位。另外，低電源電位是指以電源線6407所設定的高電源電位為基準滿足低電源電位<高電源電位的電位，作為低電源電位例如可以設定為GND、0V等。將該高電源電位與低電源電位的電位差施加到發光元件6404上，為了使電流流過發光元件6404以使發光元件6404發光，以使高電源電位與低電源電位的電位差成為發光元件6404的正向臨界值電壓以上的方式分別設定其電位。

另外，還可以使用驅動電晶體6402的閘極電容代替電容元件6403而省略電容元件6403。至於驅動電晶體6402的閘極電容，也可以在通道區與閘極電極之間形成有電容。

在此，當採用電壓輸入電壓驅動方式時，對驅動電晶

體 6402 的閘極輸入能夠使驅動電晶體 6402 充分處於導通或截止的兩個狀態的視頻信號。即，使驅動電晶體 6402 在線形區域中工作。由於使驅動電晶體 6402 在線形區域中工作，所以將比電源線 6407 的電壓高的電壓施加到驅動電晶體 6402 的閘極。另外，對信號線 6405 施加（電源線電壓 + 驅動電晶體 6402 的 V_{th} ）以上的電壓。

另外，當進行模擬灰階級驅動而代替數位時間灰階級驅動時，藉由使信號的輸入不同，可以使用與圖 12 相同的像素結構。

當進行模擬灰階級驅動時，對驅動電晶體 6402 的閘極施加（發光元件 6404 的正向電壓 + 驅動電晶體 6402 的 V_{th} ）以上的電壓。發光元件 6404 的正向電壓是指設定為所希望的亮度時的電壓，至少包括正向臨界值電壓。另外，藉由輸入使驅動電晶體 6402 在飽和區域中工作的視頻信號，可以使電流流過發光元件 6404。為了使驅動電晶體 6402 在飽和區域中工作，將電源線 6407 的電位設定得高於驅動電晶體 6402 的閘極電位。藉由將視頻信號設定為模擬方式，可以使與視頻信號對應的電流流過發光元件 6404，而進行模擬灰階級驅動。

此外，圖 12 所示的像素結構不侷限於此。例如，也可以還對圖 12 所示的像素追加開關、電阻元件、電容元件、電晶體或邏輯電路等。

接著，參照圖 13A 至 13C 說明發光元件的結構。在此，以驅動 TFT 是 n 型的情況為例子來說明像素的截面結

構。用於圖 13A、13B 和 13C 的半導體裝置的驅動 TFT7001、7011、7021 可以與實施例 1 所示的薄膜電晶體同樣地製造，並且驅動 TFT7001、7011、7021 是包括氧化物半導體層的可靠性高的薄膜電晶體。此外，也可以將實施例 2 至實施例 4 所示的薄膜電晶體用作 TFT7001、7011、7021。

爲了取出發光，發光元件的陽極或陰極的至少一者是透明的即可。而且，在基板上形成薄膜電晶體及發光元件，並且發光元件有如下結構，即從與基板相反的面得到發光的頂部發射、從基板一側的面得到發光的底部發射以及從基板一側及與基板相反的面得到發光的雙面發射結構。像素結構可以應用於任何發射結構的發光元件。

使用圖 13A 說明頂部發射結構的發光元件。

在圖 13A 中示出當驅動 TFT7001 是 n 型，並且從發光元件 7002 發射的光穿過到陽極 7005 一側時的像素的截面圖。在圖 13A 中，發光元件 7002 的陰極 7003 與驅動 TFT7001 電連接，在陰極 7003 上按順序層疊有發光層 7004、陽極 7005。作爲陰極 7003，只要是功函數小且反射光的導電膜，就可以使用各種材料。例如，最好採用 Ca、Al、MgAg、AlLi 等。而且，發光層 7004 可以由單層或多個層的疊層構成。當發光層 7004 由多個層構成時，在陰極 7003 上按順序層疊電子植入層、電子傳輸層、發光層、電洞傳輸層、電洞植入層。注意，不需要設置上述的所有層。使用具有透過光的透光性的導電材料形成陽極 7005，也可以

使用具有透光性的導電膜，例如包含氧化鎢的氧化銦、包含氧化鎢的氧化銦鋅、包含氧化鈦的氧化銦、包含氧化鈦的氧化銦錫、氧化銦錫（下面，表示為ITO）、氧化銦鋅、添加有氧化矽的氧化銦錫等。

使用陰極7003及陽極7005夾有發光層7004的區域相當於發光元件7002。在圖13A所示的像素中，從發光元件7002發射的光如箭頭所示那樣發射到陽極7005一側。

接著，使用圖13B說明底部發射結構的發光元件。圖13B示出在驅動TFT7011是n型，並且從發光元件7012發射的光向陰極7013一側出射的情況下的像素的截面圖。在圖13B中，在與驅動TFT7011電連接的具有透光性的導電膜7017上形成有發光元件7012的陰極7013，並且在陰極7013上按順序層疊有發光層7014、陽極7015。另外，當陽極7015具有透光性時，也可以覆蓋陽極上地形成有用來反射光或進行遮光的遮罩膜7016。與圖13A的情況同樣地，作為陰極7013，只要是功函數小的導電材料，就可以使用各種材料。但是，將其厚度設定為透過光的程度（最好為大約5nm至30nm）。例如，也可以將膜厚度為20nm的鋁膜用作陰極7013。而且，與圖13A同樣地，發光層7014可以由單層或多個層的疊層構成。陽極7015不需要透過光，但是可以與圖13A同樣地使用具有透光性的導電材料形成。並且，雖然作為遮罩膜7016例如可以使用反射光的金屬等，但是不侷限於金屬膜。例如，也可以使用添加有黑色的顏料的樹脂等。

由陰極7013及陽極7015夾有發光層7014的區域相當於發光元件7012。在圖13B所示的像素中，從發光元件7012發射的光如箭頭所示那樣向陰極7013一側出射。

接著，使用圖13C說明雙面發射結構的發光元件。在圖13C中，在與驅動TFT7021電連接的具有透光性的導電膜7027上形成有發光元件7022的陰極7023，並且在陰極7023上按順序層疊有發光層7024、陽極7025。與圖13A的情況同樣地，作為陰極7023，只要是功函數小的導電材料，就可以使用各種材料。但是，將其膜厚度設定為透過光的程度。例如，可以將膜厚度為20nm的鋁膜用作陰極7023。而且，與圖13A同樣地，發光層7024可以由單層或多個層的疊層構成。陽極7025可以與圖13A同樣地使用具有透過光的透光性的導電材料形成。

陰極7023、發光層7024和陽極7025重疊的部分相當於發光元件7022。在圖13C所示的像素中，從發光元件7022發射的光如箭頭所示那樣向陽極7025一側和陰極7023一側這兩側出射。

注意，雖然在此描述了用作發光元件的有機EL元件，但是也可以設置無機EL元件作為發光元件。

注意，雖然在此示出了控制發光元件的驅動的薄膜電晶體（驅動TFT）與發光元件電連接的例子，但是也可以採用在驅動TFT和發光元件之間連接有電流控制TFT的結構。

注意，半導體裝置不侷限於圖13A至圖13C所示的結

構而可以根據本說明書所揭露的技術思想進行各種變形。

接著，參照圖 11A 和 11B 說明相當於半導體裝置的一個方式的發光顯示面板（也稱為發光面板）的外觀及截面。圖 11A 是一種面板的平面圖，其中利用密封材料在第一基板與第二基板之間密封形成在第一基板上的薄膜電晶體及發光元件。圖 11B 相當於沿著圖 11A 的 H-I 的截面圖。

以圍繞設置在第一基板 4501 上的像素部 4502、信號線驅動電路 4503a、4503b 及掃描線驅動電路 4504a、4504b 的方式設置有密封材料 4505。此外，在像素部 4502、信號線驅動電路 4503a、4503b 及掃描線驅動電路 4504a、4504b 上設置有第二基板 4506。因此，像素部 4502、信號線驅動電路 4503a、4503b、以及掃描線驅動電路 4504a、4504b 與填充料 4507 一起由第一基板 4501、密封材料 4505 和第二基板 4506 密封。像這樣，為了不使像素部暴露於空氣中，最好使用高氣密性且少漏氣的保護薄膜（貼合薄膜、紫外線固化樹脂薄膜等）、覆蓋材料進行封裝（密封）。

此外，設置在第一基板 4501 上的像素部 4502、信號線驅動電路 4503a、4503b 及掃描線驅動電路 4504a、4504b 包括多個薄膜電晶體。在圖 11B 中例示包括在像素部 4502 中的薄膜電晶體 4510 和包括在信號線驅動電路 4503a 中的薄膜電晶體 4509。

作為薄膜電晶體 4509、4510，可以使用實施例 3 所示的包括氧化物半導體層的高可靠性的薄膜電晶體。此外，也可以使用實施例 1、實施例 2 及實施例 4 所示的薄膜電晶

體。薄膜電晶體4509、4510是n通道型薄膜電晶體。

此外，附圖標記4511相當於發光元件，發光元件4511所具有的作為像素電極的第一電極層4517與薄膜電晶體4510的源極電極層或汲極電極層電連接。注意，雖然發光元件4511的結構是第一電極層4517、電場發光層4512、第二電極層4513的疊層結構，但是不侷限於所示出的結構。可以根據從發光元件4511得到的光的方向等適當地改變發光元件4511的結構。

使用有機樹脂膜、無機絕緣膜或有機聚矽氧烷形成分隔壁4520。特別較佳的是，使用感光材料，在第一電極層4517上形成開口部，以將該開口部的側壁形成為具有連續的曲率地形成的傾斜面。

電場發光層4512既可以由單層構成，又可以由多個層的疊層構成。

也可以在第二電極層4513及分隔壁4520上形成保護膜，以防止氧、氫、水分、二氧化碳等侵入到發光元件4511中。作為保護膜，可以形成氮化矽膜、氮氧化矽膜、DLC膜等。

另外，供給到信號線驅動電路4503a、4503b、掃描線驅動電路4504a、4504b、或像素部4502的各種信號及電位是從FPC 4518a、4518b供給的。

連接端子電極4515由與發光元件4511所具有的第一電極層4517相同的導電膜形成，並且端子電極4516由與薄膜電晶體4509、4510所具有的源極電極層及汲極電極層相同

的導電膜形成。

連接端子電極4515藉由各向異性導電膜4519電連接到FPC4518a所具有的端子。

位於從發光元件4511的光的取出方向上的第二基板4506需要具有透光性。在此情況下，使用如玻璃板、塑膠板、聚酯薄膜或丙烯酸樹脂薄膜等的具有透光性的材料。

此外，作為填充料4507，除了氮及氬等的惰性氣體之外，還可以使用紫外線固化樹脂或熱固化樹脂。可以使用PVC（聚氯乙烯）、丙烯酸樹脂、聚醯亞胺、環氧樹脂、矽酮樹脂、PVB（聚乙烯醇縮丁醛）、或EVA（乙烯-醋酸乙烯酯）。例如，作為填充料使用氮即可。

另外，若有需要，也可以在發光元件的出射面上適當地設置諸如偏光板、圓偏光板（包括橢圓偏光板）、相位差板（ $\lambda/4$ 片、 $\lambda/2$ 片）、彩色濾光片等的光學薄膜。另外，也可以在偏光板或圓偏光板上設置抗反射膜。例如，可以進行抗眩光處理，該處理是利用表面的凹凸來擴散反射光並降低眩光的處理。

信號線驅動電路4503a、4503b及掃描線驅動電路4504a、4504b也可以作為在另行準備的基板上由單晶半導體膜或多晶半導體膜形成的驅動電路安裝。此外，也可以另行僅形成信號線驅動電路或其一部分、或者掃描線驅動電路或其一部分而安裝。據此，不侷限於圖11A和11B的結構。

藉由上述製程，可以製造作為半導體裝置的可靠性高

的發光顯示面板（發光面板）。

本實施例可以與其他實施例所記載的結構適當地組合而實施。

[實施例9]

本說明書所揭露的半導體裝置可以用於電子紙。電子紙可以用於顯示資訊的所有領域的電子設備。例如，可以將電子紙用於電子書閱讀器、海報、電車等的交通工具的車廂廣告、信用卡等的各種卡片中的顯示等。圖22示出電子設備的一例。

另外，圖22示出電子書閱讀器2700的一例。例如，電子書閱讀器2700由兩個外殼，即外殼2701及外殼2703構成。外殼2701及外殼2703由軸部2711形成為一體，並且可以以該軸部2711為軸進行開閉動作。藉由該結構，可以進行如紙的書籍那樣的動作。

外殼2701組裝有顯示部2705，而外殼2703組裝有顯示部2707。顯示部2705及顯示部2707的結構既可以是顯示連螢幕畫面的結構，又可以是顯示不同的畫面的結構。藉由採用顯示不同的畫面的結構，例如可以在右邊的顯示部（圖22中的顯示部2705）中顯示文章，而在左邊的顯示部（圖22中的顯示部2707）中顯示影像。

此外，在圖22中示出外殼2701具備操作部等的例子。例如，在外殼2701中具備電源開關2721、操作鍵2723、揚聲器2725等。利用操作鍵2723可以翻頁。另外，也可以採

用在與外殼的顯示部同一面上具備鍵盤、定位裝置等的結構。另外，也可以採用在外殼的背面或側面具備外部連接端子（耳機端子、USB端子或可以與AC轉接器及USB電纜等各種電纜連接的端子等）、記錄媒體插入部等的結構。再者，電子書閱讀器2700也可以具有電子詞典的功能。

此外，電子書閱讀器2700也可以採用以無線方式收發資訊的結構。還可以採用以無線方式從電子書籍伺服器購買所希望的書籍資料等並下載的結構。

[實施例10]

本說明書所揭露的半導體裝置可以應用於各種電子設備（也包括遊戲機）。作為電子設備，例如可以舉出：電視裝置（也稱為電視或電視接收機）；用於電腦等的監視器；如數位相機、數位攝像機等影像拍攝裝置；數位相框、行動電話機（也稱為行動電話、行動電話裝置）；可攜式遊戲機；可攜式資訊終端；聲音再生裝置；彈珠機等大型遊戲機等。

圖23A示出電視裝置9600的一例。在電視裝置9600中，外殼9601組裝有顯示部9603。利用顯示部9603可以顯示影像。此外，在此示出利用支架9605支撐外殼9601的結構。

可以藉由利用外殼9601所具備的操作開關、另行提供的遙控器9610進行電視裝置9600的操作。藉由利用遙控器9610所具備的操作鍵9609，可以進行頻道及音量的操作，

並可以對在顯示部9603上顯示的影像進行操作。此外，也可以採用在遙控器9610中設置顯示從該遙控器9610輸出的資訊的顯示部9607的結構。

另外，電視裝置9600採用具備接收機及數據機等的結構。藉由利用接收機可以接收一般的電視廣播。再者，藉由數據機連接到有線或無線方式的通信網路，還可以進行單向（從發送者到接收者）或雙向（在發送者和接收者之間或在接收者之間等）的資訊通信。

圖23B示出數位相框9700的一例。例如，在數位相框9700中，外殼9701組裝有顯示部9703。顯示部9703可以顯示各種影像，例如藉由顯示使用數位相機等拍攝的影像資料，可以發揮與一般的相框同樣的功能。

另外，數位相框9700採用具備操作部、外部連接端子（USB端子、可以與USB電纜等的各種電纜連接的端子等）、記錄媒體插入部等的結構。這種結構也可以組裝到與顯示部相同面上，但是藉由將它設置在側面或背面上來提高設計性，所以是較佳的。例如，可以對數位相框9700的記錄媒體插入部插入儲存有由數位相機拍攝的影像資料的記憶體並提取影像資料，然後可以將所提取的影像資料顯示於顯示部9703。

此外，數位相框9700也可以採用以無線的方式收發資訊的結構。也可以採用以無線的方式提取所希望的影像資料並進行顯示的結構。

圖24A示出一種可攜式遊戲機，其由外殼9881和外殼

9891的兩個外殼構成，並且藉由連接部9893可以開閉地連接。外殼9881安裝有顯示部9882，並且外殼9891安裝有顯示部9883。另外，圖24A所示的可攜式遊戲機還具備揚聲器部9884、記錄媒體插入部9886、LED燈9890、輸入單元（操作鍵9885、連接端子9887、感測器9888（包括測定如下因素的功能：力量、位移、位置、速度、加速度、角速度、轉速、距離、光、液、磁、溫度、化學物質、聲音、時間、硬度、電場、電流、電壓、電力、輻射線、流量、濕度、傾斜度、振動、氣味或紅外線）以及麥克風9889）等。當然，可攜式遊戲機的結構不侷限於上述結構，只要採用至少具備本說明書所揭露的半導體裝置的結構即可，並且可以採用適當地設置有其他附屬設備的結構。圖24A所示的可攜式遊戲機具有如下功能：讀出儲存在記錄媒體中的程式或資料並將其顯示在顯示部上；以及藉由與其他可攜式遊戲機進行無線通信而實現資訊共用。另外，圖24A所示的可攜式遊戲機所具有的功能不侷限於此，而可以具有各種各樣的功能。

圖24B示出大型遊戲機的一種的投幣機9900的一例。在投幣機9900的外殼9901中安裝有顯示部9903。另外，投幣機9900還具備如起動手柄、停止開關等的操作單元、投幣口、揚聲器等。當然，投幣機9900的結構不侷限於此，只要採用至少具備本說明書所揭露的半導體裝置的結構即可。因此，可以採用適當地設置有其他附屬設備的結構。

圖25A是示出可攜式電腦的一例的透視圖。

圖 25A 所示的可攜式電腦中，當將連接上部外殼 9301 與下部外殼 9302 的鉸鏈裝置設置為關閉狀態時，可以使具有顯示部 9303 的上部外殼 9301 與具有鍵盤 9304 的下部外殼 9302 處於重疊狀態，而便於攜帶，並且，當使用者利用鍵盤進行輸入時，將鉸鏈裝置設置為打開狀態，而可以看著顯示部 9303 進行輸入操作。

另外，下部外殼 9302 除了鍵盤 9304 之外還包括進行輸入操作的定位裝置 9306。另外，當顯示部 9303 為觸控螢幕輸入面板時，可以藉由觸摸顯示部的一部分來進行輸入操作。另外，下部外殼 9302 還包括 CPU、硬碟等的模擬功能部。此外，下部外殼 9302 還具有其他的裝置，例如包括符合 USB 的通信標準的用來插入通信電纜的外部連接埠 9305。

在上部外殼 9301 中還具有藉由使其滑動到上部外殼 9301 內部而可以收納的顯示部 9307，因此可以實現寬顯示畫面。另外，使用者可以調節可以收納的顯示部 9307 的畫面的方向。另外，當可以收納的顯示部 9307 為觸控螢幕輸入面板時，藉由觸摸可以收納的顯示部的一部分來可以進行輸入操作。

顯示部 9303 或可以收納的顯示部 9307 使用如液晶顯示面板、有機發光元件或無機發光元件等的發光顯示面板等的影像顯示裝置。

另外，圖 25A 的可攜式電腦安裝有接收機等，而可以接收電視廣播並將影像顯示於顯示部。另外，使用者可以

在連接上部外殼9301與下部外殼9302的鉸鏈裝置處於關閉狀態的狀態下藉由滑動顯示部9307而使其整個面露出並調整畫面角度來觀看電視廣播。此時，不用將鉸鏈裝置設置為開啓狀態來使顯示部9303進行顯示，而僅啓動只顯示電視廣播的電路，所以可以將耗電量控制為最少，這對於電池容量有限的可攜式電腦而言是十分有利的。

另外，圖25B是示出像手錶一樣能夠戴在使用者的手臂上的行動電話的一例的透視圖。

該移動電話包括：至少包括具有電話功能的通信裝置和具有電池的主體；用來將主體戴在手臂上的帶部9204；調節帶部9204與手臂的固定狀態的調節部9205；顯示部9201；揚聲器9207；以及麥克風9208。

另外，主體具有操作開關9203，藉由使用操作開關9203，諸如電源輸入開關、顯示轉換開關、攝像開始指示開關、啓動網路的程式的開關等，可以對應各種功能。

藉由用手指或輸入筆等觸碰顯示部9201；操作操作開關9203；或者對麥克風9208輸入聲音來進行該移動電話的輸入操作。另外，在圖25B中，示出顯示在顯示部9201上的顯示鈕9202，藉由用手指等觸碰該顯示鈕9202來可以進行輸入。

另外，主體具有相機部9206，該相機部9206具有將藉由攝影透鏡成像的物體影像轉換為電子視頻信號的攝影單元。另外，也可以不特別設置相機部。

另外，圖25B所示的行動電話安裝有電視廣播的接收

機等，而可以接收電視廣播並將影像顯示於顯示部9201，並且其還具有記憶體等的儲存裝置等，而可以將電視廣播錄製到記憶體中。此外，圖25B所示的行動電話還可以具有收集GPS等的位置資訊的功能。

顯示部9201使用如液晶顯示面板、有機發光元件或無機發光元件等的發光顯示面板等的影像顯示裝置。由於圖25B所示的行動電話為小型且重量輕，所以其電池容量有限，從而最好將能夠使用低耗電量進行驅動的面板用作用於顯示部9201的顯示裝置。

另外，雖然在圖25B中示出戴在“手臂”上的方式的電子裝置，但是不侷限於此，只要具有能夠攜帶的形狀即可。

範例1

在此，使用圖21和圖34說明對如下變化進行模擬的結果，該變化是：具有低氧密度區域及高氧密度區域的氧化物半導體層中的氧密度的加熱處理前後的變化。在此，作為模擬軟體，使用富士通株式會社製造的Materials Explorer 5.0。

圖34示出用於模擬的氧化物半導體層的模型。在此，氧化物半導體層701採用層疊有低氧密度層703以及高氧密度層705的結構。

在此，低氧密度層703採用由15個In原子、15個Ga原子、15個Zn原子以及54個O原子構成的非晶結構。

另外，高氧密度層705採用由15個In原子、15個Ga原子、15個Zn原子以及66個O原子構成的非晶結構。

另外，將氧化物半導體層701的密度設定為 5.9g/cm^3 。

接著，以NVT系綜且 250°C 的溫度對氧化物半導體層701進行經典MD（分子動力學）模擬。以時間步長為 0.2fs ，將總模擬時間設定為 200ps 。另外，金屬-氧鍵及氧-氧鍵的勢使用Born-Mayer-Huggins型勢。另外，固定氧化物半導體層701的上端及下端的原子的動作。

接著，圖21示出模擬結果。z軸座標的 0nm 至 1.15nm 是低氧密度層703，而z軸座標的 1.15nm 至 2.3nm 是高氧密度層705。實線707表示MD模擬之前的氧的密度分佈，而虛線709表示MD模擬之後的氧的密度分佈。

根據實線707，在氧化物半導體層701中，高氧密度層705一側中的氧密度與低氧密度層703和高氧密度層705的介面相比更高。另一方面，根據虛線709可知：低氧密度層703中的氧密度與高氧密度層705中的氧密度均勻。

據此，可知：當如低氧密度層703與高氧密度層705的疊層狀態那樣具有氧密度分佈的偏差時，藉由加熱處理氧從高氧密度區擴散到低氧密度區，以氧密度均勻。

換言之，如實施例1所示那樣，藉由在第一氧化物半導體層432上形成氧化物絕緣膜407，第一氧化物半導體層432與氧化物半導體膜407的介面的氧密度提高，從而該氧擴散到第一氧化物半導體層432的低氧密度區一側，以實現第一氧化物半導體層的高電阻化。據此，可以提高薄膜

電晶體的可靠性。

本申請案基於2009年6月30日在日本專利局受理的日本專利申請序列號2009-156411而製作，所述申請內容包括在本說明書中。

【符號說明】

- 100：基板
- 101：閘極電極層
- 102：閘極絕緣層
- 103：半導體層
- 107：保護絕緣層
- 108：電容佈線
- 110：像素電極層
- 121：端子
- 122：端子
- 125：接觸孔
- 126：接觸孔
- 127：接觸孔
- 128：透明導電膜
- 129：透明導電膜
- 131：氧化物半導體膜
- 132：導電膜
- 133：氧化物半導體膜
- 134：氧化物半導體層

- 135：氧化物半導體層
- 136：氧化物半導體膜
- 137：氧化物半導體膜
- 138：氧化物半導體層
- 150：端子
- 151：端子
- 152：端子
- 153：連接電極層
- 154：保護絕緣膜
- 155：透明導電膜
- 156：電極層
- 170：薄膜電晶體
- 400：基板
- 401：閘極電極層
- 402：閘極絕緣層
- 403：半導體層
- 407：氧化物絕緣膜
- 408：導電層
- 409：導電層
- 410：絕緣層
- 411：像素電極層
- 430：氧化物半導體膜
- 431：氧化物半導體層
- 432：氧化物半導體層

433：氧化物半導體膜
 434：氧化物半導體膜
 435：氧化物半導體膜
 436：氧化物半導體層
 470：薄膜電晶體
 471：薄膜電晶體
 472：薄膜電晶體
 580：基板
 581：薄膜電晶體
 583：絕緣膜
 585：絕緣層
 587：電極層
 588：電極層
 589：球形粒子
 594：空洞
 595：填料
 596：基板
 601：電爐
 602：處理室
 603：加熱器
 604：基板
 605：基座
 606：氣體供給單元
 607：排氣單元

- 611：氣體供給源
- 612：壓力調節閥
- 613：精製器
- 614：質量流量控制器
- 615：停止閥
- 703：低氧密度層
- 705：高氧密度層
- 707：實線
- 709：虛線
- 104a：源極區或汲極區
- 104b：源極區或汲極區
- 105a：源極電極層或汲極電極層
- 105b：源極電極層或汲極電極層
- 2600：固定基板
- 2601：對置基板
- 2602：密封材料
- 2603：像素部
- 2604：顯示元件
- 2605：著色層
- 2606：偏光板
- 2607：偏光板
- 2608：佈線電路部
- 2609：撓性線路板
- 2610：冷陰極管

2611：反射板
 2612：電路基板
 2613：擴散板
 2700：電子書閱讀器
 2701：外殼
 2703：外殼
 2705：顯示部
 2707：顯示部
 2711：軸部
 2721：電源開關
 2723：操作鍵
 2725：揚聲器
 4001：基板
 4002：像素部
 4003：信號驅動電路
 4004：信號驅動電路
 4005：密封材料
 4006：基板
 4008：液晶層
 4010：薄膜電晶體
 4011：薄膜電晶體
 4013：液晶元件
 4015：連接端子電極
 4016：端子電極

- 4018 : FPC
- 4019 : 各向異性導電膜
- 4020 : 絕緣層
- 4021 : 絕緣層
- 4030 : 像素電極層
- 4031 : 對置電極層
- 4032 : 絕緣層
- 4033 : 絕緣層
- 404a : 源極區或汲極區
- 404b : 源極區或汲極區
- 405a : 源極電極層或汲極電極層
- 405b : 源極電極層或汲極電極層
- 4501 : 基板
- 4502 : 像素部
- 4505 : 密封材料
- 4506 : 基板
- 4507 : 填料
- 4509 : 薄膜電晶體
- 4510 : 薄膜電晶體
- 4511 : 發光元件
- 4512 : 電場發光層
- 4513 : 電極層
- 4515 : 連接端子電極
- 4516 : 端子電極

4517：電極層
4519：各向異性導電膜
4520：分隔壁
5300：基板
5301：像素部
5302：掃描線驅動電路
5303：信號線驅動電路
5400：基板
5401：像素部
5402：掃描線驅動電路
5403：信號線驅動電路
5404：掃描線驅動電路
5543：節點
5544：節點
5571：薄膜電晶體
5472：薄膜電晶體
5573：薄膜電晶體
5474：薄膜電晶體
5575：薄膜電晶體
5476：薄膜電晶體
5577：薄膜電晶體
5478：薄膜電晶體
5601：驅動器IC
5602：開關組

5611 : 佈線
5612 : 佈線
5613 : 佈線
5621 : 佈線
5701 : 正反器
5711 : 佈線
5712 : 佈線
5713 : 佈線
5714 : 佈線
5715 : 佈線
5716 : 佈線
5717 : 佈線
5721 : 佈線
5821 : 信號
590a : 黑色區
590b : 白色區
6400 : 像素
6401 : 開關電晶體
6402 : 驅動電晶體
6403 : 電容元件
6404 : 發光元件
6405 : 信號線
6406 : 掃描線
6407 : 電源線

6408 : 共同電極
7001 : TFT
7002 : 發光元件
7003 : 陰極
7004 : 發光層
7005 : 陽極
7011 : TFT
7012 : 發光元件
7013 : 陰極
7014 : 發光層
7015 : 陽極
7016 : 遮罩膜
7017 : 導電膜
7021 : TFT
7022 : 發光元件
7023 : 陰極
7024 : 發光層
7025 : 陽極
7027 : 導電膜
9201 : 顯示部
9202 : 顯示鈕
9203 : 操作開關
9204 : 調節帶部
9205 : 調節部

9206：相機部
9207：揚聲器
9208：麥克風
9301：外殼
9302：外殼
9303：顯示部
9304：鍵盤
9305：外部連接埠
9306：定位裝置
9307：顯示部
9600：電視裝置
9601：外殼
9603：顯示部
9605：支架
9607：顯示部
9609：操作鍵
9610：遙控器
9700：數位相框
9701：外殼
9703：顯示部
9881：外殼
9882：顯示部
9883：顯示部
9884：揚聲器部

9885：操作鍵
9886：記錄媒體插入部
9887：連接端子
9888：感測器
9889：麥克風
9890：LED燈
9891：外殼
9893：連接部
9900：投幣機
9903：顯示部
4503a：信號線驅動電路
4503b：信號線驅動電路
4504a：掃描線驅動電路
4504b：掃描線驅動電路
4518a：FPC
4518b：FPC
5603a：薄膜電晶體
5603b：薄膜電晶體
5703a：時序
5703b：時序
5803a：時序
5803b：時序
5803c：時序

發明摘要

公告本

【發明名稱】(中文/英文)

半導體裝置之製造方法

Method for manufacturing semiconductor device

【中文】

本發明的目的之一是提供一種包括具有穩定的電特性的薄膜電晶體的高可靠性的半導體裝置。另外，本發明的目的之一是以低成本且以高良率提供一種高可靠性的半導體裝置。說明一種半導體裝置的製造方法，該半導體裝置包括薄膜電晶體，在該薄膜電晶體中作為包括通道形成區的半導體層、源極區及汲極區使用氧化物半導體層。在上述半導體裝置的製造方法中，提高氧化物半導體層的純度並進行減少作為雜質的水分等的加熱處理（用於脫水化或脫氫化的加熱處理）。

【 英文 】

It is an object to provide a highly reliable semiconductor device which includes a thin film transistor having stable electric characteristics. It is another object to manufacture a highly reliable semiconductor device at lower cost with high productivity. In a method for manufacturing a semiconductor device which includes a thin film transistor where a semiconductor layer including a channel formation region using an oxide semiconductor layer, a source region, and a drain region are formed using an oxide semiconductor layer, heat treatment for reducing impurities such as moisture (heat treatment for dehydration or dehydrogenation) is performed so as to improve the purity of the oxide semiconductor layer.

【代表圖】

【本案指定代表圖】：第(2B)圖。

【本代表圖之符號簡單說明】：

403：半導體層

407：氧化物絕緣膜

470：薄膜電晶體

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：無

圖 式

圖 1A

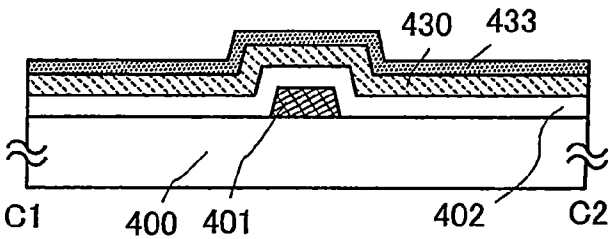


圖 1B

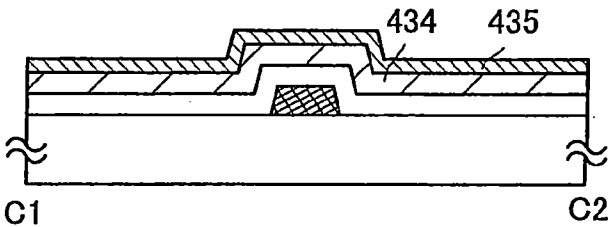


圖 1C

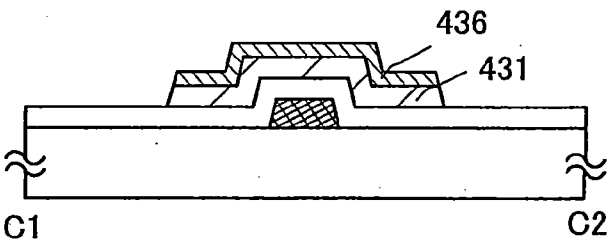


圖 2A

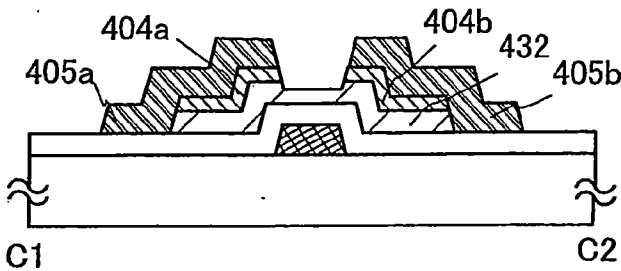


圖 2B

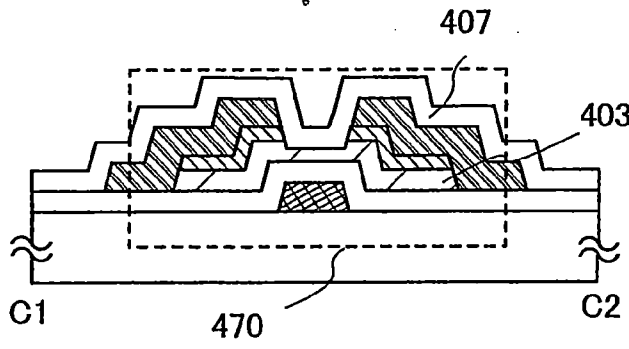


圖 3A

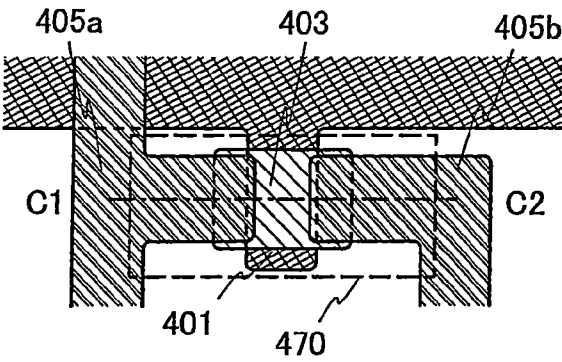


圖 3B

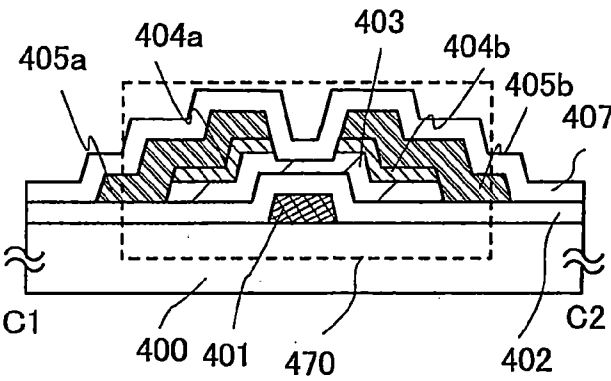


圖 4A

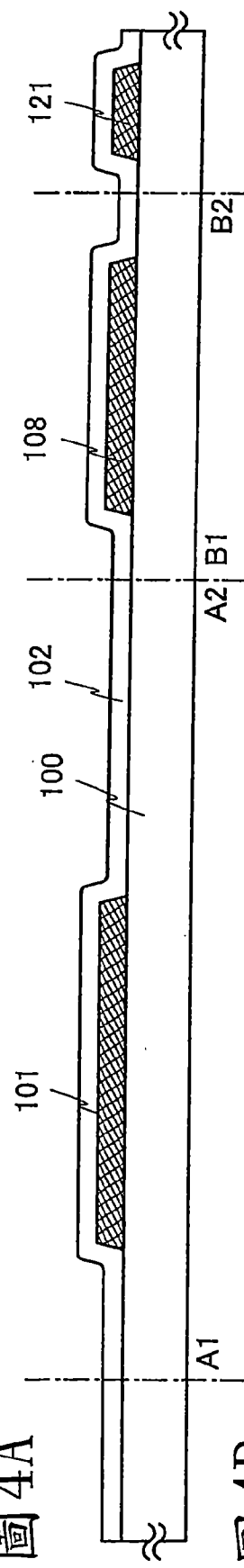


圖 4B

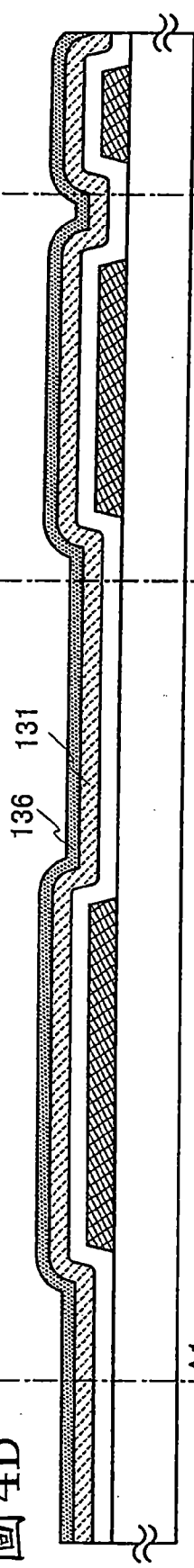


圖 4C

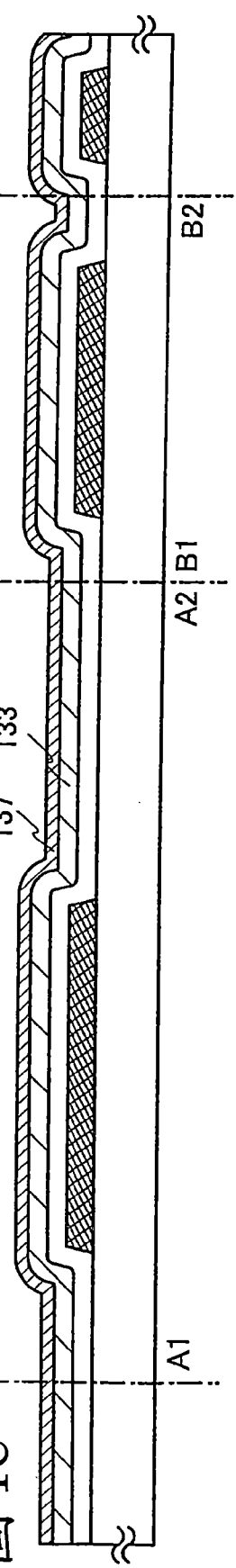


圖5A

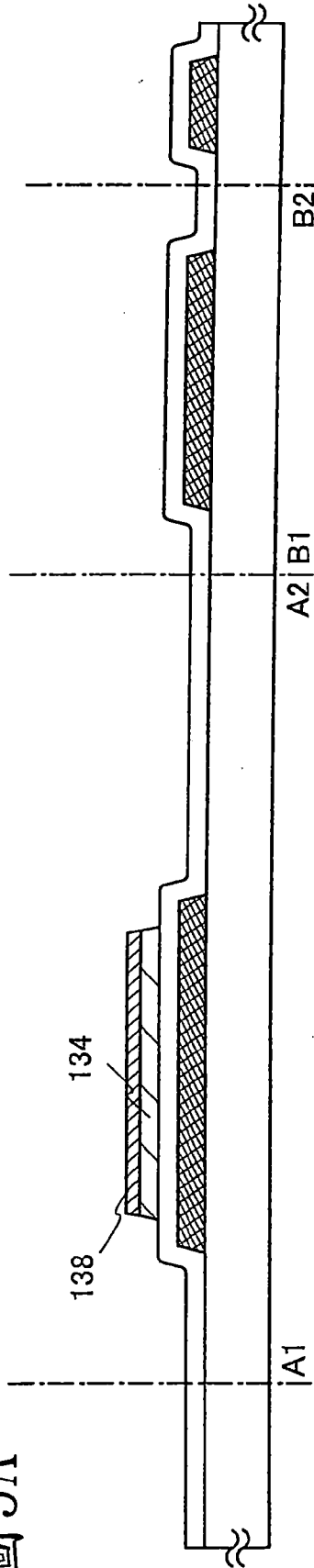


圖5B

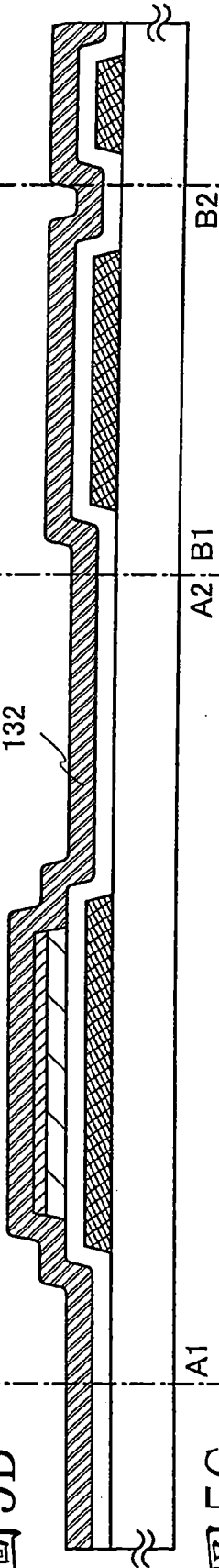


圖5C

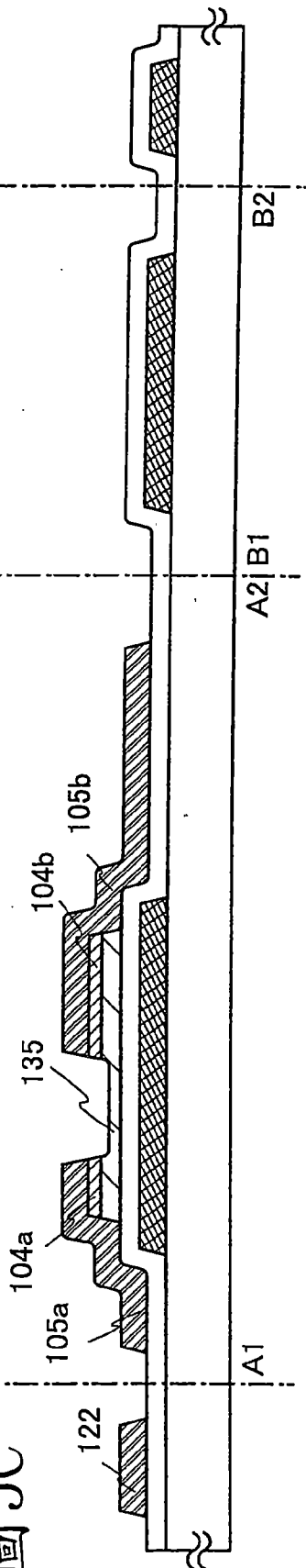


圖 6A

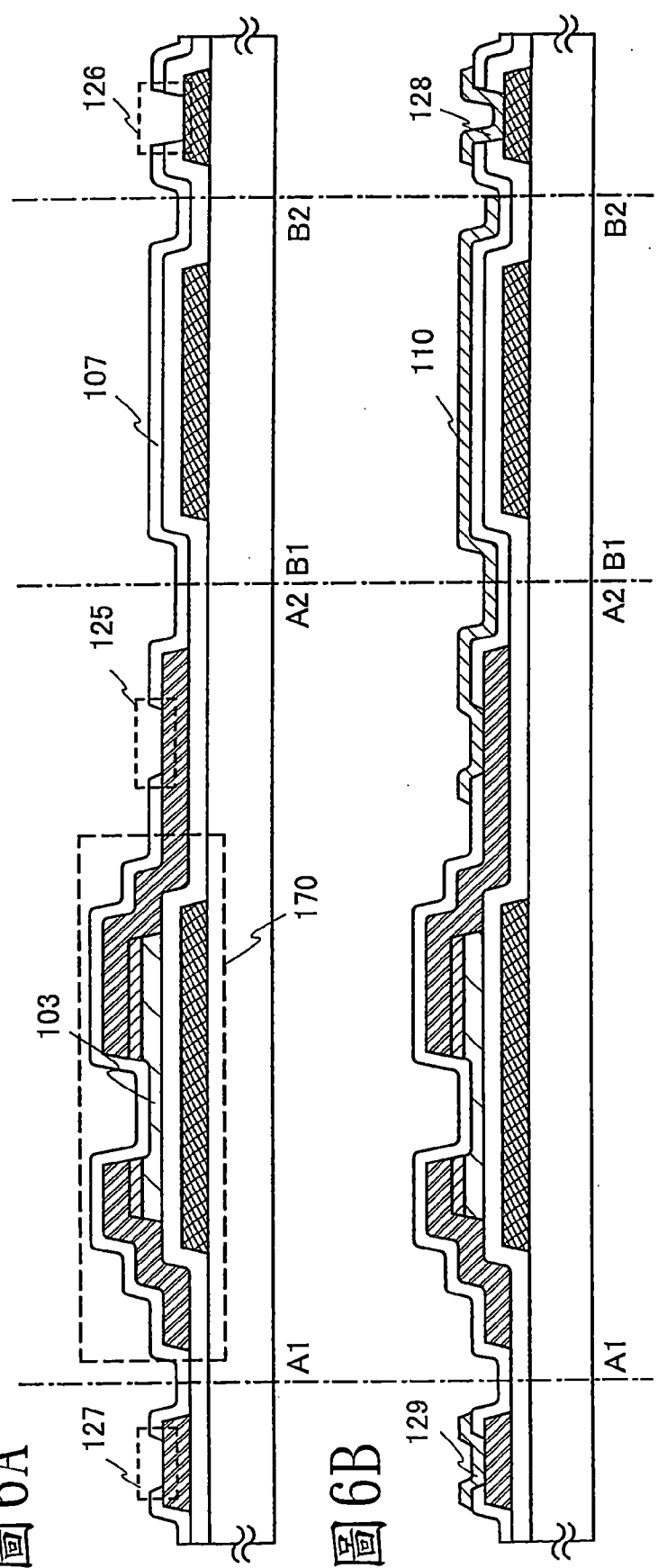


圖 6B

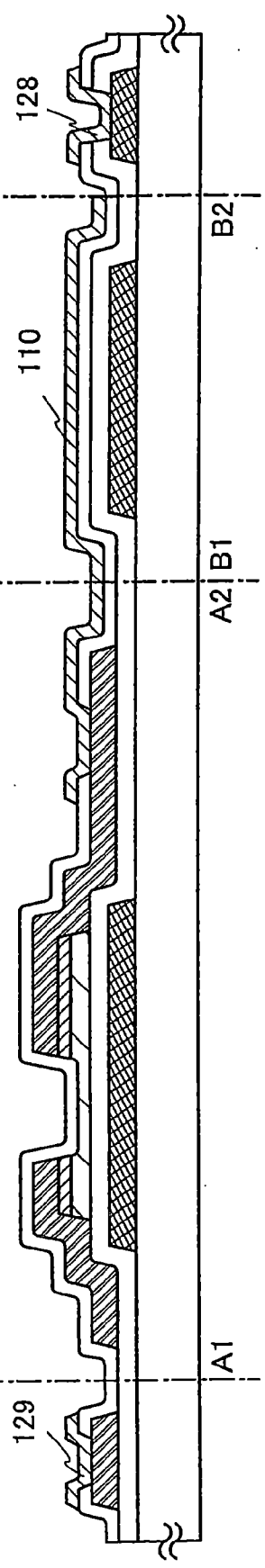


圖7

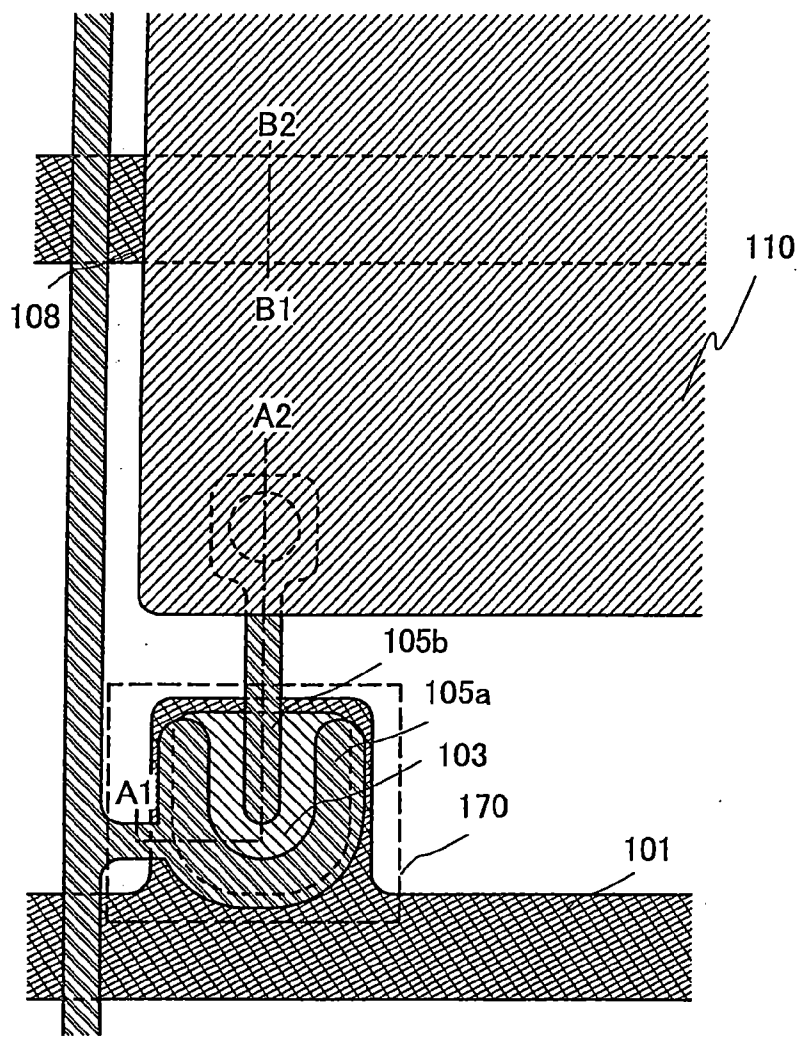


圖 9

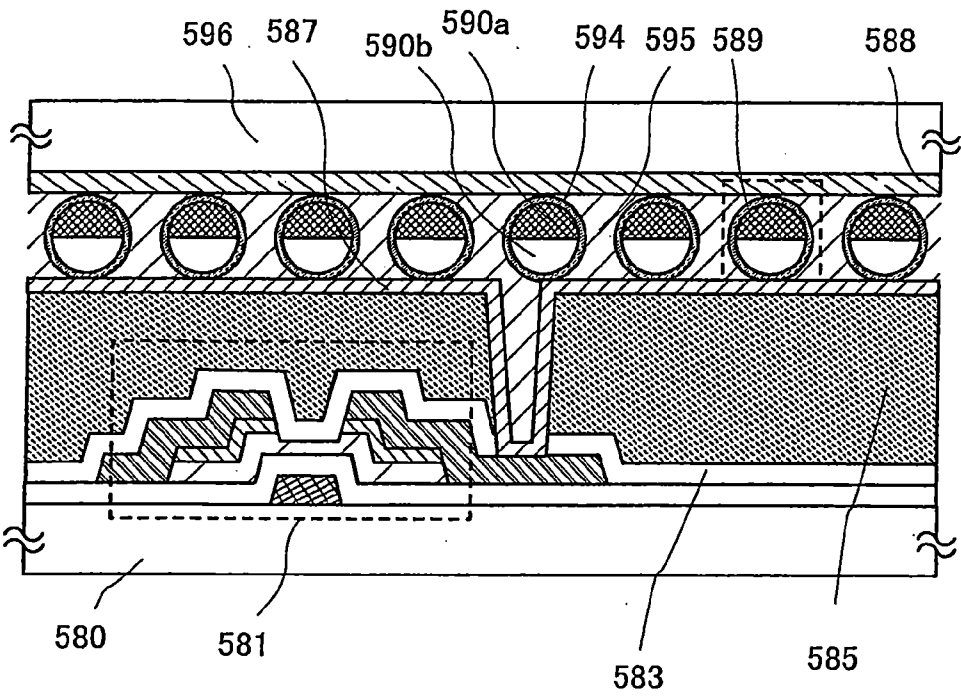


圖 10A1

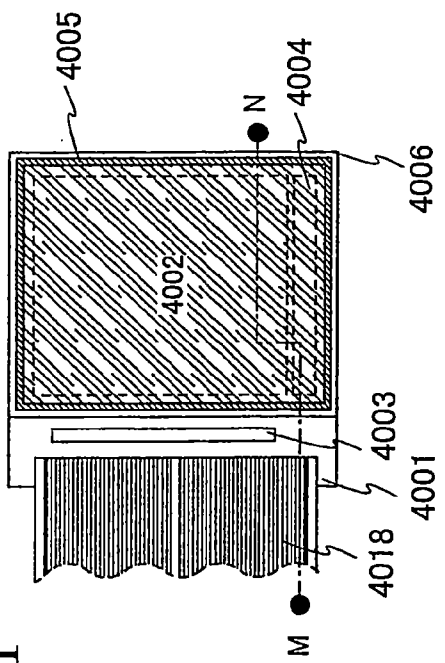


圖 10A2

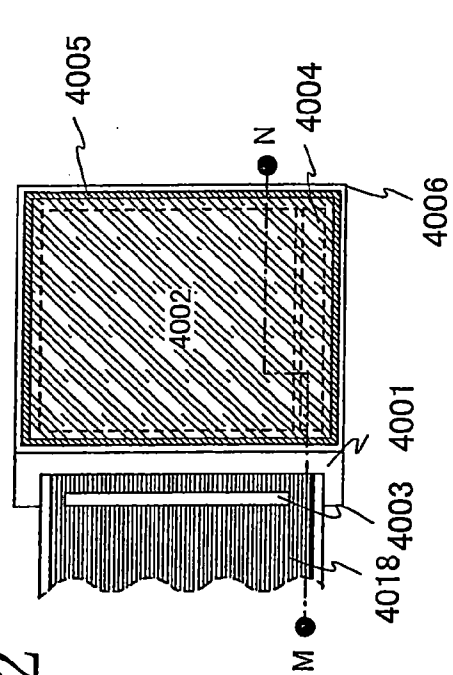


圖 10B

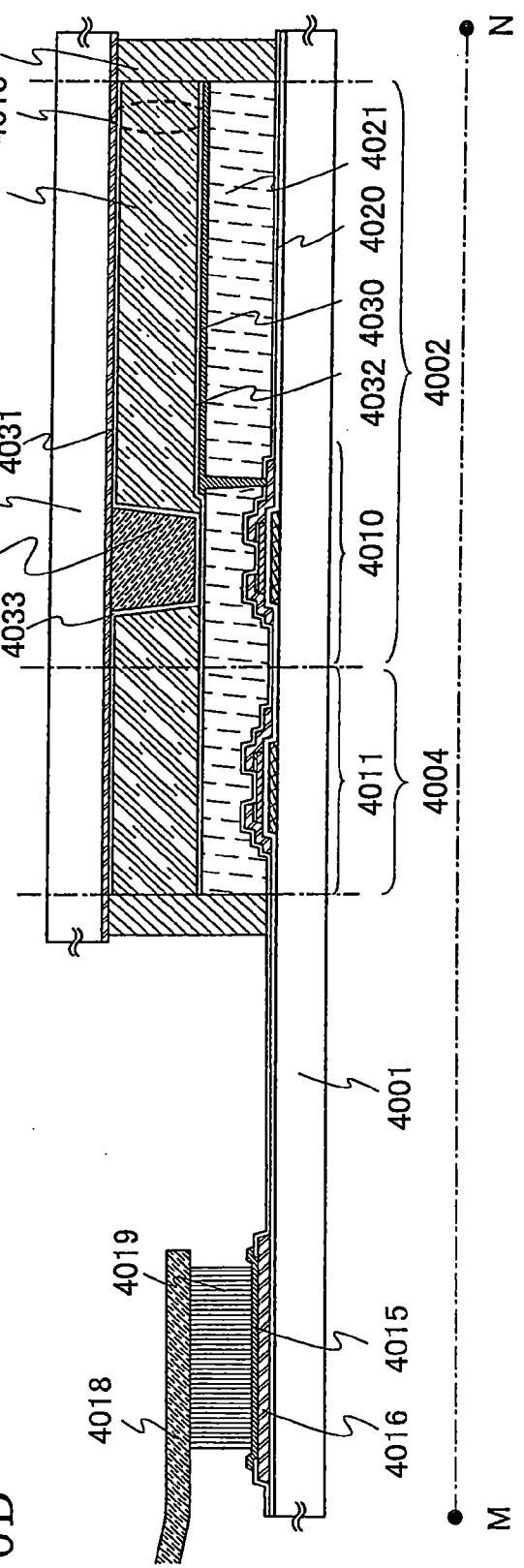


圖11A

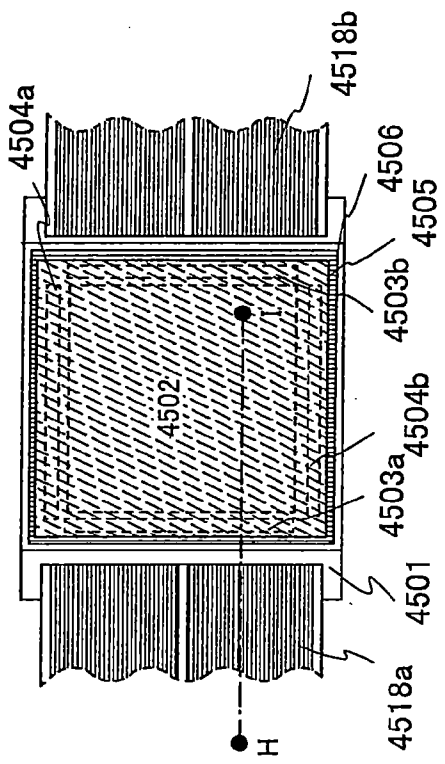


圖11B

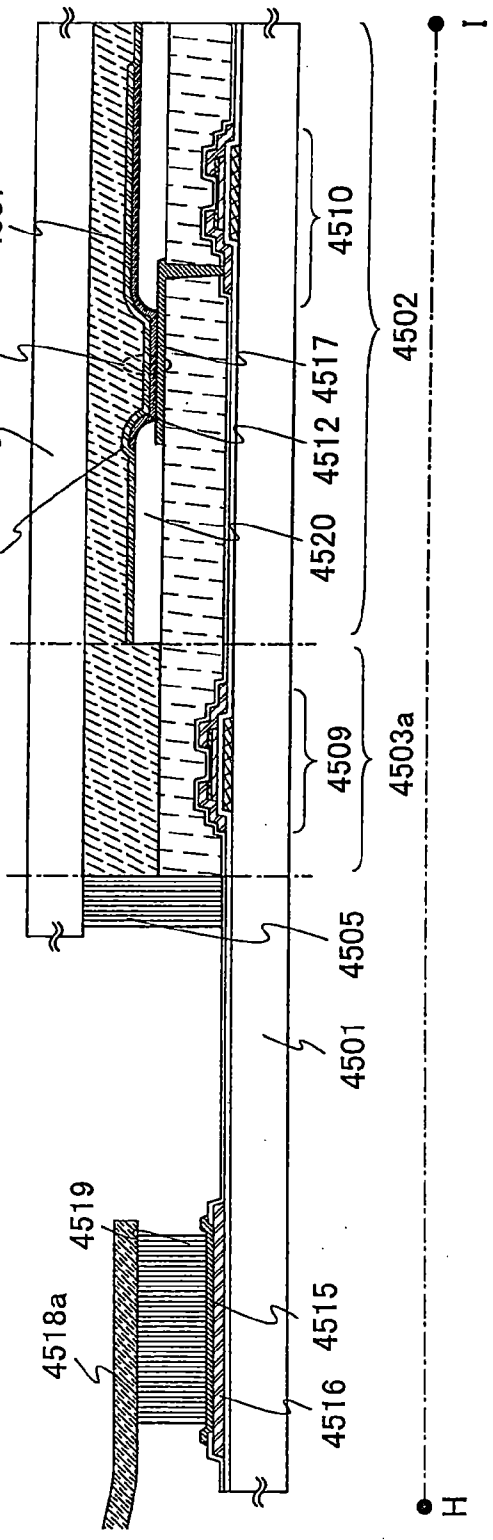


圖 12

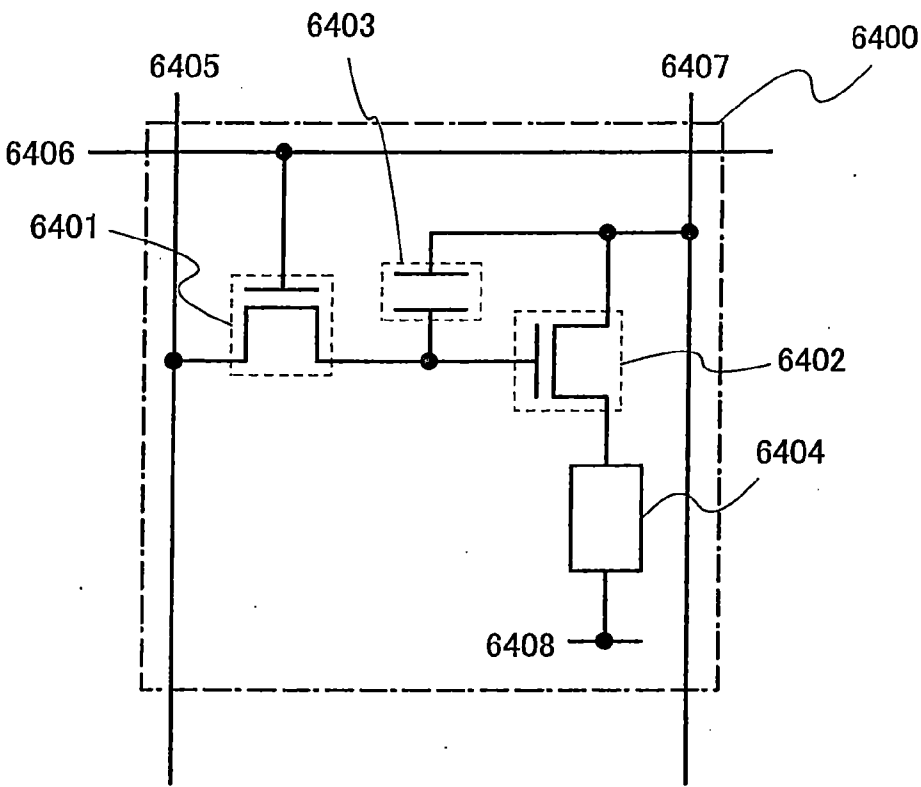


圖 13A

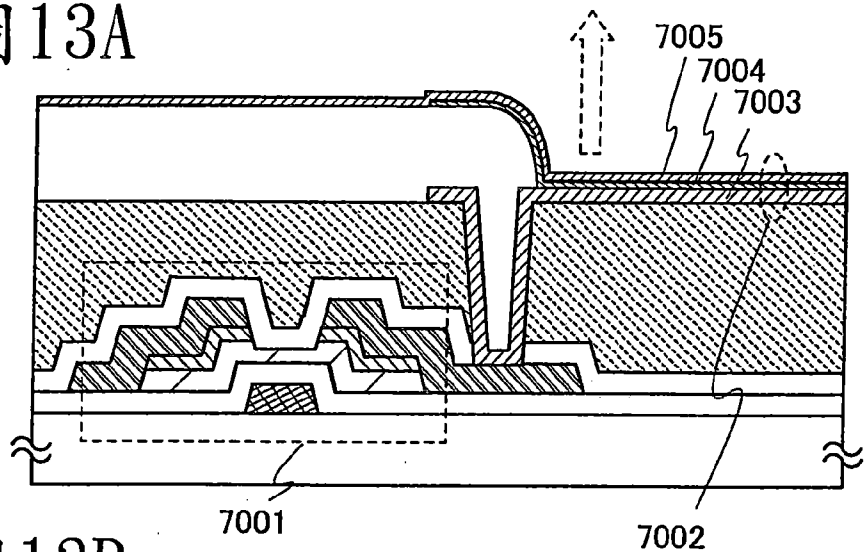


圖 13B

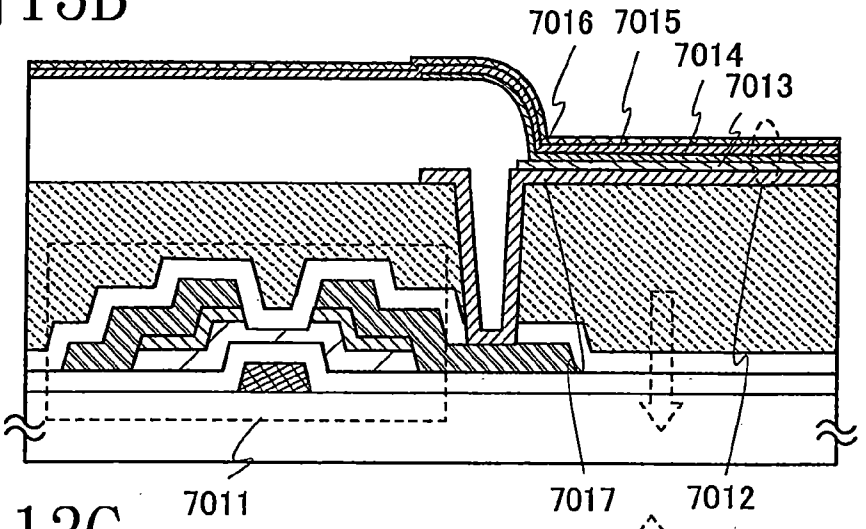


圖 13C

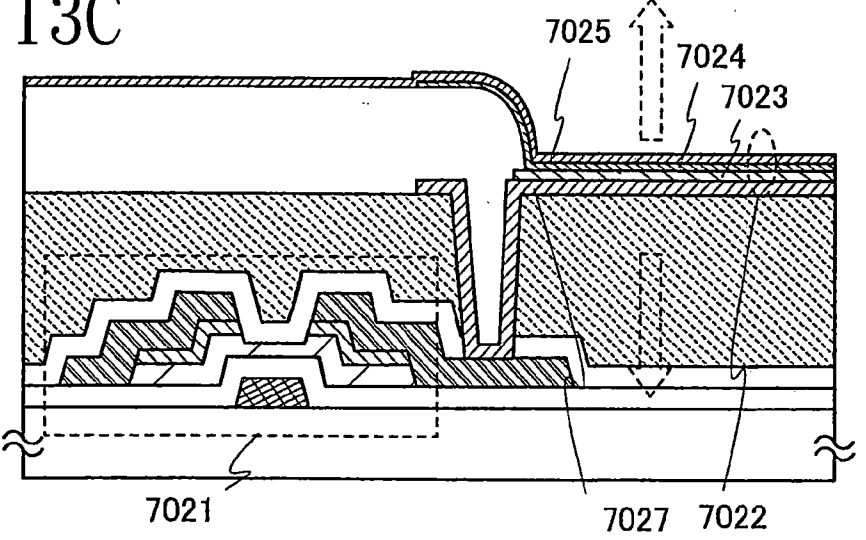


圖 14A

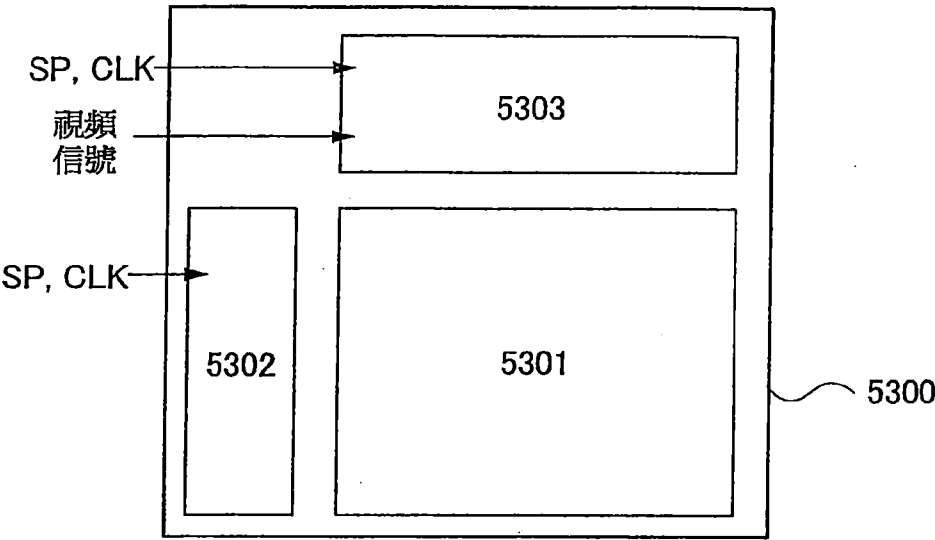


圖 14B

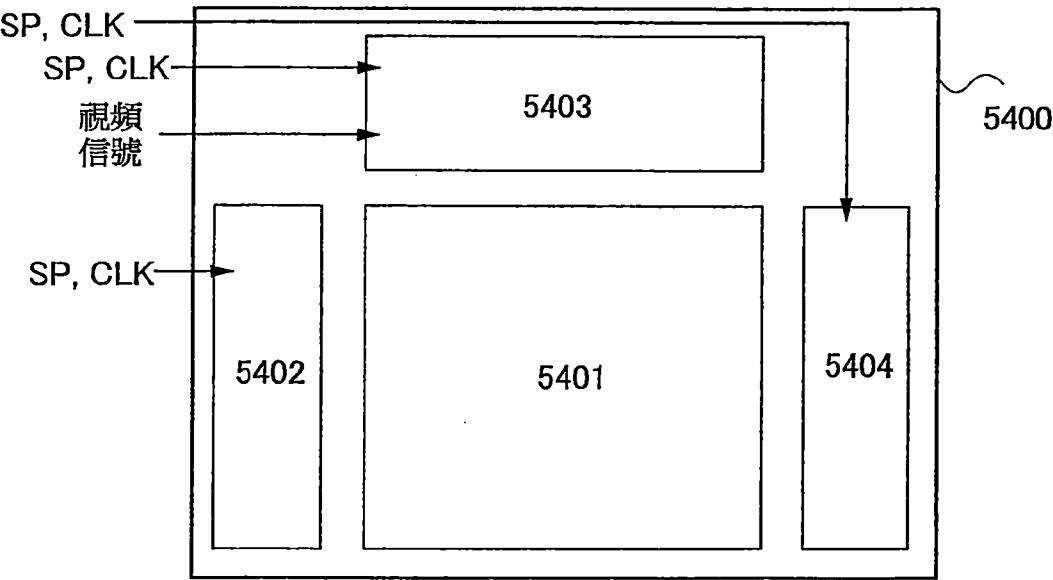


圖15

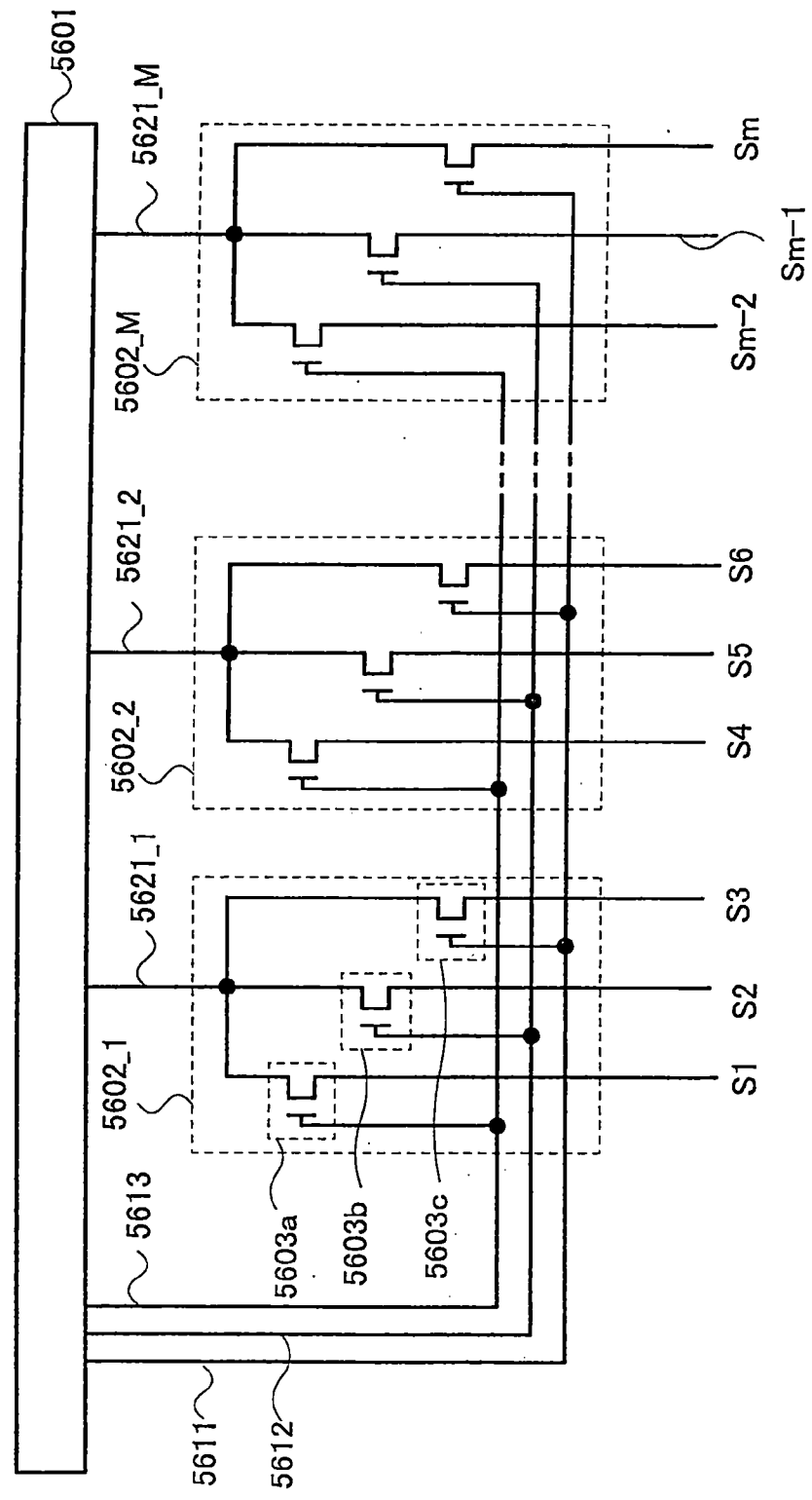


圖16

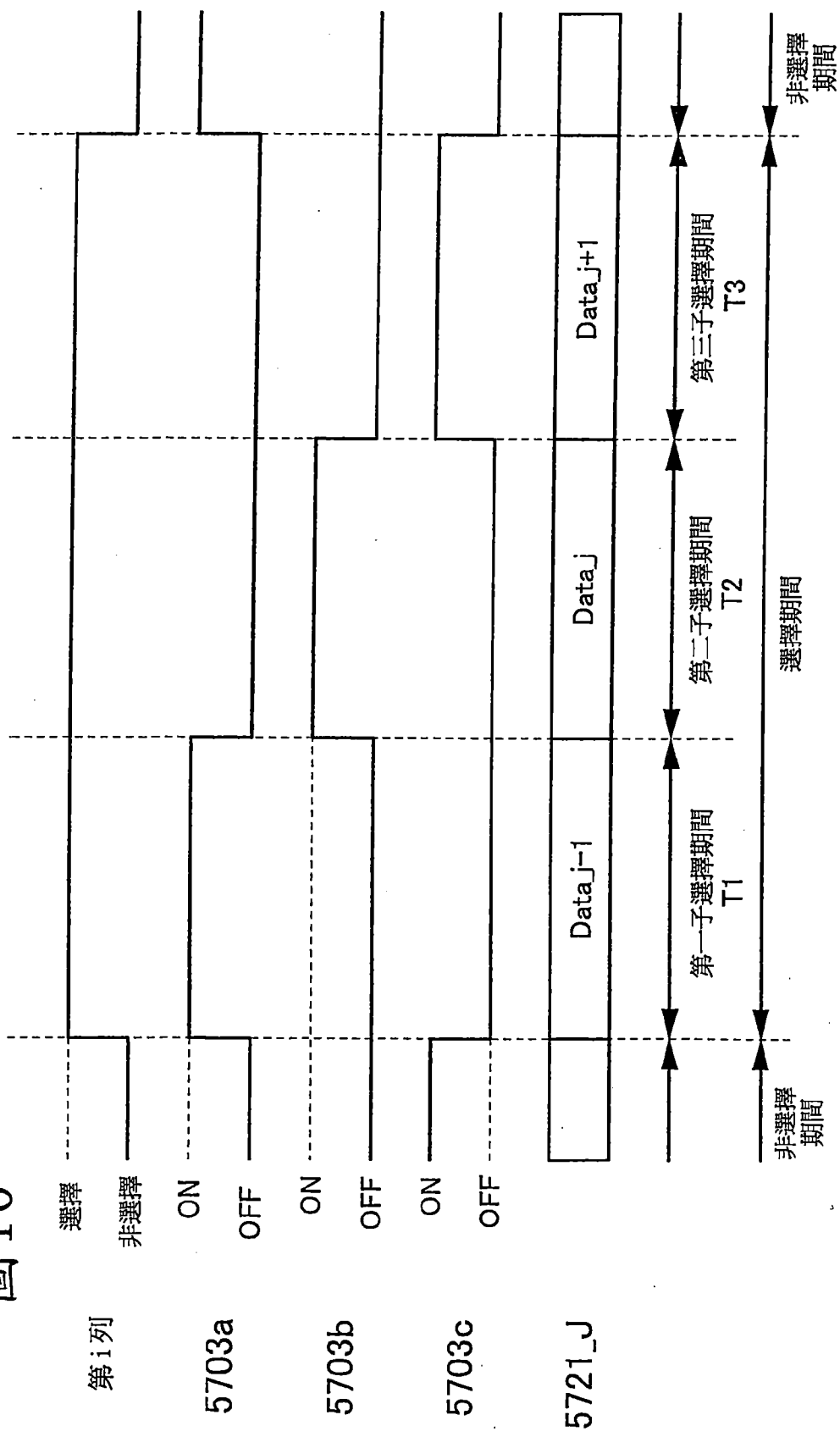


圖17

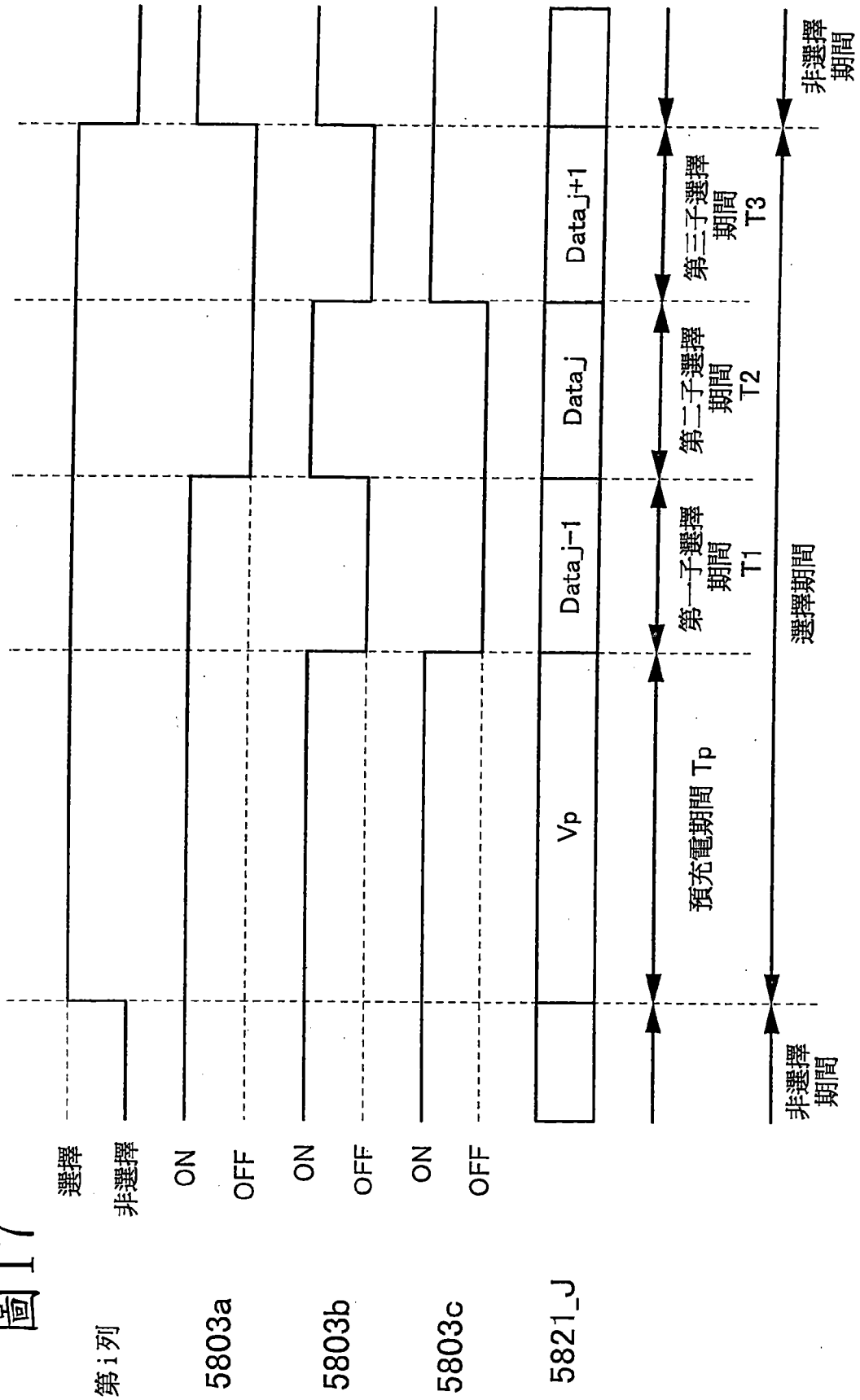


圖18

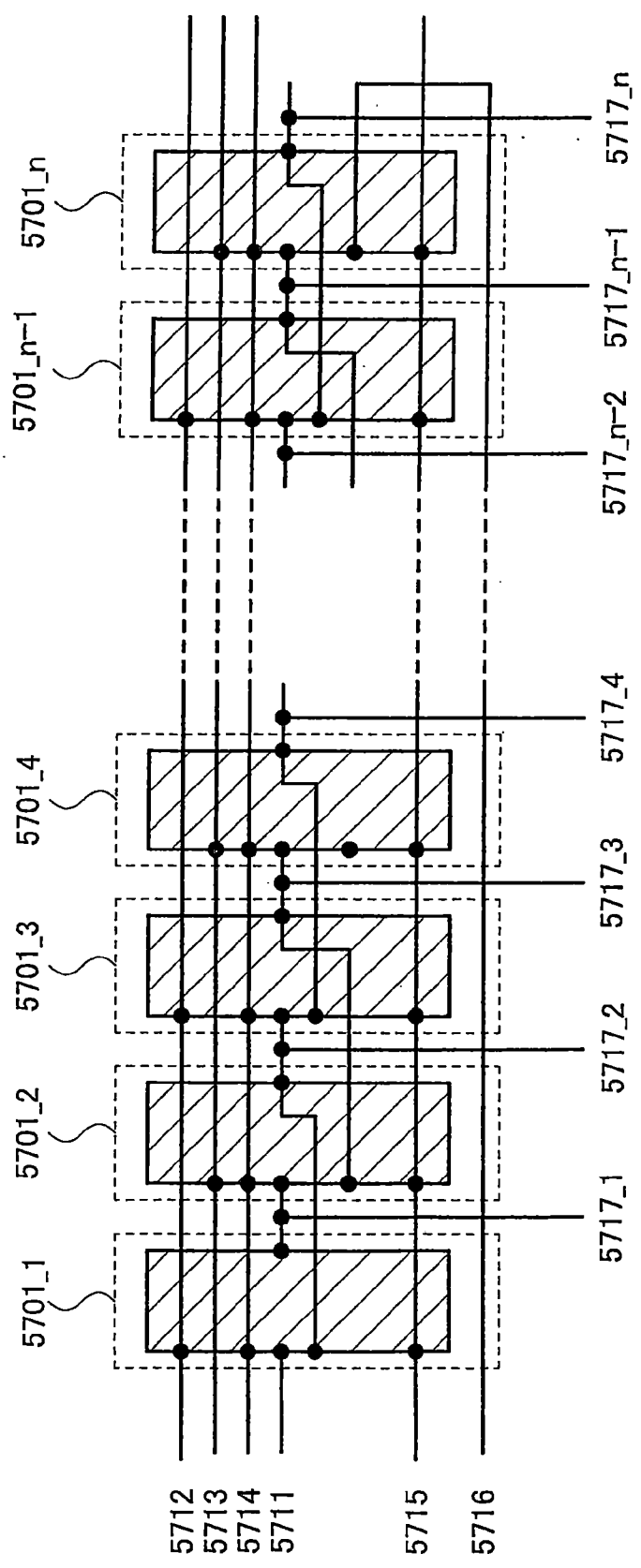


圖19

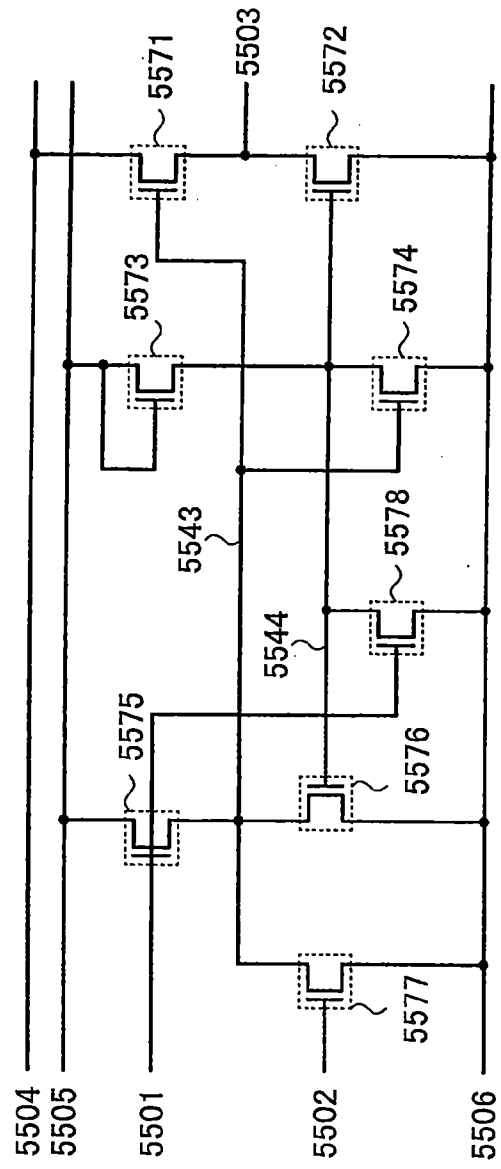


圖20

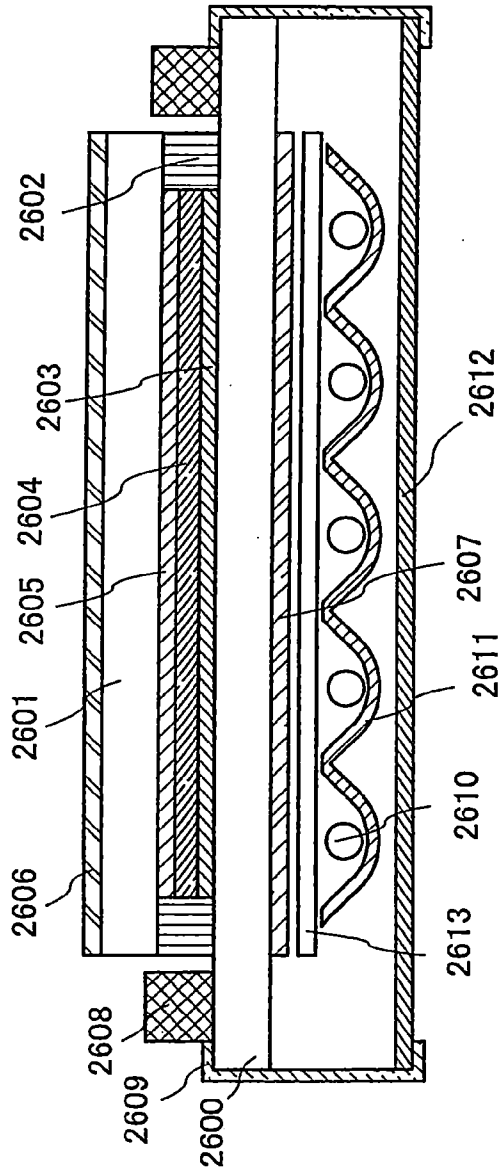


圖21

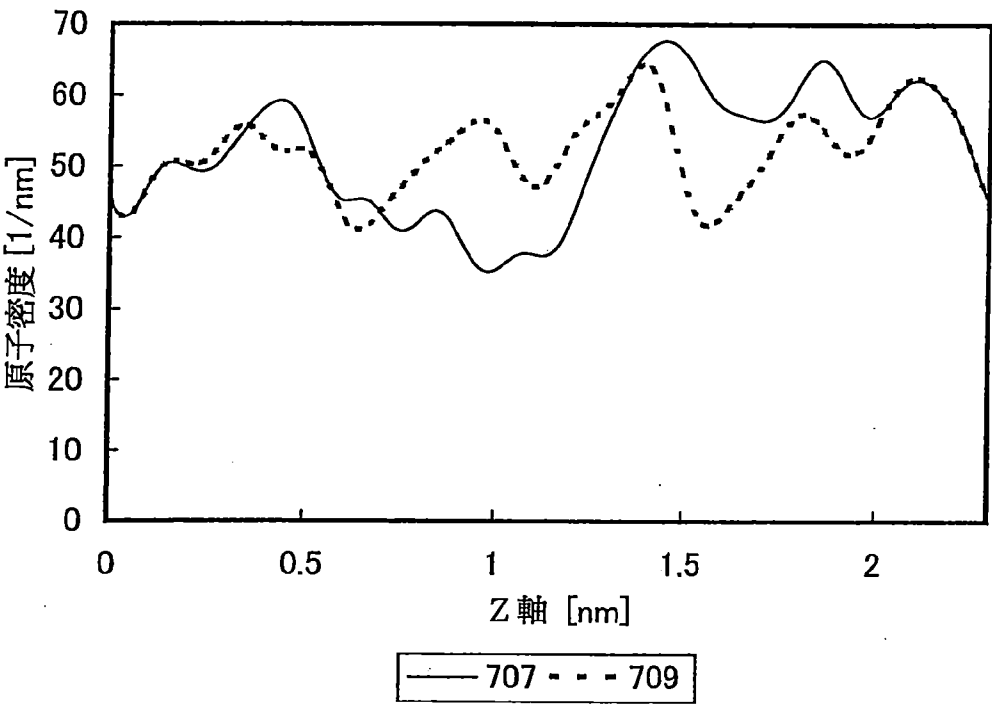


圖 24A

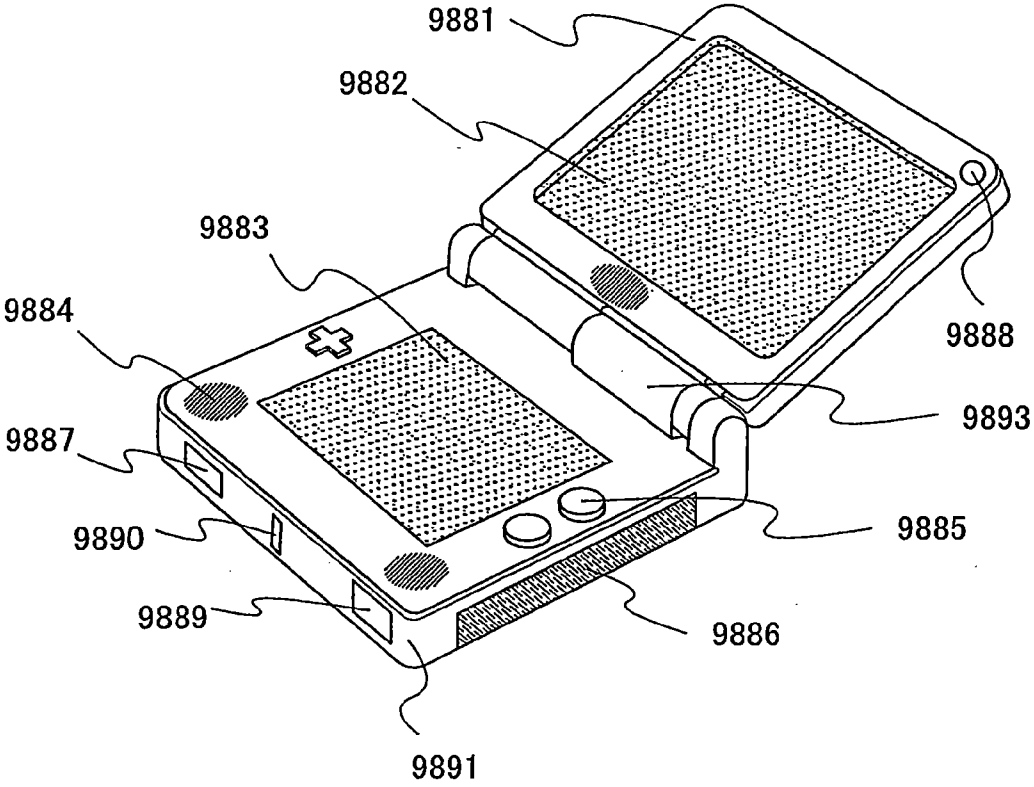


圖 24B

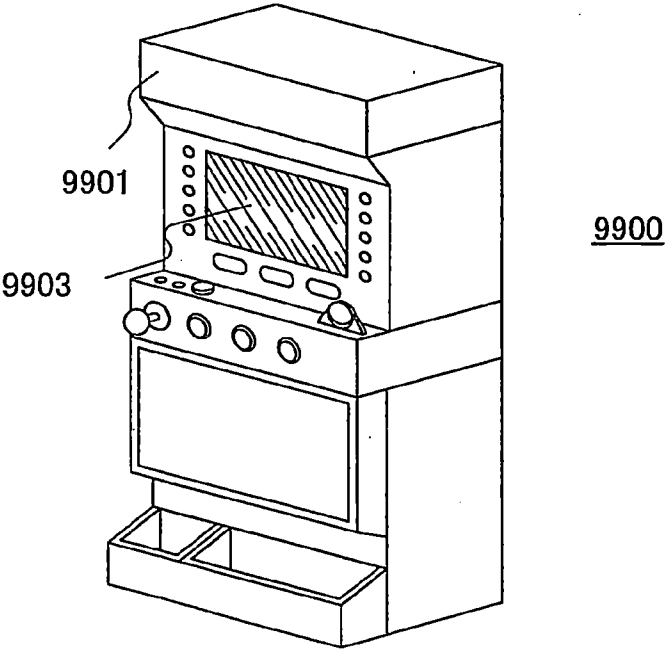


圖 25A

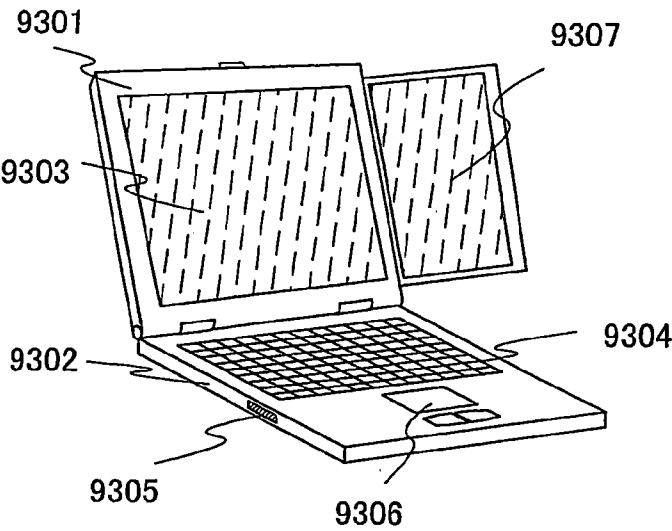


圖 25B

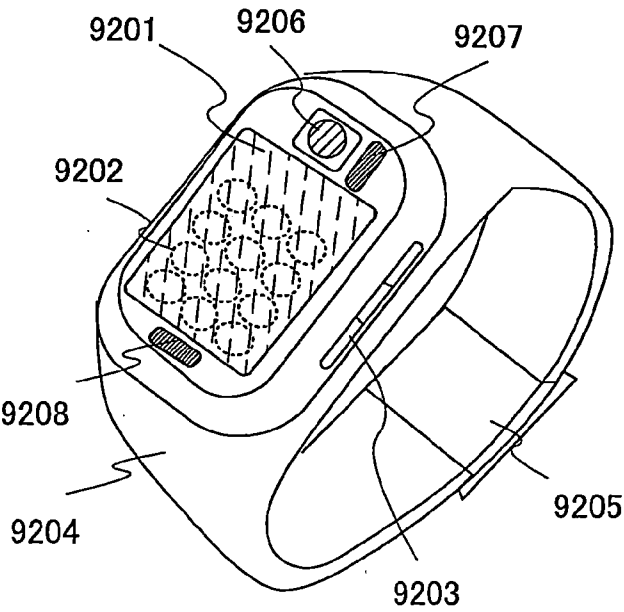


圖 26

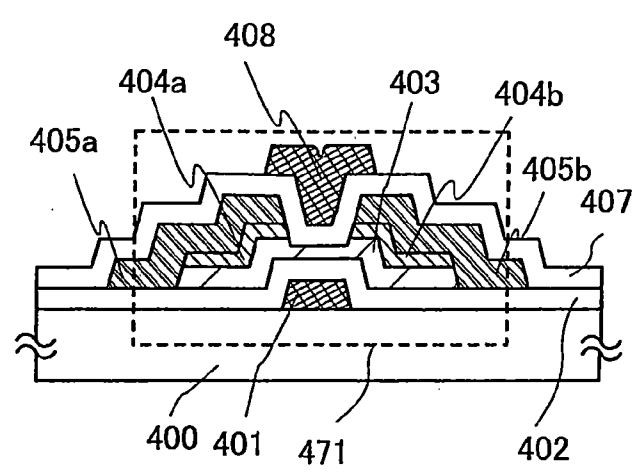


圖 27

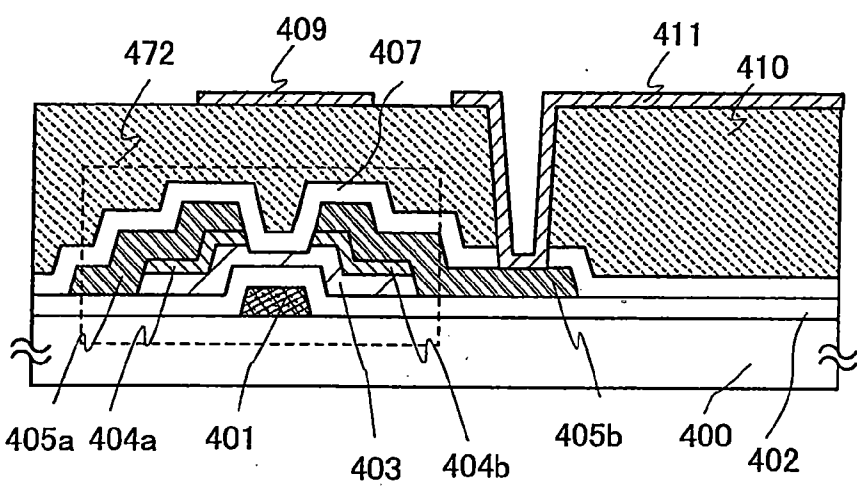


圖 28

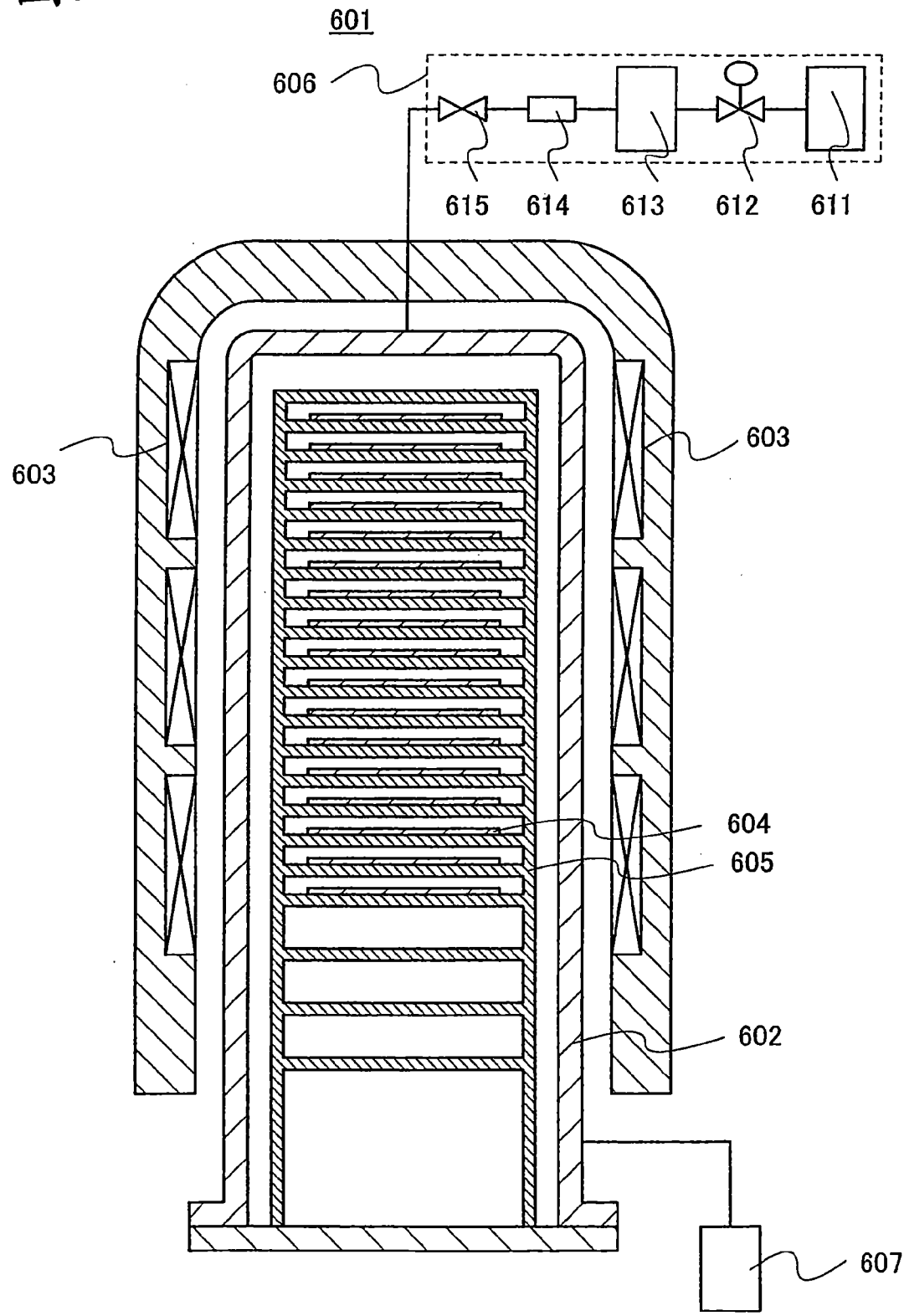


圖 29

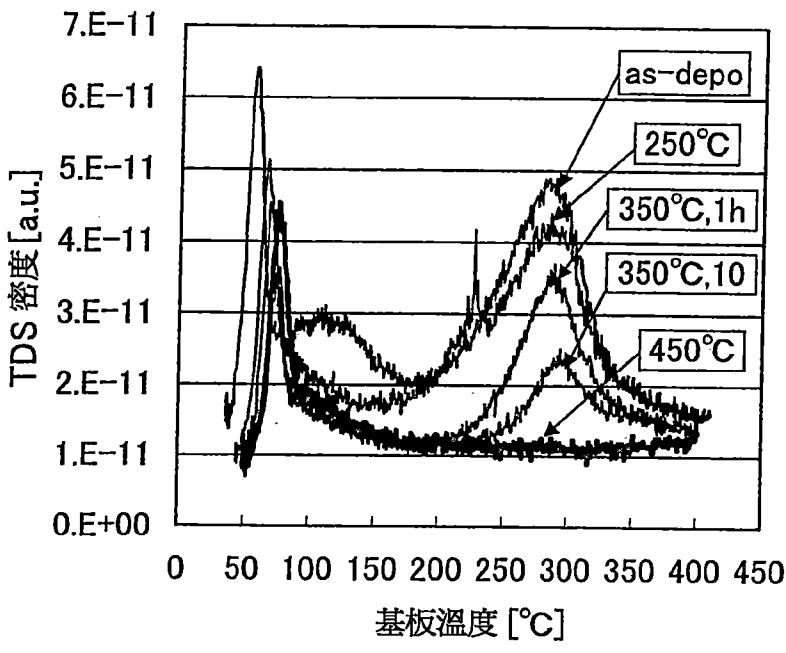


圖 30

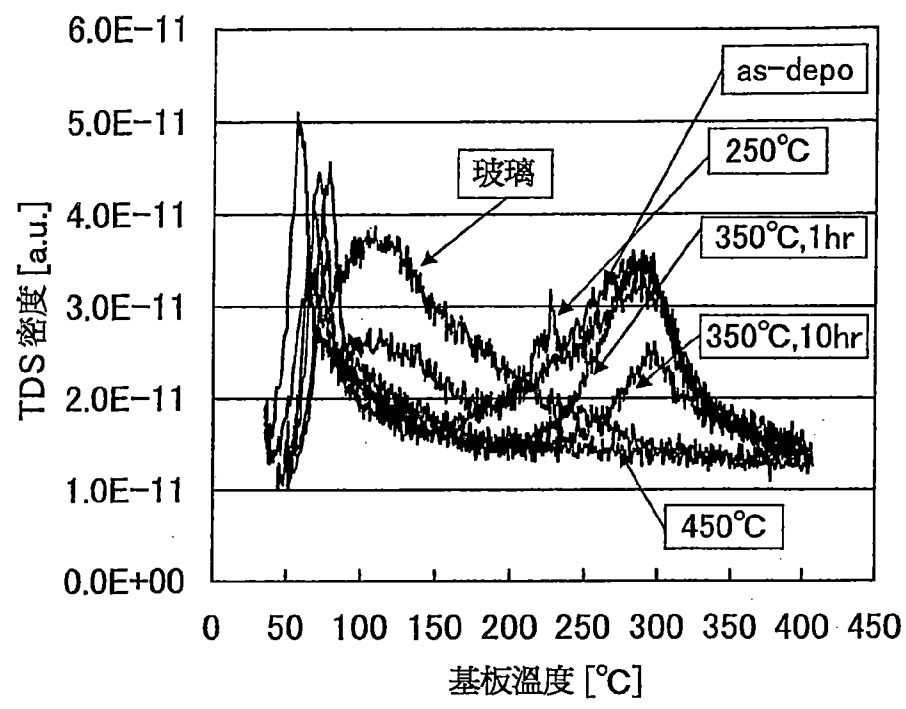


圖 31

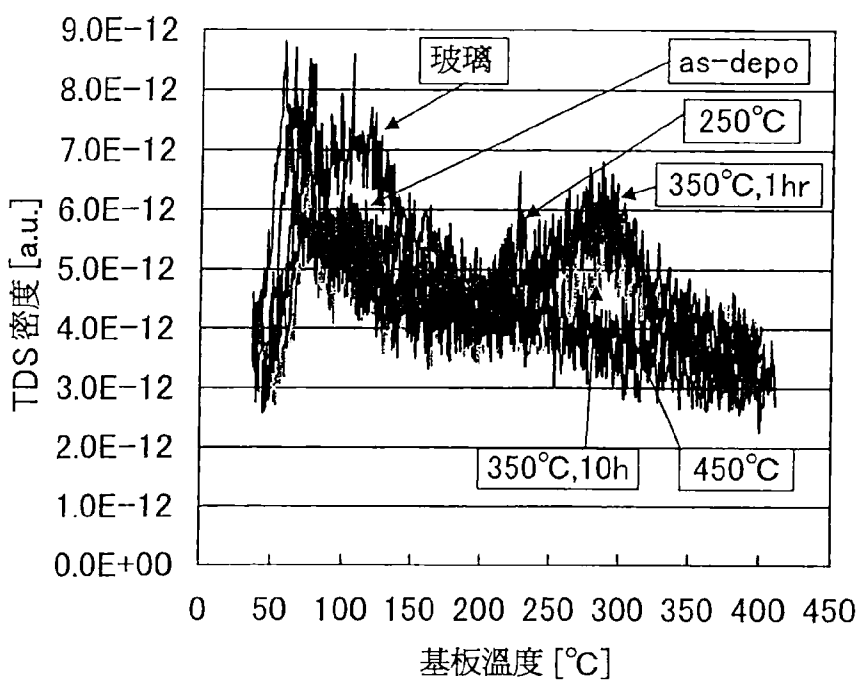


圖 32

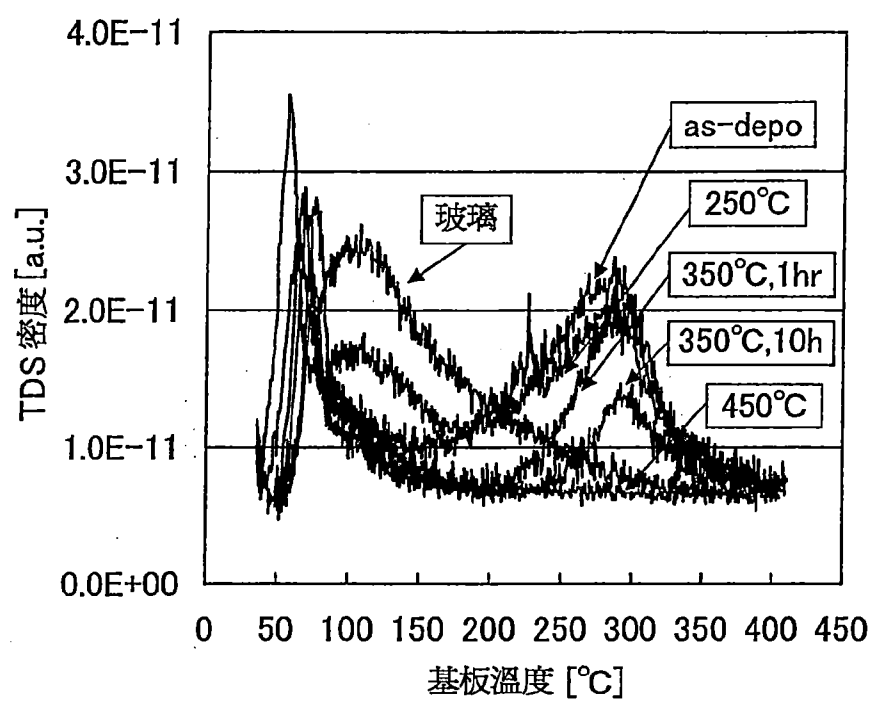


圖 33

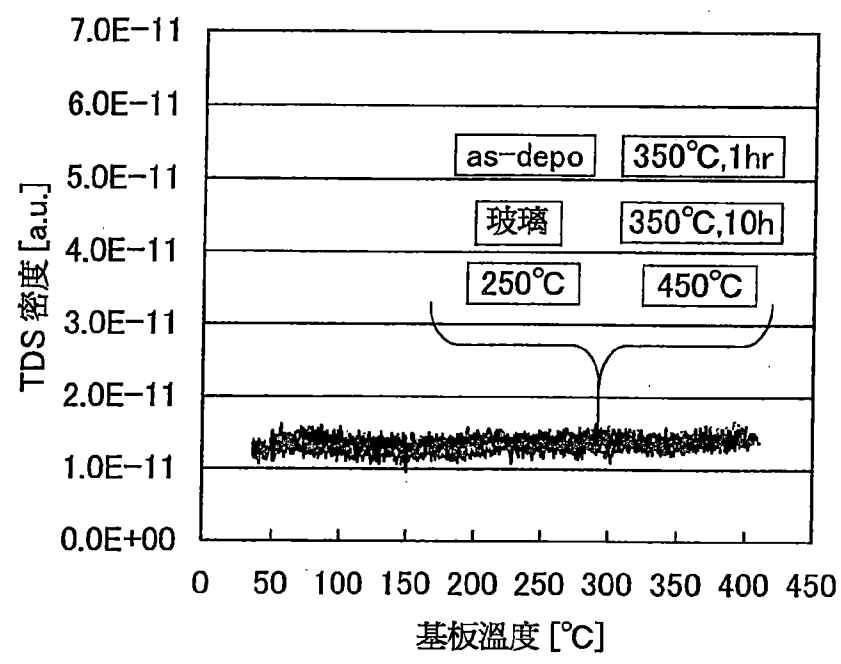
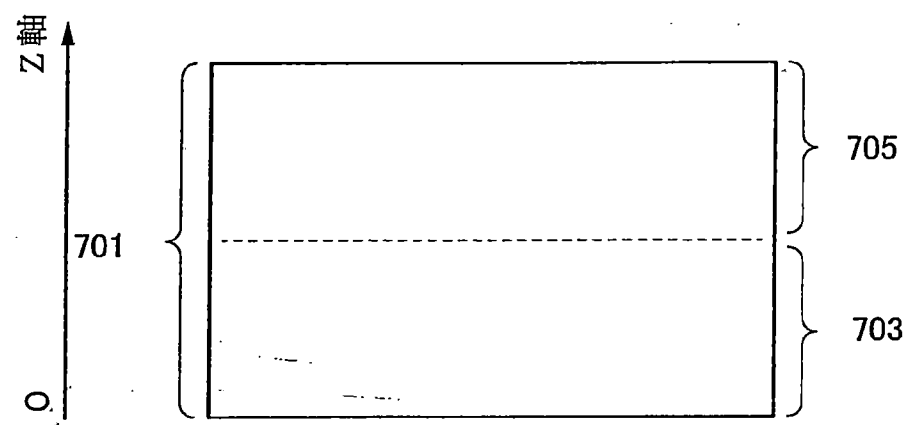


圖 34



申請專利範圍

1. 一種半導體裝置之製造方法，包括如下步驟：
形成第一導電層；
在該第一導電層之上形成第一絕緣層；
在該第一絕緣層之上形成第一氧化物半導體膜；
在該第一氧化物半導體膜之上形成第二氧化物半導體膜；
加熱該第一氧化物半導體膜以及該第二氧化物半導體膜；
對該第一氧化物半導體膜以及該第二氧化物半導體膜選擇性地進行蝕刻來形成第一氧化物半導體層以及第二氧化物半導體層；
在該第二氧化物半導體層之上形成導電膜；
對該導電膜選擇性地進行蝕刻來形成源極電極層以及汲極電極層；
在該第一氧化物半導體層以及該第二氧化物半導體層之上形成與該第一氧化物半導體層接觸的氧化物絕緣膜，使得氧被提供至該第一氧化物半導體層中，
其中，形成該第一氧化物半導體膜的氧氣體流量的比率高於稀有氣體流量的比率，且
其中，形成該第二氧化物半導體膜的氫氣體流量的比率高於或等於氧氣體流量的比率的9倍。
2. 一種半導體裝置之製造方法，包括如下步驟：
形成第一導電層；

在該第一導電層之上形成第一絕緣層；

在該第一絕緣層之上形成第一氧化物半導體膜；

在該第一氧化物半導體膜之上形成第二氧化物半導體膜；

加熱該第一氧化物半導體膜以及該第二氧化物半導體膜；

對該第一氧化物半導體膜以及該第二氧化物半導體膜選擇性地進行蝕刻來形成第一氧化物半導體層以及第二氧化物半導體層；

在該第二氧化物半導體層之上形成導電膜；

對該導電膜選擇性地進行蝕刻來形成源極電極層以及汲極電極層；

在該第一氧化物半導體層以及該第二氧化物半導體層之上形成與該第一氧化物半導體層接觸的氧化物絕緣膜，使得氧被提供至該第一氧化物半導體層中，

其中，形成該第一氧化物半導體膜的氧氣流量對氬氣流量比率與形成該第二氧化物半導體膜的氧氣流量對氬氣流量比率不同。

3. 一種半導體裝置之製造方法，包括如下步驟：

形成第一導電層；

在該第一導電層之上形成第一絕緣層；

在該第一絕緣層之上形成第一氧化物半導體膜；

在該第一氧化物半導體膜之上形成第二氧化物半導體膜；

加熱該第一氧化物半導體膜以及該第二氧化物半導體膜；

對該第一氧化物半導體膜以及該第二氧化物半導體膜選擇性地進行蝕刻來形成第一氧化物半導體層以及第二氧化物半導體層；

在該第二氧化物半導體層之上形成導電膜；

對該導電膜選擇性地進行蝕刻來形成源極電極層以及汲極電極層；

在該第一氧化物半導體層以及該第二氧化物半導體層之上形成與該第一氧化物半導體層接觸的氧化物絕緣膜，使得氧被提供至該第一氧化物半導體層中，

其中，形成該第一氧化物半導體膜的氧氣流量對氫氣流量比率高於形成該第二氧化物半導體膜的氧氣流量對氫氣流量比率。

4.如申請專利範圍第1、2及3項中任一項的半導體裝置之製造方法，

其中，該第二氧化物半導體層包含奈米晶體。

5.如申請專利範圍第1、2及3項中任一項的半導體裝置之製造方法，

其中，當該第一氧化物半導體膜與該第二氧化物半導體膜被加熱時，包含在該第一氧化物半導體膜與該第二氧化物半導體膜中的水或氫氣減少。

6.如申請專利範圍第1、2及3項中任一項的半導體裝置之製造方法，

其中，該第二氧化物半導體層包含源極區域與汲極區域，其導電度大於該第一氧化物半導體層。

7.如申請專利範圍第1、2及3項中任一項的半導體裝置之製造方法，

其中，在該第一氧化物半導體膜與該第二氧化物半導體膜被加熱之後，該第一氧化物半導體膜以及該第二氧化物半導體膜之每一者的載子濃度是 $1 \times 10^{18}/\text{cm}^3$ 或更高。

8.如申請專利範圍第1、2及3項中任一項的半導體裝置之製造方法，

其中，在惰性氣體氛圍下加熱該第一氧化物半導體膜以及該第二氧化物半導體膜。

9.如申請專利範圍第1、2及3項中任一項的半導體裝置之製造方法，

其中，在氮氛圍下加熱該第一氧化物半導體膜以及該第二氧化物半導體膜。

10.如申請專利範圍第1、2及3項中任一項的半導體裝置之製造方法，

其中，使用第一濺射靶材形成該第一氧化物半導體膜，以及

其中，使用第二濺射靶材形成該第二氧化物半導體膜。