

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2020 年 4 月 30 日 (30.04.2020)



(10) 国际公布号
WO 2020/082472 A1

(51) 国际专利分类号:
H01L 27/32 (2006.01)

(21) 国际申请号: PCT/CN2018/116217

(22) 国际申请日: 2018 年 11 月 19 日 (19.11.2018)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:
201811237408.5 2018 年 10 月 23 日 (23.10.2018) CN

(71) 申请人: 武汉华星光电半导体显示技术有限公司 (WUHAN CHINA STAR OPTOELECTRONICS SEMICONDUCTOR DISPLAY TECHNOLOGY CO., LTD.) [CN/CN]; 中国湖北省武汉市东湖新技术开发区高新大道 666 号光谷生物创新园 C5 栋 305 室, Hubei 430079 (CN)。

(72) 发明人: 谢炎 (XIE, Yan); 中国湖北省武汉市东湖新技术开发区高新大道 666 号光谷生物创新园 C5 栋 305 室, Hubei 430079 (CN)。

(74) 代理人: 深圳翼盛智成知识产权事务所 (普通合伙) (ESSEN PATENT & TRADEMARK AGENCY); 中国广东省深圳市福田区深南大道 6021 号喜年中心 A 座 1709-1711, Guangdong 518040 (CN)。

(81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,

(54) Title: ARRAY SUBSTRATE AND METHOD FOR MANUFACTURING SAME

(54) 发明名称: 一种阵列基板及其制造方法

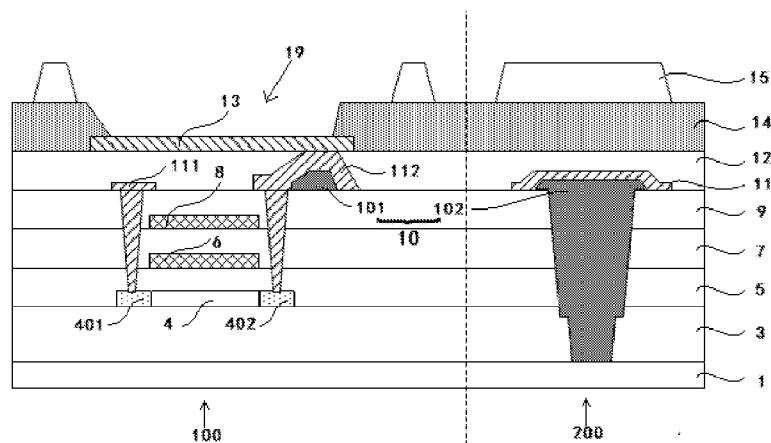


图 1

(57) Abstract: Disclosed is an array substrate, comprising, in sequence from top to bottom, a flexible base (1), a buffer layer (3), an active layer (4), a first gate insulation layer (5), a first gate metal layer (6), a second gate insulation layer (7), a second gate metal layer (8), an inter-layer insulation layer (9), a first organic filling layer (101), a source-drain wiring layer (11), a flat layer (12), an anode layer (13), a pixel definition layer (14), and a support layer (15). The first organic filling layer (101) protrudes upwards from the inter-layer insulation layer (9) so that the source-drain wiring layer (11) covering the inter-layer insulation layer is arranged in a protruding manner. A drain (112) is directly connected to the anode layer (13), without needing to provide a via hole in the flat layer (12), and the aperture ratio of the pixel definition layer (14) is increased to a certain degree, and therefore, the effect of prolonging the service life of an OLED where the array substrate is located is realized. Further disclosed is a method for manufacturing the array substrate.

SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG,
US, UZ, VC, VN, ZA, ZM, ZW。

- (84) 指定国(除另有指明, 要求每一种可提供的地区
保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ,
NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM,
AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG,
CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU,
IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT,
RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI,
CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

- 包括国际检索报告(条约第21条(3))。

(57) 摘要: 一种阵列基板, 从下至上依次包括柔性基底(1)、缓冲层(3)、有源层(4)、第一栅极绝缘层(5)、第一栅极金属层(6)、第二栅极绝缘层(7)、第二栅极金属层(8)、间绝缘层(9)、第一有机填充层(101)、源漏走线层(11)、平坦层(12)、阳极层(13)、像素定义层(14)、支撑层(15); 所述第一有机填充层(101)向上凸起于所述间绝缘层(9)上进而使得其上覆盖的所述源漏走线层(11)凸起设置。漏极(112)直接连接阳极层(13), 无需在平坦层(12)开设过孔, 在一定程度上增大像素定义层(14)的开口率, 从而达到延长其所在OLED的寿命的效果。还提供了一种阵列基板的制造方法。

说明书

发明名称：一种阵列基板及其制造方法

技术领域

[0001] 本发明涉及显示技术领域，尤其涉及一种阵列基板及其制造方法。

背景技术

[0002] 有机发光二极管显示器件(Organic Light Emitting Display, OLED)色域广、对比度高、节能、可折叠性，因而在新世代显示器中具有强有力的竞争力。可折叠性是柔性显示重点发展方向之一。

[0003] 其中电致发光器件的寿命是OLED产品的重要指标参数，通过增大像素定义层(Pixel Define Layer, PDL)的开口，可以增加OLED寿命，使OLED亮度衰减减缓，提升产品品质。

[0004] 在传统OLED显示面板中，其阳极是通过过孔连接至裸露出的源漏极(SD)，这就使得SD与阳极之间电连接需要在平坦层(PLN)上开孔，而这一开孔将导致像素定义层开口率变小。

[0005] 因此，确有必要来开发一种新型的阵列基板，来克服现有技术中的缺陷。

发明概述

技术问题

[0006] 本发明的一个方面在于提供一种阵列基板，其结构能够增大像素定义层的开口率，从而达到延长其所在OLED的寿命的效果。

问题的解决方案

技术解决方案

[0007] 为了实现上述目的，本发明采用以下技术方案：

[0008] 一种阵列基板，包括像素区以及与其相接的弯折区。其中所述像素区包括柔性基底和在所述柔性基底上依次形成的缓冲层、有源层、第一栅极绝缘层、第一栅极金属层、第二栅极绝缘层、第二栅极金属层、间绝缘层(ILD)、第一有机填充层(ODH)、源漏走线层、平坦层(PLN)、阳极层、像素定义层(PDL)、支撑层(PS)。其中，所述有源层包括源极区域和漏极区域，所述源漏走线层

包括源极和漏极，所述源极通过第一过孔与所述源极区域电连接，所述漏极覆盖所述第一有机填充层通过第二过孔与所述漏极区域电连接，所述阳极层通过所述漏极与所述漏极区域电连接。其中所述第一有机填充层向上凸起设置于所述间绝缘层上进而使得其上覆盖的所述源漏走线层凸起设置。

[0009] 其中所述漏极通过所述第一有机填充层的向上凸起设置，使得所述第一有机填充层上的所述漏极部分相应的被垫高，进而使其可直接连接所述阳极层，而无需在平坦层开设过孔，从而实现阳极层通过漏极与漏极区域的电连接。相应的，因不需开孔也就不存在对所述像素定义层开口率的影响，反而能在一定程度上增大所述像素定义层的开口率，从而达到延长其所在OLED的寿命的效果。

[0010] 进一步的，其中所述源漏走线层的漏极的凸起部表面平行于所述有机平坦层的表面。也就是说，所述第一有机填充层的凸起设置使得所述源漏走线层也是局部凸起设置，同时所述源漏走线层的凸起部向上伸出与所述有机平坦层平行设置，而非被所述有机平坦层所覆盖。

[0011] 进一步的，其中所述第一有机填充层向上凸起呈岛状结构。

[0012] 进一步的，其中所述第一有机填充层设于所述第二过孔旁远离所述第一过孔的一侧。

[0013] 进一步的，其中所述弯折区还包括的位于所述间绝缘层上的第二有机填充层、位于第二有机填充层上的源漏走线层、开口设于所述间绝缘层且孔底达到所述柔性基底的第三过孔，其中所述第二有机填充层填充所述第三过孔并部分凸出于所述间绝缘层。

[0014] 第一有机填充层和第二有机填充层构成的有机填充层的作用就是为了实现弯折应力的减小，弯折的目的是实现窄边框设计。

[0015] 一种阵列基板的制作方法，其中所述阵列基板包括像素区以及与其相接的弯折区，包括步骤：

[0016] S1、提供一柔性基底；

[0017] S2、在所述柔性基底上制作缓冲层；

[0018] S3、在所述缓冲层上制作有源层，并对有源层进行掺杂，以在有源层上形成源极区域和漏极区域；

- [0019] S4、在有源层上制作第一栅极绝缘层，在第一栅极绝缘层上制作第一栅极金属层；
- [0020] S5、在第一栅极金属层上制作第二栅极绝缘层，在第二栅极绝缘层上制作第二栅极金属层；
- [0021] S6、在第二栅极金属层上制作间绝缘层，并在所述间绝缘层上在像素区制作第一过孔、第二过孔以及在弯折区制作第三过孔；
- [0022] S7、在间绝缘层上形成有机填充层，有机填充层包括第一有机填充层和第二有机填充层；
- [0023] S8、在有机填充层上制作源漏（SD）走线层，包括位于像素区的源极、漏极和位于弯折区的位于所述第二有机填充层上的源漏走线层；
- [0024] S9、在源漏走线层上制作平坦层；
- [0025] S10、在平坦层上制作阳极层，所述阳极层与所述第一有机填充层电连接且与所述有源层相应设置；
- [0026] S11、在阳极层上制作像素定义层，裸露所述阳极层形成第四过孔；
- [0027] S12、在像素定义层上制作支撑层。
- [0028] 进一步的，其中所述步骤S3包括：
- [0029] 在缓冲层上沉积一层非晶硅(a-si)层；
- [0030] 通过准分子激光退火(ELA)工艺将所述非晶硅层转化结晶为多晶硅(Poly-Si)层；
- [0031] 将所述多晶硅层进行图案化处理，并进行离子掺杂，形成包括源极区域和漏极区域的有源层。
- [0032] 进一步的，其中另一实施例中所述步骤S3包括：
- [0033] 在缓冲层上沉积一层非晶硅层；
- [0034] 对非晶硅层进行图案化处理；
- [0035] 通过准分子激光退火工艺将所述非晶硅层转化结晶为多晶硅(Poly-Si)层。
- [0036] 进一步的，其中所述步骤S6包括：
- [0037] 在所述第二栅极绝缘层上采用第一次刻蚀工艺在所述像素区制作第一过孔、第二过孔以及在所述弯折区制作第三过孔，第一次刻蚀工艺使第一过孔、第二过

孔的孔底达到有源层；其中，所述第一过孔使所述有源层中的源极区域裸露，所述第二过孔使所述有源层中的漏极区域裸露；

[0038] 采用第二次刻蚀工艺对所述第三过孔继续刻蚀，以使所述第三过孔的孔底达到所述柔性基底。

[0039] 进一步的，其中所述步骤S8包括：

[0040] 在所述有机填充层上形成第三金属层，并对所述第三金属层进行图案化处理，以形成源极和漏极；其中，所述源极通过所述第一过孔连接所述源极区域，所述漏极通过所述第二过孔连接所述漏极区域。

发明的有益效果

有益效果

[0041] 本发明的优点在于，本发明提出一种阵列基板及制造方法，其中所述阵列基板在其间绝缘层上设置一个凸起的第一有机填充层用以垫高其上的漏极，进而使其可直接连接所述阳极层，而无需在平坦层开设过孔，从而实现阳极层通过漏极与漏极区域的电连接。相应的，因不需开孔也就不存在对所述像素定义层开口率的影响，反而能在一定程度上增大所述像素定义层的开口率，从而达到延长其所在OLED的寿命的效果。

[0042] 使漏极不再通过过孔露出来连接至漏极区域，而是将漏极通过向上凸起的第一有机填充层垫高、使得垫高的漏极部分可直接连接阳极层，从而实现阳极层通过漏极与漏极区域的电连接，而无需在平坦层开设过孔，因此，可以消除所述过孔对像素定义层开口率的影响，能够增大像素定义层的开口率，从而达到延长其所在OLED的寿命的效果。

对附图的简要说明

附图说明

[0043] 图1是本发明提供的阵列基板的一实施例的结构示意图；

[0044] 图2是本发明提供的阵列基板的制作方法一实施例的流程示意图；

[0045] 图3是步骤S1-S3的结构示意图；

[0046] 图4是步骤S4-S6的结构示意图；

[0047] 图5是步骤S7的结构示意图；

- [0048] 图6是步骤S8的结构示意图；
- [0049] 图7是步骤S9-S11的结构示意图。
- [0050] 图中部件标识如下：
- [0051] 1柔性基底、 3缓冲层、 4有源层、
- [0052] 5第一栅极绝缘层、6第一栅极金属层、7第二栅极绝缘层、
- [0053] 8第二栅极金属层、9间绝缘层、 10有机填充层、
- [0054] 11源漏走线层、 12平坦层、 13阳极层、
- [0055] 14像素定义层、 15支撑层、 16第一过孔、
- [0056] 17第二过孔、 18第三过孔、 19第四过孔，
- [0057] 100像素区、 200弯折区，
- [0058] 101第一有机填充层、102第二有机填充层、111源极、
- [0059] 112漏极、 401源极区域、 402漏极区域。

发明实施例

本发明的实施方式

- [0060] 以下各实施例的说明是参考附加的图示，用以例示本发明可用以实施的特定实施例。本发明所提到的方向用语，例如[上]、[下]、[前]、[后]、[左]、[右]、[内]、[外]、[侧面]等，仅是参考附加图式的方向。因此，使用的方向用语是用以说明及理解本发明，而非用以限制本发明。在图中，结构相似的单元是用以相同标号表示。
- [0061] 请参阅图1所示，本发明一实施例中提供一种阵列基板，包括像素区100以及与其相接的弯折区200。其中所述像素区100包括柔性基底1和在所述柔性基底1上依次形成的缓冲层3、有源层4、第一栅极绝缘层5、第一栅极金属层6、第二栅极绝缘层7、第二栅极金属层8、间绝缘层9、第一有机填充层101、源漏走线层11、平坦层12、阳极层13、像素定义层14、支撑层15。其中，所述有源层4包括源极区域401和漏极区域402，所述源漏走线层11包括源极111和漏极112，所述源极111通过第一过孔16与所述源极区域401电连接，所述漏极112覆盖所述第一有机填充层101通过第二过孔17与所述漏极区域402电连接，所述阳极层13通过所述漏极112与所述漏极区域402电连接。其中所述第一有机填充层101向上凸起

于所述间绝缘层9上进而使得其上覆盖的所述源漏走线层11凸起设置。

[0062] 其中所述漏极112通过第一有机填充层101向上凸起垫高、使得垫高的漏极112部分可直接连接所述阳极层13，从而实现阳极层13通过漏极112与漏极区域402的电连接，而无需在平坦层12开设过孔。

[0063] 进一步的，其中所述源漏走线层11的漏极112的凸起部表面平行于所述有机平坦层12的表面。也就是说，所述第一有机填充层101的凸起设置使得所述源漏走线层11也是局部凸起设置，同时所述源漏走线层11的凸起部向上伸出与所述有机平坦层12平行设置，而非被所述有机平坦层12所覆盖。

[0064] 进一步的，其中所述第一有机填充层101向上凸起呈岛状结构。

[0065] 进一步的，其中所述第一有机填充层101设于所述第二过孔17旁远离所述第一过孔16的一侧。

[0066] 进一步的，其中所述弯折区还包括的位于所述间绝缘层9上的第二有机填充层102、位于所述第二有机填充层102上的源漏走线层11、开口设于所述间绝缘层9且孔底达到所述柔性基底1的第三过孔18，其中所述第二有机填充层102填充所述第三过孔18并部分凸出于所述间绝缘层9。

[0067] 第一有机填充层101和第二有机填充层102构成的有机填充层10的作用就是为了实现弯折应力的减小，弯折的目的是实现窄边框设计。

[0068] 请参阅图2所示，本发明一实施例中提供一种阵列基板的制作方法，阵列基板包括像素区100以及与其相接的弯折区200，其中，包括步骤：

[0069] S1、提供一柔性基底1。

[0070] 其中，柔性基底1包括柔性聚酰亚胺衬底。

[0071] S2、在柔性基底1上制作缓冲层3。

[0072] 其中，缓冲层3包括多层结构，一般为 SiO_x 、 SiN_x 或其混合物。

[0073] S3、在缓冲层3上制作有源层4，并对有源层4进行掺杂，以在有源层4上形成源极区域401和漏极区域402。

[0074] 有源层4一般为经过掺杂的多晶硅。

[0075] 上述步骤S1-S3可以具体参阅图3。

[0076] 具体地，在一实施例中，步骤S3可以具体包括：

- [0077] 在缓冲层3上先沉积一层非晶硅层，再通过准分子激光退火工艺将非晶硅层转化结晶为多晶硅层，再将多晶硅层进行图案化处理，并进行离子掺杂，形成包括源极区域401和漏极区域402的有源层4。另外，也可以先将非晶硅层进行图案化，再对图案化后的非晶硅进行准分子退火工艺制程。
- [0078] S4、在有源层4上制作第一栅极绝缘层5，在第一栅极绝缘层5上制作第一栅极金属层6。
- [0079] 其中，第一栅极绝缘层5一般也采用SiO_x、SiN_x或其混合物。第一栅极绝缘层5覆盖有源层4以及缓冲层3。
- [0080] 在第一栅极绝缘层5上制作第一金属层（图未示），并对第一金属层进行图案化处理，以在像素区100形成第一栅极金属层6。具体地，该第一栅极金属层6对应有源层4设置。
- [0081] S5、在第一栅极金属层6上制作第二栅极绝缘层7，在第二栅极绝缘层7上制作第二栅极金属层8。
- [0082] 在第一栅极金属层6上制作第二栅极绝缘层7，在第二栅极绝缘层7上制作第二金属层（图未示），并对第二金属层进行图案化处理，以在像素区100形成第二栅极金属层8。具体地，该第二栅极金属层8对应有源层4设置。第二金属栅极层8，只是与第一栅极金属层6金属材质相同，图案化形成像素驱动电路中的电容和一些走线。
- [0083] S6、在第二栅极金属层8上制作间绝缘层9，并在间绝缘层9上在像素区100制作第一过孔16、第二过孔17以及在弯折区200制作第三过孔18。
- [0084] 上述步骤S4-S6可以具体参阅图4。
- [0085] 其中，第一过孔16的孔底位于有源层4的源极区域401，第二过孔17的孔底位于有源层4的漏极区域402，第三过孔18的孔底位于柔性基底1；
- [0086] 其中，间绝缘层9覆盖第二栅极金属层8以及第二栅极绝缘层7。
- [0087] 具体地，这里可以采用干法刻蚀的方法对阵列基板进行刻蚀，步骤包括：
- [0088] 在第二栅极绝缘层7上采用第一次刻蚀工艺在像素区100制作第一过孔16、第二过孔17以及在弯折区200制作第三过孔18，第一次刻蚀工艺使第一过孔16、第二过孔17的孔底达到有源层4；其中，第一过孔16使有源层4中的源极区域401裸露

，第二过孔17使有源层4中的漏极区域402裸露；

[0089] 采用第二次刻蚀工艺对第三过孔18继续刻蚀，以使第三过孔18的孔底达到柔性基底1。

[0090] S7、在间绝缘层9上形成有机填充层10，有机填充层包括第一有机填充层101和第二有机填充层102。

[0091] 如图5所示，在间绝缘层9上涂覆有机材料，且有机材料在第二过孔17旁远离第一过孔16的一侧相对有源层4的漏极区域402相对设置呈岛状结构，有机材料填充于第三过孔18中，形成第二有机填充层102。其中，涂覆的有机材料优选氧化脱氢有机物。在其他实施例中，有机材料可以是聚酰亚胺树脂或硅氧烷等系列的柔性有机材料。

[0092] S8、在有机填充层10上制作源漏走线层11，包括位于像素区100的源极111、漏极112和位于弯折区200的位于所述第二有机填充层102上的源漏走线层11。

[0093] 如图6所示，更具体的，在有机填充层10上形成第三金属层（图未示），并对第三金属层进行图案化处理，以形成源极111和漏极112；其中，源极111通过第一过孔16连接源极区域401，漏极112通过第二过孔17连接漏极区域402并覆盖第一有机填充层101。

[0094] S9、在源漏走线层11上制作平坦层12。

[0095] 制作平坦层12层用于使阵列基板的表面平整，有利于后续的作业。

[0096] 所述有机平坦层12覆盖所述源漏走线层11，同时所述源漏走线层11的漏极112的凸起部向上伸出与所述有机平坦层12平行设置，而非被所述有机平坦层12所覆盖。

[0097] 在间绝缘层9上像素区100的第一有机填充层101的高度大于弯折区200填充于第三过孔18中第二有机填充层102的高度。这样有利于阳极层13通过漏极112与漏极区域402电连接，并能通过平坦层12将过孔覆盖层113覆盖。

[0098] 第二有机填充层102填充于第三过孔18中，这样可以提升阵列基板的柔性度，以提高面板的弯折性能。

[0099] S10、在平坦层12上制作阳极层13，阳极层13与第一有机填充层101电连接且与有源层4相应设置。

[0100] S11、在阳极层13上制作像素定义层14，裸露阳极层13形成第四过孔19；

[0101] 其中，像素定义层14通过平坦层上的过孔通过阳极层13电连接到漏极112。

[0102] 上述步骤S9-S11可以具体参阅图7。

[0103] S12、在像素定义层14上制作支撑层15。

[0104] 以上所述仅是本发明的优选实施方式，应当指出，对于本技术领域的普通技术人员，在不脱离本发明原理的前提下，还可以做出若干改进和润饰，这些改进和润饰也应视为本发明的保护范围。

权利要求书

- [权利要求 1] 一种阵列基板，包括像素区以及与其相接的弯折区；
其中所述像素区包括柔性基底和在所述柔性基底上依次形成的缓冲层、有源层、第一栅极绝缘层、第一栅极金属层、第二栅极绝缘层、第二栅极金属层、间绝缘层、第一有机填充层、源漏走线层、平坦层、阳极层、像素定义层、支撑层；其中，所述有源层包括源极区域和漏极区域，所述源漏走线层包括源极和漏极，所述源极通过第一过孔与所述源极区域电连接，所述漏极通过第二过孔与所述漏极区域电连接，所述阳极层通过所述漏极与所述漏极区域电连接，其中：
所述漏极覆盖所述第一有机填充层，其中所述第一有机填充层向上凸起于所述间绝缘层上进而使得其上覆盖的所述源漏走线层凸起设置。
- [权利要求 2] 根据权利要求1所述的阵列基板，其中，所述源漏走线层的漏极的凸起部表面平行于所述有机平坦层的表面。
- [权利要求 3] 根据权利要求1所述的阵列基板，其中，所述第一有机填充层向上凸起呈岛状结构
- [权利要求 4] 根据权利要求1所述的阵列基板，其中，所述第一有机填充层设于所述第二过孔旁远离所述第一过孔的一侧。
- [权利要求 5] 根据权利要求1所述的阵列基板，其中，所述弯折区还包括的位于所述间绝缘层上的第二有机填充层、位于所述第二有机填充层上的源漏走线层、开口设于所述间绝缘层且孔底达到所述柔性基底的第三过孔，其中所述第二有机填充层填充所述第三过孔并部分凸出于所述间绝缘层。
- [权利要求 6] 一种阵列基板的制作方法，所述阵列基板包括像素区以及与其相接的弯折区，其中，包括步骤：
S1、提供一柔性基底；
S2、在所述柔性基底上制作缓冲层；
S3、在所述缓冲层上制作有源层，并对有源层进行掺杂，以在有源层上形成源极区域和漏极区域；

- S4、在有源层上制作第一栅极绝缘层，在第一栅极绝缘层上制作第一栅极金属层；
- S5、在第一栅极金属层上制作第二栅极绝缘层，在第二栅极绝缘层上制作第二栅极金属层8；
- S6、在第二栅极金属层上制作间绝缘层，并在所述间绝缘层上在像素区制作第一过孔、第二过孔以及在弯折区制作第三过孔；
- S7、在间绝缘层上形成有机填充层，有机填充层包括第一有机填充层和第二有机填充层；
- S8、在有机填充层上制作源漏走线层，包括位于像素区的源极、漏极和位于弯折区的位于所述第二有机填充层上的源漏走线层；
- S9、在源漏走线层上制作平坦层；
- S10、在平坦层上制作阳极层，所述阳极层与所述第一有机填充层电连接且与所述有源层相应设置；
- S11、在阳极层上制作像素定义层，裸露所述阳极层形成第四过孔；
- S12、在像素定义层上制作支撑层。

[权利要求 7]

根据权利要求6所述的制作方法，其中，所述步骤S3包括：

在缓冲层上沉积一层非晶硅层；

通过准分子激光退火工艺将所述非晶硅层转化结晶为多晶硅层；

将所述多晶硅层进行图案化处理，并进行离子掺杂，形成包括源极区域和漏极区域的有源层。

[权利要求 8]

根据权利要求6所述的制作方法，其中，所述步骤S3包括：

在缓冲层上沉积一层非晶硅层；

对非晶硅层进行图案化处理；

通过准分子激光退火工艺将所述非晶硅层转化结晶为多晶硅层。

[权利要求 9]

根据权利要求6所述的制作方法，其中，所述步骤S6包括：

在所述第二栅极绝缘层上采用第一次刻蚀工艺在所述像素区制作第一过孔、第二过孔以及在所述弯折区制作第三过孔，第一次刻蚀工艺使第一过孔、第二过孔的孔底达到有源层；其中，所述第一过孔使所述

有源层中的源极区域裸露，所述第二过孔使所述有源层中的漏极区域裸露；

采用第二次刻蚀工艺对所述第三过孔继续刻蚀，以使所述第三过孔的孔底达到所述柔性基底。

[权利要求 10]

根据权利要求6所述的制作方法，其中，所述步骤S8包括：

在所述有机填充层上形成第二金属层，并对所述第二金属层进行图案化处理，以形成源极和漏极；其中，所述源极通过所述第一过孔连接所述源极区域，所述漏极通过所述第二过孔连接所述漏极区域。

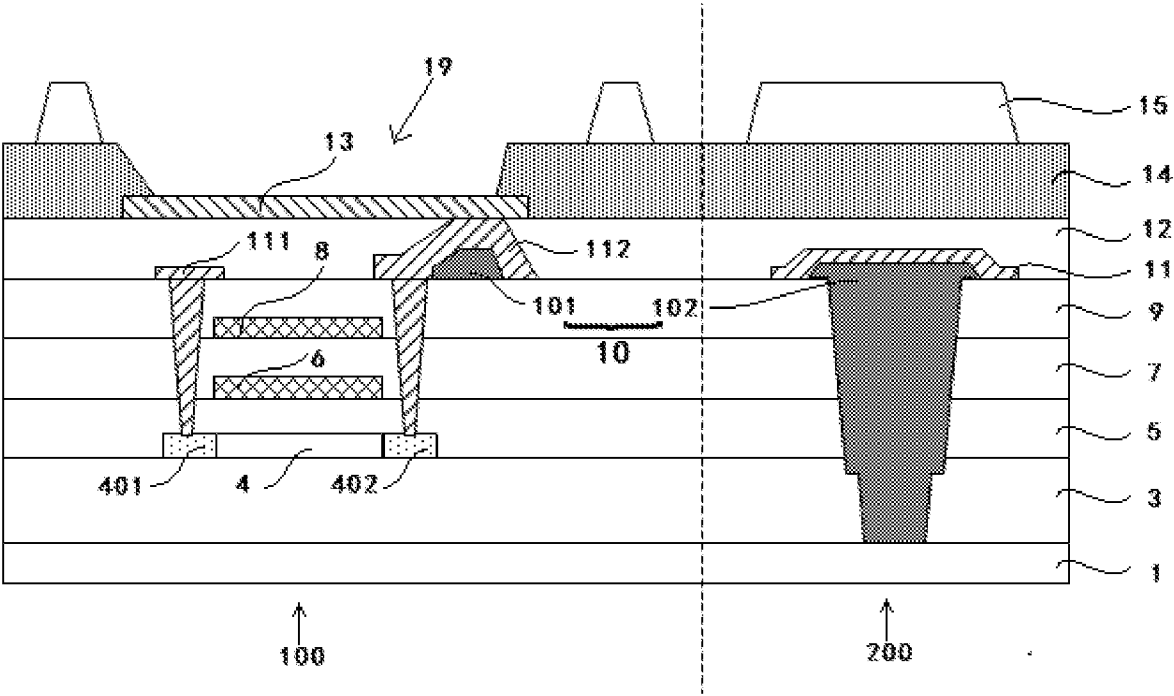


图 1

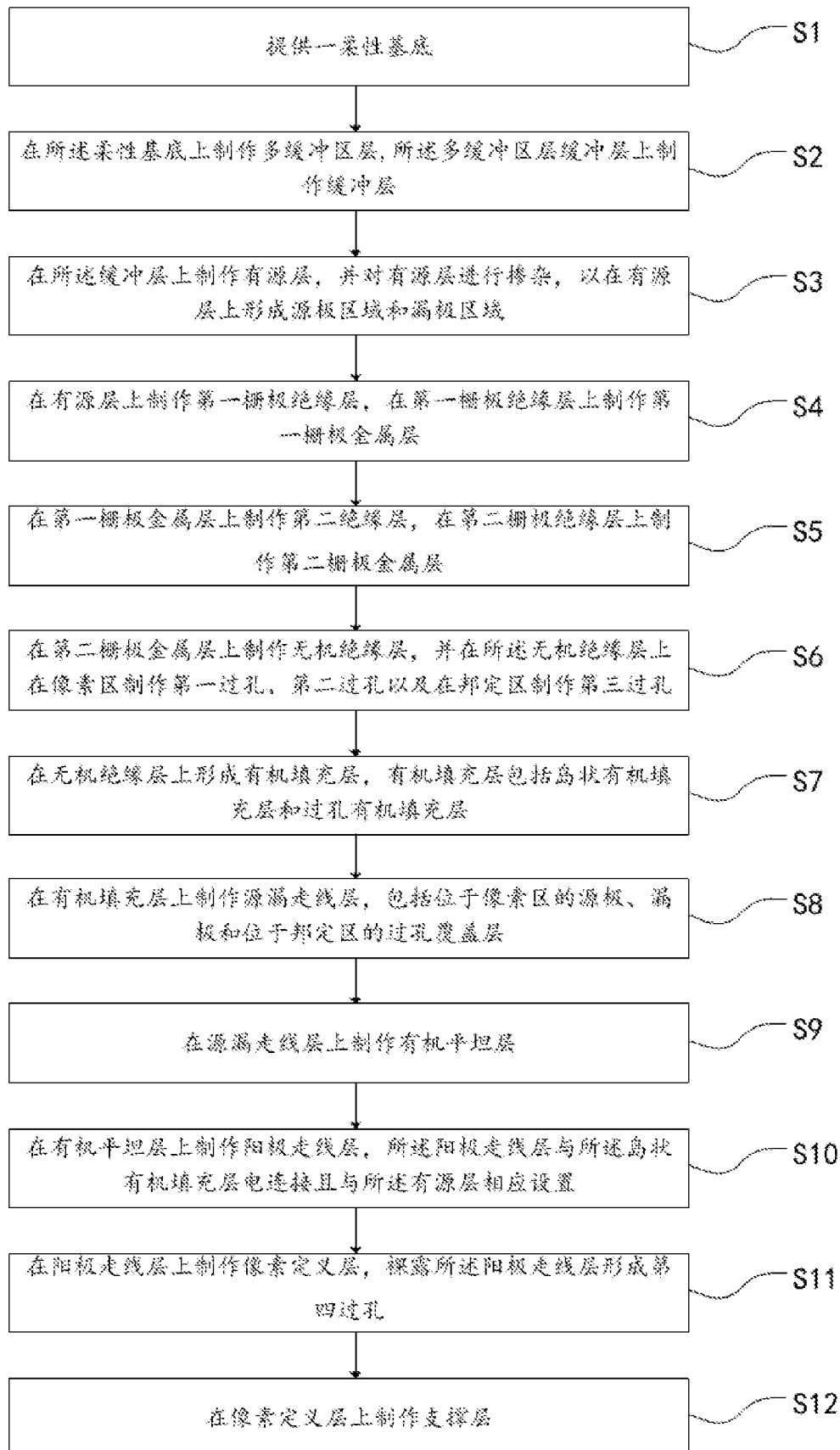


图 2

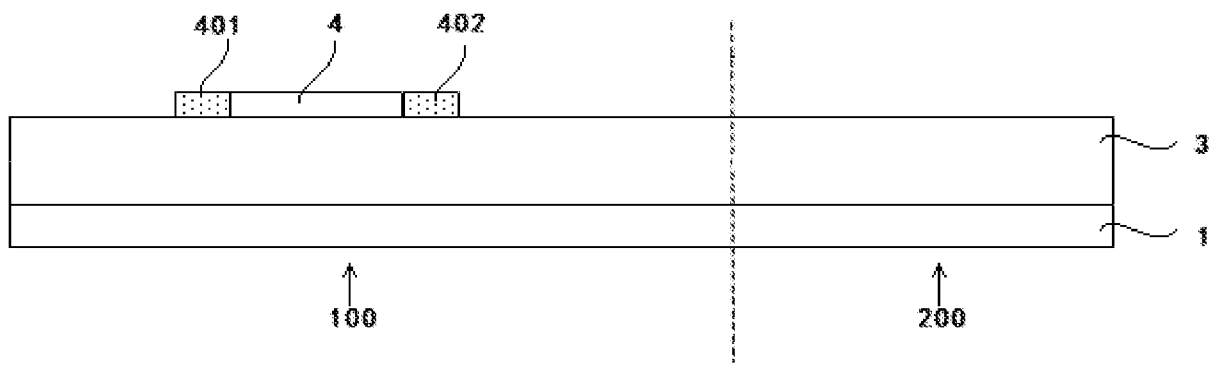


图 3

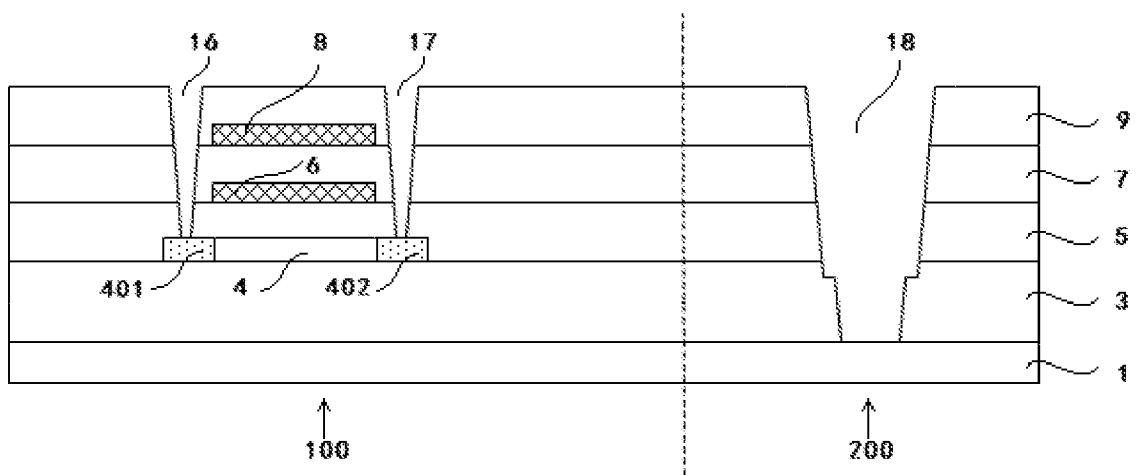


图 4

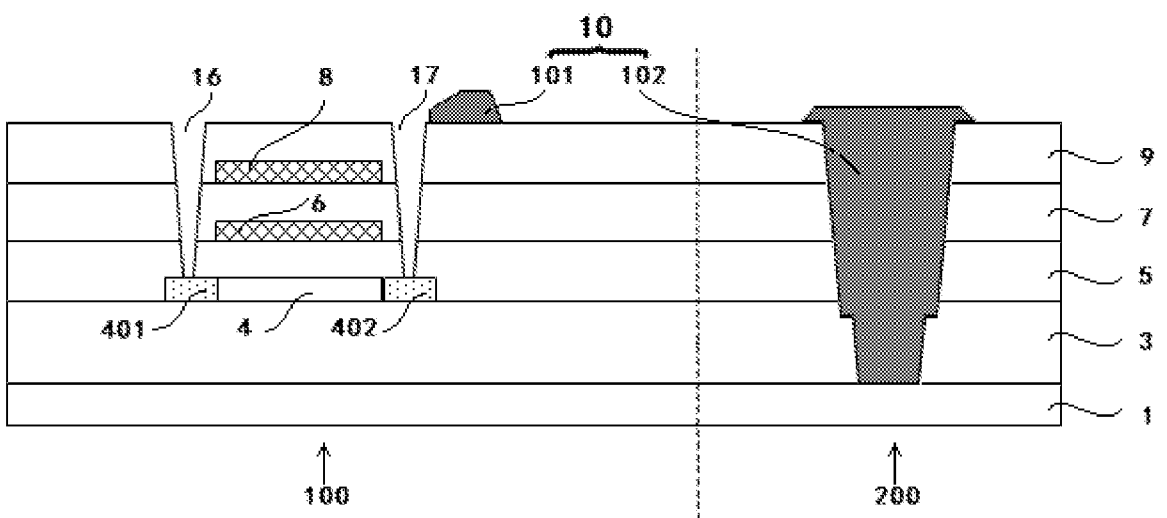


图 5

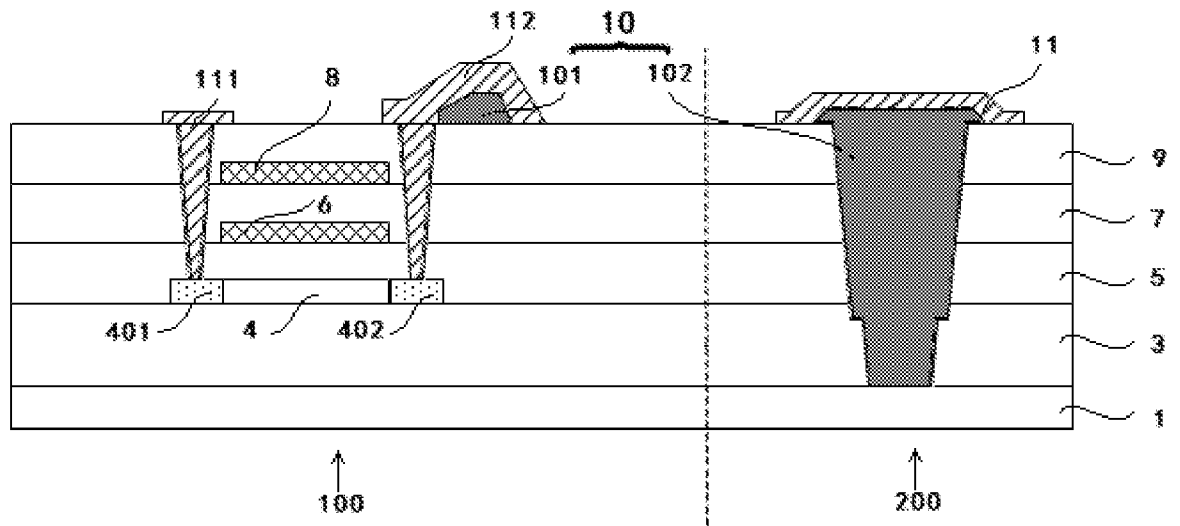


图 6

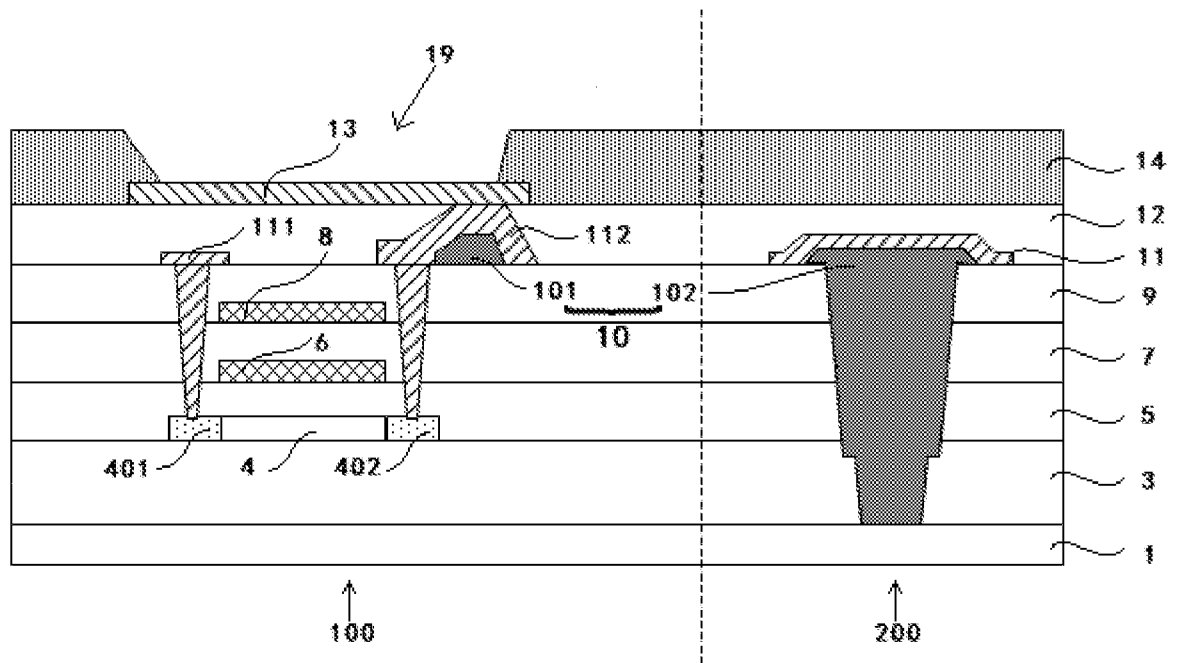


图 7

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2018/116217

A. CLASSIFICATION OF SUBJECT MATTER

H01L 27/32(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L; G02F

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNPAT, CNKI, WPI, EPODOC, IEEE: 像素, 弯折, 漏, 阳极, 栅, 孔, 开口, 凸, 垫高, pixel, bend, drain, anode, gate, hole, opening, convex

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	CN 107994055 A (WUHAN CSOT SEMICONDUCTOR DISPLAY TECHNOLOGY CO., LTD.) 04 May 2018 (2018-05-04) description, paragraphs [0005]-[0082], and figures 3-15	1-10
Y	CN 104867939 A (HEFEI BOE OPTOELECTRONICS TECHNOLOGY CO., LTD. ET AL.) 26 August 2015 (2015-08-26) description, paragraphs [0038]-[0049], and figure 3	1-10
A	CN 105319792 A (SHENZHEN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.) 10 February 2016 (2016-02-10) entire document	1-10
A	CN 107146809 A (BOE TECHNOLOGY GROUP CO., LTD.) 08 September 2017 (2017-09-08) entire document	1-10
A	US 2008018850 A1 (AU OPTRONICS CORPORATION) 24 January 2008 (2008-01-24) entire document	1-10

☐ Further documents are listed in the continuation of Box C.☒ See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

15 May 2019

Date of mailing of the international search report

29 May 2019

Name and mailing address of the ISA/CN

State Intellectual Property Office of the P. R. China
No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing
100088
China

Facsimile No. (86-10)62019451

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2018/116217

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
CN	107994055	A	04 May 2018	None			
CN	104867939	A	26 August 2015	EP	3270416	A4	12 December 2018
				WO	2016165264	A1	20 October 2016
				US	2017141132	A1	18 May 2017
				EP	3270416	A1	17 January 2018
CN	105319792	A	10 February 2016	CN	105319792	B	04 January 2019
CN	107146809	A	08 September 2017	WO	2018209977	A1	22 November 2018
US	2008018850	A1	24 January 2008	US	7781766	B2	24 August 2010
				US	2010285623	A1	11 November 2010
				TW	200807721	A	01 February 2008
				US	8012815	B2	06 September 2011
				TW	I328877	B	11 August 2010

国际检索报告

国际申请号

PCT/CN2018/116217

A. 主题的分类

H01L 27/32 (2006.01) i

按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

H01L; G02F

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))

CNPAT, CNKI, WPI, EPDOC, IEEE: 像素, 弯折, 漏, 阳极, 栅, 孔, 开口, 凸, 垫高, pixel, bend, drain, anode, gate, hole, opening, convex

C. 相关文件

类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
Y	CN 107994055 A (武汉华星光电半导体显示技术有限公司) 2018年 5月 4日 (2018 - 05 - 04) 说明书第[0005]-[0082]段, 图3-15	1-10
Y	CN 104867939 A (合肥京东方光电科技有限公司 等) 2015年 8月 26日 (2015 - 08 - 26) 说明书第[0038]-[0049]段, 图3	1-10
A	CN 105319792 A (深圳市华星光电技术有限公司) 2016年 2月 10日 (2016 - 02 - 10) 全文	1-10
A	CN 107146809 A (京东方科技集团股份有限公司) 2017年 9月 8日 (2017 - 09 - 08) 全文	1-10
A	US 2008018850 A1 (AU OPTRONICS CORP.) 2008年 1月 24日 (2008 - 01 - 24) 全文	1-10

☐ 其余文件在C栏的续页中列出。☒ 见同族专利附件。

* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期

2019年 5月 15日

国际检索报告邮寄日期

2019年 5月 29日

ISA/CN的名称和邮寄地址

中国国家知识产权局(ISA/CN)

中国北京市海淀区蓟门桥西土城路6号 100088

传真号 (86-10)62019451

授权官员

刘婧

电话号码 86-(10)-53961452

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2018/116217

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	107994055	A	2018年 5月 4日	无			
CN	104867939	A	2015年 8月 26日	EP	3270416	A4	2018年 12月 12日
				WO	2016165264	A1	2016年 10月 20日
				US	2017141132	A1	2017年 5月 18日
				EP	3270416	A1	2018年 1月 17日
CN	105319792	A	2016年 2月 10日	CN	105319792	B	2019年 1月 4日
CN	107146809	A	2017年 9月 8日	WO	2018209977	A1	2018年 11月 22日
US	2008018850	A1	2008年 1月 24日	US	7781766	B2	2010年 8月 24日
				US	2010285623	A1	2010年 11月 11日
				TW	200807721	A	2008年 2月 1日
				US	8012815	B2	2011年 9月 6日
				TW	1328877	B	2010年 8月 11日